



(12) 发明专利

(10) 授权公告号 CN 111725164 B

(45) 授权公告日 2022. 04. 05

(21) 申请号 201910378755.8

(22) 申请日 2019.05.08

(65) 同一申请的已公布的文献号
申请公布号 CN 111725164 A

(43) 申请公布日 2020.09.29

(30) 优先权数据
108109841 2019.03.21 TW

(73) 专利权人 创意电子股份有限公司
地址 中国台湾新竹市科学工业园区力行六
路10号

专利权人 台湾积体电路制造股份有限公司

(72) 发明人 林元鸿 杨昇帆 孙宇程

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 罗英 臧建明

(51) Int.Cl.

H01L 23/48 (2006.01)

H01L 23/488 (2006.01)

H01L 23/49 (2006.01)

(56) 对比文件

US 2016372412 A1, 2016.12.22

US 2017170108 A1, 2017.06.15

CN 101179057 A, 2008.05.14

US 2010102447 A1, 2010.04.29

CN 101359642 A, 2009.02.04

CN 101636038 A, 2010.01.27

US 2008174001 A1, 2008.07.24

US 2006044735 A1, 2006.03.02

审查员 邱广猷

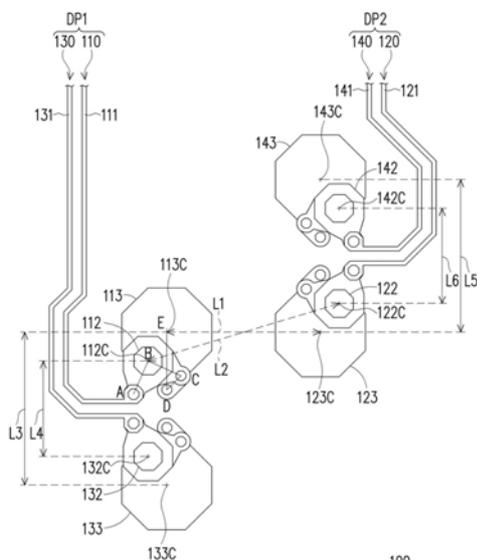
权利要求书1页 说明书8页 附图8页

(54) 发明名称

线路结构及芯片封装件

(57) 摘要

本发明提供一种线路结构,其包括第一信号线以及第二信号线。第一信号线包括第一线段、第一球栅阵列焊垫以及位于第一线段与第一球栅阵列焊垫之间的第一通孔。第二信号线包括第二线段、第二球栅阵列焊垫以及位于第二线段与第二球栅阵列焊垫之间的第二通孔。以俯视观之,第一球栅阵列焊垫的中心与第二球栅阵列焊垫的中心之间的连线具有第一距离,第一通孔的中心与第二通孔的中心之间的连线具有第二距离,且第一距离小于第二距离。一种芯片封装件亦被提出。



1. 一种线路结构,包括:

第一信号线,包括第一线段、第一球栅阵列焊垫以及位于所述第一线段与所述第一球栅阵列焊垫之间的第一通孔;

第二信号线,包括第二线段、第二球栅阵列焊垫以及位于所述第二线段与所述第二球栅阵列焊垫之间的第二通孔;

第三信号线,与所述第一信号线构成第一差分走线对;以及

第四信号线,与所述第二信号线构成第二差分走线对,

其中以俯视观之:

所述第一球栅阵列焊垫的中心与所述第二球栅阵列焊垫的中心之间的连线具有第一距离;

所述第一通孔的中心与所述第二通孔的中心之间的连线具有第二距离;且

所述第一距离小于所述第二距离。

2. 根据权利要求1所述的线路结构,其中所述第一球栅阵列焊垫、所述第二球栅阵列焊垫、所述第一通孔及所述第二通孔位于所述第一线段及所述第二线段之间。

3. 根据权利要求1所述的线路结构,其中以俯视观之,所述第一球栅阵列焊垫的中心与所述第一通孔的中心不重叠,且所述第二球栅阵列焊垫的中心与所述第二通孔的中心不重叠。

4. 根据权利要求1所述的线路结构,还包括:

接地通孔,配置于所述第一信号线与所述第二信号线之间。

5. 根据权利要求4所述的线路结构,其中以俯视观之,所述接地通孔配置于所述第一通孔的中心与所述第二通孔的中心之间的连线上。

6. 根据权利要求1所述的线路结构,其中所述第一差分走线对的信号传输频率介于1G赫兹至30G赫兹间,且所述第二差分走线对的信号传输频率介于1G赫兹至30G赫兹间。

7. 根据权利要求1所述的线路结构,还包括:

核心层,其中所述第一通孔及所述第二通孔贯穿所述核心层。

8. 根据权利要求1所述的线路结构,其中所述第一信号线还包括导电通孔,位于所述第一通孔与所述第一线段之间,且所述第一通孔的厚度大于所述导电通孔的厚度。

9. 根据权利要求1所述的线路结构,其中所述第一信号线还包括导电通孔,位于所述第一通孔与所述第一球栅阵列焊垫之间,且所述第一通孔的厚度大于所述导电通孔的厚度。

10. 一种芯片封装件,包括:

芯片,具有主动面;

如权利要求1至9中任一项所述的线路结构,位于所述芯片的所述主动面上,且电性连接于所述芯片;以及

多个导电端子,位于所述线路结构的所述第一球栅阵列焊垫及所述第二球栅阵列焊垫上。

线路结构及芯片封装件

技术领域

[0001] 本发明涉及一种电子元件,尤其涉及一种线路结构及芯片封装件。

背景技术

[0002] 在高速及高频的信号传输上,用于传输信号的导体需要通过良好的阻抗匹配(impedance matching)设计,以降低阻抗不匹配所造成的反射,即降低信号传输时的插入损耗(insertion loss),且相对提高信号传输时的回波损耗(return loss),而可以提升信号传输的质量。

发明内容

[0003] 本发明提供一种线路结构及芯片封装件,其具有较佳的信号传输质量。

[0004] 本发明的线路结构包括第一信号线以及第二信号线。第一信号线包括第一线段、第一球栅阵列焊垫以及第一通孔。第一通孔位于第一线段与第一球栅阵列焊垫之间。第二信号线包括第二线段、第二球栅阵列焊垫以及第二通孔。第二通孔位于第二线段与第二球栅阵列焊垫之间。以俯视观之,第一球栅阵列焊垫的中心与第二球栅阵列焊垫的中心之间的连线具有第一距离,第一通孔的中心与第二通孔的中心之间的连线具有第二距离,且第一距离小于第二距离。

[0005] 在本发明的一实施例中,第一球栅阵列焊垫、第二球栅阵列焊垫、第一通孔及第二通孔位于第一线段及第二线段之间。

[0006] 在本发明的一实施例中,以俯视观之,第一球栅阵列焊垫的中心与第一通孔的中心不重叠,且第二球栅阵列焊垫的中心与第二通孔的中心不重叠。

[0007] 在本发明的一实施例中,线路结构还包括接地通孔。接地通孔配置于第一信号线与第二信号线之间。

[0008] 在本发明的一实施例中,以俯视观之,接地通孔配置于第一通孔的中心与第二通孔的中心之间的连线上。

[0009] 在本发明的一实施例中,线路结构还包括第三信号线以及第四信号线。第三信号线与第一信号线构成第一差分走线对。第四信号线与第二信号线构成第二差分走线对。

[0010] 在本发明的一实施例中,第一差分走线对的信号传输频率介于1G赫兹至30G赫兹间,且第二差分走线对的信号传输频率介于1G赫兹至30G赫兹间。

[0011] 在本发明的一实施例中,线路结构还包括核心层。第一通孔及第二通孔贯穿核心层。

[0012] 在本发明的一实施例中,第一信号线还包括导电通孔。导电通孔位于第一通孔与第一线段之间,且第一通孔的厚度大于导电通孔的厚度。

[0013] 在本发明的一实施例中,第一信号线还包括导电通孔。导电通孔位于第一通孔与第一球栅阵列焊垫之间,且第一通孔的厚度大于导电通孔的厚度。

[0014] 本发明的芯片封装件包括芯片、前述的线路结构以及多个导电端子。芯片具有主

动面。线路结构位于芯片的主动面上。线路结构电性连接于芯片。导电端子位于线路结构的第一球栅阵列焊垫及第二球栅阵列焊垫上。

[0015] 基于上述,本发明线路结构及具有其的芯片封装件可以有较佳的信号传输质量。

[0016] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附附图作详细说明如下。

附图说明

[0017] 图1示出本发明的一实施例的一种芯片封装件的部分俯视示意图。

[0018] 图2示出本发明的第一实施例的一种线路结构的部分俯视示意图。

[0019] 图3示出本发明的第一实施例的一种线路结构的部分立体示意图。

[0020] 图4示出本发明的第一实施例的一种线路结构的部分剖视示意图。

[0021] 图5示出本发明的第二实施例的一种线路结构的部分俯视示意图。

[0022] 图6示出一比较例的一种线路结构的部分俯视示意图。

[0023] 图7为比较例的线路结构与测试例的线路结构在不同的传输频率下的信号隔离度模拟曲线图。

[0024] 图8为比较例的线路结构与测试例的线路结构在不同的传输频率下的信号损耗模拟曲线图。

[0025] **【符号说明】**

[0026] 100、200、600:线路结构

[0027] 900:芯片封装件

[0028] DP1:第一差分走线对

[0029] 110、610:第一信号线

[0030] 111、611:第一线段

[0031] 112、612:第一通孔

[0032] 112C、612C:中心

[0033] 113:第一球栅阵列焊垫

[0034] 113C:中心

[0035] 120、620:第二信号线

[0036] 121、621:第二线段

[0037] 122、622:第二通孔

[0038] 122C、622C:中心

[0039] 123:第二球栅阵列焊垫

[0040] 123C:中心

[0041] DP2:第二差分走线对

[0042] 130:第三信号线

[0043] 131:第三线段

[0044] 132:第三通孔

[0045] 132C:中心

[0046] 133:第三球栅阵列焊垫

- [0047] 133C:中心
- [0048] 140:第四信号线
- [0049] 141:第四线段
- [0050] 142:第四通孔
- [0051] 142C:中心
- [0052] 143:第四球栅阵列焊垫
- [0053] 143C:中心
- [0054] 250:接地通孔
- [0055] 160:核心层
- [0056] 160a:第一表面
- [0057] 160b:第二表面
- [0058] 160h:厚度
- [0059] 171、181:绝缘层
- [0060] 172、182:导电层
- [0061] 173、183:导电通孔
- [0062] 191:芯片
- [0063] 191a:主动面
- [0064] 192:导电端子
- [0065] L1:第一距离
- [0066] L2:第二距离
- [0067] L3:第三距离
- [0068] L4:第四距离
- [0069] L5:第五距离
- [0070] L6:第六距离
- [0071] L7:第七距离

具体实施方式

[0072] 以下将参照本实施例的附图以更全面地阐述本发明。然而,本发明亦可以各种不同的形式体现,而不应限于本文中所述的实施例。附图中的层与区域的厚度会为了清楚起见而放大。相同或相似的参考符号表示相同或相似的元件,以下段落将不再一一赘述。另外,实施例中所提到的方向用语,例如:上、下、左、右、前或后等,仅是参考附加附图的方向。因此,使用的方向用语是用来说明并非用来限制本发明。

[0073] 图1示出本发明的一实施例的一种芯片封装件的部分俯视示意图。

[0074] 请参照图1,芯片封装件900包括芯片191、线路结构100、模塑料(molding compound)(未示出)以及多个导电端子192。芯片191具有主动面191a。芯片191以其主动面191a面向线路结构100的方式配置于线路结构100上。线路结构100电性连接于芯片191。模塑料可以位于线路结构100上且包覆芯片191。导电端子192位于线路结构100上且电性连接于线路结构100。线路结构100位于芯片191与导电端子192之间。

[0075] 在本实施例中,导电端子192可以是金属导电球(如:锡球),且导电端子192可以呈

阵列状排列。也就是说,芯片封装件可以是覆晶球栅阵列封装件(Flip Chip Ball Grid Array packages,FCBGA)。一般而言,在覆晶球栅阵列封装件中,金属导电球(如:导电端子192)的位置可以依据产品的规格配置。

[0076] 在本实施例中,线路结构100可以包括多个差分走线对(differential pair)。在结构的设计上,差分走线可以包括两个信号线,且前述的两个信号线的布线(layout)基本上相同或相似。也就是说,前述的两个信号线的长度基本上相似,且前述的两个信号线的走线方向基本上相似。在信号的传输上,差分走线可以通过差分信号(differential signaling)的方式进行互补信号(complementary signals)的传输。互补信号由一个负向信号(negative signal)及一个正向信号(positive signal)所组成。

[0077] 通过上述的配置方式,可以使线路结构(如:线路结构100或类似于线路结构100的线路结构)适于高频信号的传输。但值得注意的是,于本发明并未限定前述的线路结构仅适于高频信号的传输。

[0078] 值得注意的是,在本实施例的芯片封装件900中,所包括的线路结构是以线路结构100为例。而在其他未示出的实施例中,芯片封装件的线路结构可以是类似于线路结构100的线路结构(如:图5所示出的线路结构200)。

[0079] 本发明的实施例的一种线路结构100或一种线路结构200详述如下。

[0080] 图2示出本发明的第一实施例的一种线路结构的部分俯视示意图。图3示出本发明的第一实施例的一种线路结构的部分立体示意图。图4示出本发明的第一实施例的一种线路结构的部分剖视示意图。具体而言,图2可以图1中的区域R的部分线路结构的放大示意图,图3可以是图2的立体示意图,且图4可以是沿着图2中的A-B-C-D-E点连线的剖视示意图。并且,为求清楚表示,于图2、图3及图4中省略示出了部分的膜层及构件。举例而言,于图2及图3中,省略示出了部分的绝缘膜层及构件。又举例而言,图4中,在B-C-D-E点连线的部分剖视示意图中省略示出了核心层160的第一表面160a上的部分膜层,在A-B-C-D点连线的部分剖视示意图中省略示出了核心层160的第二表面160b上(于图4中为第二表面160b标示处的下方)的部分膜层。

[0081] 在本实施例中,第一信号线110包括第一线段111、第一通孔112以及第一球栅阵列焊垫113。第一通孔112位于第一线段111与第一球栅阵列焊垫113之间,且第一通孔112电性连接于第一线段111与第一球栅阵列焊垫113。第二信号线120包括第二段121、第二通孔122以及第二球栅阵列焊垫123。第二通孔122位于第二段121与第二球栅阵列焊垫123之间,且第二通孔122电性连接于第二段121与第二球栅阵列焊垫123。第三信号线130包括第三线段131、第三通孔132以及第三球栅阵列焊垫133。第三通孔132位于第三线段131与第三球栅阵列焊垫133之间,且第三通孔132电性连接于第三线段131与第三球栅阵列焊垫133。第四信号线140包括第四线段141、第四通孔142以及第四球栅阵列焊垫143。第四通孔142位于第四线段141与第四球栅阵列焊垫143之间,且第四通孔142电性连接于第四线段141与第四球栅阵列焊垫143。

[0082] 在本实施例中,以俯视图观之(如图2所示,或从核心层160的第一表面160a向第二表面160b的方向),第一球栅阵列焊垫113的中心113C与第二球栅阵列焊垫123的中心123C之间的连线具有第一距离L1,第一通孔112的中心112C与第二通孔122的中心122C之间的连线具有第二距离L2,且第一距离L1小于第二距离L2。如此一来,在通过线路结构100进行高频

信号传输时,可以降低第一信号线110与第二信号线120之间的信号干扰。

[0083] 在本实施例中,以俯视观之,第一球栅阵列焊垫113、第二球栅阵列焊垫123、第一通孔112及第二通孔122位于第一线段111及第二线段121之间。

[0084] 在本实施例中,以俯视观之,第一球栅阵列焊垫113的中心113C与第一通孔112的中心112C不重叠,且第二球栅阵列焊垫123的中心123C与第二通孔122的中心122C不重叠。

[0085] 在本实施例中,线路结构100可以还包括核心层160、绝缘层171、绝缘层181、导电层172以及导电层182,且第一通孔112及第二通孔122贯穿核心层160。核心层160具有彼此相对的第一表面160a及第二表面160b。导电层172及绝缘层171位于核心层160的第一表面160a上。导电层182及绝缘层181位于核心层160的第二表面160b上。导电层172可以为一层或多层的导电层,和/或导电层182可以为一层或多层的导电层,于本发明不限于此。

[0086] 在本实施例中,若导电层172为多层的导电层,则多层的导电层172之间可以通过绝缘层171而彼此分隔,并可以通过对应的导电通孔(conductive via)173而使不同的导电层172之间可以彼此电性连接。举例而言,第一通孔112及第一线段111可以通过第一通孔112与第一线段111之间对应的导电通孔173而彼此电性连接。

[0087] 在本实施例中,若导电层182为多层的导电层,则多层的导电层182之间可以通过绝缘层181而彼此分隔,并可以通过对应的导电通孔183而使不同的导电层182之间可以彼此电性连接。举例而言,第一通孔112及第一球栅阵列焊垫113可以通过第一通孔112与第一球栅阵列焊垫113之间对应的导电通孔183而彼此电性连接。

[0088] 在本实施例中,导电通孔173和/或导电通孔183例如是埋孔(Buried Via Hole; BVH),但本发明不限于此。

[0089] 在本实施例中,第一信号线110的第一线段111、第二信号线120的第二线段121、第三信号线130的第三线段131及第四信号线140的第四线段141可以是相同的膜层。

[0090] 在本实施例中,第一信号线110的第一线段111、第二信号线120的第二线段121、第三信号线130的第三线段131及第四信号线140的第四线段141可以是在核心层160的第一表面160a上最远离第一表面160a的导电层172的一部分。

[0091] 在本实施例中,第一信号线110的第一球栅阵列焊垫113、第二信号线120的第二球栅阵列焊垫123、第三信号线130的第三球栅阵列焊垫133及第四信号线140的第四球栅阵列焊垫143可以是相同的膜层。

[0092] 在本实施例中,第一信号线110的第一球栅阵列焊垫113、第二信号线120的第二球栅阵列焊垫123、第三信号线130的第三球栅阵列焊垫133及第四信号线140的第四球栅阵列焊垫143可以是在核心层160的第二表面160b上最远离第二表面160b的导电层182的一部分。

[0093] 在本实施例中,核心层160可包括高分子玻璃纤维复合材料基板、玻璃基板、陶瓷基板、绝缘硅基板或聚酰亚胺(polyimide;PI)玻璃纤维复合基板等,但本发明不限于此。贯穿核心层160的通孔(如:第一通孔112及第二通孔122)可以被称为核心通孔(core via hole)。

[0094] 在本实施例中,第一信号线110的第一通孔112、第二信号线120的第二通孔122、第三信号线130的第三通孔132及第四信号线140的第四通孔142可以为实心的导电柱,但本发明不限于此。在一实施例中,第一信号线110的第一通孔112、第二信号线120的第二通孔

122、第三信号线130的第三通孔132及第四信号线140的第四通孔142可以为空心的电镀通孔(plating through hole;PTH);或是,还可以于前述的电镀通孔内填入塞孔树脂材料或高分子玻璃陶瓷混合材料等,本发明并不以此为限。在一实施例中,通孔(如:第一通孔112及第二通孔122)内的导电材质与接触第一表面160a的导电层172和/或接触第二表面160b的导电层182可以在相同的步骤中所形成。

[0095] 在本实施例中,第一通孔112的厚度及第二通孔122的厚度大于导电通孔173的厚度及导电通孔183的厚度。

[0096] 在一实施例中,核心层160的厚度160h可以为数百微米(micrometer; μm)等级,而导电层172的厚度、导电层182的厚度、导电通孔173的厚度及导电通孔183的厚度可以为数十至数千纳米(nanometer;nm)等级。也就是说,相较于核心层160的厚度160h,导电层172的厚度、导电层182的厚度、导电通孔173的厚度及导电通孔183的厚度可以是非常的薄。

[0097] 在本实施例中,可以通过结构上的设计以使差分走线对的两个信号线的导体间可以阻抗匹配(impedance matching)。如此一来,在通过差分走线对进行高频信号传输时,可以降低信号在传递过程中的反射现象。

[0098] 举例而言,第一球栅阵列焊垫113的中心113C与第三球栅阵列焊垫133的中心133C之间的连线具有第三距离L3,第一通孔112的中心112C与第三通孔132的中心132C之间的连线具有第四距离L4,且第四距离L4小于第三距离L3。在第一信号线110的电流路径(current path)中,第一通孔112可以是厚度最大的导体。在第三信号线130的电流路径中,第三通孔132可以是厚度最大的导体。因此,可以通过第四距离L4的调整,以使第一通孔112与第三通孔132之间的寄生电容可以提升,而使第一差分走线对DP1的垂直电流路径(如:第一线段111与第一球栅阵列焊垫113之间的电流路径及第三线段131与第三球栅阵列焊垫133之间的电流路径)之间的阻抗可以接近水平电流路径(如:第一线段111的电流路径及第三线段131的电流路径)之间的阻抗。

[0099] 在本实施例中,以俯视观之,第一球栅阵列焊垫113的中心113C与第一通孔112的中心112C不重叠,且第三球栅阵列焊垫133的中心133C与第三通孔132的中心132C不重叠,但本发明不限于此。

[0100] 又举例而言,第二球栅阵列焊垫123的中心123C与第四球栅阵列焊垫143的中心143C之间的连线具有第五距离L5,第二通孔122的中心122C与第四通孔142的中心142C之间的连线具有第六距离L6,且第六距离L6小于第五距离L5。在第二信号线120的电流路径中,第二通孔122可以是厚度最大的导体。在第四信号线140的电流路径中,第四通孔142可以是厚度最大的导体。因此,可以通过第六距离L6的调整,以使第二通孔122与第四通孔142之间的寄生电容可以提升,而使第二差分走线对DP2的垂直电流路径(如:第二线段121与第二球栅阵列焊垫123之间的电流路径及第四线段141与第四球栅阵列焊垫143之间的电流路径)之间的阻抗可以接近水平电流路径(如:第二线段121的电流路径及第四线段141的电流路径)之间的阻抗。

[0101] 在本实施例中,以俯视观之,第二球栅阵列焊垫123的中心123C与第二通孔122的中心122C不重叠,且第四球栅阵列焊垫143的中心143C与第四通孔142的中心142C不重叠,但本发明不限于此。

[0102] 图5示出本发明的第二实施例的一种线路结构的部分俯视示意图。在本实施例的

线路结构200与第一实施例的线路结构100相似,其类似的构件以相同的标号表示,且具有类似的功能、材质或形成方式,并省略描述。

[0103] 本实施例的线路结构200与第一实施例的线路结构100相似,差别在于:线路结构200可以还包括接地通孔250。

[0104] 接地通孔250配置于第一信号线110与第二信号线120之间。接地通孔250可以为屏蔽接地(shield ground)或电性连接至接地端。接地通孔250贯穿核心层160。接地通孔250可以为实心的导电柱或空心的电镀通孔,于本发明并不加以限制。

[0105] 在本实施例中,以俯视图观之,接地通孔250配置于第一通孔112的中心112C与第二通孔122的中心122C之间的连线上。如此一来,在通过线路结构200进行高频信号传输时,可以进一步地降低第一信号线110与第二信号线120之间的信号干扰。

[0106] 在本实施例中,接地通孔250上可以不具有导电端子(因无,故无示出)。

[0107] [比较例与测试例]

[0108] 为了证明本发明的线路结构可以提升高频信号的信号传输质量,特别以软件模拟的方式列举比较例与测试例作为说明。然而,这些测试例在任何意义上均不解释为限制本发明的范畴。

[0109] 测试例1是以第一实施例的线路结构100进行模拟。测试例2是以第二实施例的线路结构200进行模拟。

[0110] 比较例的线路结构600包括第一信号线610以及第二信号线620。第一信号线610包括第一线段611、第一通孔612以及第一球栅阵列焊垫113。第一通孔612位于第一线段611与第一球栅阵列焊垫113之间,且第一通孔612电性连接于第一线段611与第一球栅阵列焊垫113。第二信号线620包括第二段621、第二通孔622以及第二球栅阵列焊垫123。第二通孔622位于第二段621与第二球栅阵列焊垫123之间,且第二通孔622电性连接于第二段621与第二球栅阵列焊垫123。以俯视图观之(如图6所示),第一球栅阵列焊垫113的中心113C与第二球栅阵列焊垫123的中心123C之间的连线具有第一距离L1,第一通孔612的中心612c与第二通孔622的中心622c之间的连线具有第七距离L7,且第一距离L1等于第七距离L7。第一信号线610与第二信号线620之间不具有接地通孔(如:类似接地通孔250的接地通孔)。

[0111] 一般而言,相邻的两个导体的信号传输质量可以由其所传输的信号的隔离度(isolation)来描述。就数值的描述上,隔离度可以是以分贝(decibel, dB)的形式表示。也就是说,数值的描述上,隔离度的绝对值(absolute value)越大则信号的传输质量越好。

[0112] 在图7中,虚线(dash line)可以是比较例的第一信号线610或第二信号线620的至少其中之一,在差分模式(differential mode)下不同频率的信号的隔离度;虚点线(dash-dot line)可以是测试例1的第一信号线110或第二信号线120的至少其中之一,在差分模式下不同频率的信号的隔离度;实线(solid line)可以是测试例2的第一信号线110或第二信号线120的至少其中之一,在差分模式下不同频率的信号的隔离度。

[0113] 如图7所示,相较于比较例的线路结构600,测试例1的线路结构100与测试例2的线路结构200在信号的传输上可以具有较佳的传输质量。

[0114] 一般而言,导体的信号传输效能可以由其所传输的信号的插入损耗(insertion loss)及回波损耗(return loss)来描述。就数值的描述上,插入损耗与回波损耗可以是以分贝的形式表示。也就是说,数值的描述上,插入损耗的绝对值越小则信号的传输质量越

好,回波损耗的绝对值越大则信号的传输质量越好。

[0115] 在图8中,虚线(dash line)可以是比较例的第一信号线610或第二信号线620的至少其中之一,在差分模式(differential mode)下不同频率的信号的的回波损耗;实线(solid line)可以是测试例2的第一信号线110或第二信号线120的至少其中之一,在差分模式下不同频率的信号的的回波损耗;点线(dot line)可以是比较例的第一信号线610或第二信号线620的至少其中之一,在差分模式下不同频率的信号的插入损耗;虚点线(dash-dot line)可以是测试例2的第一信号线110或第二信号线120的至少其中之一,在差分模式下不同频率的信号的插入损耗。

[0116] 如图8所示,相较于比较例的线路结构600,测试例2的线路结构200在信号的传输上可以具有较佳的传输质量。

[0117] 综上所述,本发明线路结构及其具有的芯片封装件可以有较佳的信号传输质量。

[0118] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,任何所属技术领域中的技术人员,在不脱离本发明的精神和范围内,当可作些许的更改与润饰,故本发明的保护范围当视权利要求所界定的为准。

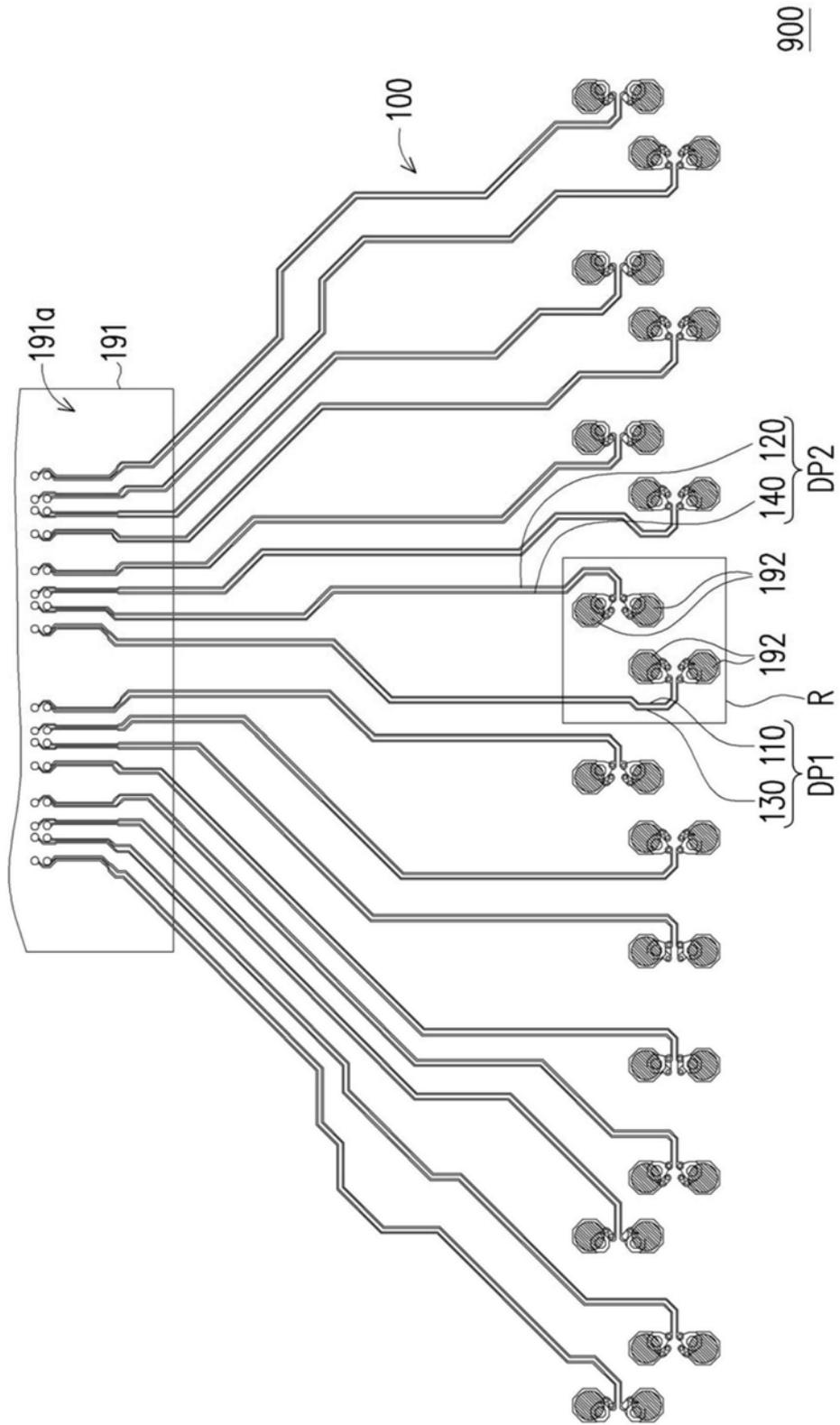


图1

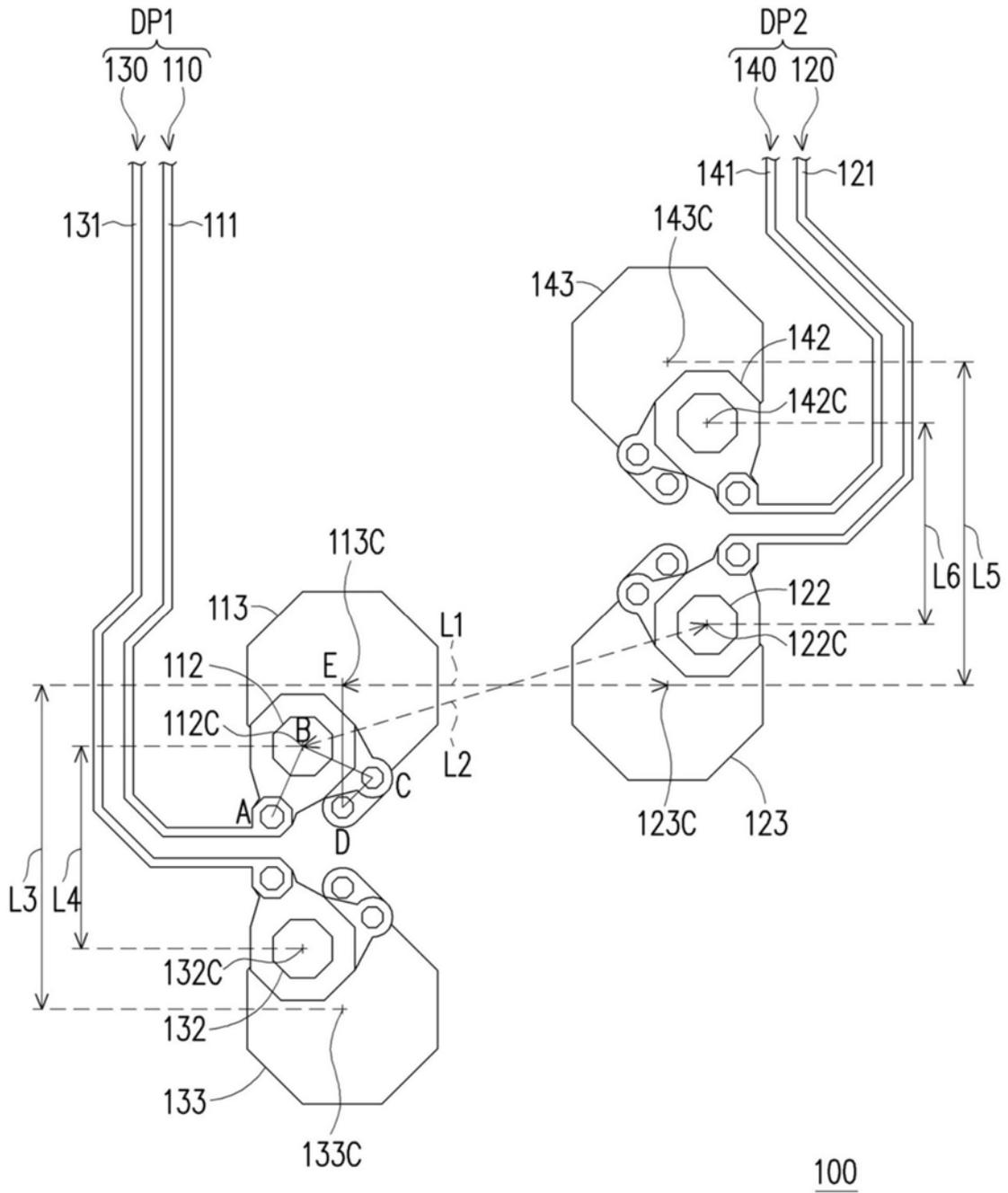
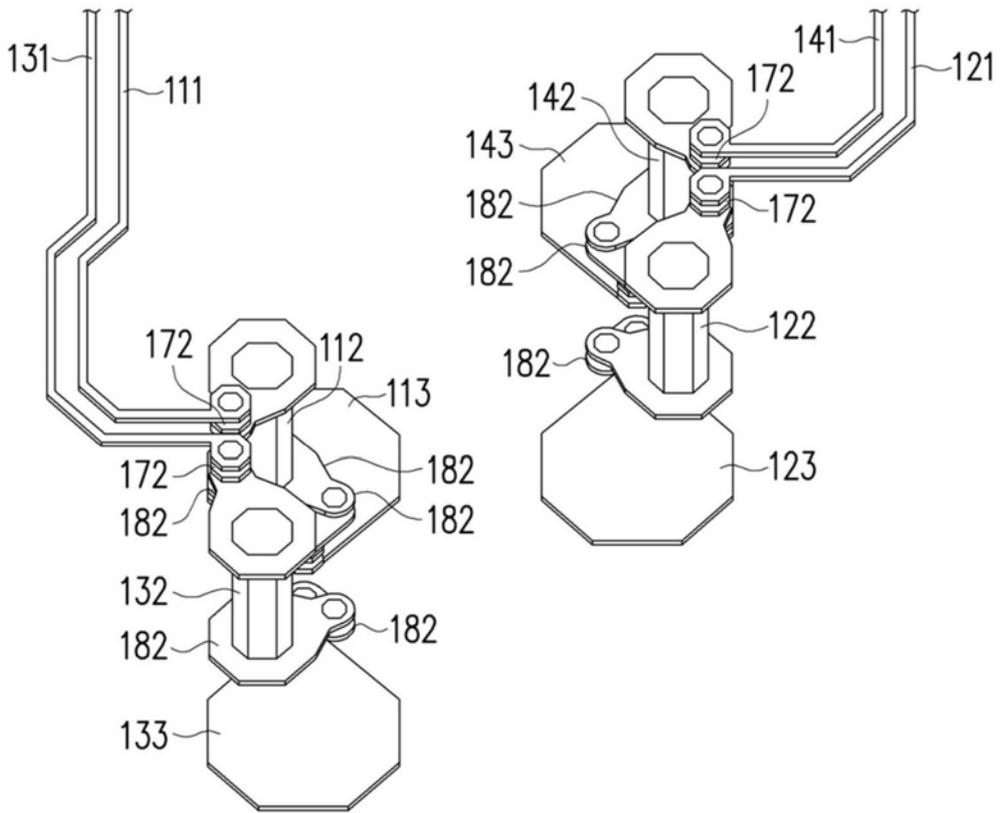


图2



100

图3

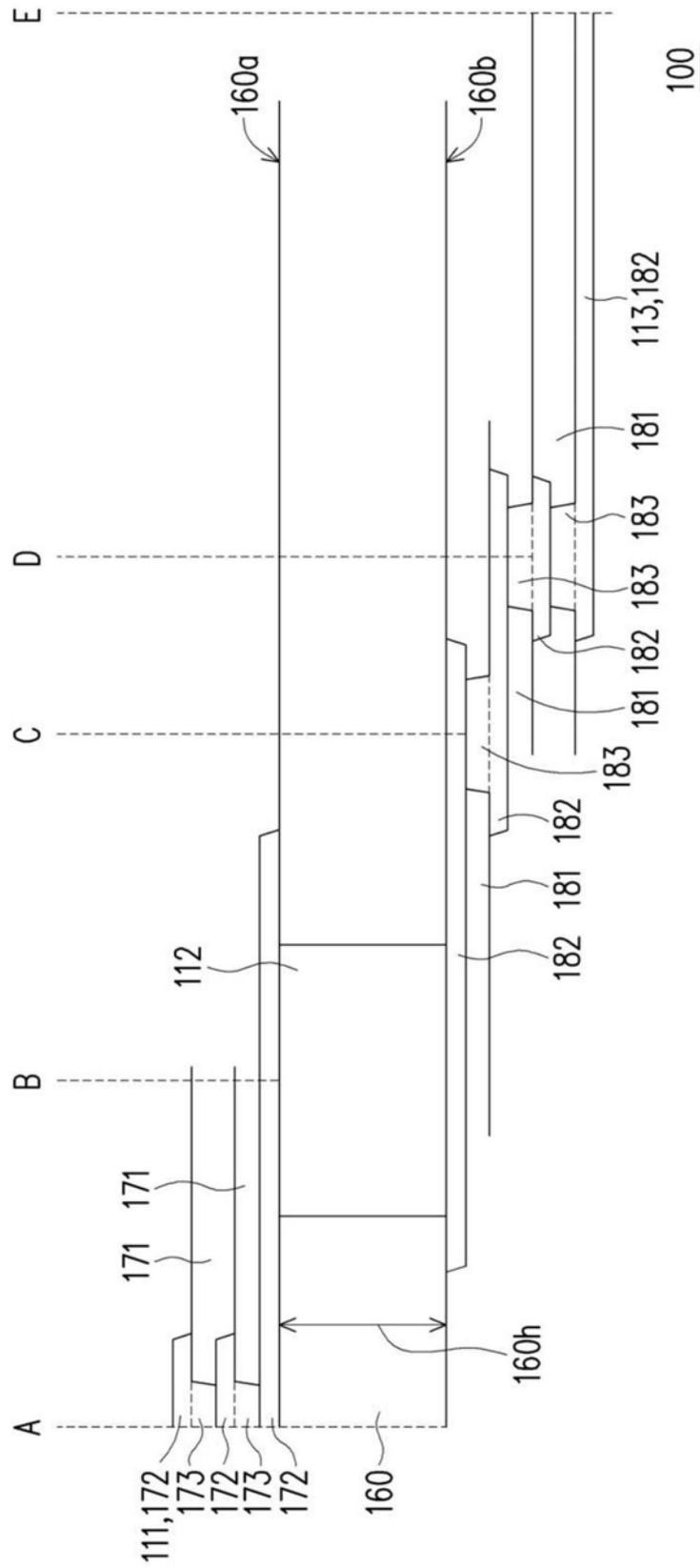


图4

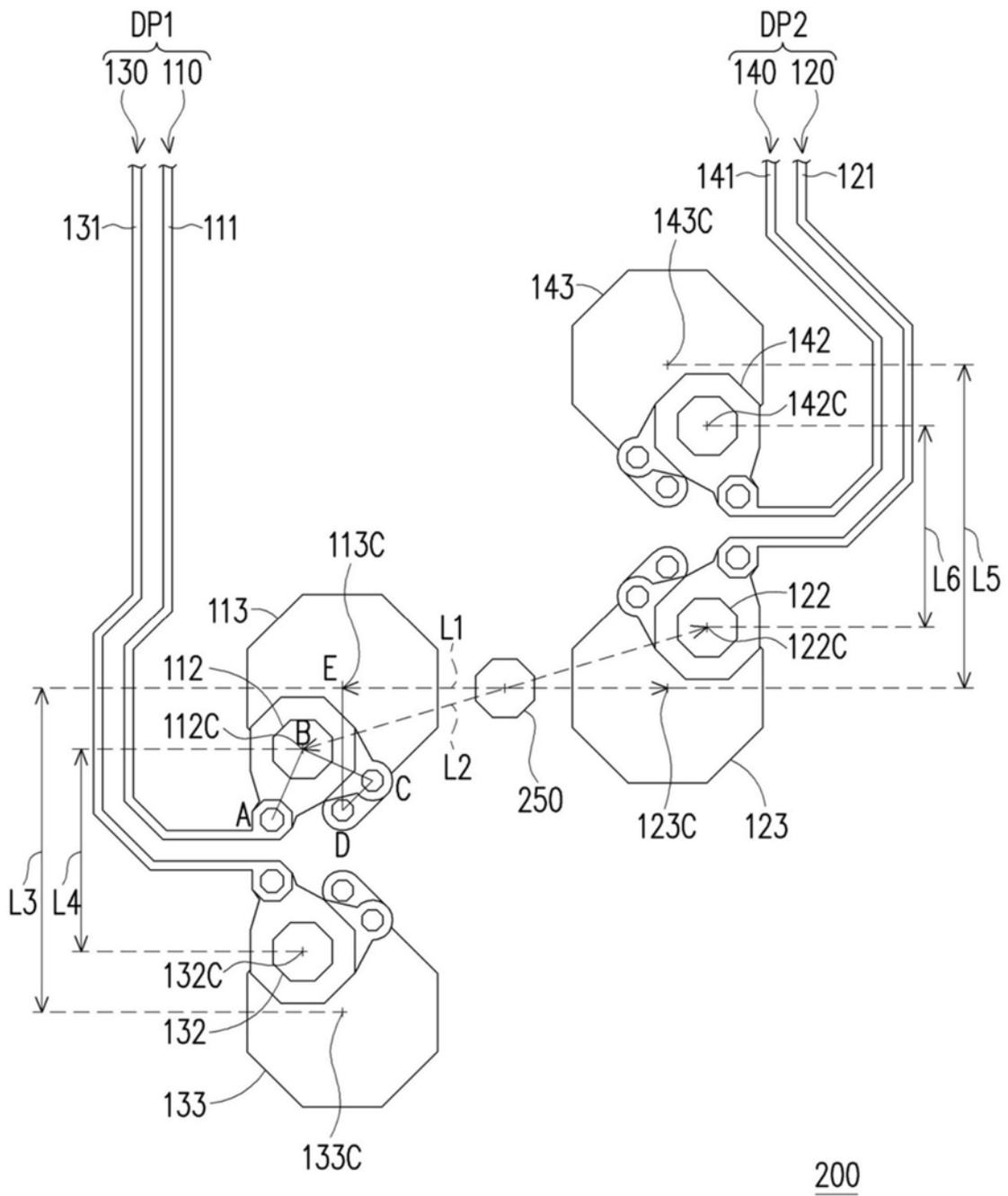


图5

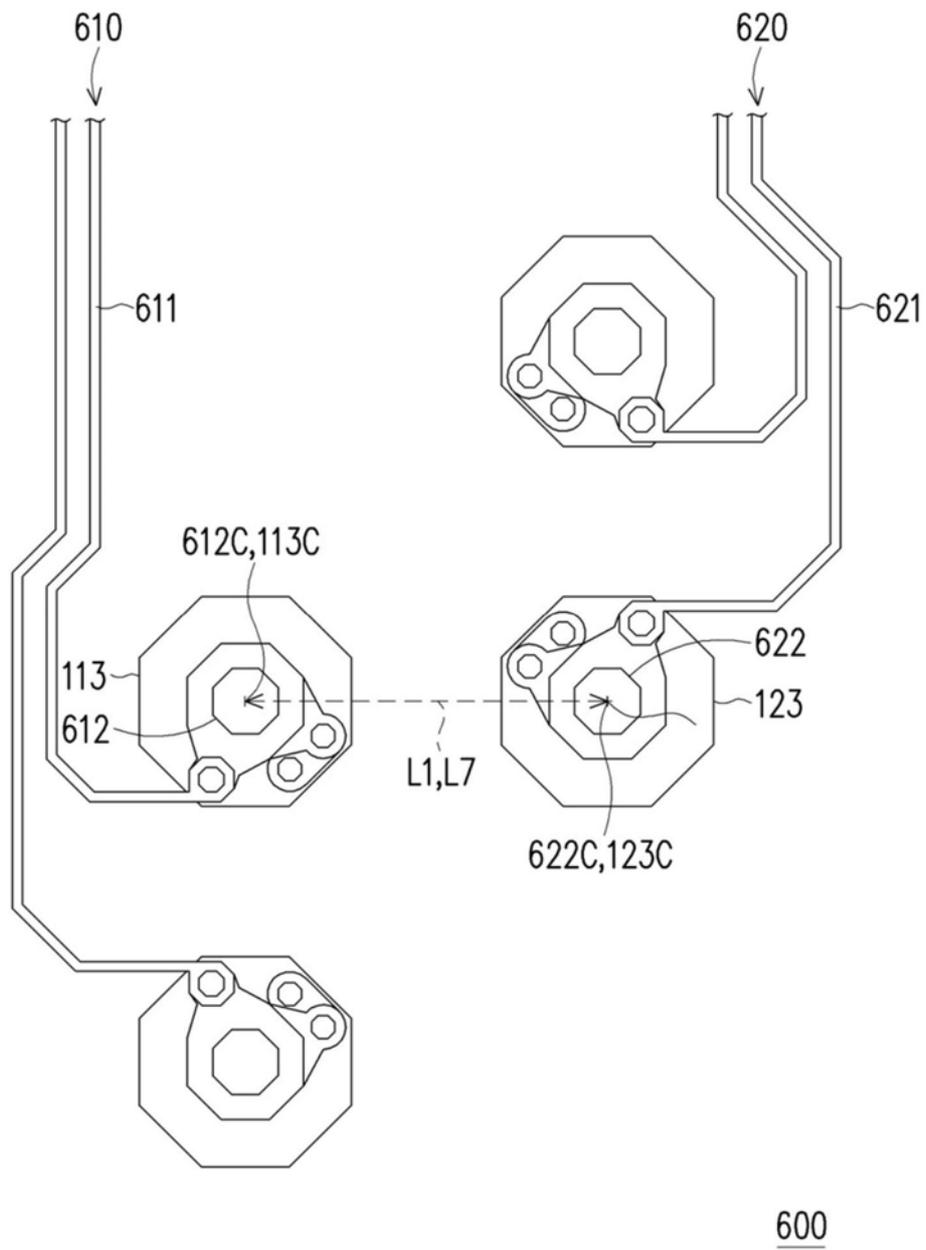


图6

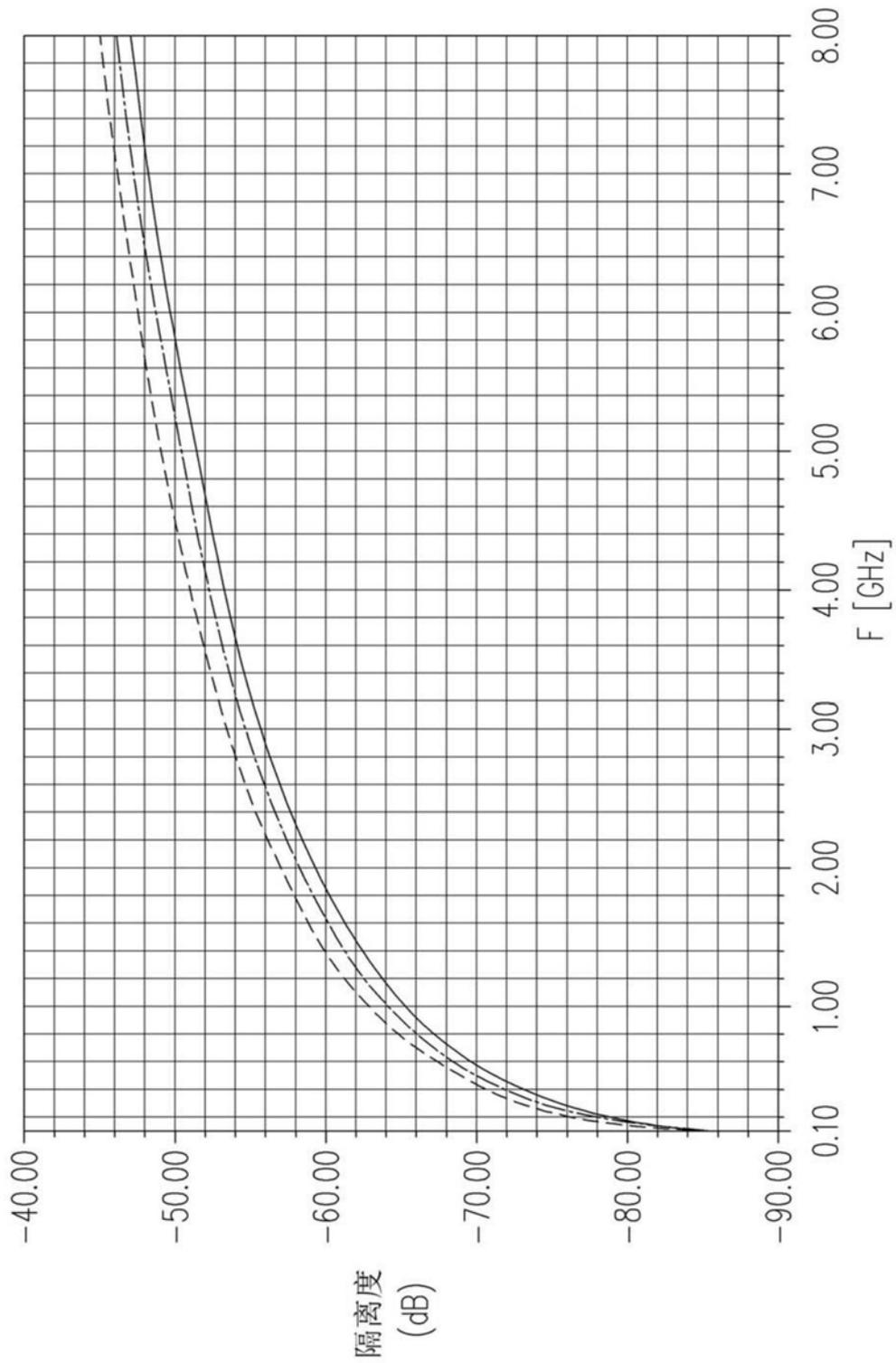


图7

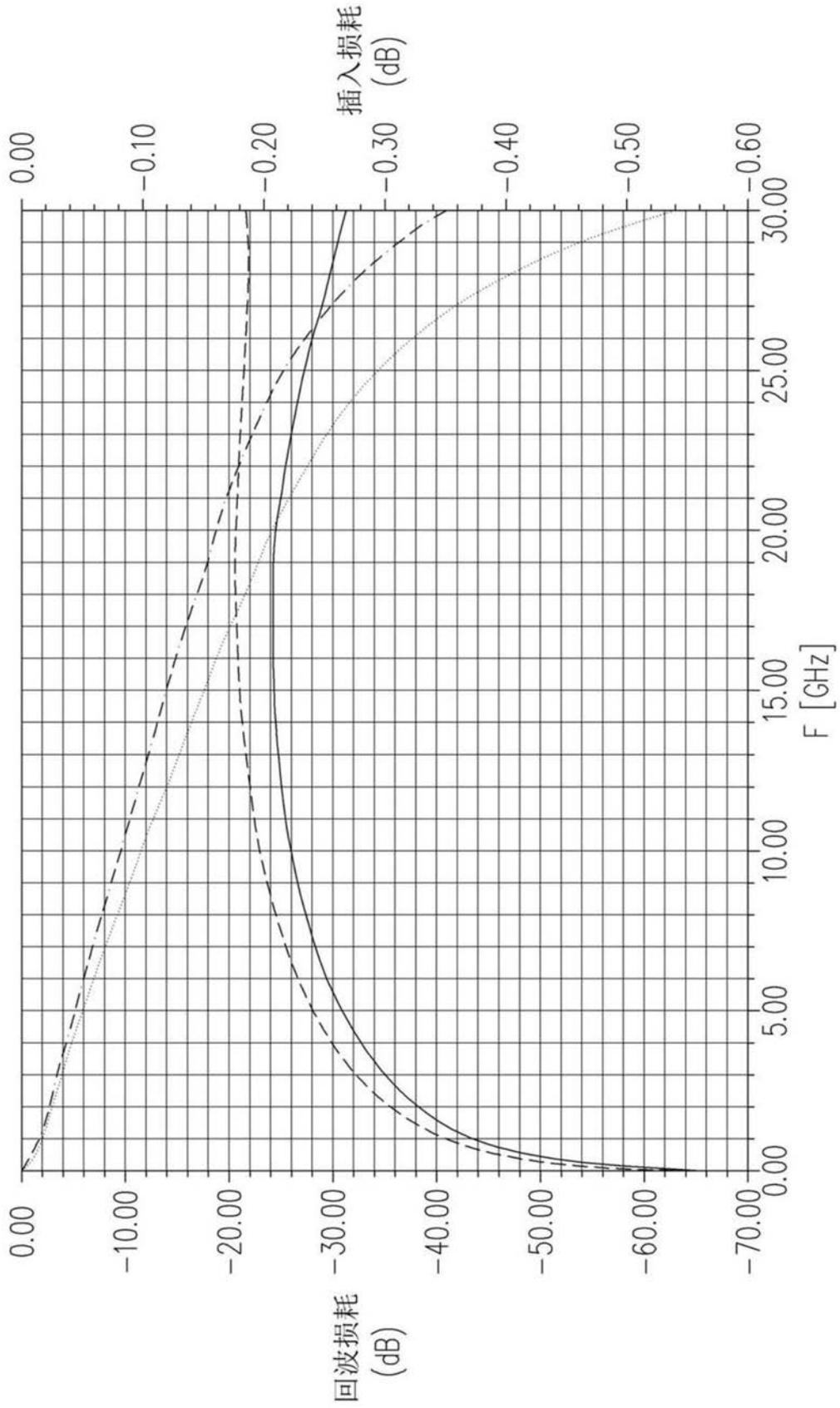


图8