



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년11월13일
 (11) 등록번호 10-1917588
 (24) 등록일자 2018년11월06일

(51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01) H01L 21/336 (2006.01)
 (21) 출원번호 10-2011-0113197
 (22) 출원일자 2011년11월02일
 심사청구일자 2016년10월27일
 (65) 공개번호 10-2012-0047202
 (43) 공개일자 2012년05월11일
 (30) 우선권주장
 JP-P-2010-246951 2010년11월03일 일본(JP)
 JP-P-2011-108892 2011년05월14일 일본(JP)
 (56) 선행기술조사문헌
 JP2007134687 A*
 KR1020100014141 A*
 US20060043377 A1*
 JP2009167087 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 고도 히로미치
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 고바야시 사토시
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 (74) 대리인
 장훈

전체 청구항 수 : 총 10 항

심사관 : 이흥민

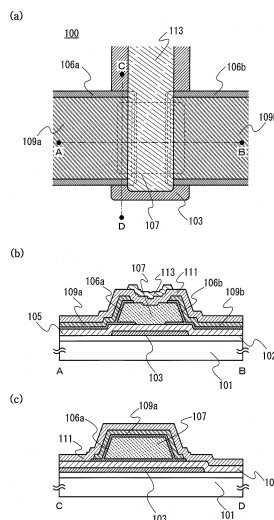
(54) 발명의 명칭 반도체 장치

(57) 요약

파워디바이스인 대전력 용도용 전계 효과 트랜지스터에 있어서, 특성이 양호한 전계 효과 트랜지스터를 제공한다.

제 1 게이트 전극과, 제 1 게이트 전극을 덮는 게이트 절연층과, 제 1 게이트 전극과 중첩되고, 또한 게이트 절연층과 접하는 산화물 반도체층과, 산화물 반도체층의 단부를 덮는 캐리어 밀도가 높은 산화물 반도체층과, 캐리어 밀도가 높은 산화물 반도체층과 접하는 소스 전극 및 드레인 전극과, 소스 전극, 드레인 전극 및 산화물 반도체층을 덮는 절연층과, 절연층과 접하고, 또한, 소스 전극 및 드레인 전극 사이에 형성되는 제 2 게이트 전극을 가지며, 캐리어 밀도가 높은 산화물 반도체층은, 산화물 반도체층을 개재하여 대향하고, 또한 산화물 반도체층의 단부의 상면, 하면, 및 측면의 각각 일부, 및 게이트 절연층의 상면 일부와 접하는 반도체 장치이다.

대표도 - 도1



명세서

청구범위

청구항 1

제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 절연층;

상기 제 1 절연층 위의 제 1 산화물 반도체층 및 제 2 산화물 반도체층;

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층 위의 제 3 산화물 반도체층;

상기 제 3 산화물 반도체층 위의 제 4 산화물 반도체층 및 제 5 산화물 반도체층;

상기 제 4 산화물 반도체층 위에 있고 상기 제 4 산화물 반도체층에 전기적으로 접속된 소스 전극;

상기 제 5 산화물 반도체층 위에 있고 상기 제 5 산화물 반도체층에 전기적으로 접속된 드레인 전극;

상기 소스 전극, 상기 드레인 전극, 및 상기 제 3 산화물 반도체층 위의 제 2 절연층; 및

상기 제 2 절연층 위의 제 2 게이트 전극을 포함하고,

상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 상기 제 4 산화물 반도체층, 및 상기 제 5 산화물 반도체층 각각은 상기 제 3 산화물 반도체층보다 더 높은 캐리어 밀도를 갖고,

상기 제 3 산화물 반도체층의 하나의 단부는 상기 제 1 산화물 반도체층 및 상기 제 4 산화물 반도체층에 의해 덮여 있고,

상기 제 3 산화물 반도체층의 다른 단부는 상기 제 2 산화물 반도체층 및 상기 제 5 산화물 반도체층에 의해 덮여 있는, 반도체 장치.

청구항 2

제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 절연층;

상기 제 1 절연층 위의 제 1 산화물 반도체층 및 제 2 산화물 반도체층;

상기 제 1 산화물 반도체층 및 제 2 산화물 반도체층 위의 제 3 산화물 반도체층;

상기 제 3 산화물 반도체층 위의 제 4 산화물 반도체층 및 제 5 산화물 반도체층;

상기 제 4 산화물 반도체층 위에 있고 상기 제 4 산화물 반도체층에 전기적으로 접속된 소스 전극;

상기 제 5 산화물 반도체층 위에 있고 상기 제 5 산화물 반도체층에 전기적으로 접속된 드레인 전극; 및

상기 제 3 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극을 덮는 제 2 절연층을 포함하고,

상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 상기 제 4 산화물 반도체층, 및 상기 제 5 산화물 반도체층 각각은 상기 제 3 산화물 반도체층보다 더 높은 캐리어 밀도를 갖는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제 2 절연층 위의 제 2 게이트 전극을 더 포함하는, 반도체 장치.

청구항 4

제 1 절연층;

상기 제 1 절연층 위의 제 1 산화물 반도체층 및 제 2 산화물 반도체층;
 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층 위의 제 3 산화물 반도체층;
 상기 제 3 산화물 반도체층 위의 제 4 산화물 반도체층 및 제 5 산화물 반도체층;
 상기 제 4 산화물 반도체층 위에 있고 상기 제 4 산화물 반도체층에 전기적으로 접속된 소스 전극;
 상기 제 5 산화물 반도체층 위에 있고 상기 제 5 산화물 반도체층에 전기적으로 접속된 드레인 전극;
 상기 제 3 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극을 덮는 제 2 절연층; 및
 상기 제 2 절연층 위의 제 1 게이트 전극을 포함하고,
 상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 상기 제 4 산화물 반도체층, 및 상기 제 5 산화물 반도체층 각각은 상기 제 3 산화물 반도체층보다 더 높은 캐리어 밀도를 갖는, 반도체 장치.

청구항 5

제 4 항에 있어서,
 상기 제 1 절연층 아래의 제 2 게이트 전극을 더 포함하는, 반도체 장치.

청구항 6

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,
 상기 제 3 산화물 반도체층의 두께는 0.2 μ m 이상 10 μ m 이하인, 반도체 장치.

청구항 7

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,
 상기 제 3 산화물 반도체층은 결정성 산화물 반도체층이고, 상기 결정성 산화물 반도체층은 표면에 평행한 a-b 면을 갖고 상기 표면에 수직 방향으로 c축 배향을 갖는, 반도체 장치.

청구항 8

제 7 항에 있어서,
 상기 결정성 산화물 반도체층은 인듐, 갈륨, 및 아연 중 적어도 하나를 포함하는, 반도체 장치.

청구항 9

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,
 상기 제 1 절연층은 화학량론비를 초과하는 양의 산소를 포함하는, 반도체 장치.

청구항 10

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,
 상기 제 4 산화물 반도체층은 상기 제 3 산화물 반도체층과 상기 소스 전극 사이에 위치하고,
 상기 제 5 산화물 반도체층은 상기 제 3 산화물 반도체층과 상기 드레인 전극 사이에 위치하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 개시하는 본 발명의 기술 분야는, 산화물 반도체를 사용한 반도체 장치에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 본 명세서 중에 기재하는 트랜지스터는 반도체 장치이며, 상기 트랜지스터를 포함하는 전기 광학 장치, 반

도체 회로 및 전자 기기는 모두 반도체 장치에 포함된다.

배경 기술

- [0003] 플랫 패널 디스플레이로 대표되는 액정 표시 장치나 발광 표시 장치의 대부분에 사용되고 있는 트랜지스터(박막 트랜지스터 등)는, 유리 기판 위에서 비정질 실리콘이나 다결정 실리콘 등의 실리콘 반도체에 의해 구성되어 있다.
- [0004] 그 실리콘 반도체 대신, 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 사용하는 기술이 주목받고 있다. 또한, 본 명세서 중에서는, 반도체 특성을 나타내는 금속 산화물을 산화물 반도체라고 부르기로 한다.
- [0005] 산화물 반도체로서는, 산화텅스텐, 산화주석, 산화인듐, 산화아연 등의 1원계 금속 산화물이나, 호모로가스(homologous) 화합물인 In-Ga-Zn-O계 산화물이 있으며, 이들을 사용하여 트랜지스터를 제작하여 표시 장치의 화소의 스위칭 소자 등에 사용하는 기술이, 이미 특허문헌 1 및 특허문헌 2에 개시되어 있다.
- [0006] 상기 액정 표시 장치나 발광 표시 장치 이외에, 실리콘의 반도체 특성을 사용하는 반도체 디바이스로서는, 대전력 용도용 파워 디바이스가 있다. 파워 디바이스는 전기 기기의 전력 제어에 없어서는 안될 반도체 장치이며, 예를 들면, 전기 기기의 배터리 보호 회로나, 하이브리드 자동차의 전기 모터를 구동시키기 위한 인버터 등에 사용되고 있다.
- [0007] 대표적인 파워 디바이스로서는, 정류 다이오드, 파워 MOSFET(Metal-Oxide Silicon Field-Effect Transistor) 또는 절연 게이트 바이폴라 트랜지스터(Insulated Gate Bipolar Transistor: IGBT) 등이 있으며, 파워 디바이스에는, 우수한 내압 특성, 및 높은 출력 전류가 필요하다.
- [0008] 예를 들면, 내압 특성이 우수한 쇼트키 배리어 다이오드로서, 실리콘 반도체의 하나인 탄화규소(SiC)를 사용하는 기술이 알려져 있다(특허문헌 3 참조).

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본 공개특허공보 2007-123861호
(특허문헌 0002) 일본 공개특허공보 2007-96055호
(특허문헌 0003) 일본 공개특허공보 2000-133819호

발명의 내용

해결하려는 과제

- [0010] 대전력 용도용 파워 디바이스에는, 우수한 내압 특성, 및 높은 출력 전류의 확보가 필요하지만, 실제로 이것을 제조하기에는 매우 많은 문제가 내재하고 있다.
- [0011] 예를 들면, 우수한 내압 특성(드레인 내압)을 얻기 위한 방법으로서, 파워 디바이스의 반도체층을 두껍게 하면 좋지만, 단순히 상기 반도체층을 두껍게 하는 것만으로는, 출력 전류를 저하시킬 가능성이 있다.
- [0012] 그래서 상기 과제를 감안하여 본 발명의 일 형태는, 특성이 양호한 반도체 장치를 제공하는 것을 과제로 한다.

과제의 해결 수단

- [0013] 전계 효과 트랜지스터에 있어서, 내압 특성(드레인 내압)을 높게 하기 위해서, 채널 영역을 형성하는 반도체층의 두께를 두껍게 하는 경우, 반도체층의 두께 방향에 있어서의 반도체층의 저항에 의해, 온 전류가 저감된다.
- [0014] 온 전류란, 전계 효과 트랜지스터가 온 상태일 때에, 소스 전극과 드레인 전극 사이에 흐르는 전류(드레인 전류)를 말한다. 예를 들면, 게이트 전압이 전계 효과 트랜지스터의 임계값 전압보다도 높을 때에 소스 전극과

드레인 전극 사이에 흐르는 전류(드레인 전류)이다.

- [0015] 본 발명에서 개시하는 전계 효과 트랜지스터는, 게이트 전극을 2개 형성하는 듀얼 게이트형의 트랜지스터이며, 또한, 채널 영역을 형성하는 반도체층의 일부에 캐리어 밀도가 높은 반도체층을 형성하는 트랜지스터이다. 듀얼 게이트형의 트랜지스터로 함으로써, 반도체층과, 2개의 게이트 전극 및 반도체층 사이에 형성되는 절연층과의 계면 근방에 채널 영역을 형성할 수 있어 온 전류를 향상시킬 수 있다. 또한, 트랜지스터의 반도체층의 일부에 캐리어 밀도가 높은 반도체층을 형성함으로써, 반도체층의 두께 방향에 있어서의 저항에 의한 온 전류의 저감을 억제할 수 있다.
- [0016] 또한, 본 발명에서 개시하는 전계 효과 트랜지스터는, 채널 영역을 형성하는 반도체층의 단부가, 캐리어 밀도가 높은 반도체층으로 덮여 있는 구조이다. 상기 구조로 함으로써, 반도체층과 소스 전극 및 드레인 전극과의 접촉 저항을 저감시킬 수 있기 때문에, 온 전류의 저감을 억제할 수 있다.
- [0017] 또한, 본 발명에서 개시하는 전계 효과 트랜지스터는, 반도체층에 실리콘 반도체보다도 큰 밴드갭을 갖는 산화물 반도체를 사용함으로써, 우수한 내압 특성(드레인 내압)을 실현할 수 있다.
- [0018] 본 발명의 일 형태는, 제 1 게이트 전극과, 제 1 게이트 전극을 덮는 게이트 절연층과, 제 1 게이트 전극과 중첩되고, 또한 게이트 절연층과 접하는 산화물 반도체층과, 산화물 반도체층의 단부를 덮는 캐리어 밀도가 높은 산화물 반도체층과, 캐리어 밀도가 높은 산화물 반도체층과 접하는 소스 전극 및 드레인 전극과, 소스 전극, 드레인 전극 및 산화물 반도체층을 덮는 절연층과, 절연층과 접하고, 또한, 소스 전극 및 드레인 전극 사이에 형성되는 제 2 게이트 전극을 가지며, 캐리어 밀도가 높은 산화물 반도체층은, 산화물 반도체층을 개재하여 대향하고, 또한, 산화물 반도체층의 단부의 상면, 하면, 및 측면의 각각 일부, 및 게이트 절연층의 상면 일부와 접하는 것을 특징으로 하는 반도체 장치이다.
- [0019] 또한, 상기 산화물 반도체층의 두께는, 0.2 μ m 이상 10 μ m 이하가 바람직하고, 상기 산화물 반도체층은 결정성 산화물 반도체층으로 해도 좋다. 결정성 산화물 반도체층으로 함으로써, 가시광이나 자외광의 조사에 의한 트랜지스터의 전기적 특성 변화를 억제하여 신뢰성이 높은 반도체 장치로 할 수 있다. 또한, 상기 결정성 산화물 반도체층은, 단결정 구조가 아니며, 비정질 구조도 아닌 구조이며, c축 배향을 갖는 결정(C Axis Aligned Crystal; CAAC라고도 한다)을 포함하는 산화물을 가진다.
- [0020] 즉, 본 발명의 다른 일 형태는, 상기 반도체 장치에 있어서, 산화물 반도체층은 결정성 산화물 반도체층으로서, 상기 결정성 산화물 반도체층은 표면에 평행한 a-b면을 가지며, 상기 표면에 대해 수직 방향으로 c축 배향을 하고 있는 것을 특징으로 하는 반도체 장치이다.
- [0021] 또한, 본 발명의 다른 일 형태는, 결정성 산화물 반도체층에 아연을 함유하는 반도체 장치이다. 그리고, 결정성 산화물 반도체층에 아연을 함유하고, 또한 인듐을 함유하는 반도체 장치도, 본 발명의 다른 일 형태이다.

발명의 효과

- [0022] 본 발명의 일 형태에 의해, 온 전류의 저감을 억제할 수 있고, 높은 내압 특성(드레인 내압)을 갖는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 형태인 트랜지스터를 설명하는 평면도 및 단면도.
- 도 2는 본 발명의 일 형태인 트랜지스터를 설명하는 평면도.
- 도 3은 본 발명의 일 형태인 트랜지스터의 제작 방법을 설명하는 단면도.
- 도 4는 본 발명의 일 형태인 트랜지스터를 설명하는 평면도 및 단면도.
- 도 5는 이차원 결정을 설명하는 도면.
- 도 6은 계산에 사용하는 본 발명의 일 형태인 트랜지스터의 구조를 설명하는 단면도.
- 도 7은 본 발명의 일 형태인 트랜지스터의 드레인 전류의 계산 결과를 설명하는 도면.
- 도 8은 계산에 사용하는 본 발명의 일 형태인 트랜지스터의 구조를 설명하는 단면도.
- 도 9는 본 발명의 일 형태인 트랜지스터를 사용한 전자 기기를 설명하는 도면.

- 도 10은 산화물 반도체의 일례.
- 도 11은 산화물 반도체의 일례.
- 도 12는 산화물 반도체의 일례.
- 도 13은 게이트 전압과 전계 효과 이동도의 관계.
- 도 14는 게이트 전압과 드레인 전류의 관계.
- 도 15는 게이트 전압과 드레인 전류의 관계.
- 도 16은 게이트 전압과 드레인 전류의 관계.
- 도 17은 트랜지스터의 특성.
- 도 18은 트랜지스터의 특성.
- 도 19는 트랜지스터의 특성.
- 도 20은 트랜지스터의 오프 전류의 온도 의존성.
- 도 21은 산화물 반도체의 일례.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하에서는, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은, 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것이 아니다. 또한, 도면을 사용하여 발명의 구성을 설명함에 있어서, 동일한 것을 가리키는 부호는 다른 도면간에서도 공통적으로 사용한다. 또한, 같은 것을 가리킬 때는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다. 또한, 각 도면에 있어서 나타내는 각 구성의, 크기, 층의 두께, 또는 영역은, 명료화를 위해 과장되어 표기하는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다.
- [0025] 트랜지스터를 구성하는 각 층(또는 전극)의 중첩을 표현할 때에, 상층 단부로부터 튀어 나와 있는 하층 단부를, 편의상, 트랜지스터의 평면도에는 도시하지 않는 경우가 있다.
- [0026] A와 B가 접속되어 있다, 라고 기재하는 경우는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기에서, A, B는 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층, 등)이라고 한다.
- [0027] 또한, 전압이란 2점간에 있어서의 전위차를 말하고, 전위란 어떤 1점에 있어서의 정전장 중에 있는 단위 전하가 갖는 정전 에너지(전기적인 위치 에너지)를 말한다. 단, 일반적으로, 어떤 1점에 있어서의 전위와 기준이 되는 전위(예를 들면 접지 전위)의 전위차를, 단순히 전위 또는 전압이라고 하고, 전위와 전압이 동의어로서 사용되는 경우가 많다. 이로 인해, 본 명세서에서는 특별히 지정하는 경우를 제외하고, 전위를 전압이라고 바꿔 읽어도 좋고, 전압을 전위라고 바꿔 읽어도 좋은 것으로 한다.
- [0028] 「소스」나 「드레인」의 기능은, 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에는 교체되는 경우가 있다. 이로 인해, 본 명세서에 있어서는, 「소스」나 「드레인」이라는 용어는, 교체하여 사용할 수 있는 것으로 한다.
- [0029] (실시형태 1)
- [0030] 본 실시형태에서는, 본 발명의 일 형태인 트랜지스터의 구조 및 제작 방법에 관해서, 도 1 내지 도 3을 사용하여 설명한다.
- [0031] <트랜지스터(100)의 구조>
- [0032] 도 1a는 트랜지스터(100)의 평면도이다. 도 1a에 있어서, 하지 절연층(102), 게이트 절연층(105) 및 절연층(111)은, 편의상 도시하고 있지 않다. 도 1a에는, 게이트 전극으로서 기능하는 제1 게이트 전극(103)과, 채널 형성 영역으로서 기능하는 산화물 반도체층(107)과, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)과, 소스 전극(109a) 및 드레인 전극(109b)과, 소스 전극(109a) 및 드레인 전극(109b) 사이에 형성되고, 절연층(111)을

개재하여 산화물 반도체층(107)과 증착되고, 백 게이트 전극으로서 기능하는 제 2 게이트 전극(113)이 도시되어 있다. 즉, 트랜지스터(100)는 듀얼 게이트형의 트랜지스터이다.

- [0033] 다음에, 도 1b에, 트랜지스터(100)의 A-B 사이에 있어서의 단면도를 도시한다. 트랜지스터(100)는, 기판(101) 위에, 하지 절연층(102), 제 1 게이트 전극(103), 게이트 절연층(105), 산화물 반도체층(107), 캐리어 밀도가 높은 산화물 반도체층(106a, 106b), 소스 전극(109a), 드레인 전극(109b), 절연층(111), 및 제 2 게이트 전극(113)을 포함한다.
- [0034] 트랜지스터(100)의 A-B 사이에 있어서의 단면 구조를 설명한다. 하지 절연층(102)은 기판(101) 위에 형성된다. 제 1 게이트 전극(103)은, 하지 절연층(102)에 접하여 형성된다. 제 1 게이트 전극(107)은 게이트 절연층(105)으로 덮여 있다. 산화물 반도체층(107)은 제 1 게이트 전극(103)과 증착되고, 또한 게이트 절연층(105)에 접하여 형성된다. 산화물 반도체층(107)의 단부는, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)으로 덮여 있다. 소스 전극(109a) 및 드레인 전극(109b)은, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)에 접하고 있다. 절연층(111)은 산화물 반도체층(107), 소스 전극(109a) 및 드레인 전극(109b)을 덮고 있다. 제 2 게이트 전극(113)은, 절연층(111)에 접하고, 또한 소스 전극(109a) 및 드레인 전극(109b) 사이에 형성된다.
- [0035] 또한, 상기 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)은, 산화물 반도체층(107)을 개재하여 대향하고, 또한, 산화물 반도체층(107) 단부의 상면, 하면, 및 측면의 각각 일부, 및 게이트 절연층(105)의 상면 일부와 접하고 있다.
- [0036] 또한, 도 1a의 C-D 사이에 있어서의 단면도를, 도 1c에 도시한다. 도 1c는 소스 전극(109a)을 도시하고 있다. 캐리어 밀도가 높은 산화물 반도체층(106a)은, 산화물 반도체층(107)의 상면, 하면, 측면 모두에 접하고 있다. 그리고, 소스 전극(109a)은 캐리어 밀도가 높은 산화물 반도체층(106a)에 접하고 있다.
- [0037] 트랜지스터(100)는 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)이, 산화물 반도체층(107)의 단부를 덮고, 또한 소스 전극(109a), 드레인 전극(109b)과 접하고 있음으로써, 산화물 반도체층(107)과 소스 전극(109a) 및 드레인 전극(109b)의 접촉 저항을 저감시킬 수 있기 때문에, 접촉 저항에 의해 발생하는 온 전류의 저감을 억제할 수 있다.
- [0038] 전계 효과 트랜지스터에 있어서, 내압 특성(드레인 내압)을 높게 하기 위해서, 채널 형성 영역인 반도체층의 두께를 두껍게 하면, 반도체층의 두께 방향에 있어서의 저항에 의해, 온 전류가 저감된다. 그러나, 도 1b 및 도 1c와 같이, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)의 일부가, 게이트 절연층(105)과 산화물 반도체층(107) 사이에 형성됨으로써, 반도체층의 두께 방향에 있어서의 저항에 의한 온 전류의 저감을 억제할 수 있다.
- [0039] 또한, 게이트 절연층(105)과 산화물 반도체층(107) 사이에 형성되는 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)의 일부를, 금속 재료 또는 이들의 합금 재료 등으로 치환함으로써, 온 전류의 저감을 억제하는 효과를 얻을 수 있을 것으로 예상된다. 그러나, 그 경우, 금속 재료 또는 이들의 합금 재료와, 산화물 반도체층(107)이 접촉되어 버리기 때문에, 접촉 저항에 의해, 상기 효과를 충분히 얻을 수 없다. 이로 인해, 게이트 절연층(105)과 산화물 반도체층(107) 사이의 일부에, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)을 형성하는 것이 바람직하다.
- [0040] 그리고, 트랜지스터(100)는 제 1 게이트 전극(103) 및 제 2 게이트 전극(113)을 갖는 듀얼 게이트형의 트랜지스터이기 때문에, 산화물 반도체층(107)과 게이트 절연층(105)의 계면 근방, 및, 산화물 반도체층(107)과 절연층(111)의 계면 근방에 채널 영역을 형성할 수 있고, 트랜지스터(100)의 온 전류를 향상시킬 수 있다.
- [0041] <트랜지스터(100)의 구성 재료>
- [0042] 기판(101)은 퓨전법이나 플로트법으로 제작되는 무알칼리 유리 기판, 나중의 가열 처리에 견딜 수 있는 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 스테인리스 등의 금속 기판의 표면에 절연막을 형성한 기판이나, 반도체 기판의 표면에 절연막을 형성한 기판을 적용해도 좋다.
- [0043] 또한, 유리 기판으로서, 나중의 가열 처리의 온도가 높은 경우에는, 변형점이 730℃ 이상인 것을 사용하면 좋다. 유리 기판에는, 예를 들면, 알루미늄노실리케이트 유리, 알루미늄노보로실리케이트 유리, 바륨노실리케이트 유리 등의 유리 재료가 사용되고 있다. 산화붕소(B₂O₃)와 비교하여 산화바륨(BaO)을 많이 함유시킴으로써, 보다 실용적인 내열 유리가 얻어진다. 이로 인해, 붕산보다 BaO를 많이 함유하는 유리 기판을 사용하는 것이 바람직하다.

- [0044] 또한, 상기의 유리 기판 대신, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 이루어지는 기판을 사용해도 좋다. 그 외에도, 결정화 유리 등을 사용할 수 있다.
- [0045] 기판(101)과 제 1 게이트 전극(103) 사이에 형성되는 하지 절연층(102)은, 기판(101)으로부터의 불순물 원소의 확산을 방지하는 것 이외에, 트랜지스터의 제작 공정에 있어서의 에칭 공정에 의해, 기판이 에칭되는 것을 방지한다. 하지 절연층(102)의 두께에 한정은 없지만, 이것에 의해, 하지 절연층의 두께는 50nm 이상으로 하는 것이 바람직하다. 또한, 하지 절연층(102)으로서, 산화실리콘막, 산화갈륨막, 산화알루미늄막, 질화실리콘막, 산화질화실리콘막, 산화질화알루미늄막, 또는 질화산화실리콘막 등의 산화물 절연막, 또는 질화물 절연막으로부터 선택되는 단층 구조 또는 이들의 적층 구조를 사용한다. 또한, 질화알루미늄막, 질화산화알루미늄막 및 질화실리콘막은, 열전도율이 높기 때문에 하지 절연막에 사용함으로써, 방열성을 양호하게 할 수 있다. 또한, Li나 Na 등의 알칼리 금속은, 불순물이기 때문에 함유량을 적게 하는 것이 바람직하고, 기판(101)에 알칼리 금속 등의 불순물을 함유하는 유리 기판을 사용하는 경우, 알칼리 금속의 침입 방지를 위해, 질화실리콘막, 질화알루미늄막 등 질화물 절연막을 형성하는 것이 바람직하고, 그 때는 질화물 절연막 위에 산화물 절연막을 적층하는 것이 더욱 바람직하다.
- [0046] 게이트 전극이 되는 제 1 게이트 전극(103)은, 몰리브덴, 티탄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 제 1 게이트 전극(103)은, 단층 구조, 또는 2층 이상의 적층 구조로 할 수 있다. 예를 들면, 실리콘을 함유하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, 텅스텐막 위에 티탄막을 적층하는 2층 구조, 티탄막과, 그 티탄막 위에 중첩하여 알루미늄막을 적층하고, 또한 그 위에 티탄막을 형성하는 3층 구조 등을 들 수 있다.
- [0047] 제 1 게이트 전극(103)의 두께는, 특별히 한정은 없으며, 금속 재료, 합금 재료, 또는 그 밖의 화합물로 이루어지는 도전막의 전기 저항이나, 제작 공정에 걸리는 시간을 고려하여, 적절히 결정할 수 있다.
- [0048] 게이트 절연층(105)은 산화물 반도체층(107)에 접하기 때문에 고품질화가 요구된다. 왜냐하면, 후술하는 산화물 반도체층(107)은, 불순물을 제거함으로써 i형화 또는 실질적으로 i형화된 산화물 반도체층(수소 농도가 저감되어 고순도화된 산화물 반도체층)이기 때문에, 계면 준위, 계면 전하에 대해 지극히 민감하여 게이트 절연층(105)과의 계면은 중요해지기 때문이다.
- [0049] 게이트 절연층(105)은, 산화실리콘막, 산화갈륨막, 산화알루미늄막, 질화실리콘막, 산화질화실리콘막, 산화질화알루미늄막, 또는 질화산화실리콘막을 사용하여 형성할 수 있다. 또한, 게이트 절연층(105)은, 산화물 반도체층(107)과 접하는 부분에 있어서 산소를 함유하는 것이 바람직하다. 특히, 산화물 절연막은, 막 중(벌크 중)에 적어도 화학량론비를 초과하는 양의 산소가 존재하는 것이 바람직하고, 예를 들면, 게이트 절연층(105)으로서, 산화실리콘막을 사용하는 경우에는, $\text{SiO}_{2+\alpha}$ (단, $\alpha > 0$)로 한다. 상기 산화실리콘막을 게이트 절연층(105)으로서 사용함으로써, 산화물 반도체층(107)에 산소를 공급할 수 있어 특성을 양호하게 할 수 있다. 또한, 게이트 절연층(105)은 제작하는 트랜지스터 사이즈(채널 길이 및 채널 폭) 및 게이트 절연층(105)의 단차 피복성을 고려하여 형성하는 것이 바람직하다.
- [0050] 또한, 산화하프늄, 산화이트륨, 하프늄실리케이트(HfSi_xO_y ($x > 0, y > 0$)), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0, y > 0, z > 0$)), 하프늄알루미늄네이트(HfAl_xO_y ($x > 0, y > 0$)) 등의 high-k 재료를 사용함으로써 게이트 리크 전류를 저감시킬 수 있다. 또한, 게이트 절연층(105)은 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 또한, 게이트 절연층(105)의 두께를 두껍게 함으로써, 게이트 리크 전류를 저감시킬 수 있다. 또한, 게이트 절연층의 막 두께는, 50nm 이상 500nm 이하로 하면 좋다.
- [0051] 산화물 반도체층(107)으로서, 4원계 금속 산화물인 In-Sn-Ga-Zn계나, 3원계 금속 산화물인 In-Ga-Zn계, In-Sn-Zn계, In-Al-Zn계, Sn-Ga-Zn계, Al-Ga-Zn계, Sn-Al-Zn계나, 2원계 금속 산화물인 In-Ga계, In-Zn계, Sn-Zn계, Al-Zn계나, 1원계 금속 산화물인 산화아연 등을 사용하여 형성할 수 있다. 상기 금속 산화물 이외에, 산화인듐, 산화주석 등의 금속 산화물이 있으며, 산화물 반도체층(107)에 사용하는 것은 가능하지만, 후술하는 결정성 산화물 반도체의 제작을 고려하여 산화물 반도체층(107)은 아연을 함유하는 금속 산화물, 또는 아연 및 인듐을 함유하는 금속 산화물인 것이 바람직하다. 예를 들면, In-Ga-Zn계의 재료란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물막이라는 의미이며, 그 조성비는 특별히 상관없다. 또한, In과 Ga와 Zn 이외의 원소를 함유하고 있어도 좋다.

- [0052] 또한, 산화물 반도체층(107)은 수소 등의 불순물이 충분히 제거되어 충분한 산소가 공급됨으로써, 고순도화된 것이 바람직하다. 구체적으로는, 산화물 반도체층(107)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 또한, 상기의 산화물 반도체층(107) 중의 수소 농도는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)로 측정되는 것이다. 이와 같이, 후술하는 제작 공정에 의해, 수소 농도가 충분히 저감되고, 또한 충분한 산소의 공급에 의해 산소 결핍에 기인하는 에너지 갭 중의 결합 준위가 저감된 산화물 반도체층(107)에서는, 수소 등의 도너에 기인하는 캐리어 밀도가 1×10^{10} /cm³ 이상 1×10^{13} /cm³ 이하가 된다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체를 사용함으로써, 양호한 전기 특성을 갖는 트랜지스터(100)를 얻을 수 있다. 또한, Li나 Na 등의 알칼리 금속은, 불순물이기 때문에 함유량을 적게 하는 것이 바람직하고, 산화물 반도체층(107) 중에 2×10^{16} cm⁻³ 이하, 바람직하게는, 1×10^{15} cm⁻³ 이하의 농도로 한다. 또한, 알칼리 토류 금속도 불순물이기 때문에, 함유량을 적게 하는 것이 바람직하다.
- [0053] 이 중에서도, In-Ga-Zn-O계 금속 산화물은, 무전계일 때의 저항이 충분히 높고, 전계 효과 이동도도 높기 때문에, 반도체 장치에 사용하는 반도체 재료로서는 적합하다.
- [0054] 또한, 전계 효과 트랜지스터의 드레인 내압은 산화물 반도체층의 막 두께에 의존하기 때문에, 드레인 내압을 높게 하기 위해서는, 산화물 반도체층(107)의 두께는 두꺼운 편이 바람직하고, 원하는 드레인 내압에 걸맞는 두께를 선택할 수 있다. 그래서, 소스 전극 및 드레인 전극간의 전류량 및 드레인 내압을 고려하여, 산화물 반도체층(107)의 두께는, 0.2 μ m 이상 10 μ m 이하로 하는 것이 좋다.
- [0055] 여기서, 산화물 반도체를 사용한 트랜지스터의 드레인 내압에 관해서 설명한다.
- [0056] 반도체 중의 전계가 어떤 임계값에 도달하면, 충돌 이온화가 생기고, 공핍층 내에서 고전계에 의해 가속된 캐리어가 결정 격자에 충돌하고, 전자와 정공의 쌍을 생성한다. 더욱 전계가 높아지면, 충돌 이온화에 의해 발생한 전자와 정공의 쌍도 더욱 전계에 의해 가속되어, 충돌 이온화를 반복하고, 전류가 지수함수적으로 증가하는 애벌런치 항복이 발생한다. 충돌 이온화는, 캐리어(전자, 정공)가 반도체의 밴드갭 이상의 운동 에너지를 가짐으로써 발생한다. 충돌 이온화가 일어나기 쉬운 것을 나타내는 충돌 이온화 계수와 밴드갭에는 상관이 있으며, 밴드갭이 클 수록 충돌 이온화가 작아지는 경향이 알려져 있다.
- [0057] 산화물 반도체의 밴드갭은 3.15eV이며, 실리콘의 밴드갭 1.12eV와 비교하면, 크기 때문에, 애벌런치 항복이 일어나기 어렵다. 이로 인해, 산화물 반도체를 사용한 트랜지스터는 드레인 내압이 높아져 고전계가 가해져도 온전류는 지수함수적으로 급상승하기 어렵다.
- [0058] 다음에, 산화물 반도체를 사용한 트랜지스터의 핫 캐리어 열화에 관해서 설명한다.
- [0059] 핫 캐리어 열화란, 고속으로 가속된 전자가 채널 중의 드레인 근방에서 게이트 절연막 중으로 주입되어 고정 전하가 되는 것이나, 게이트 절연막 계면에 트랩 준위를 형성함으로써, 및 임계 전압의 변동이나 게이트 리크 등의 트랜지스터 특성의 열화가 생기는 것이며, 핫 캐리어 열화의 요인으로서, 채널 핫 일렉트론 주입(CHE 주입)과 드레인 애벌런치 핫 캐리어 주입(DAHC 주입)이 있다.
- [0060] 실리콘은 밴드갭이 좁기 때문에, 애벌런치 항복에 의해 눈사태적으로 전자가 발생하기 쉬워, 게이트 절연막으로의 장벽을 넘을 수 있을 정도의 고속으로 가속되는 전자수가 증가한다. 그러나, 산화물 반도체는 밴드갭이 넓기 때문에, 애벌런치 항복이 발생하기 어렵고, 실리콘과 비교하여 핫 캐리어 열화의 내성이 높다. 이상에 의해 산화물 반도체를 사용한 트랜지스터는 높은 드레인 내압을 가진다고 할 수 있다. 이로 인해, 본 실시형태에 나타내는 트랜지스터는, 정류 다이오드나, 절연 게이트 바이폴라 트랜지스터(Insulated Gate Bipolar Transistor: IGBT) 등의 대전력 용도의 파워 디바이스에 적합하다.
- [0061] 산화물 반도체층(107)의 단부를 덮는 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)은, In-Zn-O계의 재료, In-Sn-O계의 재료, In-O계의 재료, Sn-O계의 재료를 사용하여 형성할 수 있다. 또한, 상기의 재료에 SiO_x(x>0, 예를 들면, SiO₂)을 함유시키도 좋고, 상기의 재료에 SiO_x를 함유시킴으로써, 형성되는 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)을 비정질화시키는 것이 용이해진다. 그 경우, 트랜지스터(100)의 제작 공정에 있어서 열처리했을 때에, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)이 결정화되어 버리는 것을 억제할 수 있다. 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)은, 1nm 이상 200nm 이하의 두께로 형성하면 좋다.

- [0062] 소스 전극(109a) 및 드레인 전극(109b)은, 제 1 게이트 전극(103)에 관해서 설명한 금속 재료 또는 합금 재료를 사용할 수 있고, 전극의 두께 및 구조에 관해서도 제 1 게이트 전극(103)에 관해서 설명한 것을 참조하여, 적절히 결정할 수 있다.
- [0063] 절연층(111)은 게이트 절연층(105)의 기재에서 설명한 종류의 절연막으로 형성할 수 있다. 절연층(111)도 채널 형성 영역인 산화물 반도체층(107)과 접하기 때문에, 산화물 반도체층(107)과 접하는 부분에 있어서 산소를 함유하는 것이 바람직하고, 특히 바람직하게는 산화실리콘막에 의해 형성한다. 상기 산화실리콘막(SiO_{2+x} (단, $x > 0$))을 사용함으로써, 산화물 반도체층(107)에 산소를 공급할 수 있어 특성을 양호하게 할 수 있다. 또한, 게이트 절연층(105)의 기재에서 설명한 high-k 재료를 사용할 수도 있다. 또한, 절연층(111)은 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 또한, 절연층(111)의 두께를 두껍게 함으로써, 백 게이트층에 있어서의 게이트 리크 전류를 저감시킬 수 있다. 또한, 절연층(111)의 막 두께는, 50nm 이상 500nm 이하로 하면 좋다.
- [0064] 백 게이트 전극이 되는 제 2 게이트 전극(113)은, 제 1 게이트 전극(103)에 관해서 설명한 금속 재료 또는 합금 재료를 사용할 수 있고, 전극의 두께 및 구조에 관해서도 제 1 게이트 전극(103)에 관해서 설명한 것을 참조하여 적절히 결정할 수 있다.
- [0065] 신뢰성에 있어서, 산화물 반도체를 사용한 트랜지스터는, 가시광 및 자외광의 조사, 열이나 전계가 가해짐으로써, 전기 특성이 변화된다. 전기 특성의 변화에는, 예를 들면, 게이트 전극에 전압이 인가되지 않은 상태($V_g=0$)에서도 드레인 전류가 발생하는 노멀리 온화가 있다. 본 발명의 일 형태의 트랜지스터(100)를, 전자가 다수 캐리어인 n형의 트랜지스터로서 고려하는 경우, 드레인 전류에 있어서의 전자는, 공핍층이 형성되는 영역을 흐른다. 즉, 상기 전자가 흐르는 영역은, 소스 전극(109a), 드레인 전극(109b) 및 절연층(111)이 형성되어 있는 층의 산화물 반도체층(107)(도 1b에 있어서의 산화물 반도체층(107)의 상층)을 포함한다. 이로 인해, 상기 전자에 의해, 절연층(111)의 산화물 반도체층(107)층(도 1b에 있어서의 절연층(111)의 하층)에 정공(홀)이 유기되게 되고, 그 결과로서, 시간과 함께 노멀리 온화된다고 할 수 있다. 그래서, 트랜지스터(100)는 제 2 게이트 전극(113)을 갖는 구조로 함으로써, 제 2 게이트 전극(113)에 임의의 전위를 인가할 수 있고, 임계값 전압(V_{th})을 제어함으로써 노멀리 온화를 억제할 수 있다.
- [0066] 여기서 제 2 게이트 전극(113)의 형상에 관해서, 도 2를 사용하여 설명한다.
- [0067] 도 2a에 도시하는 제 2 게이트 전극(113)의 형상은, 도 1에서 도시한 제 2 게이트 전극(113)의 형상과 동일하다. 제 2 게이트 전극(113)은, 제 1 게이트 전극(103)과 평행 또한 절연층(111)을 개재하여 소스 전극(109a) 및 드레인 전극(109b)과 중첩하여 형성할 수 있다. 이 경우, 제 2 게이트 전극(113)에 인가하는 전위와, 제 1 게이트 전극(103)에 인가하는 전위를, 각각 임의로 제어하는 것이 가능하다. 이로 인해, 상기한 효과를 얻을 수 있다.
- [0068] 또한, 도 2b에 도시하는 바와 같이, 제 2 게이트 전극(113)은, 제 1 게이트 전극(103)과 평행하지만, 소스 전극(109a) 및 드레인 전극(109b)과 중첩되지 않는 형상이라도 좋다. 이 구성에 있어서도, 제 2 게이트 전극(113)에 인가하는 전위와, 제 1 게이트 전극(103)에 인가하는 전위를, 각각 임의로 제어하는 것이 가능하며, 임계값 전압(V_{th})을 제어함으로써, 노멀리 온화를 억제할 수 있다.
- [0069] 또한, 도 2c에 도시하는 바와 같이, 제 2 게이트 전극(113)은 제 1 게이트 전극(103)에 접속시킬 수 있다. 즉, 게이트 절연층(105) 및 절연층(111)에 형성한 개구부(150)에 있어서, 제 1 게이트 전극(103) 및 제 2 게이트 전극(113)이 전기적으로 접속하는 구성으로 할 수 있다. 이 경우, 제 2 게이트 전극(113)에 인가하는 전위와, 제 1 게이트 전극(103)에 인가하는 전위는, 동일하다. 이로 인해, 노멀리 온화를 억제할 수 있다.
- [0070] 또한, 도 2d에 도시하는 바와 같이, 제 2 게이트 전극(113)은 제 1 게이트 전극(103)과 접속하지 않고, 플로팅 이라도 좋다.
- [0071] 또한, 도 2c 및 도 2d에 도시한 구성에 있어서, 제 2 게이트 전극(113)은, 도 2b와 같이 절연층(111)을 개재하여, 소스 전극(109a) 및 드레인 전극(109b)과 중첩되지 않는 구성이라도 좋다.
- [0072] 트랜지스터(100)에 있어서, 도 1에는 도시하고 있지 않지만, 절연층(111) 또는 제 2 게이트 전극(113) 위에 보호 절연층을 형성하는 구성이라도 좋다.
- [0073] <트랜지스터(100)의 제작 방법>
- [0074] 다음에, 트랜지스터(100)의 제작 방법에 관해서 도 3을 사용하여 설명한다.

- [0075] 기판(101) 위에 하지 절연층(102)을 형성한다. 본 공정을 행함으로써, 유리 기판 중의 불순물이 제작하는 트랜지스터에 혼입되는 것을 방지하는 등의 효과를 얻을 수 있다.
- [0076] 하지 절연층(102)은 스퍼터링법, CVD법, 도포법 등으로 형성할 수 있다.
- [0077] 또한, 스퍼터링법으로 하지 절연층(102)을 형성하는 경우, 처리실 내에 잔류하는 수소, 물, 하이드록실기 또는 수소화물 등을 제거하면서 하지 절연층(102)을 형성하는 것이 바람직하다. 이것은 하지 절연층(102)에 수소, 물, 하이드록실기 또는 수소화물 등이 함유되지 않도록 하기 위해서이다. 처리실 내에 잔류하는 수소, 물, 하이드록실기 또는 수소화물 등을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 흡착형의 진공 펌프로서는, 예를 들면, 크라이오 펌프, 이온 펌프, 티탄서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 가한 것이라도 좋다. 크라이오 펌프를 사용하여 배기한 처리실에서는, 수소, 물, 하이드록실기 또는 수소화물 등이 배기되기 때문에, 상기 처리실에서 하지 절연층(102)을 형성하면, 하지 절연층(102)에 함유되는 불순물의 농도를 저감시킬 수 있다.
- [0078] 또한, 하지 절연층(102)을 형성할 때에 사용하는 스퍼터링 가스는, 수소, 물, 하이드록실기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도로까지 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0079] 본 실시형태에서는, 기판(101)을 처리실로 반송하고, 수소, 물, 하이드록실기 또는 수소화물 등이 제거된 고순도 산소를 함유하는 스퍼터링 가스를 도입하고, 실리콘 타깃을 사용하며, 기판(101)에 하지 절연층(102)으로서, 산화실리콘막을 형성한다. 또한, 하지 절연층(102)을 형성할 때는, 기판(101)은 가열되어 있어도 좋다.
- [0080] 또한, 하지 절연층(102)을 적층 구조로 형성하는 경우, 예를 들면, 산화실리콘막과 기판 사이에 수소, 물, 하이드록실기 또는 수소화물 등이 제거된 고순도 질소를 함유하는 스퍼터링 가스 및 실리콘 타깃을 사용하여 질화실리콘막을 형성한다. 이 경우에 있어서도, 산화실리콘막과 같이, 처리실 내에 잔류하는 수소, 물, 하이드록실기 또는 수소화물 등을 제거하면서 질화실리콘막을 형성하는 것이 바람직하다. 또한, 상기 공정에 있어서도, 기판(101)은 가열되어 있어도 좋다.
- [0081] 하지 절연막으로서 질화실리콘막 및 산화실리콘막을 적층하는 경우, 질화실리콘막과 산화실리콘막을 동일한 처리실에 있어서, 공통의 실리콘 타깃을 사용하여 형성할 수 있다. 먼저 질소를 함유하는 에칭 가스를 도입하고, 처리실 내에 장착된 실리콘 타깃을 사용하여 질화실리콘막을 형성하고, 다음에 산소를 함유하는 에칭 가스로 바꾸어 동일한 실리콘 타깃을 사용하여 산화실리콘막을 형성한다. 질화실리콘막 및 산화실리콘막을 대기에 노출시키지 않고 연속하여 형성할 수 있기 때문에, 질화실리콘막 표면에 수소, 물, 하이드록실기 또는 수소화물 등의 불순물이 흡착되는 것을 방지할 수 있다.
- [0082] 계속해서, 하지 절연층(102)이 형성된 기판(101) 위에 제 1 게이트 전극(103)을 형성한다. 제 1 게이트 전극(103)은 기판(101) 위에 도전막을 물리 증착법(PVD법)인 스퍼터링법, 진공 증착법, 또는 화학 증착법(CVD법)으로 형성하고, 상기 도전막 위에 제 1 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전막을 에칭(가공이라고도 할 수 있다)하여 형성한다. 또는, 포토리소그래피 공정을 사용하지 않고, 인쇄법, 잉크젯법으로 상기 레지스트 마스크를 형성함으로써, 제 1 게이트 전극(103)을 형성하는 공정을 삭감할 수 있다. 또한, 제 1 게이트 전극(103)의 단부를 테이퍼 형상으로 하면, 나중에 형성되는 게이트 절연층(105)의 피복성이 향상되기 때문에 바람직하다. 포토리소그래피 공정을 사용하는 경우는, 레지스트 마스크를 후퇴시키면서 에칭함으로써 테이퍼 형상으로 할 수 있다.
- [0083] 본 실시형태에서는, 제 1 게이트 전극(103)이 되는 도전막으로서, 스퍼터링법에 의해 두께 150nm의 텅스텐막을 형성하고, 제 1 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 에칭하여, 제 1 게이트 전극(103)을 형성한다.
- [0084] 제 1 게이트 전극(103)을 덮는 게이트 절연층(105)을 형성한다. 게이트 절연층(105)의 형성은, 하지 절연층(102)과 같은 방법으로 형성할 수 있다. 스퍼터링법에 의해 산화실리콘층을 형성하는 경우에는, 타깃으로서 실리콘 타깃 또는 석영 타깃을 사용하고, 스퍼터링 가스로서 산소 또는, 산소 및 아르곤의 혼합 가스를 사용하여 행한다.
- [0085] CVD법으로 형성하는 경우에 관해서, 예를 들면, μ 파(예를 들면, 주파수2.45GHz)를 사용한 고밀도 플라즈마 CVD법으로 절연층을 형성하는 것이 바람직하다. 왜냐하면, 상기 절연층은, 치밀하고 절연 내압이 높은 고품질의 것이며, 상기 절연층을 게이트 절연층(105)으로서 사용함으로써, 수소 농도가 저감되어 고순도화된 산화물 반도체층과 밀접하게 되어 계면 준위를 저감하여 계면 특성을 양호하게 할 수 있기 때문이다. 또한, 고밀도 플라즈

마 CVD에 의해 얻어진 절연층은, 일정한 두께로 형성할 수 있기 때문에, 단차 피복성이 우수하다. 또한, 고밀도 플라즈마 CVD법에 의해 얻어지는 절연층은, 두께를 정밀하게 제어할 수 있다.

[0086] 본 실시형태에서는, 스퍼터링법을 사용하여 두께 200nm의 산화질화실리콘막을 형성한다. 게이트 절연층(105)을 형성할 때는, 수소 농도가 저감되도록 하여 형성하는 것이 바람직하다. 하지 절연층(102)의 형성 방법과 같이 하여 형성하면 좋다. 예를 들면, 수소, 물, 하이드록실기 또는 수소화물 등이 제거된 고순도 산소를 함유하는 스퍼터링 가스를 사용하여 형성하는 것이나, 처리실 내에 잔류하는 수소, 물, 하이드록실기 또는 수소화물 등을 제거하면서 형성하는 것이다. 또한, 게이트 절연층(105)을 형성하기 전, 스퍼터링 장치 내벽이나, 타깃 표면이나 타깃 재료 중에 잔존하고 있는 수분 또는 수소를 제거하기 위해서 프리히트 처리를 행하고, 프리히트 처리를 마치면 기판 또는 스퍼터링 장치를 냉각시킨 후, 대기에 접촉시키지 않고 게이트 절연층(105)을 형성하는 것이 바람직하다.

[0087] 이어서, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)을 형성하는데, 상기 형성 공정은 산화물 반도체층(107)의 형성 전후에, 캐리어 밀도가 높은 산화물 반도체막의 형성 및 에칭을 1회씩 행한다. 우선, 게이트 절연층(105) 위에, 캐리어 밀도가 높은 산화물 반도체막을 형성한다. 상기 캐리어 밀도가 높은 산화물 반도체막은, 나중에 형성하는 산화물 반도체막(117)과 같은 방법으로 형성할 수 있다. 본 실시형태에서는, 상기 열거한 재료 중, 스퍼터링법으로 SiO₂을 함유하는 In-Sn-O막을 50nm의 두께로 형성한다.

[0088] 그 후, 제 2 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 에칭하고, 섬 형상의 캐리어 밀도가 높은 산화물 반도체층(104a, 104b)을 형성한다. 이 때, 섬 형상의 캐리어 밀도가 높은 산화물 반도체층(104a, 104b)의 단부가 테이퍼 형상이 되도록 에칭하는 것이 바람직하다. 본 에칭 공정은 드라이 에칭법이라도 웨트 에칭법이라도 좋다. 또한, 이들을 조합하여 사용해도 좋다. 웨트 에칭하는 에칭액으로서, 인산과 아세트산과 질산을 혼합한 용액, 암모니아과수(31중량% 과산화수소수:28중량% 암모니아수:물=5:2:2(체적비)) 등을 사용할 수 있다. 또한, IT007N(칸토가가쿠사 제조)을 사용해도 좋다.

[0089] 또한, 웨트 에칭후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 함유하는 에칭액의 폐액을 정제하고, 함유되는 재료를 재이용해도 좋다. 상기 에칭후의 폐액에 함유되는 인듐 등의 재료를 회수하여 재이용함으로써, 자원을 유효하게 활용하여 저비용화할 수 있다.

[0090] 드라이 에칭법에서 사용하는 에칭 가스로서는, 염소를 함유하는 가스(염소계 가스, 예를 들면 염소(Cl₂), 삼염화붕소(BCl₃), 사염화규소(SiCl₄), 사염화탄소(CCl₄) 등)이 바람직하다.

[0091] 또한, 불소를 함유하는 가스(불소계 가스, 예를 들면 사불화탄소(CF₄), 육불화유황(SF₆), 삼불화질소(NF₃), 트리플루오로메탄(CHF₃) 등), 브롬화수소(HBr), 산소(O₂), 이들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용할 수 있다.

[0092] 그리고, 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력, 기판측의 전극에 인가되는 전력, 기판측의 전극 온도 등)을 적절히 조절한다.

[0093] 다음에, 섬 형상의 캐리어 밀도가 높은 산화물 반도체층(104a, 104b)에 접하고, 게이트 절연층(105)을 개재하여 제 1 게이트 전극(103)과 중첩되도록 산화물 반도체층(107)을 형성한다. 우선, 게이트 절연층(105) 및 섬 형상의 캐리어 밀도가 높은 산화물 반도체층(104a, 104b) 위에, 스퍼터링법, 도포법, 인쇄법 등에 의해 산화물 반도체막(117)을 형성한다.

[0094] 본 실시형태에서는, 스퍼터링법에 의해 산화물 반도체막(117)을 형성한다. 산화물 반도체막(117)은, 감압 상태로 유지된 처리실 내에 기판을 유지하고, 처리실 내에 잔류하는 수분을 제거하면서, 수소, 물, 하이드록실기 또는 수소화물 등이 제거된 스퍼터링 가스를 도입하고, 금속 산화물을 타깃으로 하여 산화물 반도체막(117)을 형성한다. 처리실 내에 잔류하는 수소, 물, 하이드록실기 또는 수소화물 등을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티탄서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 가한 것이라도 좋다. 크라이오 펌프를 사용하여 배기한 처리실은, 예를 들면, 수소, 물, 하이드록실기 또는 수소화물(보다 바람직하게는 탄소 원자를 함유하는 화합물도) 등이 배기되기 때문에, 산화물 반도체막(117)에 함유되는 불순물의 농도를 저감시킬 수 있다. 또한, 기판을 가열하면서 산화물 반도체막(117)을 형성해도 좋다. 또한, 게이트 절연층(105)의 형성과 같

이 프리히트 처리를 행한 후, 산화물 반도체막(117)을 형성해도 좋다.

- [0095] 또한, 스퍼터링 장치의 처리실의 리크 레이트를 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{초}$ 이하로 함으로써, 스퍼터링법에 의한 형성 도중에 있어서의 산화물 반도체막으로의, 알칼리 금속, 수소화물 등의 불순물의 혼입을 저감시킬 수 있다. 또한, 배기계로서 흡착형의 진공 펌프를 사용함으로써, 배기계로부터 알칼리 금속, 수소 원자, 수소 분자, 물, 하이드록실기, 또는 수소화물 등의 불순물의 역류를 저감시킬 수 있다.
- [0096] 산화물 반도체막(117)을 스퍼터링법으로 제작하기 위한 타깃으로서, 상기 설명으로부터, 아연을 함유하는 금속 산화물의 타깃, 또는 아연을 함유하고, 또한 인듐을 함유하는 금속 산화물의 타깃을 사용할 수 있다. 또한, SiO_2 를 2중량% 이상 10중량% 이하 함유하는 타깃을 사용하여 형성해도 좋다. 산화물 반도체막 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 또한, 충전율이 높은 산화물 반도체막 타깃을 사용하여 형성한 산화물 반도체막(117)은 치밀한 막이 된다.
- [0097] 본 실시형태에서는, In-Ga-Zn계 금속 산화물용 타깃($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol수비])을 사용하고, 두께 500nm의 산화물 반도체막(117)을 형성한다. 또한, 상기 타깃으로서, 조성이 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol수비]인 In-Ga-Zn계 금속 산화물용 타깃, 조성이 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [원자수비]인 In-Ga-Zn계 금속 산화물용 타깃, 조성이 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [원자수비]인 In-Ga-Zn계 금속 산화물용 타깃 등을 사용해도 좋다.
- [0098] 산화물 반도체막(117)을 형성하는 스퍼터링법은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 행할 수 있다. 또한, 산화물 반도체막(117)을 형성할 때에 사용하는 스퍼터링 가스는 수소, 물, 하이드록실기 또는 수소화물 등의 불순물이, 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0099] 본 실시형태에서는, 형성 조건의 일례로서 기관(101)과 타깃간의 거리를 170mm, 기관 온도 250℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기하에서 형성한다.
- [0100] 또한, 산화물 반도체막(117)에 수소가 가능한 한 함유되지 않도록 하기 위해서, 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 절연층(105)까지의 형성 공정을 거친 기관(101)을 예비 가열하여, 기관(101)에 흡착된 수소, 물, 하이드록실기 또는 수소화물 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 또한, 예비 가열실에 설치하는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 이 예비 가열 처리는 생략할 수도 있다. 또한 이 예비 가열은, 앞에 형성한 제 1 게이트 전극(103)의 형성전의 기관(101)에 행해도 좋고, 나중에 형성하는 소스 전극(109a) 및 드레인 전극(109b)이 되는 도전막을 형성하기 전의 기관(101)에 행해도 좋다.
- [0101] 또한, 산화물 반도체막(117)을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터를 행하고, 게이트 절연층(105)의 표면에 부착되어 있는 파티클을 제거함으로써, 게이트 절연층(105)과 산화물 반도체층(107)의 계면에 있어서의 저항을 저감시킬 수 있기 때문에 바람직하다. 역스퍼터링, 아르곤 분위기하에서 기관에 RF 전원을 사용하여 전압을 인가하여 기관 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신 질소, 헬륨 등을 사용해도 좋다. 또한, 아르곤 분위기에 산소, 산화질소 등을 첨가한 분위기에서 행해도 좋다. 아르곤 분위기에 염소, 사불화탄소 등을 가한 분위기에서 행해도 좋다.
- [0102] 여기까지의 공정에서 얻어진 구성을 도 3a에 도시한다.
- [0103] 다음에, 제 3 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 에칭하여, 섬 형상의 산화물 반도체층을 형성한다. 섬 형상의 산화물 반도체층에 대한 제 3 포토리소그래피 공정은 다른 포토리소그래피 공정과 같은 포토리소그래피 공정이라도 좋다. 또한, 산화물 반도체막(117)의 에칭 공정은, 섬 형상의 캐리어 밀도가 높은 산화물 반도체층(104a, 104b)의 형성과 같이 하여 행하면 좋다. 이 때, 섬 형상의 산화물 반도체층의 단부가 테이퍼 형상이 되도록 에칭하는 것이 바람직하다.
- [0104] 다음에, 얻어진 섬 형상의 산화물 반도체층에 대해 제 1 가열 처리를 행하여 산화물 반도체층(107)을 형성한다.
- [0105] 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기관의 변형점 미만으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기관을 도입하고, 상기 섬 형상의 산화물 반도체층에 대해, 질소 또는 희가스 등의 불활성 가스 분위기하 및 450℃에서 1시간의 가열 처리를 행하였다. 그 후, 대기에 접촉시키지 않도록 함으로써, 섬 형상의 산화물 반도체층으로의 수소, 물, 하이드록실기 또는 수소화물 등의 재침입을

방지할 수 있다. 이 결과, 수소 농도가 저감되어 고순도화되어 i형화 또는 실질적으로 i형화된 산화물 반도체층(107)을 얻을 수 있다. 즉, 이 제 1 가열 처리에 의해 섬 형상의 산화물 반도체층의 탈수화 및 탈수소화의 적어도 한쪽을 행할 수 있다.

- [0106] 또한, 제 1 가열 처리에 있어서, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 수소, 물, 하이드록실기 또는 수소화물 등이 함유되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온 또는 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0107] 또한, 상기 섬 형상의 산화물 반도체층의 제 1 가열 처리는, 섬 형상의 산화물 반도체층을 형성하기 전, 즉 산화물 반도체막(117)에 행해도 좋다. 그 경우에는, 제 1 가열 처리후에 가열 장치로부터 기판을 취출하여 제 3 포토리소그래피 공정을 행한 후, 섬 형상의 산화물 반도체층에 에칭한다.
- [0108] 제 1 가열 처리에 사용하는 가열 처리 장치는 특별히 한정되지 않으며, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치로 할 수 있다. 예를 들면, 전기로나, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다.
- [0109] 여기까지의 공정에서 얻어진 구성을 도 3b에 도시한다.
- [0110] 이어서, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)을 형성하기 위해서, 다시, 상기와 같은 방법으로, 두께 50nm의 캐리어 밀도가 높은 산화물 반도체막을 형성한다. 본 공정에 의해, 상기 캐리어 밀도가 높은 산화물 반도체막과, 섬 형상의 캐리어 밀도가 높은 산화물 반도체층(104a, 104b)이 접합하고, 원하는 형상으로 가공함으로써 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)이 형성된다.
- [0111] 이어서, 게이트 절연층(105) 및 산화물 반도체층(107)에 접하여 소스 전극(109a) 및 드레인 전극(109b)을 형성하기 위한 도전막을 형성한다. 상기 도전막의 형성 방법은, 제 1 게이트 전극(103)과 같이 하여 형성하면 좋다. 본 실시형태에서는, 스퍼터링법으로 두께 150nm의 티탄막을 형성한다. 그 후, 형성한 도전막(여기서는 티탄막)에 제 4 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 에칭하고, 소스 전극(109a) 및 드레인 전극(109b)을 형성한다. 이 때, 소스 전극(109a) 및 드레인 전극(109b)의 단부가 테이퍼 형상이 되도록 에칭하는 것이 바람직하다.
- [0112] 또한, 소스 전극(109a) 및 드레인 전극(109b)을 마스크로 하여, 산화물 반도체층(107) 위에 형성한 상기 캐리어 밀도가 높은 산화물 반도체막을 에칭하여, 산화물 반도체층(107)의 단부를 덮는 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)을 형성한다. 여기에서는, 소스 전극(109a) 및 드레인 전극(109b)을 마스크로 하고 있기 때문에, 산화물 반도체층(107) 위에 형성되는 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)의 테이퍼부는, 소스 전극(109a) 및 드레인 전극(109b)보다 튀어 나오도록 형성되는 경우가 있다. 또한, 본 공정에 있어서, 산화물 반도체층(107)의 에칭 레이트와, 산화물 반도체층(107) 위에 형성한 상기 캐리어 밀도가 높은 산화물 반도체막의 에칭 레이트가, 같은 정도인 경우가 있을 수 있다. 그래서, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)을 형성할 때는, 캐리어 밀도가 높은 산화물 반도체막의 에칭 레이트를 참고로 에칭 시간을 적절히 조절하여 가공하는 것이 바람직하다.
- [0113] 여기까지의 공정에서 얻어진 구성을 도 3c에 도시한다.
- [0114] 다음에, 산화물 반도체층(107) 및 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)의 각각 일부, 및 소스 전극(109a) 및 드레인 전극(109b)과 접하여 절연층(111)을 형성한다. 절연층(111)의 형성 방법은, 하지 절연층(102) 및 게이트 절연층(105)과 같이 하여 형성할 수 있다. 본 실시형태에서는, 스퍼터링법으로 두께 200nm의 산화실리콘막을 형성한다.
- [0115] 그 후, 제 1 가열 처리와는 가열 온도가 상이한 가열 처리를 행하는 것이 바람직하다. 상기 가열 처리에 의해, 게이트 절연층(105) 및 절연층(111)으로부터 산화물 반도체층(107)으로의 산소 공급이 이루어진다. 상기 가열 처리의 온도가 높을 수록, 광 조사 또는 BT 스트레스가 주어지는 것에 의한 임계값 전압(V_{th})의 변화량은 억제된다. 그러나, 상기 가열 처리의 가열 온도를 320℃보다 높게 하면 온 특성의 저하가 생긴다. 따라서, 상기 가열 처리의 조건은, 불활성 분위기, 산소 분위기, 산소와 질소의 혼합 분위기 하에서, 200℃ 이상 400℃, 바람직

하계는 250℃ 이상 320℃ 이하로 한다. 또한, 상기 가열 처리의 시간은 1분 이상 24시간 이하로 한다. 또한, 상기 가열 처리는 나중에 형성하는 제 2 게이트 전극(113)을 형성한 후에 행해도 좋다.

[0116] 또한, 산화물 반도체층(107)에 수분의 침입 방지나, 알칼리 금속의 침입 방지를 위해, 절연층(111) 위에 질화실리콘막을 형성해도 좋다. Li이나 Na 등의 알칼리 금속은, 불순물이기 때문에, 산화물 반도체층(107) 중의 함유량을 적게 하는 것이 바람직하고, 산화물 반도체층(107) 중에 $2 \times 10^{16} \text{ cm}^{-3}$ 이하, 바람직하게는, $1 \times 10^{15} \text{ cm}^{-3}$ 이하의 농도로 한다. 또한, 알칼리 토류 금속도 불순물이기 때문에, 산화물 반도체층(107) 중의 함유량을 적게 하는 것이 바람직하다. 또한, 후술하는 제 2 게이트 전극(113)을 형성한 후에, 상기한 보호 절연층으로서 상기 질화실리콘막을 형성해도 좋다.

[0117] 다음에, 절연층(111)에 접하고, 또한 상기 소스 전극 및 드레인 전극 사이에, 백 게이트 전극으로서 기능하는 제 2 게이트 전극(113)을 형성한다. 절연층(111) 위에 도전막을 형성하고, 그 후, 형성한 도전막에 제 5 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 에칭하고, 제 2 게이트 전극(113)을 형성한다. 제 2 게이트 전극(113)의 형성 방법은, 제 1 게이트 전극(103), 소스 전극(109a) 및 드레인 전극(109b)과 같이 하여 형성할 수 있다. 본 실시형태에서는, 스퍼터링법으로 두께 150nm의 폴리브덴막을 사용하여 제 2 게이트 전극(113)을 형성한다.

[0118] 여기까지의 공정에서 얻어진 구성을 도 3d에 도시한다.

[0119] 이상에 의해, 온 전류의 저감을 억제할 수 있고, 높은 내압 특성(드레인 내압)을 갖는 트랜지스터를 제작할 수 있다. 또한, 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0120] (실시형태 2)

[0121] 본 실시형태에서는, 실시형태 1에서 나타낸 트랜지스터(100)와 구성이 일부 상이한 트랜지스터(200)에 관해서 설명한다.

[0122] 본 실시형태에서 나타내는 트랜지스터(200)는, 실시형태 1에서 나타낸 트랜지스터(100)의 산화물 반도체층(107)이, 결정성 산화물 반도체로 형성되어 있는 것을 특징으로 한다. 결정성 산화물 반도체는, 이하, 2종류의 방법에 의해 형성할 수 있다.

[0123] 하나의 방법은, 산화물 반도체를 2회로 나누어 형성하고, 2회로 나누어 가열 처리를 행함으로써, 결정성 산화물 반도체막을 형성하는 방법(편의상, 방법 (1)이라고 한다.)이고, 또 하나의 방법은, 산화물 반도체를 형성할 때에, 기판을 가열하면서 행함으로써, 결정성 산화물 반도체막을 형성하는 방법(편의상, 방법 (2)이라고 한다.)이다. 또한, 각각의 방법에서 얻어지는 결정성 산화물 반도체막은, 모두 단결정 구조가 아니고, 비정질 구조도 아닌 구조이며, 막 표면에 수직으로 c축 배향한 결정 영역을 갖는 구조를 하고 있다. 즉, 상기 방법 중 어느 쪽을 사용해도, 형성한 결정성 산화물 반도체는, 동일한 c축 배향을 갖는 결정(C Axis Aligned Crystal; CAAC이라고도 부른다.)을 포함하는 산화물을 가진다. 그래서, 본 실시형태에서는, 트랜지스터(200)의 채널 영역을 형성하는 상기 결정성 산화물 반도체층(CAAC층)을, 결정성 산화물 반도체층(130)으로 한다.

[0124] 트랜지스터(200)의 평면 구조는, 트랜지스터(100)의 평면 구조와 동일하다. 트랜지스터(200)의 평면도를, 도 4a에 도시한다. 도 4b는 트랜지스터(200)의 E-F 사이에 있어서의 단면도이다. 도 4c는 트랜지스터(200)의 G-H 사이에 있어서의 단면도이다. 또한, 도 4에 있어서, 도 1과 동일한 개소에는 동일한 부호를 사용한다.

[0125] 본 실시형태에서 나타내는 트랜지스터(200)는, 실시형태 1의 트랜지스터(100)에 있어서의 산화물 반도체층(107)을, 결정성 산화물 반도체층(130)으로 치환한 트랜지스터라고 할 수 있다. 그래서, 본 실시형태에서는, 결정성 산화물 반도체층(130)에 관해서만 설명하고, 트랜지스터(200)의 E-F 사이의 단면 구조, 및 G-H 사이의 단면 구조에 있어서의 그 밖의 상세한 것은, 실시형태 1에 나타낸 트랜지스터(100)의 A-B 사이 및 C-D 사이에 있어서의 단면 구조의 설명을 참조할 수 있다.

[0126] 트랜지스터(200)는 트랜지스터(100)에 있어서의 산화물 반도체층(107)이 결정성 산화물 반도체층(130)으로 되어 있는 것 이외에는, 트랜지스터(100)와 동일하기 때문에, 트랜지스터(100)가 갖는 효과를, 마찬가지로 가지고 있다. 즉, 트랜지스터(200)는 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)이, 결정성 산화물 반도체층(130)을 덮고, 또한 소스 전극(109a), 드레인 전극(109b)과 접하고 있음으로써, 결정성 산화물 반도체층(130)과, 소스 전극(109a) 및 드레인 전극(109b)의 접촉 저항을 저감시킬 수 있다. 이로 인해, 접촉 저항에 의해 발생하는 온 전류의 저감을 억제할 수 있다.

- [0127] 또한, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)의 일부가, 게이트 절연층(105)과 결정성 산화물 반도체층(130) 사이에 형성됨으로써, 반도체층의 두께 방향에 있어서의 반도체층의 저항에 의한 온 전류의 저감을 억제할 수 있다.
- [0128] 또한, 실시형태 1에서 설명한 바와 같이, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)은, 금속 재료 또는 이들의 합금 재료 등으로 하면, 결정성 산화물 반도체층(130)과의 접촉 저항에 의해, 온 전류의 저감을 억제하는 효과를 충분히 얻을 수 없다. 이로 인해, 게이트 절연층(105)과 산화물 반도체층(107) 사이의 일부에, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)을 형성하는 것이 바람직하다.
- [0129] 그리고, 트랜지스터(200)는 제 1 게이트 전극(103) 및 제 2 게이트 전극(113)을 갖는 듀얼 게이트형의 트랜지스터이기 때문에, 결정성 산화물 반도체층(130)과 게이트 절연층(105)의 계면 근방, 및 결정성 산화물 반도체층(130)과 절연층(111)의 계면 근방에 채널 영역을 형성할 수 있어 트랜지스터(200)의 온 전류를 향상시킬 수 있다.
- [0130] 또한, 후술하지만, 트랜지스터(200)는 결정성 산화물 반도체층(130)을 포함하기 때문에, 온 전류의 저감 억제 및 온 전류의 향상 외에, 양호한 신뢰성을 가진다.
- [0131] 여기서, 결정성 산화물 반도체층(130)의 제작 방법에 관해서 추가한다.
- [0132] 상기 방법 (1)은, 제 1 산화물 반도체막을 형성하고, 질소, 산소, 희가스, 또는 건조 공기의 분위기하에서, 400℃ 이상 750℃ 이하의 제 1 가열 처리를 행하고, 제 1 산화물 반도체막의 표면을 포함하는 영역에 결정 영역(판상 결정을 포함)을 갖는 제 1 결정성 산화물 반도체막을 형성한다. 또한, 상기 제 1 가열 처리는 실시형태 1과 같다. 그리고, 제 1 산화물 반도체막보다도 두꺼운 제 2 산화물 반도체막을 형성하고, 400℃ 이상 750℃ 이하의 제 2 가열 처리를 행하고, 제 1 산화물 반도체막을 결정 성장의 종(種)으로 하여, 상방으로 결정 성장시키고, 제 2 산화물 반도체막 전체를 결정화시킨다(제 2 결정성 산화물 반도체막의 형성). 그 결과로서, 막 두께가 두껍고, 결정 영역을 갖는 산화물 반도체막을 형성할 수 있고, 상기 막 두께가 두껍고, 결정 영역을 갖는 산화물 반도체막을 원하는 형상으로 가공하여 결정성 산화물 반도체층(130)을 형성할 수 있다. 또한, 제 1 결정성 산화물 반도체막 및 제 2 결정성 산화물 반도체막의 막 두께, 즉 결정성 산화물 반도체층(130)의 두께는, 트랜지스터(200)의 원하는 내압 특성(드레인 내압)을 고려하여 적절히 결정할 수 있다(예를 들면, 0.2 μ m 이상 10 μ m 이하로 하면 양호한). 제 1 결정성 산화물 반도체막 및 제 2 결정성 산화물 반도체막에 사용하는 재료는, 실시형태 1에서 열거한 금속 산화물 재료 중, 아연을 함유하고 있는 재료 또는, 아연을 함유하고, 또한, 인듐을 함유하고 있는 재료를 사용하면 좋다.
- [0133] 또한, 상기 방법 (1)에 있어서, 제 1 산화물 반도체막 및 제 2 산화물 반도체막의 형성 방법, 및 제 1 가열 처리 및 제 2 가열 처리는, 실시형태 1을 적절히 참조할 수 있다.
- [0134] 다음에, 상기 방법 (2)에 관해서 기재한다. 실시형태 1에서 나타난 산화물 반도체 재료 중, 아연을 함유하고 있는 재료, 또는 아연을 함유하고 또한 인듐을 함유하고 있는 재료가 c축으로 배향하는 온도로 기판을 가열하면서 산화물 반도체막을 형성함으로써, 막 표면에 수직으로 c축 배향한 결정 영역을 갖는 결정성 산화물 반도체막을 형성할 수 있다. 그 후, 상기 결정성 산화물 반도체막을 원하는 형상으로 가공하여 결정성 산화물 반도체층(130)을 형성할 수 있다. 또한, 이러한 형성 방법을 사용함으로써, 공정수를 삭감할 수 있다. 또한, 상기 결정성 산화물 반도체막의 형성 방법은, 실시형태 1을 적절히 참조할 수 있다. 또한, 기판을 가열하는 온도는, 성막 장치에 의해 다른 성막 조건이 상이하기 때문에, 적절히 설정하면 좋지만, 예를 들면, 스퍼터링 장치로 상기 결정성 산화물 반도체막을 형성할 때의 기판 가열 온도는 100℃ 내지 500℃, 적합하게는 200℃ 내지 400℃, 더욱 적합하게는 250℃ 내지 300℃이다. 상기 결정성 산화물 반도체막의 형성시의 기판 가열에 더하여, 상기 결정성 산화물 반도체막 형성시의 기판 가열 온도보다도 높은 온도로 별도로 퇴적한 산화물 반도체막을 가열 처리함으로써, 막 중에 함유되는 미소한 결함 및 적층 계면의 결함을 수복할 수 있다.
- [0135] 또한, 결정성 산화물 반도체층(130)은, 아연과 산소가, 결정성 산화물 반도체층(130)의 표면에 많이 모이고, 상평면이 육각형을 이루는 아연과 산소로 이루어지는 그래핀 타입이 이차원 결정(도 5a에 평면 모식도를 도시)이 최표면에 1층 또는 복수층 형성되고, 이것이 막 두께 방향으로 성장하여 중첩되어 적층하고 있다. 도 5a에 있어서, 흰 원이 아연 원자이며, 검은 원이 산소 원자를 나타내고 있다. 가열 처리의 온도를 높이면 표면으로부터 내부, 그리고 내부로부터 저부로 결정 성장이 진행된다. 또한, 도 5b에 이차원 결정이 결정 성장하여 적층된 일례로서 이차원 결정의 6층을 모식적으로 도시한다.
- [0136] 결정성 산화물 반도체층(130)은, 계면을 따른 방향에 있어서, 금속과 산소 결합의 질서화가 진행되고 있다. 따

라서, 본 실시형태에 나타내는 트랜지스터(200)에 있어서, 결정성 산화물 반도체층(130)의 계면을 따라 캐리어가 흐르는 경우, 즉, a-b면에 대해 대략 평행하게 캐리어가 흐르는 경우, 그 흐름에 대해, 결정성 산화물 반도체층(130)은 조금도 방해가 되지 않기 때문에, 광 조사 또는 BT 스트레스가 주어져도, 트랜지스터 특성의 열화는 억제되거나 또는 저감된다. 즉, 트랜지스터(200)는 양호한 신뢰성을 가진다고 할 수 있다.

- [0137] 트랜지스터(200)는 트랜지스터(100)의 제작 방법에 있어서의 산화물 반도체층(107)의 제작 방법을, 상기한 결정성 산화물 반도체층(130)의 제작 방법으로 함으로써 제작할 수 있다. 이로 인해, 결정성 산화물 반도체층(130) 이외의 제작 방법은 적절히 실시형태 1을 참조할 수 있다.
- [0138] 이상에 의해, 온 전류의 저감을 억제할 수 있고, 높은 내압 특성(드레인 내압)을 갖는 트랜지스터를 제작할 수 있다. 또한, 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0139] (실시형태 3)
- [0140] 본 실시형태에서는, 상기 실시형태에서 설명한 트랜지스터의 용도에 관해서 설명한다. 상기 실시형태에서 설명한 트랜지스터는, 파워 디바이스로서, 예를 들면, 여러 가지 전자 기기의 배터리 보호 회로 등에 사용할 수 있다.
- [0141] 상기 실시형태에서 설명한 트랜지스터가, 보호 회로의 일부로서 사용되는 응용예의 일례에 관해서, 도 9를 참조하여 설명한다.
- [0142] 도 9a는 전자 조리기(1000)를 도시하고 있다. 전자 조리기(1000)는 코일부(1001)에 전류를 흘림으로써 발생하는 전자 유도를 이용하여 조리기 등에 가열하는 것이다. 또한 전자 조리기(1000)는 코일부(1001)로 흘리는 전류를 공급하기 위한 배터리(1002), 본 발명의 일 형태의 트랜지스터가 보호 회로의 일부로서 기능하는 반도체 장치(1003), 및 배터리(1002)를 충전하기 위한 태양 전지(1004)를 가진다. 또한, 도 9a에서는, 배터리(1002)를 충전하기 위한 수단으로서 태양 전지(1004)를 도시하였지만 다른 수단으로 충전하는 구성이라도 좋다. 본 발명의 일 형태의 트랜지스터가 보호 회로의 일부로서 기능하는 반도체 장치(1003)는, 배터리(1002)로의 과전압의 인가를 저감시킬 수 있어 보호 회로의 기능이 비동작시에 있어서의 저소비 전력화를 도모할 수 있다.
- [0143] 도 9b는 전동 자전거(1010)를 도시하고 있다. 전동 자전거(1010)는 모터부(1011)에 전류를 흘림으로써 동력을 얻는 것이다. 또한 전동 자전거(1010)는 모터부(1011)로 흘리는 전류를 공급하기 위한 배터리(1012), 및 본 발명의 일 형태의 트랜지스터가 보호 회로의 일부로서 기능하는 반도체 장치(1013)를 가진다. 또한, 도 9b에서는, 배터리(1012)를 충전하기 위한 수단으로서 특별히 도시하지 않지만, 별도 발전기 등을 설치하여 충전하는 구성이라도 좋다. 본 발명의 일 형태의 트랜지스터가 보호 회로의 일부로서 기능하는 반도체 장치(1013)는, 충전시에 있어서의 배터리(1012)로의 과전압의 인가를 저감시킬 수 있어 보호 회로의 기능이 비동작시에 있어서의 저소비 전력화를 도모할 수 있다.
- [0144] 본 실시형태에서 나타낸 응용예는 일례이며, 이들에 한정되지 않고, 본 발명의 일 형태의 트랜지스터는, 대전력 용도용 반도체 장치로서 다양하게 사용할 수 있다.
- [0145] 또한, 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0146] (실시형태 4)
- [0147] 본 실시형태에서는, 상기 실시형태에서 설명한 트랜지스터의 산화물 반도체층(107) 및 결정성 산화물 반도체층(130)에 적용할 수 있는 금속 산화물(산화물 반도체)에 관해서 추가한다. 상기한 바와 같이 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히 In과 Zn을 함유하는 것이 바람직하다.
- [0148] 또한, 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 감소시키기 위한 스테빌라이저로서, 상기 외에 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 란타노이드로부터 선택된 1종 또는 복수종을 갖는 것이 바람직하다.
- [0149] 란타노이드로서, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 호르븀(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu)이 있다.
- [0150] 예를 들면, 상기한 바와 같이 1원계 금속 산화물로서, 산화인듐, 산화주석, 산화아연 등을 사용할 수 있다.
- [0151] 또한, 예를 들면, 2원계 금속 산화물로서, 상기한 In-Zn계 금속 산화물, In-Ga계, Sn-Zn계 금속 산화물, Al-

Zn계 금속 산화물 이외에 Zn-Mg계 금속 산화물, Sn-Mg계 금속 산화물, In-Mg계 금속 산화물, 금속 산화물 등을 사용할 수 있다.

[0152] 또한, 예를 들면, 3원계 금속 산화물로서, 상기한 In-Ga-Zn계 금속 산화물(IGZO라고도 표기), In-Sn-Zn계 금속 산화물(ITZO라고도 표기), Sn-Ga-Zn계 금속 산화물, In-Al-Zn계 금속 산화물, Al-Ga-Zn계 금속 산화물, Sn-Al-Zn계 금속 산화물 이외에 In-Hf-Zn계 금속 산화물, In-La-Zn계 금속 산화물, In-Ce-Zn계 금속 산화물, In-Pr-Zn계 금속 산화물, In-Nd-Zn계 금속 산화물, In-Sm-Zn계 금속 산화물, In-Sm-Zn계 금속 산화물, In-Eu-Zn계 금속 산화물, In-Gd-Zn계 금속 산화물, In-Tb-Zn계 금속 산화물, In-Dy-Zn계 금속 산화물, In-Ho-Zn계 금속 산화물, In-Er-Zn계 금속 산화물, In-Tm-Zn계 금속 산화물, In-Yb-Zn계 금속 산화물, In-Lu-Zn계 금속 산화물 등을 사용할 수 있다.

[0153] 또한, 예를 들면, 4원계 금속 산화물로서, 상기한 In-Sn-Ga-Zn계 금속 산화물 이외에 In-Hf-Ga-Zn계 금속 산화물, In-Al-Ga-Zn계 금속 산화물, In-Sn-Al-Zn계 금속 산화물, In-Sn-Hf-Zn계 금속 산화물, In-Hf-Al-Zn계 금속 산화물 등을 사용할 수 있다.

[0154] 예를 들면, In-Ga-Zn계 금속 산화물에 있어서, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자수비를 갖는 In-Ga-Zn계 금속 산화물이나 그 조성 근방의 금속 산화물을 사용할 수 있다.

[0155] In-Sn-Zn계 금속 산화물에 있어서, In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자수비의 In-Sn-Zn계 금속 산화물이나 그 조성 근방의 금속 산화물을 사용해도 좋다.

[0156] 그러나, 이들에 한정되지 않으며, 필요로 하는 반도체 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 농도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0157] 산화물 반도체는 단결정이라도, 비단결정이라도 좋다.

[0158] 비단결정인 경우, 비정질이라도, 다결정이라도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조라도 좋다. 또한, 비정질은 결함이 많기 때문에, 비(非)비정질이 바람직하다.

[0159] 본 실시형태 내용의 일부 또는 전부는, 다른 모든 실시형태 또는 실시예와 조합하여 실시할 수 있다.

[0160] (실시형태 5)

[0161] 실시형태 2에서 설명한 결정성 산화물 반도체층(130)에 관해서 추가한다. 결정성 산화물 반도체층(130)은 CAAC를 포함하는 산화물로 구성되어 있다. CAAC는 결정성 부분과 비결정성 부분을 가지며, 결정성 부분의 배향이 c축 배향으로 일치하고 있는 것을 특징으로 하고 있다.

[0162] CAAC를 포함하는 산화물은 종래 알려지지 않았던 신규한 산화물 반도체이다.

[0163] CAAC는 c축 배향하고, 또한 ab면, 표면 또는 계면의 방향에서 볼 때 삼각형상 또는 육각형상의 원자 배열을 가진다.

[0164] 그리고, CAAC는 c축에 있어서는 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다.

[0165] 또한, CAAC는 ab면에 있어서는 a축 또는 b축의 방향이 상이하다(c축을 중심으로 회전하고 있다).

[0166] CAAC란 광의로는 비단결정이다.

[0167] 그리고, CAAC는 ab면에 수직인 방향에서 볼 때, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 가진다.

[0168] 또한, CAAC는, c축 방향에 수직인 방향에서 볼 때, 금속 원자가 층상, 또는 금속 원자와 산소 원자가 층상으로 배열된 상을 포함하는 산화물이다.

[0169] CAAC는 단결정이 아니지만, 비정질만으로 형성되어 있는 것도 아니다.

[0170] 또한, CAAC는 결정화된 부분(결정 부분)을 포함하지만, 1개의 결정 부분과 다른 결정 부분의 경계를 명확히 판별할 수 없는 경우도 있다.

- [0171] CAAC에 산소가 함유되는 경우, 산소의 일부는 질소로 치환되어도 좋다.
- [0172] 또한, CAAC를 구성하는 각각의 결정 부분의 c축은 일정한 방향(예를 들면, CAAC를 지지하는 기판면, CAAC의 표면 등에 수직인 방향)으로 일치하고 있어도 좋다.
- [0173] 또는, CAAC를 구성하는 각각의 결정 부분의 ab면의 법선은 일정한 방향(예를 들면, CAAC를 지지하는 기판면, CAAC의 표면 등에 수직인 방향)을 향하고 있어도 좋다.
- [0174] CAAC는 그 조성 등에 따라 도체이거나, 반도체이거나, 절연체이거나 한다. 또한, 그 조성 등에 따라 가시광에 대해 투명하거나 불투명하거나 한다.
- [0175] 예를 들면, 막상으로 형성된 CAAC를, 막 표면 또는 지지하는 기판면에 수직인 방향에서 전자현미경으로 관찰하면 삼각형 또는 육각형의 원자 배열이 확인된다.
- [0176] 또한, 전자현미경으로 막 단면을 관찰하면 금속 원자 또는 금속 원자 및 산소 원자(또는 질소 원자)의 층상 배열이 확인된다.
- [0177] 도 10 내지 도 12를 사용하여, CAAC에 포함되는 결정 구조의 일례에 관해서 설명한다.
- [0178] 또한, 도 10 내지 도 12에 있어서, 상방향이 c축 방향이며, c축 방향과 직교하는 면이 ab면이다. 본 실시형태에 있어서, 상반분, 하반분이란, ab면을 경계로 한 경우의 상반분, 하반분을 말한다.
- [0179] 도 10a에, 1개의 6배위의 In과, In에 근접한 6개의 4배위의 산소 원자(이하 4배위의 O)를 갖는 구조 A를 도시한다. 여기에서는, 금속 원자 1개에 대해, 근접한 산소 원자만 나타낸 구조를 소그룹이라고 부른다. 구조 A는, 팔면체 구조를 취하지만, 간단하게 하기 위해 평면 구조로 나타내고 있다. 또한, 구조 A는 상반분 및 하반분에는 각각 3개씩 4배위의 O가 있다. 구조 A에 나타내는 소그룹은 전하가 0이다.
- [0180] 도 10b에, 1개의 5배위의 Ga와, Ga에 근접한 3개의 3배위의 산소 원자(이하 3배위의 O)와, 근접한 2개의 4배위의 O를 갖는 구조 B를 도시한다. 3배위의 O는, 모두 ab면에 존재한다. 구조 B의 상반분 및 하반분에는 각각 1개씩 4배위의 O가 있다. 또한, In도 5배위를 취하기 때문에, 구조 B를 취할 수 있다. 구조 B의 소그룹은 전하가 0이다.
- [0181] 도 10c에, 1개의 4배위의 Zn과, Zn에 근접한 4개의 4배위의 O를 갖는 구조 C를 도시한다. 구조 C의 상반분에는 1개의 4배위의 O가 있고, 하반분에는 3개의 4배위의 O가 있다. 구조 C의 소그룹은 전하가 0이다.
- [0182] 도 10d에, 1개의 6배위의 Sn과, Sn에 근접한 6개의 4배위의 O를 갖는 구조 D를 도시한다. 구조 D의 상반분에는 3개의 4배위의 O가 있고, 하반분에는 3개의 4배위의 O가 있다. 구조 D의 소그룹은 전하가 +1이 된다.
- [0183] 도 10e에, 2개의 Zn을 갖는 구조 E를 도시한다. 구조 E의 상반분에는 1개의 4배위의 O가 있고, 하반분에는 1개의 4배위의 O가 있다. 구조 E의 소그룹은 전하가 -1이 된다.
- [0184] 본 실시형태에서는 복수의 소그룹 집합체를 중그룹이라고 부르고, 복수의 중그룹 집합체를 대그룹(유닛 셀이라고도 한다.)이라고 부른다.
- [0185] 여기서, 이들 소그룹끼리가 결합하는 규칙에 관해서 설명한다. 6배위의 In 상반분의 3개의 O는, 하방향에 각각 3개의 근접 In을 가지며, 하반분의 3개의 O는, 상방향에 각각 3개의 근접 In을 가진다. 5배위의 Ga 상반분의 1개의 O는 하방향으로 1개의 근접 Ga를 가지고, 하반분의 1개의 O는 상방향에 1개의 근접 Ga를 가진다. 4배위의 Zn 상반분의 1개의 O는, 하방향에 1개의 근접 Zn을 가지고, 하반분의 3개의 O는, 상방향에 각각 3개의 근접 Zn을 가진다. 이와 같이, 금속 원자의 상방향의 4배위의 O의 수와, 그 O의 하방향에 있는 근접 금속 원자의 수는 동일하며, 마찬가지로 금속 원자의 하방향의 4배위의 O의 수와, 그 O 상방향에 있는 근접 금속 원자의 수는 동일하다. O는 4배위이기 때문에, 하방향에 있는 근접 금속 원자의 수와, 상방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 상방향에 있는 4배위의 O의 수와, 다른 금속 원자의 하방향에 있는 4배위의 O의 수의 합이 4개일 때, 금속 원자를 갖는 2중의 소그룹끼리는 결합할 수 있다. 예를 들면, 6배위의 금속 원자(In 또는 Sn)가 하반분의 4배위의 O를 통하여 결합하는 경우, 4배위의 O가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In), 4배위의 금속 원자(Zn)의 상반분의 4배위의 O 중 어느 하나와 결합하게 된다.
- [0186] 이들 배위수를 갖는 금속 원자는, c축 방향에 있어서, 4배위의 O를 통하여 결합한다. 또한, 이 외에도, 층 구조의 합계 전하가 0이 되도록 복수의 소그룹이 결합하여 중그룹을 구성한다.
- [0187] 도 11a에, In-Sn-Zn계 금속 산화물의 층 구조를 구성하는 중그룹 A의 모델도를 도시한다. 도 11b에, 3개의 중

그룹으로 구성되는 대그룹 B를 도시한다. 또한, 도 11c는 도 11b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시한다.

- [0188] 도 11a에 있어서는, 3배위의 0는 생략하고, 4배위의 0는 개수뿐이다. 예를 들면, Sn의 상반분 및 하반분에는 각각 3개씩 4배위의 0가 있는 것을 동그라미 3으로서 나타내고 있다. 마찬가지로, 도 11a에 있어서, In의 상반분 및 하반분에는 각각 1개씩 4배위의 0가 있고, 동그라미 1로서 나타내고 있다. 또한, 도 11a에 있어서, 하반분에는 1개의 4배위의 0가 있고, 상반분에는 3개의 4배위의 0가 있는 Zn과, 상반분에는 1개의 4배위의 0가 있고, 하반분에는 3개의 4배위의 0가 있는 Zn을 나타내고 있다.
- [0189] 도 11a에 있어서, In-Sn-Zn계 금속 산화물의 층 구조를 구성하는 중그룹은, 위에서부터 순서대로 4배위의 0가 3개씩 상반분 및 하반분에 있는 Sn이, 4배위의 0가 1개씩 상반분 및 하반분에 있는 In과 결합한다. 그 In이, 상반분에 3개의 4배위의 0가 있는 Zn과 결합한다. 그 Zn 하반분의 1개의 4배위의 0를 통하여 4배위의 0가 3개씩 상반분 및 하반분에 있는 In과 결합한다. 그 In이, 상반분에 1개의 4배위의 0가 있는 Zn 2개로 이루어지는 소그룹과 결합한다. 이 소그룹 하반분의 1개의 4배위의 0를 통하여 4배위의 0가 3개씩 상반분 및 하반분에 있는 Sn과 결합하고 있는 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.
- [0190] 여기서, 3배위의 0 및 4배위의 0의 경우, 결합 1개당 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들면, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는, 각각 +3, +2, +4이다. 따라서, Sn을 함유하는 소그룹은 전하가 +1이 된다. 이로 인해, Sn을 함유하는 층 구조를 형성하기 위해서는, 전하 +1을 삭제하는 전하 -1이 필요해진다. 전하 -1을 취하는 구조로서, 구조 E에 나타내는 바와 같이, 2개의 Zn을 함유하는 소그룹을 들 수 있다. 예를 들면, Sn을 함유하는 소그룹이 1개에 대해, 2개의 Zn을 함유하는 소그룹이 1개 있으면, 전하가 삭제되기 때문에, 층 구조의 합계 전하를 0으로 할 수 있다.
- [0191] 구체적으로는, 도 11b에 도시한 대그룹이 반복됨으로써, In-Sn-Zn계 금속 산화물의 결정(In₂SnZn₃O₈)을 얻을 수 있다. 얻어지는 In-Sn-Zn계 금속 산화물의 층 구조는, In₂SnZn₂O₇(ZnO)_m(m은 0 또는 자연수)으로 하는 조성식으로 나타낼 수 있다.
- [0192] In-Sn-Zn계 금속 산화물의 결정은, m의 수가 크면 결정성이 향상되기 때문에, 바람직하다.
- [0193] In-Sn-Zn계 금속 산화물 이외의 산화물 반도체를 사용한 경우도 마찬가지이다.
- [0194] 예를 들면, 도 12a에, In-Ga-Zn계 금속 산화물의 층 구조를 구성하는 중그룹의 모델도를 도시한다.
- [0195] 도 12a에 있어서, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹은, 위에서부터 순서대로 4배위의 0가 3개씩 상반분 및 하반분에 있는 In이, 4배위의 0가 1개 상반분에 있는 Zn과 결합한다. 그 Zn 하반분의 3개의 4배위의 0를 통하여, 4배위의 0가 1개씩 상반분 및 하반분에 있는 Ga와 결합한다. 그 Ga 하반분의 1개의 4배위의 0를 통하여, 4배위의 0가 3개씩 상반분 및 하반분에 있는 In과 결합한다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.
- [0196] 도 12b에 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 12c는 도 12b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시하고 있다.
- [0197] 여기서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 함유하는 소그룹은, 전하가 0이 된다. 이로 인해, 이들 소그룹의 조합이면 중그룹의 합계 전하는 항상 0이 된다.
- [0198] 또한, In-Ga-Zn계 금속 산화물의 층 구조를 구성하는 중그룹은, 도 12a에 도시한 중그룹으로 한정되지 않으며, In, Ga, Zn의 배열이 상이한 중그룹을 조합한 대그룹도 취할 수 있다.
- [0199] 구체적으로는, 도 12b에 도시한 대그룹이 반복됨으로써, In-Ga-Zn계 금속 산화물의 결정을 얻을 수 있다. 또한, 얻어지는 In-Ga-Zn계 금속 산화물의 층 구조는, InGaO₃(ZnO)_n(n은 자연수)로 하는 조성식으로 나타낼 수 있다.
- [0200] n=1(InGaZnO₄)인 경우는, 예를 들면, 도 21a에 도시하는 결정 구조를 취할 수 있다. 또한 도 21a에 도시하는 결정 구조에 있어서, 도 10b에서 설명한 바와 같이, Ga 및 In은 5배위를 취하기 때문에, Ga가 In으로 치환된 구조도 취할 수 있다.
- [0201] 또한, n=2(InGaZn₂O₅)인 경우는, 예를 들면, 도 21b에 도시하는 결정 구조를 취할 수 있다. 또한, 도 21b에 도

시하는 결정 구조에 있어서, 도 10b에서 설명한 바와 같이, Ga 및 In은 5배위를 취하기 때문에, Ga가 In로 치환된 구조도 취할 수 있다.

[0202] 본 실시형태 내용의 일부 또는 전부는, 다른 모든 실시형태 또는 실시예와 조합하여 실시할 수 있다.

[0203] (실시형태 6)

[0204] 산화물 반도체로 한정되지 않으며, 실제로 측정되는 절연 게이트형 트랜지스터의 전계 효과 이동도는, 다양한 이유에 의해 본래의 이동도보다도 낮아진다.

[0205] 이동도를 저하시키는 요인으로서는 반도체 내부의 결함이나 반도체와 절연막의 계면의 결함이 있는데, Levinson 모델을 사용하면, 반도체 내부에 결함이 없다고 가정한 경우의 전계 효과 이동도를 이론적으로 도출할 수 있다.

[0206] 반도체 본래의 이동도를 μ_0 , 측정되는 전계 효과 이동도를 μ 으로 하고, 반도체 중에 어떠한 포텐셜 장벽(입계 등)이 존재한다고 가정하면, 수학식 1로 나타내어진다.

[0207] (수학식 1)

[0208]
$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

[0209] E는 포텐셜 장벽의 높이이며, k가 볼트만 상수, T는 절대 온도이다.

[0210] 또한, 포텐셜 장벽이 결함에 유래한다고 가정하면, Levinson 모델에서는, 수학식 2로 나타내어진다.

[0211] (수학식 2)

[0212]
$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

[0213] e는 전기소량, N은 채널내의 단위 면적당 평균 결함 밀도, ϵ 은 반도체의 유전율, n은 단위 면적당 채널에 포함되는 캐리어수, C_{ox} 은 단위 면적당 용량, V_g 은 게이트 전압, t는 채널의 두께이다.

[0214] 또한, 두께 30nm 이하의 반도체층이면, 채널의 두께는 반도체층의 두께와 동일하게 해도 지장이 없다.

[0215] 선형 영역에 있어서의 드레인 전류(I_d)는, 수학식 3으로 나타내어진다.

[0216] (수학식 3)

[0217]
$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

[0218] 여기서, L은 채널 길이, W는 채널 폭이며, 여기에서는, L=W=10 μ m이다.

[0219] 또한, V_d 는 드레인 전압이다.

[0220] 수학식 3의 양변을 V_g 로 나누고, 다시 양변의 대수를 취하면, 수학식 4로 나타내어진다.

[0221] (수학식 4)

[0222]
$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

[0223] 수학식 4의 우변은 V_g 의 함수이다.

[0224] 상기 수학식으로부터 알 수 있는 바와 같이, 세로축을 $\ln(I_d/V_g)$, 가로축을 $1/V_g$ 로 하는 직선의 기울기로부터 결함 밀도(N)가 구해진다.

[0225] 즉, 트랜지스터의 I_d - V_g 특성으로부터, 결함 밀도를 평가할 수 있다.

[0226] 산화물 반도체로서는, 인듐(In), 주석(Sn), 아연(Zn)의 비율이, In:Sn:Zn=1:1:1인 것에서는 결함 밀도(N)는 $1 \times 10^{12}/\text{cm}^2$ 정도이다.

[0227] 이와 같이 하여 구한 결함 밀도 등을 바탕으로 $\mu_0=120\text{cm}^2/\text{Vs}$ 가 도출된다.

- [0228] 결함이 있는 In-Sn-Zn 산화물에서 측정되는 이동도는 $35\text{cm}^2/\text{Vs}$ 정도이다.
- [0229] 그러나, 반도체 내부 및 반도체와 절연막의 계면의 결함이 없는 산화물 반도체의 이동도(μ_0)는 $120\text{cm}^2/\text{Vs}$ 가 될 것으로 예상할 수 있다.
- [0230] 단, 반도체 내부에 결함이 없어도, 채널과 게이트 절연막의 계면으로부터의 산란에 의해 트랜지스터의 수송 특성은 영향을 받는다. 즉, 게이트 절연막 계면에서 x만큼 벗어난 장소에 있어서의 이동도(μ_1)는 수학적 식 5로 나타내어진다.
- [0231] (수학적 식 5)
- [0232]
$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$
- [0233] 또한, 수학적 식 5에 있어서, D는 게이트 방향의 전계, B, G는 상수이다. B 및 G는, 실제의 측정 결과로부터 구할 수 있고, 상기의 측정 결과로부터는, $B=4.75 \times 10^7 \text{cm/s}$, $G=10\text{nm}$ (계면 산란이 도달하는 깊이)이다. D가 증가(즉, 게이트 전압이 높아지면)하면 수학적 식 5의 제 2 항이 증가하기 때문에, 이동도(μ_1)는 저하되는 것을 알 수 있다.
- [0234] 반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널에 사용한 트랜지스터 이동도(μ_2)의 계산 결과(F)를 도 13에 도시한다.
- [0235] 또한, 계산에는 시놉시스사 제조의 소프트한 Sentaurus Device를 사용하였다.
- [0236] 계산에 있어서, 산화물 반도체의 밴드갭, 전자 친화력, 비유전율, 두께를 각각, 2.8전자볼트, 4.7전자볼트, 15, 15nm로 하였다.
- [0237] 이들의 값은, 스퍼터링법에 의해 형성된 박막을 측정하여 얻어진 것이다.
- [0238] 또한, 게이트, 소스, 드레인의 일함수를 각각, 5.5전자볼트, 4.6전자볼트, 4.6전자볼트로 하였다.
- [0239] 또한, 게이트 절연막의 두께는 100nm, 비유전율은 4.1로 하였다. 채널 길이 및 채널 폭은 모두 $10\mu\text{m}$, 드레인 전압(V_d)은 0.1V이다.
- [0240] 계산 결과(F)에서 나타나는 바와 같이, 게이트 전압 1V강에서 이동도 $100\text{cm}^2/\text{Vs}$ 이상의 피크를 나타내지만, 게이트 전압이 더욱 높아지면, 계면 산란이 커지고, 이동도가 저하된다.
- [0241] 또한, 계면 산란을 저감시키기 위해서는, 반도체층 표면을 원자 레벨로 평탄하게 하는 것(Atomic Layer Flatness)이 바람직하다.
- [0242] 이러한 이동도를 갖는 산화물 반도체를 사용하여 미세한 트랜지스터를 제작한 경우의 특성을 계산하였다.
- [0243] 또한, 계산에 사용한 트랜지스터는 산화물 반도체층의 한 쌍의 n형 반도체 영역 사이에 채널 형성 영역이 개재된 것을 사용하였다.
- [0244] 한 쌍의 n형 반도체 영역의 저항율은 $2 \times 10^{-3} \Omega\text{cm}$ 으로 하여 계산하였다.
- [0245] 또한, 채널 길이를 33nm, 채널 폭을 40nm으로 하여 계산하였다.
- [0246] 또한, 게이트 전극의 측벽에 사이드월 절연 영역을 가진다.
- [0247] 사이드월 절연 영역과 중첩되는 반도체 영역을 오프셋 영역으로서 계산하였다.
- [0248] 계산에는 시놉시스사 제조의 소프트, Sentaurus Device를 사용하였다.
- [0249] 도 14는 트랜지스터의 드레인 전류(I_d , 실선) 및 이동도(μ , 점선)의 게이트 전압(V_g , 게이트와 소스의 전위차) 의존성의 계산 결과이다.
- [0250] 드레인 전류(I_d)는, 드레인 전압(드레인과 소스의 전위차)을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다.

- [0251] 도 14a는 게이트 절연막의 두께를 15nm로 하여 계산한 것이다.
- [0252] 도 14b는 게이트 절연막의 두께를 10nm으로 계산한 것이다.
- [0253] 도 14c는 게이트 절연막의 두께를 5nm으로 계산한 것이다.
- [0254] 게이트 절연막이 얇아질 수록, 특히 오프 상태에서의 드레인 전류(I_d)(오프 전류)가 현저하게 저하된다.
- [0255] 한편, 이동도(μ)의 피크값이나 온 상태에서의 드레인 전류(I_d)(온 전류)에는 눈에 띄는 변화가 없다.
- [0256] 도 15는 오프셋 길이(사이드월 절연 영역의 길이)(L_{off})를 5nm으로 한 것의 드레인 전류(I_d)(실선) 및 이동도(μ)(점선)의 게이트 전압(V_g) 의존성을 도시한다.
- [0257] 드레인 전류(I_d)는 드레인 전압을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다.
- [0258] 도 15a는 게이트 절연막의 두께를 15nm으로 하여 계산한 것이다.
- [0259] 도 15b는 게이트 절연막의 두께를 10nm으로 계산한 것이다.
- [0260] 도 15c는 게이트 절연막의 두께를 5nm으로 계산한 것이다.
- [0261] 도 16은, 오프셋 길이(사이드월 절연 영역의 길이)(L_{off})를 15nm으로 한 것의 드레인 전류(I_d)(실선) 및 이동도(μ)(점선)의 게이트 전압(V_g) 의존성을 도시한다.
- [0262] 드레인 전류(I_d)는 드레인 전압을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다.
- [0263] 도 16a는 게이트 절연막의 두께를 15nm으로 하여 계산한 것이다.
- [0264] 도 16b는 게이트 절연막의 두께를 10nm로 계산한 것이다.
- [0265] 도 16c는 게이트 절연막의 두께를 5nm으로 계산한 것이다.
- [0266] 모두 게이트 절연막이 얇아질 수록, 오프 전류가 현저하게 저하되는 한편, 이동도(μ)의 피크값이나 온 전류에는 눈에 띄는 변화가 없다.
- [0267] 또한, 이동도(μ)의 피크는, 도 14에서는 $80\text{cm}^2/\text{Vs}$ 정도이지만, 도 15에서는 $60\text{cm}^2/\text{Vs}$ 정도, 도 16에서는 $40\text{cm}^2/\text{Vs}$ 정도, 오프셋 길이(L_{off})가 증가할 수록 저하된다.
- [0268] 또한, 오프 전류도 같은 경향이 있다.
- [0269] 한편, 온 전류에는 오프셋 길이(L_{off})의 증가에 따라 감소되지만, 오프 전류의 저하에 비하면 훨씬 완만하다.
- [0270] 또한, 모두 게이트 전압 1V 전후에서, 드레인 전류는 메모리 소자 등에서 필요로 하는 $10\mu\text{A}$ 를 초과하는 것이 나타났다.
- [0271] 본 실시형태 내용의 일부 또는 전부는, 다른 모든 실시형태 또는 실시예와 조합하여 실시할 수 있다.
- [0272] (실시예 1)
- [0273] 본 실시예에서는, 트랜지스터(100) 및 트랜지스터(200)의 온 전류에 관한 계산 결과를 설명한다. 또한, 계산을 행할 때, 트랜지스터(100) 및 트랜지스터(200)의 구조는, 간략화된 것을 사용하고 있다(도 6 참조). 또한, 계산에는 시놉시스사 제조의 sentaurus device를 사용하고 있다.
- [0274] 도 6a는 상기 실시형태에서 설명한 트랜지스터(100)의 채널 길이 방향의 단면 구조(도 1a의 A-B 사이의 단면 구조)를, 간략화한 도면이다. 도 6b는 도 6a의 O-P 사이에 있어서의 X 방향의 단면도이다. 도 6c는 도 6a의 Q-R 사이에 있어서의 X 방향의 단면도이다. 또한, 도 6에 있어서, 도 1과 대응하고 있는 개소의 부호는, 도 1에서 사용한 부호와 동일하게 하고 있다. 또한, 트랜지스터(200)의 간략화된 단면도에 있어서, 트랜지스터(200)는 트랜지스터(100)의 산화물 반도체층(107)을 결정성 산화물 반도체층(130)로 치환한 트랜지스터이기 때문에, 본 실시예에서는 도시하지 않는다.
- [0275] 트랜지스터(100) 및 트랜지스터(200)에 있어서의 온 전류의 계산 결과에 반영되는 파라미터는 이하와 같다. 또한, 산화물 반도체층(107) 및 결정성 산화물 반도체층(130)의 계산 파라미터(밴드갭(E_g), 전자 친화력(χ), 비

유전율 및 전자 이동도)는 동일하게 하고 있다.

- [0276] 1. 채널 길이(L1): $10\mu\text{m}$
- [0277] 2. 소스 전극(109a) 및 드레인 전극(109b)의 길이(L2): $5\mu\text{m}$
- [0278] 3. 산화물 반도체층(107)의 두께(T_{os}): $10\mu\text{m}$
- [0279] 4. 절연층(111)의 두께(T_G): $0.2\mu\text{m}$
- [0280] 5. 채널 폭(W1): $100\mu\text{m}$
- [0281] 6. 소스 전극(109a) 및 드레인 전극(109b)의 폭(W2): $5\mu\text{m}$
- [0282] 7. 제 1 게이트 전극(103)에 사용하는 텅스텐의 일함수(ϕ_M): 4.9eV
- [0283] 8. 소스 전극(109a) 및 드레인 전극(109b)에 사용하는 티탄의 일함수(ϕ_M): 4.0eV
- [0284] 9. 제 2 게이트 전극(113)에 사용하는 폴리브덴의 일함수(ϕ_M): 4.8eV
- [0285] 10. 산화물 반도체층(107)에 사용하는 In-Ga-Zn계 금속 산화물의 밴드갭(E_g): 3.15eV, 전자 친화력(χ): 4.3eV, 비유전율: 15, 전자 이동도: $10\text{cm}^2/\text{Vs}$
- [0286] 11. 게이트 절연층(105)에 사용하는 산화질화실리콘의 비유전율: 4.1
- [0287] 12. 절연층(111)에 사용하는 산화실리콘의 비유전율: 3.8
- [0288] 또한, 제 1 게이트 전극(103), 소스 전극(109a), 드레인 전극(109b), 및 제 2 게이트 전극(113)은, 각각의 두께에 상관없이, 동전위로 간주하여 계산하고 있기 때문에, 이들의 두께는 온 전류에 반영되지 않는다. 또한, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)에 있어서의 전압 강하는, 그 두께에 있어서, 미소하기 때문에, 캐리어 밀도가 높은 산화물 반도체층(106a)의 두께도 온 전류에 반영되지 않는 것으로 한다.
- [0289] 산화물 반도체층(107)의 두께를 $10\mu\text{m}$ 으로 하고, 게이트 전압은 10V로 하고, 드레인 전압을 0V에서부터 20V까지 변화시켰을 때의 트랜지스터(100) 및 트랜지스터(200)의 온 전류(드레인 전류)의 계산 결과를, 도 7a에 도시한다. 또한, 비교예로서, 캐리어 밀도가 높은 산화물 반도체층(106a) 중, 게이트 절연층(105)과 산화물 반도체층(107)에 접하고 있는 부분을 제외한 트랜지스터에 관해서, 같은 계산을 행하고, 그 결과를 도 7a에 도시한다. 도 8a는 도 6a에 대응하고 있으며, 비교예의 트랜지스터의 단면 구조를 간략화한 도면이다. 도 8b는 도 6b에 대응하는 도 8a의 단면도이다. 도 8c는 도 6c에 대응하는 도 8a의 단면도이다.
- [0290] 도 7a의 가로축은 게이트 전압(V_g)을 나타내고, 세로축은 드레인 전류(V_d)를 나타내고 있다. 도 7a로부터, 비교예의 트랜지스터의 온 전류(드레인 전류)보다, 트랜지스터(100) 및 트랜지스터(200)의 온 전류(드레인 전류) 쪽이 높다.
- [0291] 또한, 트랜지스터(100), 트랜지스터(200) 및 비교예의 트랜지스터에 있어서, 게이트 전압을 10V, 드레인 전압을 20V로 하고, 산화물 반도체층(107)의 두께는, $0.2\mu\text{m}$, $1.0\mu\text{m}$, $5.0\mu\text{m}$, $10\mu\text{m}$ 로 한 경우의 온 전류의 계산 결과를 도 7b에 도시한다.
- [0292] 도 7b의 가로축은, 산화물 반도체층(107)의 두께(T_{os})를 나타내고, 세로축은, 드레인 전류(V_d)를 나타내고 있다. 도 7b로부터, 비교예의 트랜지스터는, 산화물 반도체층(107)의 두께가 두꺼워짐에 따라서, 온 전류(드레인 전류)가 저감된다. 특히, 드레인 전압이 높아짐에 따라서, 온 전류(드레인 전류)의 저감은 현저하다.
- [0293] 이것은 산화물 반도체층(107)의 두께 방향에 있어서의 저항에 의해 발생한 결과이다. 즉, 산화물 반도체층(107)의 두께가 얇은 경우는, 상기 저항에 의한 영향(전압 강하)은 작으며, 온 전류(드레인 전류)의 저하에 관여하고 있지 않았지만, 산화물 반도체층(107)의 두께가 두꺼워짐에 따라서, 상기 저항에 의한 영향(전압 강하)을 무시할 수 없게 되고, 그 결과로서 온 전류(드레인 전류)가 저감되었다고 할 수 있다.
- [0294] 한편, 트랜지스터(100) 및 트랜지스터(200)는, 산화물 반도체층(107)의 두께가 두꺼워지는 경우라도, 온 전류(드레인 전류)의 저감이 억제되어, 온 전류(드레인 전류)의 향상을 확인할 수 있다.
- [0295] 이것은 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)을, 산화물 반도체층(107)의 단부를 덮도록 형성하고 있기 때문에, 산화물 반도체층(107)의 두께가 두꺼워지는 경우라도, 산화물 반도체층(107)의 두께 방향에 있어

서의 저항의 영향(전압 강하)을 작게 할 수 있기 때문이다.

- [0296] 이상에 의해, 트랜지스터(100) 및 트랜지스터(200)는, 캐리어 밀도가 높은 산화물 반도체층(106a, 106b)이, 산화물 반도체층(107)을 개재하여 대향하고, 또한, 산화물 반도체층(107) 단부의 상면, 하면, 및 측면의 각각 일부, 및 게이트 절연층(105)의 상면 일부와 접하고 있기 때문에, 온 전류(드레인 전류)의 저하를 억제할 수 있어 온 전류의 향상을 실현할 수 있다.
- [0297] (실시예 2)
- [0298] In, Sn, Zn을 함유하는 산화물 반도체(ITZO)를 사용한 트랜지스터는, 산화물 반도체를 형성할 때에 기판을 가열하여 형성하는 것, 또는 산화물 반도체막을 형성한 후에 열처리를 행함으로써 양호한 특성을 얻을 수 있다.
- [0299] 또한, In, Sn, Zn은 조성비로 각각 5atomic% 이상 함유되어 있으면 바람직하다.
- [0300] In, Sn, Zn을 함유하는 산화물 반도체막의 형성후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시키는 것이 가능해진다.
- [0301] 또한, n채널형의 트랜지스터의 임계값 전압을 플러스 시프트시킬 수 있다.
- [0302] n채널형의 트랜지스터의 임계값 전압을 플러스 시프트시킴으로써, n채널형의 트랜지스터의 오프 상태를 유지하기 위한 전압의 절대값을 낮게 할 수 있어 저소비 전력화가 가능해진다.
- [0303] 또한, n채널형의 트랜지스터의 임계값 전압을 플러스 시프트시켜 임계값 전압을 0V 이상으로 하면, 노멀리 오프형의 트랜지스터를 형성하는 것이 가능해진다.
- [0304] 이하, ITZO를 사용한 트랜지스터의 특성을 나타낸다.
- [0305] (샘플 A 내지 C 공통 조건)
- [0306] 조성비로서 In:Sn:Zn=1:1:1의 타깃을 사용하고, 가스 유량비를 Ar/O₂=6/9sccm, 성막 압력을 0.4Pa, 성막 전력 100W로 하고, 15nm의 두께가 되도록 기판 위에 산화물 반도체층을 형성하였다.
- [0307] 다음에, 산화물 반도체층을 섬 형상이 되도록 에칭으로 가공하였다.
- [0308] 그리고, 산화물 반도체층 위에 50nm의 두께가 되도록 텅스텐층을 형성하고, 이것을 에칭으로 가공하여 소스 전극 및 드레인 전극을 형성하였다.
- [0309] 다음에, 플라즈마 CVD법을 사용하여 실란 가스(SiH₄)와 일산화이질소(N₂O)를 사용하여 100nm의 두께가 되도록 산화질화규소막(SiON)을 형성하여 게이트 절연층으로 하였다.
- [0310] 다음에, 15nm의 두께가 되도록 질화탄탈막을 형성하고, 135nm의 두께가 되도록 텅스텐막을 형성하고, 이들을 에칭으로 가공하여 게이트 전극을 형성하였다.
- [0311] 또한, 플라즈마 CVD법을 사용하여 300nm의 두께가 되도록 산화질화규소막(SiON)을 형성하고, 그 후, 1.5 μ m의 두께가 되도록 폴리이미드막을 형성하여 층간 절연막으로 하였다.
- [0312] 다음에, 층간 절연막에 콘택트홀을 형성하고, 50nm의 두께가 되도록 제 1 티탄막을 형성하고, 100nm의 두께가 되도록 알루미늄막을 형성하고, 50nm의 두께가 되도록 제 2 티탄막을 형성하고, 이들을 에칭으로 가공하여 측정용 패드를 형성하였다.
- [0313] 이상과 같이 하여 트랜지스터를 갖는 반도체 장치를 형성하였다.
- [0314] (샘플 A)
- [0315] 샘플 A는 산화물 반도체층의 형성 중에 기판에 의도적인 가열을 가하지 않았다.
- [0316] 또한, 샘플 A는 산화물 반도체층의 형성후로서, 산화물 반도체층의 에칭으로 가공하기 전에 가열 처리를 실시하지 않았다.
- [0317] (샘플 B)
- [0318] 샘플 B는 기판을 200℃가 되도록 가열한 상태에서 산화물 반도체층의 형성을 행하였다.
- [0319] 또한, 샘플 B는 산화물 반도체층의 형성후로서, 산화물 반도체층의 에칭으로 가공하기 전에 가열 처리를 실시하

지 않았다.

- [0320] 기판을 가열한 상태에서 형성을 행한 이유는, 산화물 반도체층 중에서 도너가 되는 수소를 몰아 내기 위해서이다.
- [0321] (샘플 C)
- [0322] 샘플 C는 기판을 200℃가 되도록 가열한 상태에서 산화물 반도체층의 형성을 행하였다.
- [0323] 또한, 샘플 C는 산화물 반도체층의 형성후로서, 산화물 반도체층의 예칭으로 가공하기 전에 질소 분위기에서 650℃에서 1시간의 가열 처리를 실시한 후, 산소 분위기에서 650℃에서 1시간의 가열 처리를 실시하였다.
- [0324] 질소 분위기에서 650℃에서 1시간의 가열 처리를 실시한 이유는, 산화물 반도체층 중에서 도너가 되는 수소를 몰아 내기 위해서이다.
- [0325] 여기서, 산화물 반도체층 중에서 도너가 되는 수소를 몰아 내기 위한 가열 처리로 산소도 탈리되고, 산화물 반도체층 중에서 캐리어가 되는 산소 결손도 발생하여 버린다.
- [0326] 그래서, 산소 분위기에서 650℃에서 1시간의 가열 처리를 실시함으로써, 산소 결손을 저감시키는 효과를 목표로 하였다.
- [0327] (샘플 A 내지 C의 트랜지스터의 특성)
- [0328] 도 17a에 샘플 A의 트랜지스터의 초기 특성을 도시한다. 또한, 도 17a에 있어서, 실선은 드레인 전류(I_{ds})를 나타내고, 파선은 전계 효과 이동도를 나타낸다.
- [0329] 도 17b에 샘플 B의 트랜지스터의 초기 특성을 도시한다. 또한, 도 17b에 있어서, 실선은 드레인 전류(I_{ds})를 나타내고, 파선은 전계 효과 이동도를 나타낸다.
- [0330] 도 17c에 샘플 C의 트랜지스터의 초기 특성을 도시한다. 또한, 도 17c에 있어서, 실선은 드레인 전류(I_{ds})를 나타내고, 파선은 전계 효과 이동도를 나타낸다.
- [0331] 샘플 A의 트랜지스터의 전계 효과 이동도는 18.8 $cm^2/Vsec$ 이었다.
- [0332] 샘플 B의 트랜지스터의 전계 효과 이동도는 32.2 $cm^2/Vsec$ 이었다.
- [0333] 샘플 C의 트랜지스터의 전계 효과 이동도는 34.5 $cm^2/Vsec$ 이었다.
- [0334] 여기서, 샘플 A 내지 C와 같은 형성 방법으로 형성한 산화물 반도체층의 단면을 투과형 현미경(TEM)으로 관찰한 결과, 산화물 반도체층의 형성시에 기판 가열을 행한 샘플 B 및 샘플 C와 같은 형성 방법으로 형성한 샘플에는 결정성이 확인되었다.
- [0335] 그리고, 놀랍게도, 형성시에 기판 가열을 행한 샘플은, 결정성 부분과 비결정성 부분을 가지며, 결정성 부분은 c축 배향하고 있었다.
- [0336] 통상의 다결정에서는 결정성 부분의 배향이 일치하고 있지 않으며, 제각각 다른 방향을 향하고 있기 때문에, 형성시에 기판 가열을 행한 샘플은 종래 없었던 새로운 결정 구조라고 할 수 있다.
- [0337] 또한, 도 17a 내지 도 17c를 비교하면, 형성시에 기판 가열을 행하는 것, 또는, 형성후에 가열 처리를 행함으로써, 도너가 되는 수소 원소를 몰아 낼 수 있기 때문에, n채널형 트랜지스터의 임계값 전압을 플러스 시프트할 수 있는 것을 이해할 수 있다.
- [0338] 즉, 상기 산화물 반도체층의 형성시에 기판 가열을 행한 샘플 B의 임계값 전압은, 상기 산화물 반도체층의 형성시에 기판 가열을 행하고 있지 않은 샘플 A의 임계값 전압보다도 플러스 시프트하고 있다.
- [0339] 또한, 상기 산화물 반도체층의 형성시에 기판 가열을 행한 샘플 B 및 샘플 C를 비교한 경우, 상기 산화물 반도체층의 형성후에 가열 처리를 행한 샘플 C쪽이, 상기 산화물 반도체층의 형성후에 가열 처리를 행하지 않은 샘플 B보다도 플러스 시프트하고 있는 것을 알 수 있다.
- [0340] 또한, 수소와 같은 경원소는 가열 처리의 온도가 높을 수록 탈리하기 쉽기 때문에, 가열 처리의 온도가 높을 수록 수소가 탈리하기 쉽다.
- [0341] 따라서, 상기 산화물 반도체층의 형성시 또는 상기 산화물 반도체층의 형성후의 가열 처리의 온도를 더욱 높이

면 보다 플러스 시프트가 가능하다고 고찰하였다.

- [0342] (샘플 B와 샘플 C의 게이트 BT 스트레스 시험 결과)
- [0343] 샘플 B(상기 산화물 반도체층의 형성후 가열 처리 없음) 및 샘플 C(상기 산화물 반도체층의 형성후 가열 처리 있음)에 대해 게이트 BT 스트레스 시험을 행하였다.
- [0344] 우선, 기관 온도를 25℃로 하고, V_{ds} 을 10V로 하고, 트랜지스터의 $V_{gs}-I_{ds}$ 특성을 측정하고, 가열 및 플러스의 고전압 인가를 행하기 전의 트랜지스터의 특성을 측정하였다.
- [0345] 다음에, 기관 온도를 150℃로 하고, V_{ds} 을 0.1V로 하였다.
- [0346] 다음에, 게이트 절연막(608)에 인가되는 V_{gs} 에 20V를 인가하고, 그대로 1시간 동안 유지하였다.
- [0347] 다음에, V_{gs} 를 0V로 하였다.
- [0348] 다음에, 기관 온도 25℃로 하고, V_{ds} 을 10V로 하고, 트랜지스터의 $V_{gs}-I_{ds}$ 특성을 측정하고, 가열 및 플러스의 고전압 인가를 행한 후의 트랜지스터의 특성을 측정하였다.
- [0349] 이상과 같이 하여, 가열 및 플러스의 고전압 인가를 행하기 전후의 트랜지스터의 특성을 비교하는 것을 플러스 BT 시험이라고 부른다.
- [0350] 한편, 우선 기관 온도를 25℃로 하고, V_{ds} 을 10V로 하고, 트랜지스터의 $V_{gs}-I_{ds}$ 특성을 측정하고, 가열 및 마이너스의 고전압 인가를 행하기 전의 트랜지스터의 특성을 측정하였다.
- [0351] 다음에, 기관 온도를 150℃로 하고, V_{ds} 을 0.1V로 하였다.
- [0352] 다음에, 게이트 절연막(608)에 V_{gs} 에 -20V를 인가하고, 그대로 1시간 동안 유지하였다.
- [0353] 다음에, V_{gs} 를 0V로 하였다.
- [0354] 다음에, 기관 온도 25℃로 하고, V_{ds} 을 10V로 하고, 트랜지스터의 $V_{gs}-I_{ds}$ 특성을 측정하고, 가열 및 마이너스의 고전압 인가를 행한 후의 트랜지스터의 특성을 측정하였다.
- [0355] 이상과 같이 하여, 가열 및 마이너스의 고전압 인가를 행하기 전후의 트랜지스터의 특성을 비교하는 것을 마이너스 BT 시험이라고 부른다.
- [0356] 도 18a는 샘플 B의 플러스 BT 시험 결과이며, 도 18b는 샘플 B의 마이너스 BT 시험 결과이다.
- [0357] 도 19a는 샘플 C의 플러스 BT 시험 결과이며, 도 19b는 샘플 C의 마이너스 BT 시험 결과이다.
- [0358] 플러스 BT 시험 및 마이너스 BT 시험은 트랜지스터의 열화 상태를 판별하는 시험이지만, 도 18a 및 도 19a를 참조하면 적어도 플러스 BT 시험의 처리를 행함으로써, 임계값 전압을 플러스 시프트시킬 수 있는 것을 알 수 있었다.
- [0359] 특히, 도 18a에서는 플러스 BT 시험의 처리를 행함으로써, 트랜지스터가 노멀리 오프형이 된 것을 알 수 있다.
- [0360] 따라서, 트랜지스터 제작시의 가열 처리에 더하여, 플러스 BT 시험의 처리를 행함으로써, 임계값 전압의 플러스 시프트화를 촉진시킬 수 있고, 노멀리 오프형의 트랜지스터를 형성할 수 있는 것을 알 수 있었다.
- [0361] 도 20은 샘플 A의 트랜지스터의 오프 전류와 측정시의 기관 온도(절대 온도)의 역수와의 관계를 도시한다.
- [0362] 여기서는, 측정시의 기관 온도의 역수에 1000을 곱한 수치(1000/T)를 가로축으로 하고 있다.
- [0363] 또한, 도 20에서는 채널 폭 1 μ m인 경우에 있어서의 전류량을 도시하고 있다.
- [0364] 기관 온도가 125℃(1000/T가 약 2.51)일 때 오프 전류는 1×10^{-19} A/ μ m 이하로 되었다.
- [0365] 기관 온도가 85℃(1000/T가 약 2.79)일 때 오프 전류는 1×10^{-20} A/ μ m 이하로 되었다.
- [0366] 즉, 실리콘 반도체를 사용한 트랜지스터와 비교하여 매우 낮은 오프 전류인 것을 알 수 있었다.

[0367] 또한, 온도가 낮을 수록 오프 전류가 저하되기 때문에, 상온이면 보다 낮은 오프 전류인 것은 명확하다.

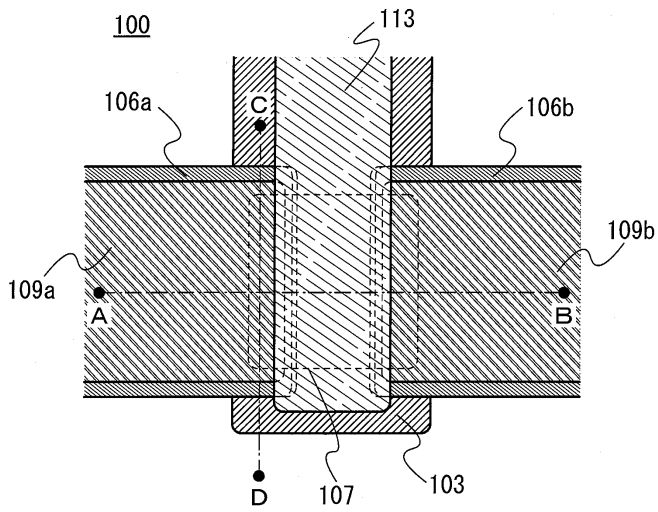
부호의 설명

- | | | |
|--------|--------------------------------|------------------|
| [0368] | 100 트랜지스터 | 101 기관 |
| | 102 하지 절연층 | 103 제 1 게이트 전극 |
| | 104a 섬 형상의 캐리어 밀도가 높은 산화물 반도체막 | |
| | 104b 섬 형상의 캐리어 밀도가 높은 산화물 반도체막 | |
| | 105 게이트 절연층 | |
| | 106a 캐리어 밀도가 높은 산화물 반도체막 | |
| | 106b 캐리어 밀도가 높은 산화물 반도체막 | |
| | 107 산화물 반도체층 | 109a 소스 전극 |
| | 109b 드레인 전극 | 111 절연층 |
| | 113 제 2 게이트 전극 | 130 결정성 산화물 반도체층 |
| | 150 개구부 | 200 트랜지스터 |
| | 1000 전자 조리기 | 1001 코일부 |
| | 1002 배터리 | 1003 반도체 장치 |
| | 1010 전동 자전거 | 1011 모터부 |
| | 1012 배터리 | 1013 반도체 장치 |

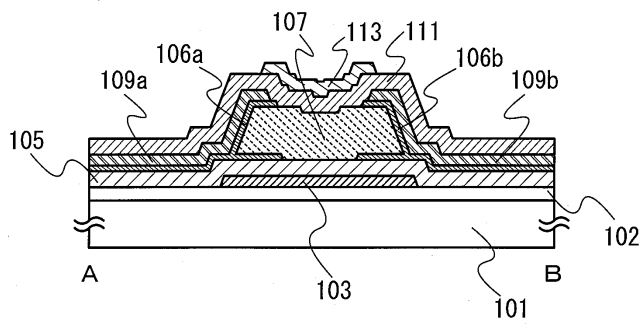
도면

도면1

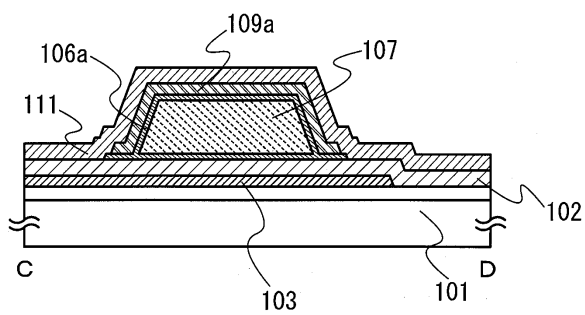
(a)



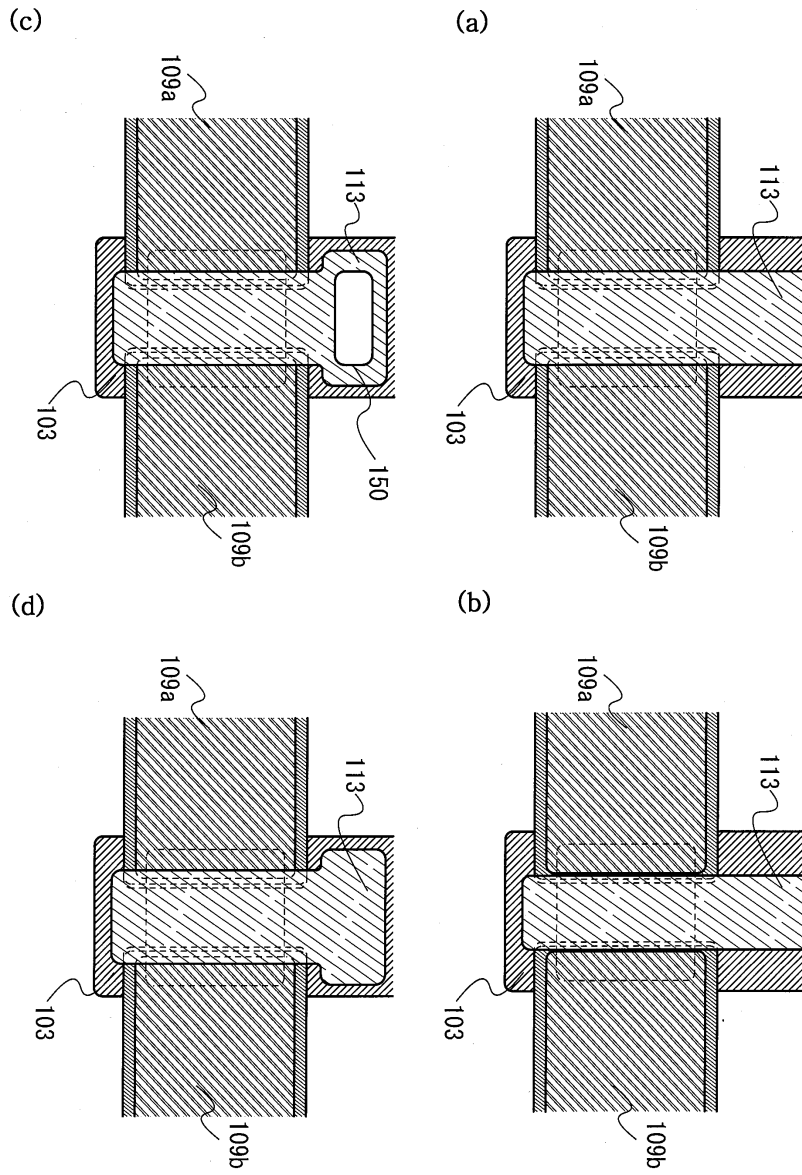
(b)



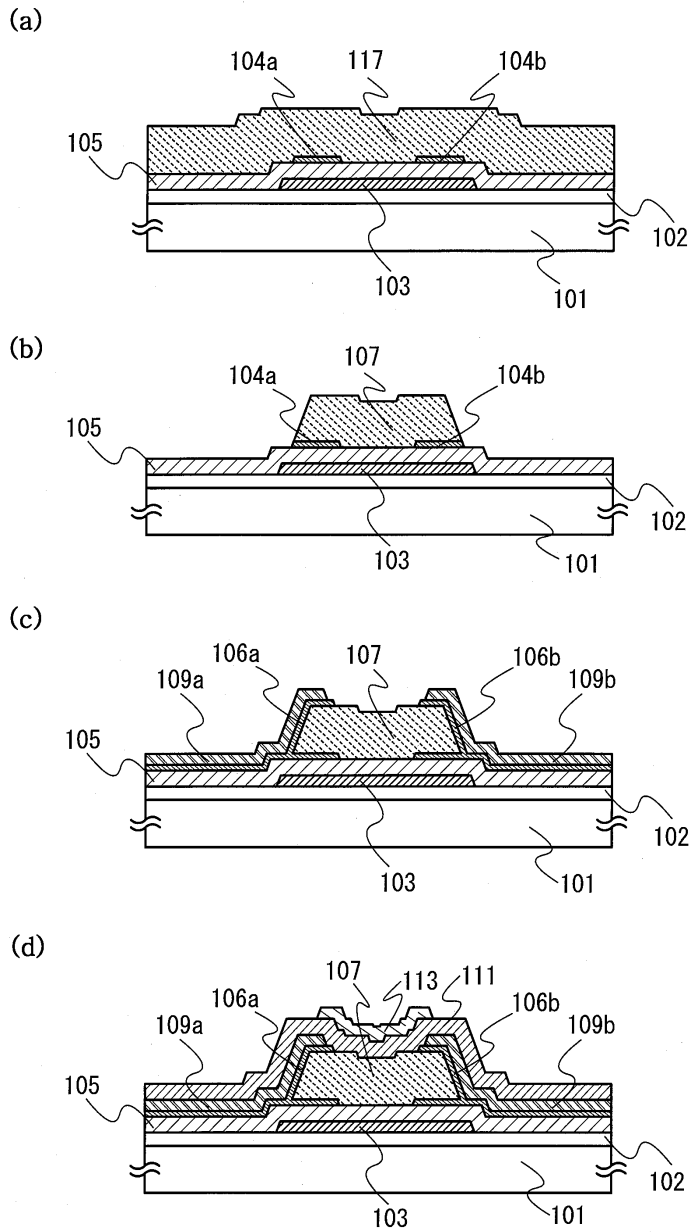
(c)



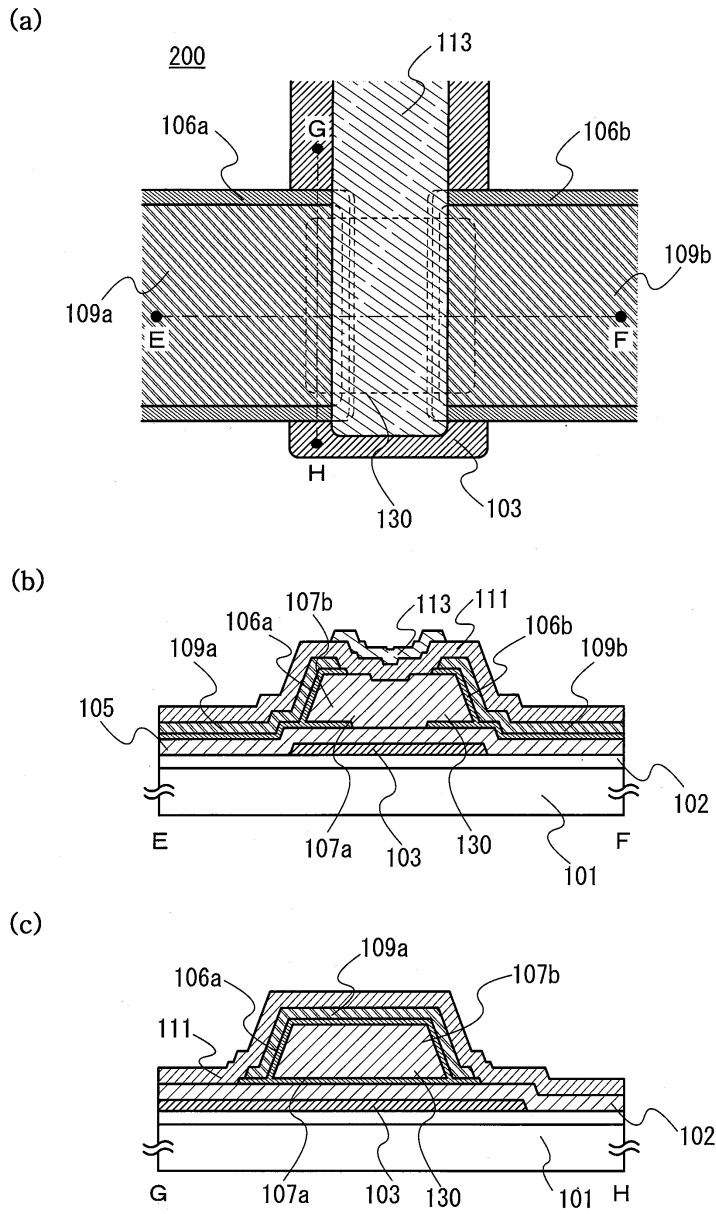
도면2



도면3

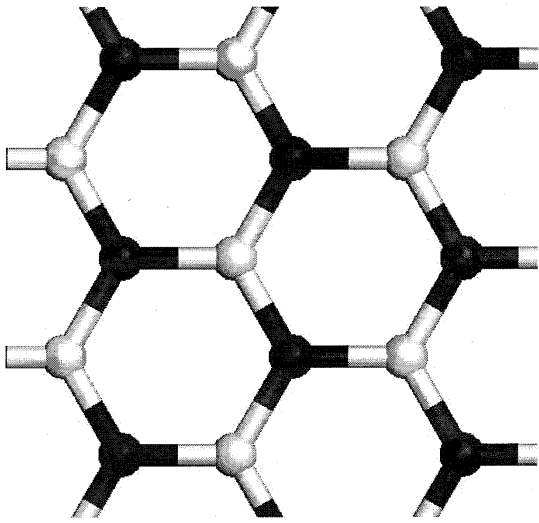


도면4

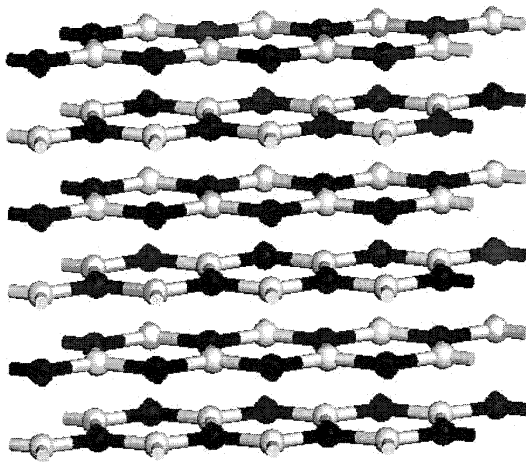


도면5

(a)

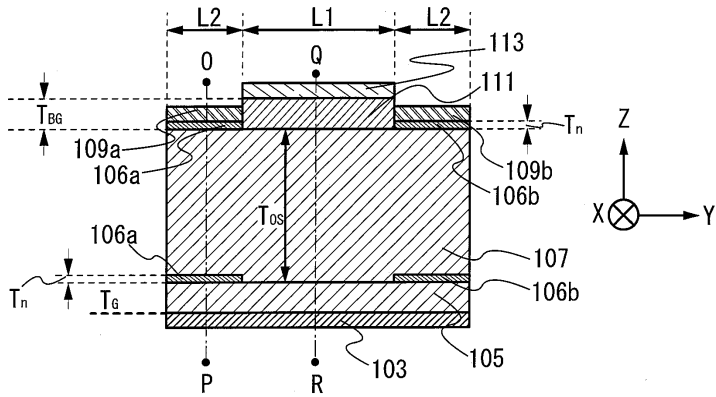


(b)

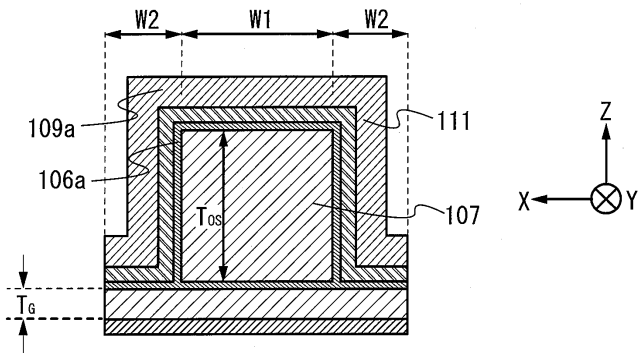


도면6

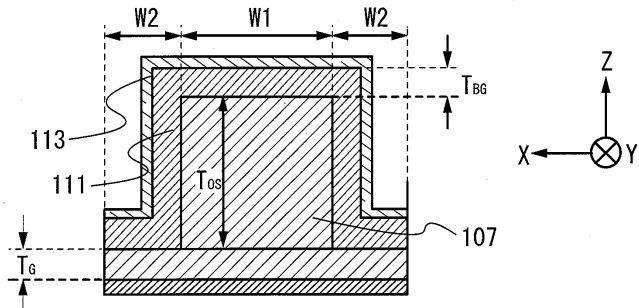
(a)



(b)

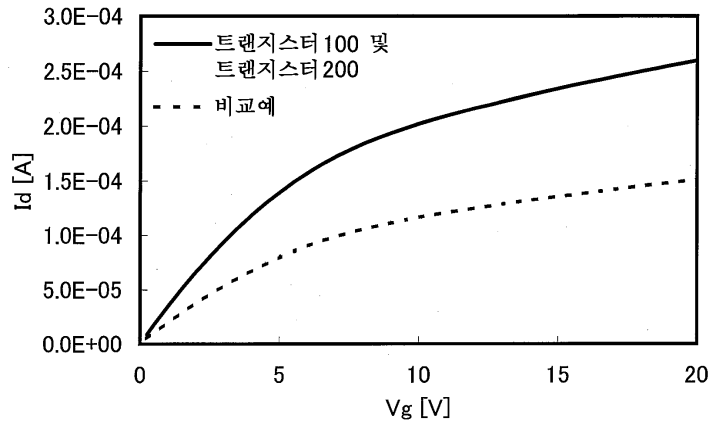


(c)

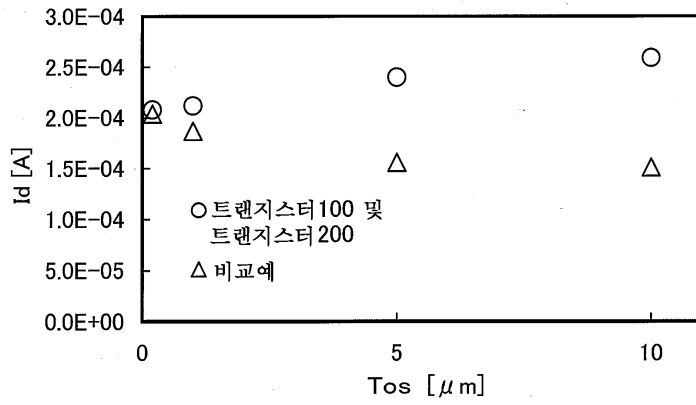


도면7

(a)

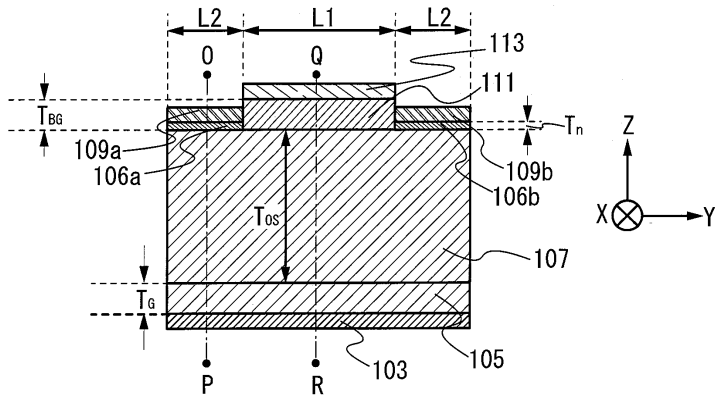


(b)

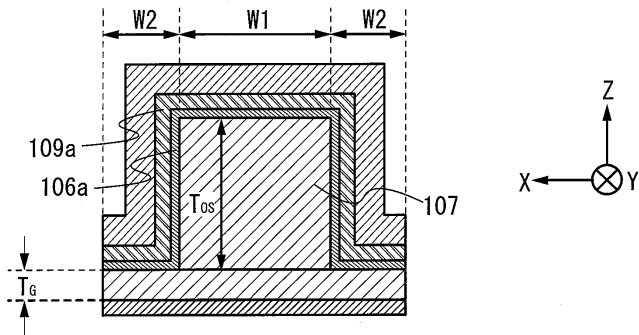


도면8

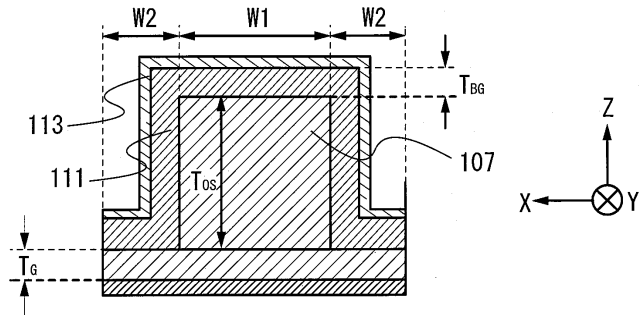
(a)



(b)

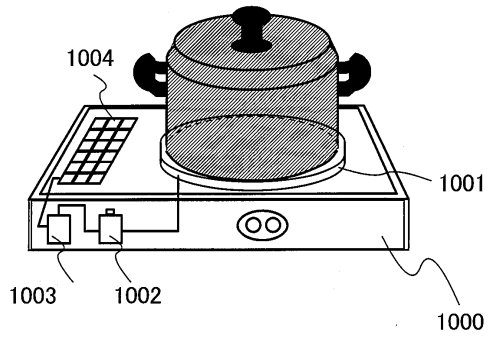


(c)

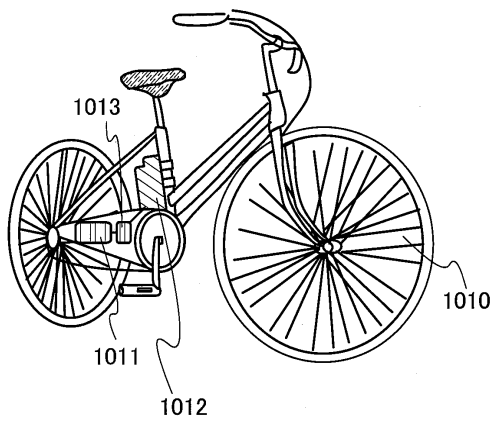


도면9

(a)

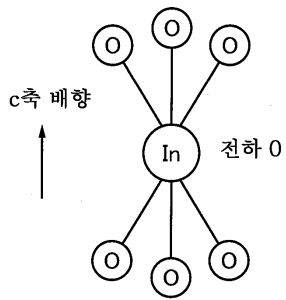


(b)

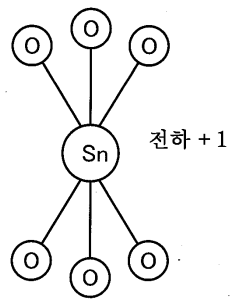


도면10

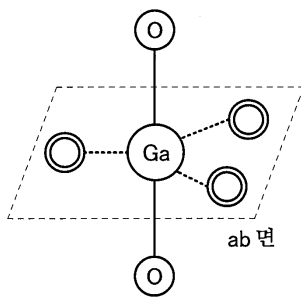
(a)



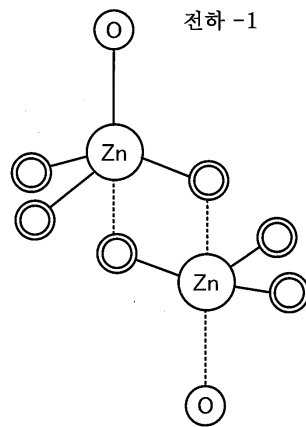
(d)



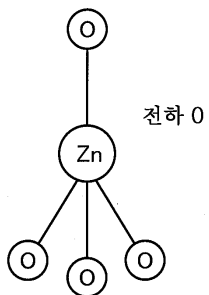
(b)



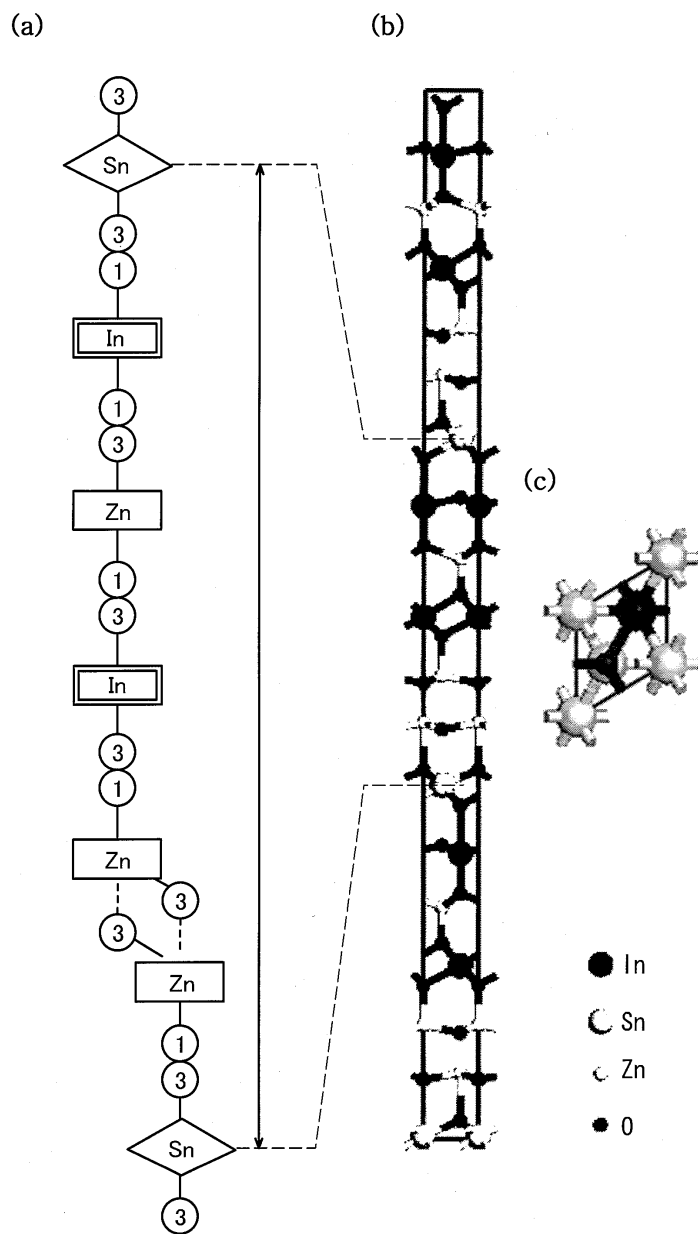
(e)



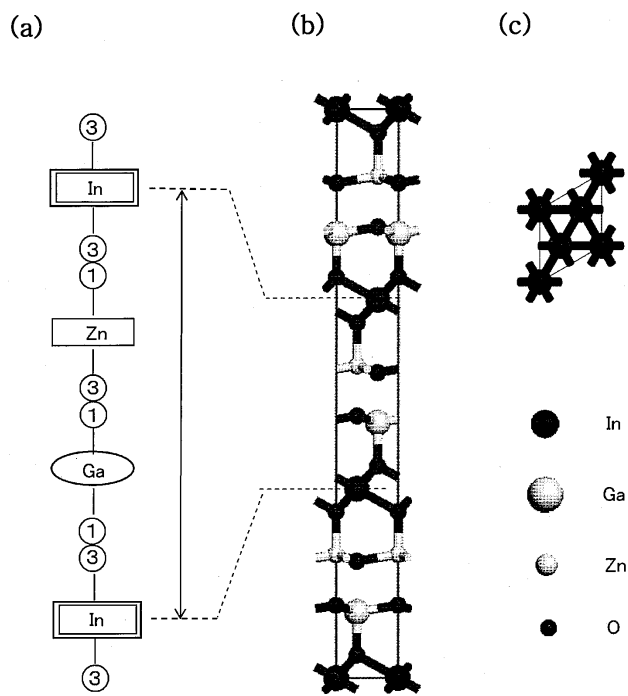
(c)



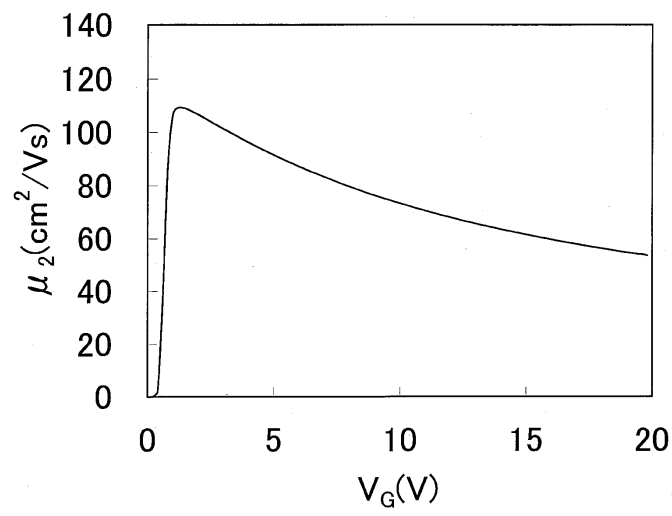
도면11



도면12

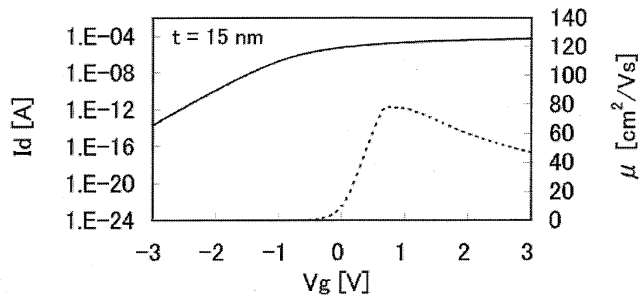


도면13

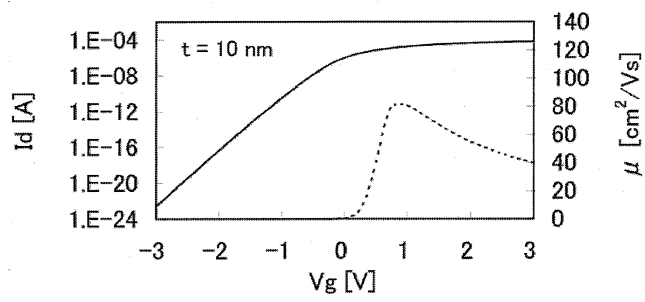


도면14

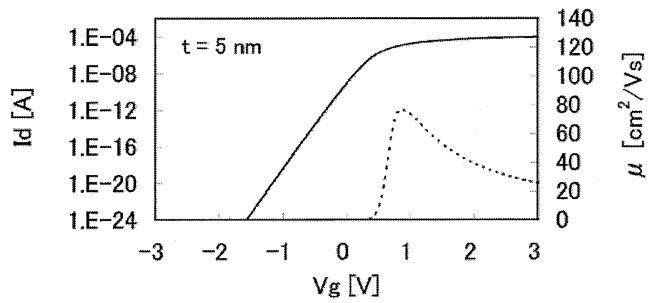
(a)



(b)

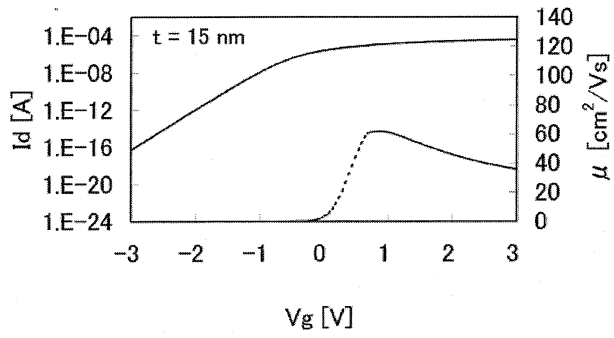


(c)

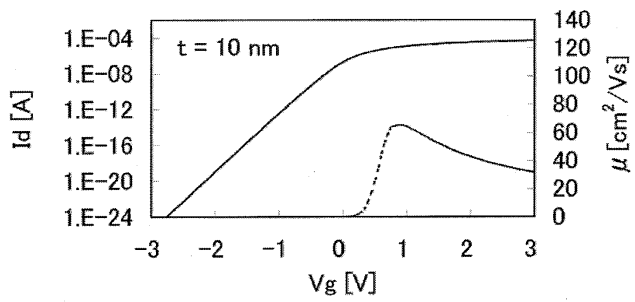


도면15

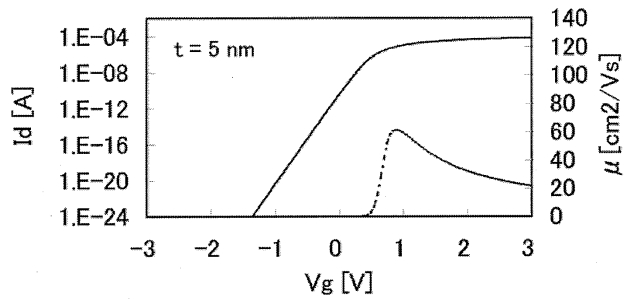
(a)



(b)

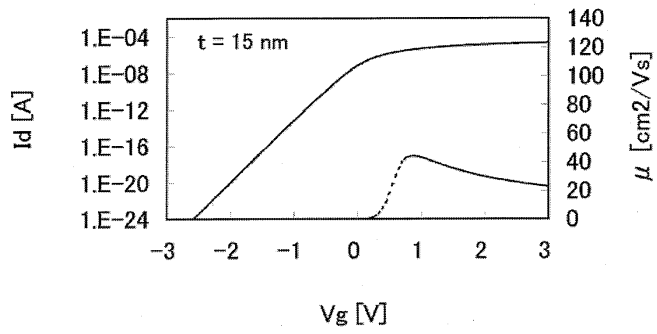


(c)

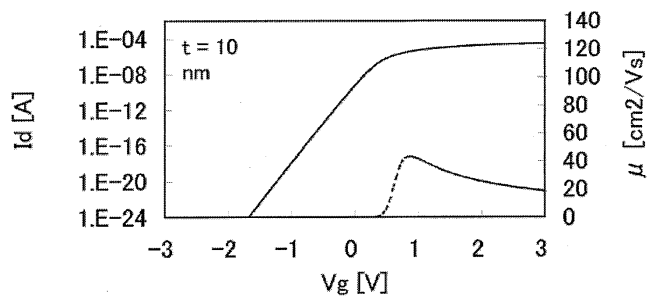


도면16

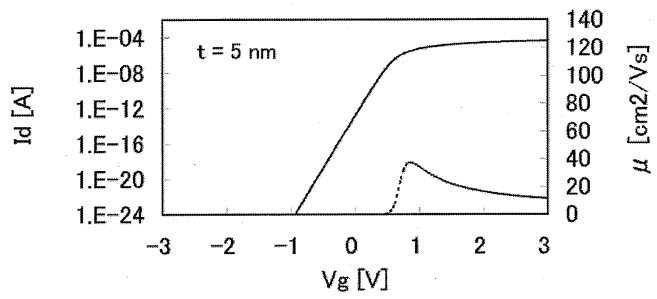
(a)



(b)

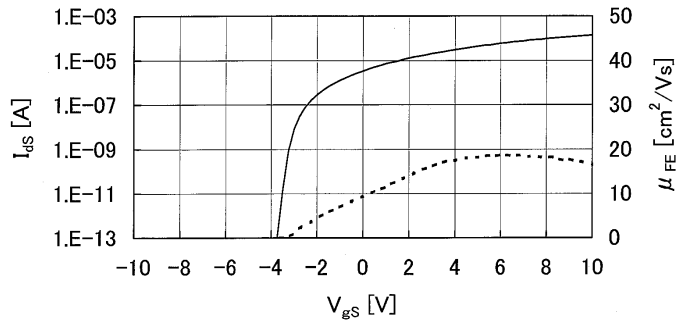


(c)

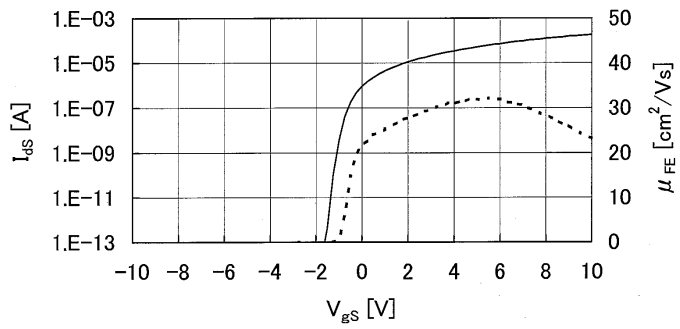


도면17

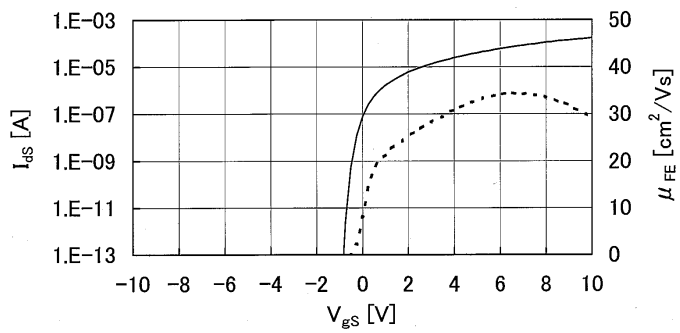
(a)



(b)

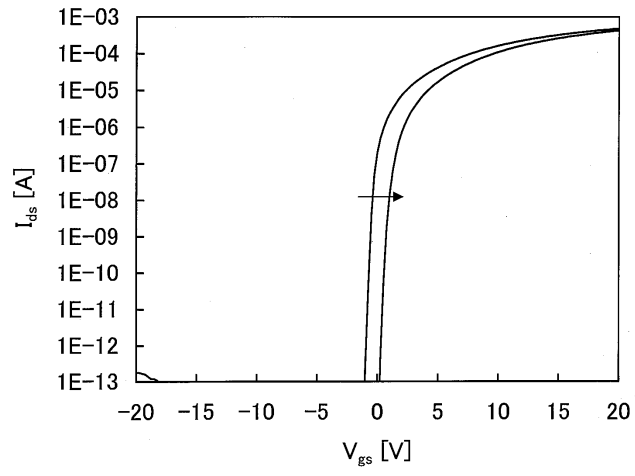


(c)

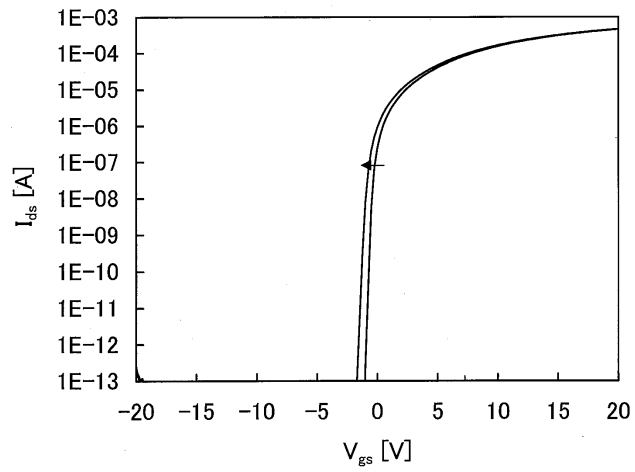


도면18

(a)

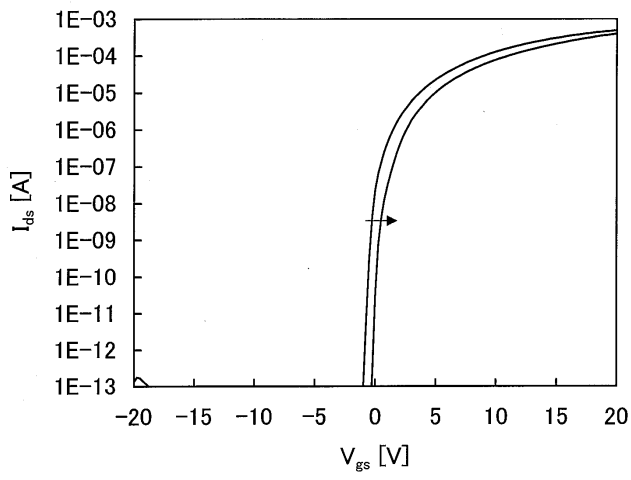


(b)

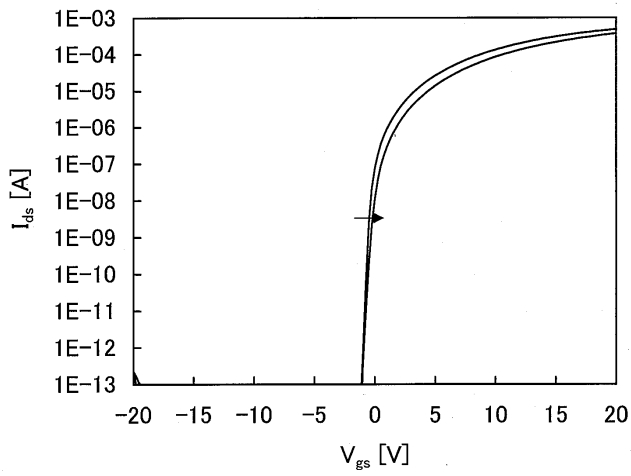


도면19

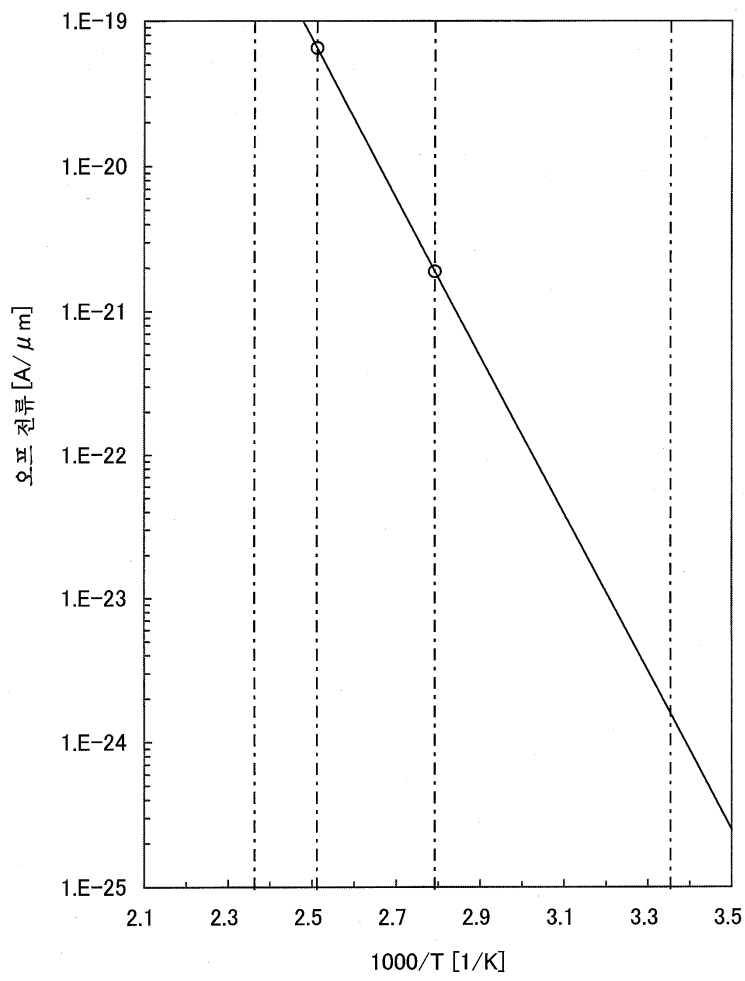
(a)



(b)

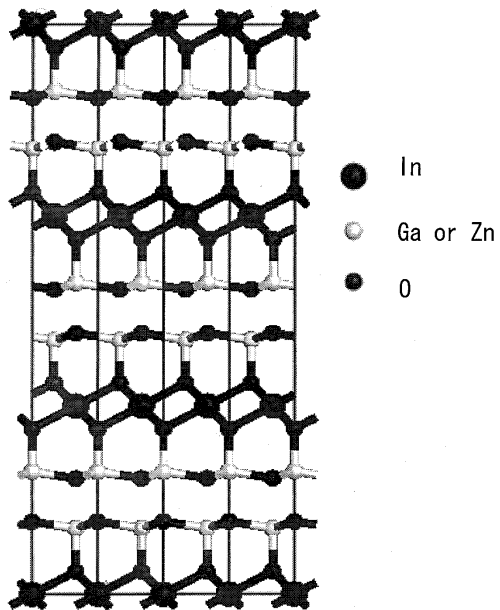


도면20



도면21

(a)



(b)

