

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 23/48 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월12일 10-0600176 2006년07월05일
---------------------------------------	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2000-0054972 2000년09월19일	(65) 공개번호 (43) 공개일자	10-2002-0022267 2002년03월27일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자            애플 테크놀로지 코리아 주식회사  
                              광주 북구 대촌동 957

(72) 발명자                백종식  
                              서울특별시 동대문구 답십리5동 678번지

                              정영석  
                              서울특별시 서초구 방배3동 경남@ 7-501

                              하선호  
                              서울특별시 은평구 녹번동 110-3

                              박영국  
                              서울특별시 서대문구 남가좌2동 335-13

(74) 대리인                서만규

심사관 : 김종권

(54) 반도체패키지

요약

이 발명은 반도체패키지에 관한 것으로, 다양한 크기의 반도체칩을 스택할 수 있도록, 대략 평면인 제1면과 제2면을 가지고, 상기 제2면에는 다수의 입출력패드가 형성된 제1반도체칩과; 대략 평면인 제1면과 제2면을 가지고, 상기 제1면과 제2면 사이에는 또다른 제3면이 형성된 수지층을 중심으로, 상기 수지층의 제1면과 제2면에는 볼랜드 및 본드핑거를 갖는 회로패턴이 형성되어 있으며, 상기 수지층의 제3면에는 제1반도체칩의 제1면이 접착수단으로 접착된 동시에 전기적 접속수단에 의해 상기 입출력패드가 본드핑거에 접속된 셉스트레이트와; 상기 셉스트레이트의 제3면에 충전되어 상기 제1반도체칩을 감싸는 제1봉지재와; 대략 평면인 제1면과 제2면을 가지고, 상기 제2면에는 다수의 입출력패드가 형성되어 있으며, 상기 제1면이 상기 제1봉지재의 표면에 접착수단으로 접착된 동시에, 전기적 접속수단에 의해 상기 입출력패드가 셉스트레이트의 본드핑거에 접속된 제2반도체칩과; 상기 제2반도체칩, 전기적 접속수단 및 셉스트레이트의 일면을 감싸는 제2봉지재와; 상기 셉스트레이트의 각 볼랜드에 용착된 도전성분을 포함하여 이루어진 것을 특징으로 함.

대표도

도 2a

## 명세서

### 도면의 간단한 설명

도1은 종래의 반도체패키지를 도시한 단면도이다.

도2a 및 도2b는 본 발명에 의한 반도체패키지를 도시한 단면도이다.

도3 내지 도5는 본 발명에 의한 반도체패키지를 도시한 단면도이다.

- 도면중 주요 부호에 대한 설명 -

100, 101, 102, 103, 104; 본 발명에 의한 반도체패키지

1; 제1반도체칩 1a, 2a, 11a, 70a; 제1면

1b, 2b, 11b, 70b; 제2면 1c, 2c; 입출력패드

2; 제2반도체칩 10; 인쇄회로기판

11; 수지층 11c; 제3면

12; 회로패턴 12a, 71a; 본드핑거

12b; 볼랜드 13; 비아홀

14; 커버코트 20; 접착수단

30; 봉지재, 제1봉지재 40; 접속수단

50; 제2봉지재 60; 도전성볼

70; 리드 71b; 랜드

80; 접착기둥 81; 절연성 볼패드

82, 60; 도전성볼

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체패키지에 관한 것으로, 더욱 상세하게 설명하면 다수의 반도체칩이 스택된 스택형 반도체패키지에 관한 것이다.

통상 반도체패키지는 반도체칩을 외부 환경으로부터 안전하게 보호함은 물론, 그 반도체칩과 마더보드(Mother Board)와의 전기적 신호가 용이하게 교환되도록 한 것을 말한다.

최근에는 상기한 반도체패키지 내부에 다수의 반도체칩을 스택함으로써 고기능화를 구현한 스택형 반도체패키지가 출시되고 있으며, 이러한 종래의 통상적인 스택형 반도체패키지(100')를 도1에 도시하였다.

도시된 바와 같이 통상 수지층(18')을 중심으로 상,하면에 본드핑거(20a') 및 볼랜드(20b')를 갖는 회로패턴(20')이 형성되어 있고, 상기 회로패턴(20')의 표면은 커버코트(23')로 코팅된 회로기판(16')이 구비되어 있다. 또한, 상기 회로기판(16')의 상면 중앙부에는 제1반도체칩(2')이 접착층에 의해 접착되어 있고, 상기 제1반도체칩(2')의 상면에는 제2반도체칩(6')이 접착층으로 접착되어 있다. 물론, 상기 제1반도체칩(2') 및 제2반도체칩(6')의 상면에는 다수의 입출력패드(4',8')가 형성되어 있다. 상기 제1반도체칩(2') 및 제2반도체칩(6')의 입출력패드(4',8')는 각각 회로기판(16')에 형성된 회로패턴(20')중 본드핑거(20a')에 도전성와이어(60')로 본딩되어 있다. 또한, 제1반도체칩(2'), 제2반도체칩(6'), 도전성와이어(60') 및 회로기판(16')의 상면은 봉지재(40')로 봉지되어 있다. 상기 회로기판(16')의 하면에 형성된 회로패턴(20')중 볼랜드(20b')에는 다수의 도전성볼(50')이 용착되어 있으며, 이 도전성볼(50')이 차후 마더보드의 소정 패턴에 본딩된다. 도면중 미설명부호 20c'는 도전성 비아홀이다.

이러한 반도체패키지(100')는 제1반도체칩(2') 및 제2반도체칩(6')의 전기적 신호가 도전성와이어(60'), 회로기판(16')의 본드핑거(20a'), 도전성 비아홀(20c'), 볼랜드 (20b') 및 도전성볼(50')을 통해서 마더보드와 교환되며, 두개의 반도체칩이 스택된 상태이므로 반도체패키지가 고용량, 고기능화되고 또한 실장밀도를 높일 수 있는 장점이 있다.

그러나, 상기 제1반도체칩의 입출력패드에 본딩되는 도전성와이어와의 접촉을 피하기 위해, 상기 제2반도체칩의 넓이 또는 부피가 상기 제1반도체칩의 넓이 또는 부피보다 반듯이 작아야 하는 단점이 있다. 즉, 상기 제2반도체칩의 부피가 제1반도체칩의 부피와 같거나 클 경우에는 그 제2반도체칩의 저면과 도전성와이어가 상호 쇼트됨으로써 제1반도체칩의 전기적 기능이 마비되는 문제가 있어, 반듯이 그 제2반도체칩의 크기가 제1반도체칩의 크기보다 작아야 한다.

이러한 문제는 동일한 크기 또는 다양한 크기의 반도체칩을 다수 스택하여야 하는 메모리 반도체패키지(예를 들면 다수의 DRAM을 스택한 반도체패키지)에 적용할 수 없어, 패키징할 수 있는 반도체칩의 종류를 극히 제한시키고 있다.

### 발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 다양한 크기의 반도체칩을 스택할 수 있는 반도체패키지를 제공하는데 있다.

### 발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 대략 평면인 제1면과 제2면을 가지고, 상기 제2면에는 다수의 입출력패드가 형성된 제1반도체칩과; 대략 평면인 제1면과 제2면을 가지고, 상기 제1면과 제2면 사이에는 또다른 제3면이 형성된 수지층을 중심으로, 상기 수지층의 제1면과 제2면에는 볼랜드 및 본드핑거를 갖는 회로패턴이 형성되어 있으며, 상기 수지층의 제3면에는 제1반도체칩의 제1면이 접착수단으로 접착된 동시에 전기적 접속수단에 의해 상기 입출력패드가 본드핑거에 접속된 셉스트레이트와; 상기 셉스트레이트의 제3면에 충전되어 상기 제1반도체칩을 감싸는 제1봉지재와; 대략 평면인 제1면과 제2면을 가지고, 상기 제2면에는 다수의 입출력패드가 형성되어 있으며, 상기 제1면이 상기 제1봉지재의 표면에 접착수단으로 접착된 동시에, 전기적 접속수단에 의해 상기 입출력패드가 셉스트레이트의 본드핑거에 접속된 제2반도체칩과; 상기 제2반도체칩, 전기적 접속수단 및 셉스트레이트의 일면을 감싸는 제2봉지재와; 상기 셉스트레이트의 각 볼랜드에 용착된 도전성볼을 포함하여 이루어진 것을 특징으로 한다.

상기 제1반도체칩의 입출력패드에 일단이 접속된 접속수단은 타단이 상기 제1봉지재 및 제2봉지재를 통과하여 셉스트레이트의 본드핑거에 접속될 수 있다.

상기 접착수단은 에폭시 수지 접착제, 필름 접착제, 양면 접착테이프중 선택된 어느 하나일 수 있다.

상기 셉스트레이트는 제1면과 제3면 사이의 두께가 제1면과 제2면 사이의 두께보다 작을 수 있다.

또한, 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 제1면과 제2면을 가지고, 상기 제2면에는 다수의 입출력패드가 형성된 제1반도체칩과; 제1면과 제2면을 가지고, 상기 제2면에는 다수의 입출력패드가 형성되어 있으며, 상기 제1면이 상기 제1반도체칩의 제2면과 마주하여 위치된 제2반도체칩과; 상기 제1반도체칩의 제1면에 접착되어 있으며, 상기 제1반도체칩 및 제2반도체칩의 입출력패드와 도전성와이어로 접속되며, 마더보드에 실장가능한 셉스트레이트와; 상기 제1반도체칩의 제2면과 상기 제2반도체칩의 제1면 사이에 개재(介在)되어 접착되고, 두께는 상기 제1반도체칩의 입출력패드에 연결된 도전성와이어의 루프 하이트보다 두껍게 형성된 완충수단과; 상기 제1반도체칩, 제2반도체칩, 도전성와이어 및 셉스트레이트의 일면을 봉지하는 봉지재를 포함하여 이루어진 것을 특징으로 한다.

상기 셉스트레이트는 제1면과 제2면을 갖는 수지층과, 상기 수지층의 제1면에는 다수의 볼랜드를, 제2면에는 다수의 본드 핑거를 포함하여 형성된 회로패턴으로 이루어진 인쇄회로기판, 씨킷필름 또는 씨킷테이프중 어느 하나일 수 있다.

상기 셉스트레이트는 각 볼랜드에 도전성볼이 용착된다.

상기 셉스트레이트는 제1면과 제2면을 갖고, 상기 제1면에는 봉지재 외측으로 노출된 랜드가 형성되며, 제2면에는 상기 제1반도체칩과 도전성와이어로 본딩되는 본드핑거를 포함하여 이루어진 다수의 리드일 수 있다.

상기 완충수단은 일정거리 이격된 적어도 2개 이상의 접촉기동일 수 있다.

상기 완충수단은 제1반도체칩의 제2면 및 이와 대응되는 위치의 제2반도체칩의 제1면에 다수의 절연성 볼패드가 형성되고, 상기 대응되는 볼패드 사이에는 도전성볼이 위치되어 이루어질 수 있다.

상기와 같이 하여 본 발명에 의한 반도체패키지에 의하면, 제1반도체칩이 제1봉지재로 감싸여져 있고, 상기 제1봉지재 상에 접촉수단에 의해 또다른 제2반도체칩이 접촉됨으로써 제2반도체칩이 그 하부의 접속수단과 상호 간섭하지 않게 되고, 따라서 그 접속수단의 파손을 방지하게 된다.

또한, 제1반도체칩의 입출력패드 및 그것에 접속된 접속수단의 일부분이 이미 제1봉지재로 감싸여져 있음으로, 상기 제1봉지재 상에는 어떠한 크기의 제2반도체칩이 스택되어도, 상기 접속수단과 간섭되지 않게 됨으로써 다양한 종류의 반도체패키지를 구현할 수 있게 된다.

또한, 상기 셉스트레이트에는 두께가 더 얇은 제3면을 형성하고, 상기 제3면에 제1반도체칩 및 제2반도체칩을 순차 스택함으로써, 그 반도체패키지의 전체적인 두께를 감소시킬 수 있게 된다.

또한, 제1반도체칩의 제2면에 일정두께 이상의 완충수단이 접촉됨으로써 상기 제1반도체칩의 제2면에 다양한 크기 또는 부피의 제2반도체칩이 더 스택 가능하게 된다.

또한, 보다 다양한 구조 및 기능을 갖는 반도체패키지를 제공하게 되고, 더불어 셉스트레이트의 회로패턴 또는 리드의 설계 자유도가 높아지게 된다.

이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도2a 및 도2b는 본 발명에 의한 반도체패키지(100,101)를 도시한 단면도이고, 도3 내지 도5는 본 발명에 의한 다른 반도체패키지(102~104)를 도시한 단면도이다.

먼저 도2a에 도시된 반도체패키지(100)를 참조한다.

도시된 바와 같이 대략 평면인 제1면(1a)과 제2면(2b)을 가지고, 상기 제2면(2b)에는 다수의 입출력패드(1c)가 형성된 제1반도체칩(1)이 구비되어 있다.

또한, 상기 제1반도체칩(1)은 대략 평판상의 셉스트레이트(10)에 접촉수단으로 접촉되어 있으며, 상기 제1반도체칩(1)이 접촉되는 영역에는 요부(凹部)(11d)가 형성되어 있다.

여기서, 상기 제1반도체칩(1)의 입출력패드(1c)는 셉스트레이트(10)에 전기적 접속수단(40)으로 접속되어 있다.

또한, 상기 셉스트레이트(10)의 요부(11d)에는 제1봉지재(30)가 충전되어 상기 제1반도체칩(1)을 감싸고 있다.

더불어, 대략 평면인 제1면(2a)과 제2면(2b)을 가지고, 상기 제2면(2b)에는 다수의 입출력패드(2c)가 형성되어 있으며, 상기 제1면(2a)이 상기 제1봉지재(30)의 표면에 접촉수단(20)으로 접촉된 동시에, 전기적 접속수단(40)에 의해 상기 입출력패드(2c)가 셉스트레이트(10)에 접속된 제2반도체칩(2)이 구비되어 있다.

상기 제2반도체칩(2), 전기적 접속수단(40) 및 셉스트레이트(10)의 일면은 또한 제2봉지재(50)로 감싸여져 있다.

다음으로 도2b의 반도체패키지(101)를 참조하면, 대략 평면인 제1면(1a)과 제2면(1b)을 가지고, 상기 제2면(1b)의 주변 근처에는 다수의 입출력패드(1c)가 형성된 제1반도체칩(1)이 구비되어 있다.

또한, 상기 제1반도체칩(1)의 제1면(1a)에는 접착수단으로 썬스트레이트가 접착되어 있는데, 상기 썬스트레이트의 구체적 예로서 인쇄회로기판(10)이 도시되어 있다.

상기 인쇄회로기판(10)은 대략 평면인 제1면(11a)과 제2면(11b)을 갖는 수지층(11)을 중심으로, 상기 제1면(11a)과 제2면(11b) 사이에는 또다른 제3면(11c)이 형성되어 있다. 상기 수지층(11)의 제1면(11a)에는 볼랜드(12b)가 상기 제3면(11c)의 외주연인 제2면(11b)에는 본드핑거(12a)가 포함된 회로패턴(12)이 형성되어 있다. 상기 회로패턴(12)은 주지된 바와 같이 구리박막(Cu Foil)이며, 이러한 구조는 인쇄회로기판(10)뿐만 아니라, 씨킷필름 또는 씨킷테이프도 가능하다.

여기서, 상기 썬스트레이트로서 인쇄회로기판, 씨킷필름, 또는 씨킷테이프 모두 가능하며, 어느 하나로 한정하는 것은 아니다.

더불어, 상기 인쇄회로기판(10)은 제1면(11a)과 제3면(11c) 사이의 두께가 제1면(11a)과 제2면(11b) 사이의 두께보다 작게 형성되어 있다. 즉, 상기 수지층(11)은 제2면(11b)의 중앙부에 일정깊이의 요부(凹部)가 형성되어 있고, 그 요부의 바닥면은 제3면(11c)이 된다.

또한, 상기 인쇄회로기판(10)의 제3면(11c)에는 제1반도체칩(1)의 제1면(1a)이 접착수단에 의해 접착되어 있음으로써, 상기 인쇄회로기판(10) 및 제1반도체칩(1)의 총 두께는 종래에 비해 작아지게 된다.

물론, 상기 인쇄회로기판(10)은 상기 수지층(11)의 제1면(11a)과 제2면(11b)에 형성된 회로패턴(12)이 도전성 비아홀(13)에 의해 상호 연결되어 있으며, 상기 볼랜드(12b) 및 본드핑거(12a)를 제외한 회로패턴(12) 및 수지층(11) 표면은 커버코트(14)로 코팅되어 있다. 상기 커버코트(14)는 통상적인 절연성 고분자 수지이다.

계속해서, 상기 제1반도체칩(1)의 입출력패드(1a)는 전기적 접속수단(40)에 의해 상기 인쇄회로기판(10)의 본드핑거(12a)에 접속되어 있다. 또한, 상기 전기적 접속수단(40)의 일부분 및 제1반도체칩(1) 전체는 제1봉지재(30)로 감싸여져 있다. 여기서, 상기 제1봉지재(30)는 통상적인 액상 봉지재 또는 통상의 절연성 고분자 수지가 바람직하다. 물론, 통상적인 에폭시 몰딩 컴파운드를 배제하는 것은 아니다. 또한 상기 전기적 접속수단(40)은 골드와이어 또는 알루미늄와이어와 같은 도전성와이어가 바람직하다.

이어서, 상기 제1봉지재(30)에는 접착수단(20)에 의해 또다른 제2반도체칩(2)이 접착되어 있다. 상기 제2반도체칩(2)은 대략 평면인 제1면(2a)과 제2면(2b)을 가지고, 상기 제2면(2b)에는 다수의 입출력패드(2c)가 형성되어 있다. 물론, 상기 입출력패드(2c)는 인쇄회로기판(10)의 본드핑거(12a)에 전기적 접속수단(40)으로 접속되어 있다.

여기서, 상기 제2반도체칩(2)의 크기 또는 부피는 매우 다양하게 존재할 수 있다. 즉, 제1반도체칩(1) 및 그것에 접속된 접속수단(40)의 일부는 이미 제1봉지재(30)에 의해 완전히 봉지되어 있음으로, 상기 제2반도체칩(2)의 제2면(2b)과 전기적 접속수단(40)이 상호 간섭될 여지가 없고, 이에 따라 상기 접속수단(40)의 파손을 방지할 수 있게 된다.

또한, 여기서 상기 제2반도체칩(2)을 제1봉지재(30) 상에 접착시키는 접착수단(20)은 에폭시 수지 접착제, 필름 접착제 또는 양면 접착테이프 등이 가능하다.

또한, 상기 제2반도체칩(2)의 입출력패드(2c) 역시 전기적 접속수단(40)에 의해 인쇄회로기판(10)의 본드핑거(12a)에 연결되어 있고, 상기 인쇄회로기판(10)의 제2면(11b)에 위치하는 제1반도체칩(1), 제2반도체칩(2), 전기적 접속수단(40)은 모두 제2봉지재(50)로 봉지되어 있다. 여기서, 상기 제2봉지재(50)는 에폭시 몰딩 컴파운드 등이 바람직하다.

이어서, 상기 인쇄회로기판의 볼랜드(12b)에는 솔더볼과 같은 도전성볼(60)이 각각 용착됨으로써, 마더보드에 실장 가능한 형태로 되어 있다.

이어서, 도3 및 도4를 참조한다.

도시된 바와 같이 대략 평면인 제1면(1a)과 제2면(1b)을 갖고, 상기 제2면(1b)의 내주연 근처에는 다수의 입출력패드(1c)가 형성된 제1반도체칩(1)이 구비되어 있다.

상기 제1반도체칩(1)의 제2면(1b)에는 일정두께의 완충수단이 형성되어 있으며, 상기 완충수단은 하기 설명할 도전성 와이어(20)의 루프 높이(Loop Height, 제1반도체칩(1)의 제2면(1b)에서부터 도전성 와이어(20)의 가장 높은 만곡 지점까지의 높이)보다 두껍게 형성되어 있다.

상기 완충수단은 도3 및 4에 도시된 바와 같이 다수의 접착기둥(80)일 수 있다. 즉, 제1반도체칩(1)의 입출력패드(1c)와 중첩되지 않는 위치에 다수의 접착기둥(80)을 형성하되, 상기 접착기둥(80)의 높이는 도전성 와이어(20)의 루프 높이보다 크게 되도록 한다. 상기 접착기둥(80)은 통상적인 필름 접착제 또는 양면 접착 테이프 등을 이용한다.

계속해서, 대략 평면인 제1면(2a)과 제2면(2b)을 가지고, 상기 제2면(2b)의 내주연 근처에는 다수의 입출력패드(2c)가 형성되어 있으며, 상기 제1면(2a)이 상기 완충수단에 접착된 제2반도체칩(2)이 구비되어 있다.

한편, 상기 제2반도체칩(2)의 크기 또는 부피는 제1반도체칩(1)의 크기 또는 부피보다 작거나, 같거나 또는 클 수 있다. 이와 같이 다양한 크기의 제2반도체칩(2)을 제1반도체칩(1)에 스택 가능한 이유는 전술한 바와 같이 완충수단의 두께가 도전성 와이어(20)의 루프 높이보다 크기 때문에, 상기 도전성 와이어(20)와 상기 제2반도체칩(2)의 제1면(2a)이 상호 쇼트(Short)될 염려가 없기 때문이다.

또한 상기 제1반도체칩(1)의 제1면(1a)에는, 제1면(11a)과 제2면(11b)을 갖는 수지층(11)을 중심으로 그 양면에는 회로 패턴(12)이 형성된 섭스트레이트가 접착되어 있다.

상기 섭스트레이트는 통상적인 인쇄회로기판(Printed Circuit Board), 씨킷필름(Circuit Film), 씨킷테이프(Circuit Tape) 또는 리드프레임(Lead Frame) 등이 이용될 수 있으며, 도3에는 상기 섭스트레이트로서 인쇄회로기판(10)이 이용된 반도체패키지가 도시되어 있다.

그러나 여기서 상기 섭스트레이트를 상기 인쇄회로기판(10)으로만 한정하는 것은 아니다.

상기 인쇄회로기판(10)은 제1면(11a)과 제2면(11b)을 갖는 수지층(11)을 중심으로 제1면(11a)에는 도전성 볼랜드(12b)를 포함하는 회로 패턴(12)이 형성되어 있고, 제2면(11b)에는 본드핑거(12a)를 포함하는 회로 패턴(12)이 형성되어 있다. 물론, 상기 본드핑거(12a) 및 볼랜드(12b)를 제외한 전 표면은 절연성 커버코트(14)에 의해 코팅되어 있으며, 상기 본드핑거(12a)와 볼랜드(12b)는 수지층(11)을 관통하는 도전성 비이홀(14)에 의해 상호 접속되어 있다.

상기 제1반도체칩(1) 및 제2반도체칩(2)의 입출력패드(1c,2c)와 인쇄회로기판(10)의 회로 패턴(12)중 본드핑거(12a)는 골드와이어(Au Wire) 또는 알루미늄와이어(Al Wire)와 같은 도전성 와이어(20)에 의해 상호 접속되어 있다.

한편, 상기 도전성 와이어(20)의 루프 높이는 각 제1반도체칩(1) 및 제2반도체칩(2)의 제2면(1b,2b)으로부터 매우 가깝게 형성함이 바람직하다.

이와 같이 도전성 와이어(20)의 루프 높이를 작게 형성하는 방법은 통상적인 리버스 와이어 본딩(Reverse Wire Bonding), 엷지 본딩(Wedge Bonding) 방법 등을 사용함으로써 가능하다.

상기 리버스 와이어 본딩 방법의 일례를 간단히 설명하면 다음과 같다.

먼저, 제1반도체칩(1) 또는 제2반도체칩(2)의 입출력패드(1c,2c)상에 먼저 도전성 와이어(20)로 스태드범프(Stud Bump, 대략 볼(Ball) 모양)를 형성한 후, 도전성 와이어(20)의 단부를 끊는다. 이어서 도전성 와이어(20)의 일단을 인쇄회로기판(10)의 본드핑거(12a)에 접속(First Bonding)하고, 그 타단을 제1반도체칩(1) 또는 제2반도체칩(2)의 입출력패드(1c,2c)상에 형성된 스태드범프(3)에 스티치 본딩(Stitch bonding, Second Bonding이라고도 함)한다. 이러한 리버스 와이어 본딩은 종래와 마찬가지로 써모소닉 Au 볼 본딩(Thermosonic Au Ball Bonding, 본딩시 초음파 에너지와 동시에 본딩하고자 하는 영역에 열을 주어 본딩하는 방법)시 사용되는 캐필러리를 이용한다.

또한, 상기 리버스 와이어 본딩 대신에 상기 도전성 와이어(20)의 단부를 제1반도체칩(1) 또는 제2반도체칩(2)의 입출력패드(1c,2c)상에 엷지(Wedge) 또는 리본(Ribbon) 본딩하여 접속하는 방법도 있다. 상기 엷지 또는 리본 본딩 방법은 주지된 바와 같이 종래의 울트라소닉 Al 엷지 본딩(Ultrasonic Al Wedge Bonding, 엷지에 초음파 진동 에너지만을 주어 그 마찰 열로 본딩하는 방법)으로서 제1,2본딩 영역 모두 엷지 형태로 형성됨에 사용되는 엷지를 이용한다.

더불어, 상기 도전성와이어(20)를 탭(TAB; Tape Automated Bonding) 본딩 방법에 의해 상기 제1반도체칩(1) 및 제2반도체칩(2)의 입출력패드(1c,2c)에 본딩하여 그 루프 하이트를 조절할 수도 있다. 상기 탭 본딩 방법은 주지된 바와 같이 다수의 도전성와이어(20), 회로패턴 또는 리드 등이 일체의 필름 또는 테이프 등으로 감싸여진 채 동시에 본딩되는 방법이다.

이러한 본딩 방법에 의해 상기 도전성와이어(20)의 루프 하이트는 최대 5mil에서 최소 1mil(1mil=0.0254mm)까지 형성 가능하다.

물론, 상기 리버스 와이어 본딩, 엣지 본딩, 리본 본딩 및 탭 본딩 방법 외에 종래의 노말 와이어 본딩(Normal Wire Bonding) 방법도 사용할 수 있는데, 상기와 같은 노말 와이어 본딩 방법을 이용했을 경우에는 상기 완충수단의 두께를 더욱 두껍게 해야 한다.

계속해서, 상기 제1반도체칩(1), 제2반도체칩(2), 도전성와이어(20) 및 인쇄회로기판(10)의 제2면(11b) 전체는 에폭시 몰딩 컴파운드(Epoxy Molding Compound) 또는 액상봉지재(Glop Top)와 같은 봉지재(30)로 봉지되어 외부 환경으로부터 보호 가능하게 되어 있다.

또한, 상기 인쇄회로기판(10)의 제1면(11a)에 형성된 회로패턴(12)중 볼랜드(12b)에는 솔더볼(Solder Ball)과 같은 도전성볼(60)이 용착되어 마더보드(Mother Board)의 소정 패턴에 실장 가능하게 되어 있다.

다음으로, 도4에 도시된 반도체패키지(103)를 참조한다. 이는 도3에 도시된 반도체패키지(102)와 유사하므로 차이점만을 설명하기로 한다.

도시된 바와 같이 도4의 반도체패키지(103)은 셉스트레이트로서 리드(70)를 이용한 것이 특징이다.

즉, 대략 평면인 제1면(70a)과 제2면(70b)을 갖고, 상기 제1면(70a)에는 봉지재(30) 외측으로 노출된 랜드(71b)가 형성되고, 제2면(70b)에는 상기 제1반도체칩(1)과 도전성와이어(20)로 본딩되는 본드핑거(71a)로 이루어진 리드(70)가 셉스트레이트로서 구비되어 있다.

상기 리드(70)는 제1면(70a)중 랜드(71b)를 제외한 영역이 화학적으로 할프 에칭(Half Etching)됨으로써, 상기 랜드(71b)를 포함한 리드(70) 두께는 그렇지 못한 리드(70) 두께보다 대략 2배 가량 더 두껍게 형성되어 있다.

따라서, 봉지재(30) 외측으로 노출된 상기 리드(70)의 랜드(71b)가 차후 마더보드의 소정 패턴에 실장된다.

마지막으로, 도5의 반도체패키지(104)를 참조한다. 이것 역시 상기 반도체패키지(101,102,103)와 유사하므로 그 차이점만을 설명하기로 한다.

도시된 바와 같이 도5의 반도체패키지(104)는 완충수단으로서 절연성 볼패드(81) 및 도전성볼(82)이 이용된 것이 특징이다.

즉, 제1반도체칩(1)의 제2면(1b) 및 이와 대응되는 제2반도체칩(2)의 제1면(2a)에는 다수의 절연성 볼패드(81)가 형성되어 있고, 상기 대응되는 볼패드(81) 사이에는 각각 도전성볼(82)이 위치되어 있다. 물론, 상기 볼패드(81) 및 도전성볼(82)의 총두께는 제1반도체칩(1)의 입출력패드(1c)에 접속된 도전성와이어(20)의 루프 하이트보다는 두껍게 되어 있다. 따라서, 반도체칩의 열팽창시 발생하는 응력을 상기 도전성볼(82) 등이 흡수함으로써 반도체패키지의 크랙이나 깨짐 현상 등도 방지하는 효과가 있다.

이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

### 발명의 효과

따라서 본 발명에 의한 반도체패키지에 의하면, 제1반도체칩이 제1봉지재로 감싸여져 있고, 상기 제1봉지재 상에 접촉수단에 의해 또다른 제2반도체칩이 접촉됨으로써 제2반도체칩이 그 하부의 접속수단과 상호 간섭하지 않게 되고, 따라서 그 접속수단의 파손을 방지하는 효과가 있다.

또한, 제1반도체칩의 입출력패드 및 그것에 접속된 접속수단의 일부분이 이미 제1봉지재로 감싸여져 있으므로, 상기 제1봉지재 상에는 어떠한 크기의 제2반도체칩이 스택되어도, 상기 접속수단과 간섭되지 않게 됨으로써 다양한 종류의 반도체패키지를 구현할 수 있는 효과가 있다.

또한, 상기 셉스트레이트에는 두께가 더 얇은 제3면을 형성하고, 상기 제3면에 제1반도체칩 및 제2반도체칩을 순차 스택함으로써, 그 반도체패키지의 전체적인 두께를 감소시킬 수 있는 효과가 있다.

또한, 제1반도체칩의 제2면에 일정두께 이상의 완충수단이 접착됨으로써 상기 제1반도체칩의 제2면에 다양한 크기 또는 부피의 제2반도체칩이 더 스택 가능한 효과가 있다.

또한, 보다 다양한 구조 및 기능을 갖는 반도체패키지를 제공하게 되고, 더불어 셉스트레이트의 회로패턴 또는 리드의 설계 자유도가 높아지는 효과가 있다.

## (57) 청구의 범위

### 청구항 1.

대략 평면인 제1면과 제2면을 가지고, 상기 제2면에는 다수의 입출력패드가 형성된 제1반도체칩과,

대략 평면인 제1면과 제2면을 가지고, 상기 제1면과 제2면 사이에는 또다른 제3면이 형성된 수지층을 중심으로, 상기 수지층의 제1면과 제2면에는 볼랜드 및 본드핑거를 갖는 회로패턴이 형성되어 있으며, 상기 수지층의 제3면에는 제1반도체칩의 제1면이 접속수단으로 접착된 동시에 전기적 접속수단에 의해 상기 입출력패드가 본드핑거에 접속된 셉스트레이트와,

상기 셉스트레이트의 제3면에 충전되어 상기 제1반도체칩을 감싸는 제1봉지재와,

대략 평면인 제1면과 제2면을 가지고, 상기 제2면에는 다수의 입출력패드가 형성되어 있으며, 상기 제1면이 상기 제1봉지재의 표면에 접속수단으로 접착된 동시에, 전기적 접속수단에 의해 상기 입출력패드가 셉스트레이트의 본드핑거에 접속된 제2반도체칩과,

상기 제2반도체칩, 전기적 접속수단 및 셉스트레이트의 일면을 감싸는 제2봉지재와,

상기 셉스트레이트의 각 볼랜드에 융착된 도전성볼을 포함하고,

상기 셉스트레이트는 제1면과 제3면 사이의 두께가 제1면과 제2면 사이의 두께보다 작은 동시에, 상기 제1반도체칩의 입출력패드에 일단이 접속된 접속수단은 타단이 상기 제1봉지재 및 제2봉지재를 통과하여 셉스트레이트의 본드핑거에 접속된 것을 특징으로 하는 반도체패키지.

### 청구항 2.

삭제

### 청구항 3.

제1항에 있어서, 상기 접속수단은 에폭시 수지 접착제, 필름 접착제, 양면 접착테이프중 선택된 어느 하나인 것을 특징으로 하는 반도체패키지.

**청구항 4.**

삭제

**청구항 5.**

제1면과 제2면을 가지고, 상기 제2면에는 다수의 입출력패드가 형성된 제1반도체칩과,

제1면과 제2면을 가지고, 상기 제2면에는 다수의 입출력패드가 형성되어 있으며, 상기 제1면이 상기 제1반도체칩의 제2면과 마주하여 위치한 제2반도체칩과,

상기 제1반도체칩의 제1면에 접촉되어 있으며, 상기 제1반도체칩 및 제2반도체칩의 입출력패드와 도전성와이어로 접속되며, 마더보드에 실장가능한 셉스트레이트와,

상기 제1반도체칩의 제2면과 상기 제2반도체칩의 제1면 사이에 개재(介在)되어 접촉되고, 두께는 상기 제1반도체칩의 입출력패드에 연결된 도전성와이어의 루프 하이트보다 두껍게 형성된 완충수단과,

상기 제1반도체칩, 제2반도체칩, 도전성와이어 및 셉스트레이트의 일면을 봉지하는 봉지재를 포함하고,

상기 완충수단은 제1반도체칩의 제2면 및 이와 대응되는 위치의 제2반도체칩의 제1면에 형성된 다수의 절연성 볼패드와, 상기 대응되는 볼패드 사이에 형성된 도전성볼로 이루어진 것을 특징으로 하는 반도체패키지.

**청구항 6.**

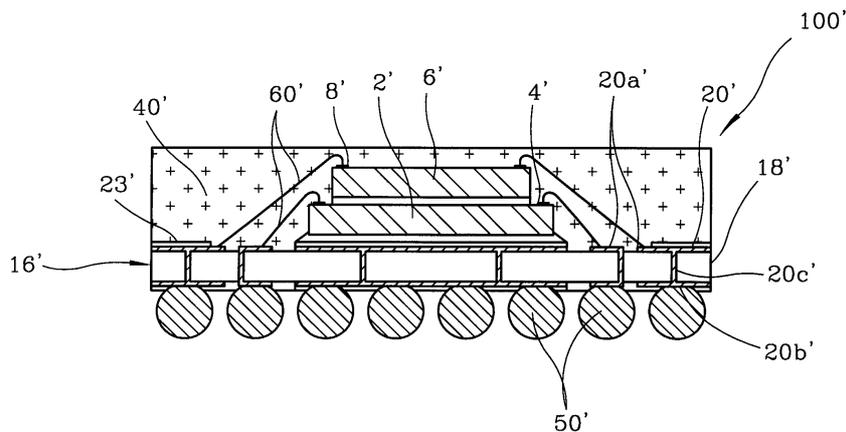
삭제

**청구항 7.**

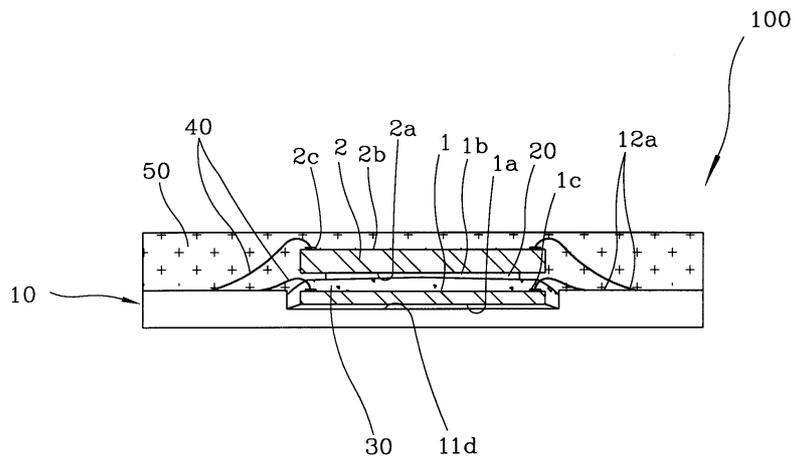
삭제

도면

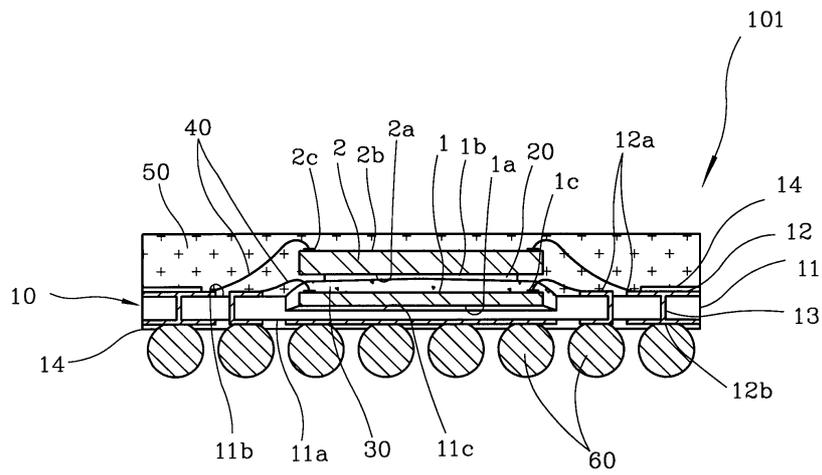
도면1



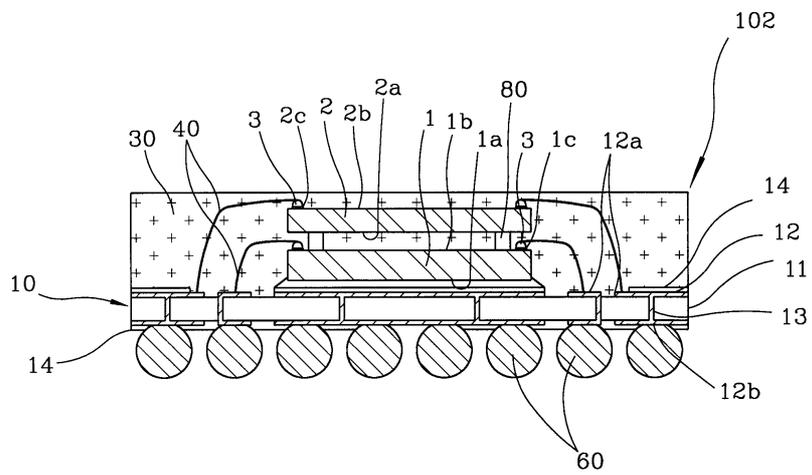
도면2a



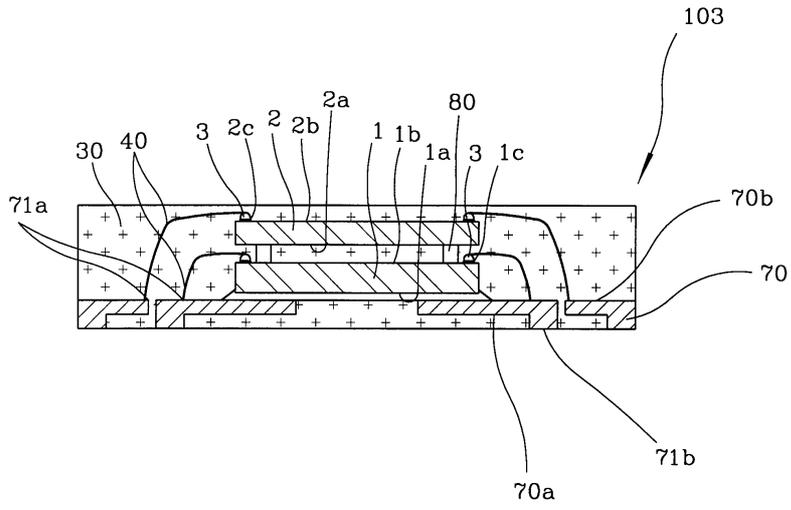
도면2b



도면3



도면4



도면5

