



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0041863  
(43) 공개일자 2019년04월23일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0133615  
(22) 출원일자 2017년10월13일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
강지현  
경기도 파주시 월롱면 엘지로 245

(74) 대리인  
특허법인로얄

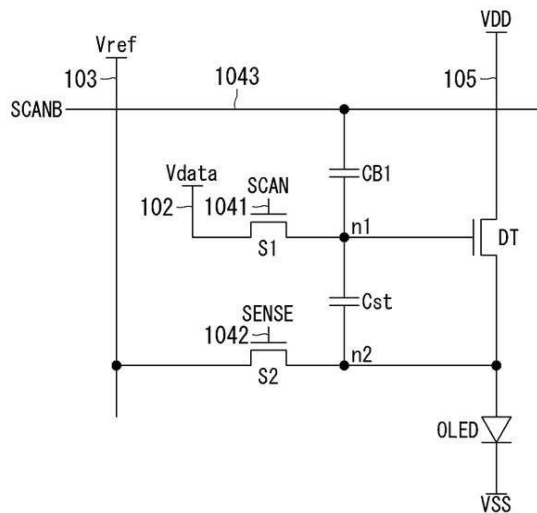
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 전계 발광 표시장치와 그 구동 방법

(57) 요약

본 발명은 전계 발광 표시장치와 그 구동 방법에 관한 것으로, 서브 픽셀들 각각은 발광 소자를 구동하는 구동 소자, 제1 게이트 신호에 따라 턴-온되어 데이터 신호를 상기 구동 소자의 게이트에 공급하는 제1 스위치 소자, 상기 구동 소자의 게이트-소스간 전압을 충전하는 제1 커패시터, 및 상기 제2 게이트 라인과 상기 구동 소자의 게이트 사이에 연결되어 상기 역위상 신호를 상기 구동 소자의 게이트에 인가하는 제2 커패시터를 포함한다.

대표도 - 도3



(52) CPC특허분류

G09G 2300/0452 (2013.01)

G09G 2300/0828 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2320/0247 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

데이터 라인들과 게이트 라인들이 교차되고 다수의 서브 픽셀들이 배치된 표시패널;

데이터 신호를 상기 데이터 라인들에 공급하는 데이터 구동부; 및

제1 게이트 신호를 제1 게이트 라인에 공급하고, 상기 제1 게이트 신호에 대한 역위상 신호를 제2 게이트 라인에 공급하는 게이트 구동부를 구비하고,

상기 서브 픽셀들 각각은

발광 소자를 구동하는 구동 소자;

상기 제1 게이트 신호에 따라 턴-온되어 상기 데이터 신호를 상기 구동 소자의 게이트에 공급하는 제1 스위치 소자;

상기 구동 소자의 게이트-소스간 전압을 충전하는 제1 커패시터; 및

상기 제2 게이트 라인과 상기 구동 소자의 게이트 사이에 연결되어 상기 역위상 신호를 상기 구동 소자의 게이트에 인가하는 제2 커패시터를 포함하는 전계 발광 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 제2 게이트 라인의 폭이 상기 제2 커패시터에서 다른 위치에 비하여 넓은 전계 발광 표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 게이트 구동부는,

제2 게이트 신호를 제3 게이트 라인에 공급하고,

상기 서브 픽셀들 각각은

상기 제2 게이트 신호에 따라 턴-온되어 상기 구동 소자를 센싱 라인에 연결하는 제2 스위치 소자; 및

상기 제2 게이트 라인과 상기 구동 소자의 소스 사이에 연결되어 상기 역위상 신호를 상기 구동 소자의 소스에 인가하는 제3 커패시터를 더 포함하는 전계 발광 표시장치.

#### 청구항 4

제 3 항에 있어서,

상기 제2 게이트 라인의 폭이 상기 제3 커패시터에서 다른 위치에 비하여 넓은 전계 발광 표시장치.

#### 청구항 5

제 3 항에 있어서,

상기 제2 게이트 신호가

상기 제1 게이트 신호 보다 먼저 게이트 온 전압으로 발생되고, 상기 제1 게이트 신호와 동시에 게이트 오프 전압으로 반전되는 전계 발광 표시장치.

#### 청구항 6

데이터 라인들과 게이트 라인들이 교차되고 다수의 서브 픽셀들이 배치된 표시패널;

데이터 신호를 상기 데이터 라인들에 공급하는 데이터 구동부; 및

제1 게이트 신호를 제1 게이트 라인에 공급하고, 제2 게이트 신호를 제2 게이트 라인에 공급하며, 상기 제1 게이트 신호에 대한 역위상 신호를 제3 게이트 라인에 공급하는 게이트 구동부를 구비하고,

상기 서브 픽셀들 각각은

발광 소자를 구동하는 구동 소자;

상기 제1 게이트 신호에 따라 턴-온되어 상기 데이터 신호를 상기 구동 소자의 게이트에 공급하는 제1 스위치 소자;

상기 제2 게이트 신호에 따라 턴-온되어 상기 구동 소자를 센싱 라인에 연결하는 제2 스위치 소자;

상기 구동 소자의 게이트-소스간 전압을 충전하는 제1 커패시터;

상기 제3 게이트 라인과 상기 구동 소자의 게이트 사이에 연결되어 상기 역위상 신호를 상기 구동 소자의 게이트에 인가하는 제2 커패시터; 및

상기 제2 게이트 라인과 상기 구동 소자의 소스 사이에 연결되어 상기 역위상 신호를 상기 구동 소자의 소스에 인가하는 제3 커패시터를 포함하는 전계 발광 표시장치.

### 청구항 7

제 6 항에 있어서,

상기 제2 게이트 라인의 폭이 상기 제2 및 제3 커패시터에서 다른 위치에 비하여 넓은 전계 발광 표시장치.

### 청구항 8

데이터 라인들과 게이트 라인들이 교차되고 다수의 서브 픽셀들이 배치된 표시패널을 구비하는 전계 발광 표시장치의 구동 방법에 있어서,

서브 픽셀에 연결된 제1 게이트 라인에 게이트 신호를 인가하는 단계; 및

상기 게이트 신호에 대한 역위상 신호를 상기 게이트 신호와 동시에 상기 서브 픽셀에 연결된 제2 게이트 라인에 인가하여 상기 서브 픽셀의 킥백 전압을 억제하는 단계를 포함하는 전계 발광 표시장치의 구동 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 픽셀들을 구동하는 구동 소자를 구비하는 전계 발광 표시장치에 관한 것이다.

### 배경 기술

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기 발광 표시장치의 픽셀들은 OLED와, 게이트-소스간 전압에 따라 OLED에 전류를 공급하여 OLED를 구동하는 구동소자를 포함한다. 유기 발광 표시장치의 OLED는 애노드 및 캐소드와, 이 전극들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. OLED에 전류가 흐를 때 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자가 형성되고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 구동 소자는 MOSFET(metal oxide semiconductor field effect transistor) 구조의 트랜지스터로 구현될 수 있

다. 구동 소자는 모든 픽셀들 간에 그 전기적 특성이 균일하여야 하지만 공정 편차와 소자 특성 편차로 인하여 픽셀들 간에 차이가 있을 수 있고 디스플레이 구동 시간의 경과에 따라 변할 수 있다. 이러한 구동 소자의 전기적 특성 편차를 보상하기 위해, 전계 발광 표시장치에 내부 보상 방법과 외부 보상 방법이 적용될 수 있다. 내부 보상 방법은 구동 소자의 전기적 특성에 따라 변하는 구동 소자의 게이트-소스 간 전압( $V_{gs}$ )을 샘플링하고 그 게이트-소스간 전압 만큼 데이터 전압을 보상한다. 외부 보상 방법은 구동 소자의 전기적 특성에 따라 변하는 픽셀의 전압을 센싱하고, 센싱된 전압을 바탕으로 외부 회로에서 입력 영상의 데이터를 변조함으로써 픽셀들 간 구동 소자의 전기적 특성 편차를 보상한다.

### 발명의 내용

#### 해결하려는 과제

- [0005] 계 발광 표시장치의 픽셀 회로는 신호 배선들에 연결된 다수의 트랜지스터들을 포함할 수 있다. 이러한 트랜지스터의 게이트에 인가되는 게이트 신호의 전압이 변할 때 이 트랜지스터의 게이트-소스간 기생 용량으로 인하여 발생하는 킥백(kick back)으로 인하여 구동 소자용 트랜지스터의 게이트-소스간 전압( $V_{gs}$ )이 낮아질 수 있다. 구동 소자의 게이트-소스간 전압( $V_{gs}$ )의 감소는 OLED의 전류 감소를 초래하여 픽셀들의 휘도 저하를 초래한다. 트랜지스터의 기생 용량으로 인한 킥백은 표시패널의 화면 상에 게이트 신호의 지연양이 달라지는 경우에, 표시패널의 위치에 따라 휘도 차이가 커지게 하는 하나의 원인으로 작용한다.
- [0006] 따라서, 본 발명은 픽셀 회로에서 킥백 전압의 영향을 줄이고 화면의 휘도 균일도를 향상할 수 있는 전계 발광 표시장치와 그 구동 방법을 제공한다.

#### 과제의 해결 수단

- [0007] 본 발명의 전계 발광 표시장치는 데이터 라인들과 게이트 라인들이 교차되고 다수의 서브 픽셀들이 배치된 표시패널, 데이터 신호를 상기 데이터 라인들에 공급하는 데이터 구동부, 및 제1 게이트 신호를 제1 게이트 라인에 공급하고, 상기 제1 게이트 신호에 대한 역위상 신호를 제2 게이트 라인에 공급하는 게이트 구동부를 구비한다.
- [0008] 상기 서브 픽셀들 각각은 발광 소자를 구동하는 구동 소자, 상기 제1 게이트 신호에 따라 턴-온되어 상기 데이터 신호를 상기 구동 소자의 게이트에 공급하는 제1 스위치 소자, 상기 구동 소자의 게이트-소스간 전압을 충전하는 제1 커패시터, 및 상기 제2 게이트 라인과 상기 구동 소자의 게이트 사이에 연결되어 상기 역위상 신호를 상기 구동 소자의 게이트에 인가하는 제2 커패시터를 포함한다.
- [0009] 상기 제2 게이트 라인의 폭이 상기 제2 커패시터에서 다른 위치에 비하여 넓다.
- [0010] 상기 게이트 구동부는 제2 게이트 신호를 제3 게이트 라인에 공급한다.
- [0011] 상기 서브 픽셀들 각각은 상기 제2 게이트 신호에 따라 턴-온되어 상기 구동 소자를 센싱 라인에 연결하는 제2 스위치 소자, 및 상기 제2 게이트 라인과 상기 구동 소자의 소스 사이에 연결되어 상기 역위상 신호를 상기 구동 소자의 소스에 인가하는 제3 커패시터를 더 포함한다.
- [0012] 상기 제2 게이트 라인의 폭이 상기 제3 커패시터에서 다른 위치에 비하여 넓다.
- [0013] 상기 제2 게이트 신호가 상기 제1 게이트 신호 보다 먼저 게이트 온 전압으로 발생되고, 상기 제1 게이트 신호와 동시에 게이트 오프 전압으로 반전된다.
- [0014] 본 발명의 전계 발광 표시장치에서, 서브 픽셀들 각각은 발광 소자를 구동하는 구동 소자, 상기 제1 게이트 신호에 따라 턴-온되어 상기 데이터 신호를 상기 구동 소자의 게이트에 공급하는 제1 스위치 소자, 상기 제2 게이트 신호에 따라 턴-온되어 상기 구동 소자를 센싱 라인에 연결하는 제2 스위치 소자, 상기 구동 소자의 게이트-소스간 전압을 충전하는 제1 커패시터, 상기 제3 게이트 라인과 상기 구동 소자의 게이트 사이에 연결되어 상기 역위상 신호를 상기 구동 소자의 게이트에 인가하는 제2 커패시터, 및 상기 제2 게이트 라인과 상기 구동 소자의 소스 사이에 연결되어 상기 역위상 신호를 상기 구동 소자의 소스에 인가하는 제3 커패시터를 포함한다.

#### 발명의 효과

- [0015] 본 발명은 서브 픽셀들에 게이트 신호의 역위상으로 발생하는 역위상 신호를 커패시터를 통해 서브 픽셀들에 인가하여 게이트 신호의 전압이 변할 때 구동 소자의 전압에서 발생하는 킥백 전압을 최소화함으로써 화면 상에서 휘도를 균일하게 할 수 있다.

[0016] 나아가, 본 발명은 게이트 신호를 변조하지 않고 구형과 형태의 게이트 신호를 적용하더라도 화면 전체에서 휘도를 균일하게 할 수 있다.

**도면의 간단한 설명**

- [0017] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
- 도 2는 픽셀 회로와 픽셀 회로에 연결된 센싱 경로를 보여 주는 회로도이다.
- 도 3은 본 발명의 제1 실시예에 따른 픽셀 회로를 나타내는 회로도이다.
- 도 4는 도 3에 도시된 픽셀 회로의 평면 구조를 상세히 보여 주는 도면이다.
- 도 5는 도 3 및 도 6에 도시된 픽셀 회로의 동작을 보여 주는 파형도이다.
- 도 6은 본 발명의 제2 실시예에 따른 픽셀 회로를 나타내는 회로도이다.
- 도 7은 도 3에 도시된 픽셀 회로의 평면 구조를 상세히 보여 주는 도면이다.
- 도 8a 및 도 8b는 게이트 신호의 파형을 보여 주는 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0018] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0019] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0020] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0021] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0022] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0023] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다. 예컨대, 도 4의 픽셀 회로에서 구성 요소들 앞에 붙여진 제1, 제2, 제3 및 제4와 같은 서수는 스위치 소자들(S1~S4)을 통해 데이터 라인들에 순차적으로 충전되는 순서를 기준으로 붙여진 것이다.
- [0024] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0025] 본 발명의 전계 발광 표시장치에서 픽셀 회로는 구동 소자와 스위치 소자를 포함한다. 구동 소자와 스위치 소자는 n 타입 트랜지스터(NMOS)와 p 타입 트랜지스터(PMOS) 중 하나 이상의 트랜지스터로 구현될 수 있다. 표시 패널 상에서 트랜지스터는 TFT(thin film transistor)로 구현될 수 있다. 트랜지스터는 산화물 반도체 패턴을 갖는 Oxide 트랜지스터 또는, 저온 폴리 실리콘(Low Temperature Poly-Silicon, LTPS) 반도체 패턴을 갖는 LTPS 트랜지스터로 구현될 수 있다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 트랜지스터에서 캐리

어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 트랜지스터(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 트랜지스터(NMOS)에서 전류의 방향은 드레인으로 부터 소스 쪽으로 흐른다. p 타입 트랜지스터(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 트랜지스터(PMOS)에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 트랜지스터의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.

- [0026] 스위치 소자들로서 이용되는 트랜지스터의 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스위칭한다. 게이트 온 전압은 트랜지스터의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 트랜지스터의 문턱 전압 보다 낮은 전압으로 설정된다. 트랜지스터는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 타입 트랜지스터(NMOS)의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 타입 트랜지스터(PMOS)의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0027] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계 발광 표시장치는 유기 발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기 발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.
- [0028] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다. 도 2는 픽셀 회로에 연결된 센싱 경로를 보여 주는 회로도이다.
- [0029] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동회로를 포함한다.
- [0030] 표시패널(100)의 화면은 입력 영상을 표시하는 액티브 영역(AA)을 포함한다. 액티브 영역(AA)에 픽셀 어레이가 배치된다. 픽셀 어레이는 다수의 데이터 라인들(102), 데이터 라인들(102)과 교차되는 다수의 게이트 라인들(104), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다.
- [0031] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 도 3 내지 도 7과 같은 픽셀 회로를 포함한다. 본 발명은 서브 픽셀에 연결된 제1 게이트 라인에 게이트 신호를 인가하고 이와 동시에, 게이트 신호에 대한 역위상 신호를 게이트 신호와 동시에 서브 픽셀에 연결된 제2 게이트 라인에 인가하여 상기 서브 픽셀의 킥백 전압을 억제한다. 이에 대하여는 도 3 내지 도 7을 결부하여 상세히 설명하기로 한다.
- [0032] 표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.
- [0033] 표시패널 구동회로(110, 112, 120)는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서(112)가 배치될 수 있다.
- [0034] 표시패널 구동회로(110, 112, 120)는 디스플레이 구동 기간 동안 타이밍 컨트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입하여 화면 상에 입력 영상을 표시한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기나 웨어러블 기기에서 표시패널 구동회로, 타이밍 컨트롤러(130) 그리고 전원 회로는 하나의 집적 회로에 집적될 수 있다.
- [0035] 데이터 구동부(110)는 도 2에 도시된 바와 같이 디지털-아날로그 변환기(Digital to Analog converter, 이하 DAC라 함)를 이용하여 매 프레임 기간마다 타이밍 컨트롤러(130)로부터 수신되는 입력 영상의 디지털 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 출력한다. 데이터 전압은 디멀티플렉서(112)와 데이터 라인(102)을 통해 픽셀들에 인가된다. 디멀티플렉서(112)는 다수의 스위치 소자들을 이용하여 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압을 데이터 라인들(102)로 분배한다. 디멀티플렉서(112)에 의해 데이터 구동부(110)의 한 채널이 다수의 데이터 라인들에 시분할 연결되기 때



문에 데이터 라인들(102)의 개수가 감소될 수 있다.

- [0036] 게이트 구동부(120)는 액티브 영역의 트랜지스터 어레이와 함께 표시패널(100) 상의 베젤(bezel) 영역 상에 직접 형성되는 GIP(Gate in panel) 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 컨트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(104)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트시킴으로써 그 신호들을 게이트 라인들(104)에 순차적으로 공급할 수 있다. 게이트 신호는 스캔 신호(SCAN)와 센싱 신호(SENSE)를 포함한다. 스캔 신호(SCAN)는 데이터 전압에 동기되어 데이터 전압이 인가되는 픽셀들을 선택한다. 센싱 신호(SENSE)는 스캔 신호(SCAN)에 동기된다. 센싱 신호(SENSE)는 외부 보상 방법에서 픽셀들에 형성된 구동 소자(DT)의 전기적 특성이 센싱되는 픽셀들을 선택한다. 구동 소자의 전기적 특성은 이동도(mobility,  $\mu$ )와 문턱 전압( $V_{th}$ )을 포함한다.
- [0037] 스캔 신호(SCAN)와 센싱 신호(SENSE)는 도 5의 예와 같이 발생될 수 있으나 이에 한정되지 않는다. 도 5의 예에서, 센싱 신호(SENSE)는 스캔 신호(SCAN) 보다 앞서 게이트 온 전압(VGH)으로 발생되고 스캔 신호(SCAN)와 동시에 게이트 오프 전압(VGL)으로 반전된다.
- [0038] 외부 보상 방법은 센싱 신호(SENSE)를 이용하여 픽셀 회로를 센싱 라인(103)에 연결하여 구동 소자의 문턱 전압( $V_{th}$ ) 또는 이동도( $\mu$ )를 센싱할 수 있다. 센싱 방법은 제품 출하전과 제품 출하 후로 나뉘어진다. 제품 출하전에 픽셀들에 연결된 센싱 경로를 통해 서브 픽셀들 각각에서 구동 소자(DT)의 문턱 전압이 센싱된 후에, 이 센싱 결과를 바탕으로 모든 서브 픽셀들에서 문턱 전압 편차가 보상된다. 그리고 서브 픽셀들 각각에서 구동 소자(DT)의 이동도가 센싱되어 이동도 편차가 보상된다.
- [0039] 제품 출하 후 센싱 방법은 파워 온 시퀀스(Power ON sequence), 버티컬 블랭크 구간(Vertical blank, VB), 및 파워 오프 시퀀스(Power OFF sequence)에서 실행된다. 파워 오프 시퀀스에서 표시패널 구동회로와 센싱 경로는 파워 오프 신호 수신 후, 미리 설정된 지연 시간 동안 더 구동되어 서브 픽셀들 각각에서 구동 소자의 문턱 전압( $V_{th}$ )을 센싱한다.
- [0040] 타이밍 컨트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기, 웨어러블 기기 중 어느 하나일 수 있다.
- [0041] 타이밍 컨트롤러(130)는 노말 구동 모드에서 프레임 레이트(Frame rate)를 입력 프레임 주파수 보다 높게 조정할 수 있다. 예를 들어, 타이밍 컨트롤러(130)는 입력 프레임 주파수를  $i$  배 체배하여 프레임 주파수  $\times i$  ( $i$ 는 0보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 112, 120)의 동작 타이밍을 제어할 수 있다. 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 컨트롤러(130)는 저소비 전력 구동 모드에서 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.
- [0042] 타이밍 컨트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서(112)의 동작 타이밍을 제어하기 위한 스위치 제어신호, 센싱 경로의 스위치 소자 제어신호, 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생하여 표시패널 구동회로(110, 112, 120)의 동작 타이밍을 제어한다. 타이밍 컨트롤러(130)로부터 출력된 게이트 타이밍 제어신호의 전압 레벨은 도시하지 않은 레벨 시프터를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.
- [0043] 센싱 경로는 도 2에 도시된 바와 같이 센싱 라인(103), 아날로그-디지털 변환기(Analog to Digital Convertor, 이하 "ADC" 라 함), 및 제1 및 제2 스위치 소자(M1, M2) 등을 포함할 수 있다. 센싱 경로는 구동 소자(DT)의 소스 전압을 센싱하여 구동 소자의 전기적 특성을 센싱할 수 있다. 제1 스위치 소자(M1)는 소정의 기준 전압( $V_{ref}$ )을 센싱 라인(103)에 공급하여 구동 소자(DT)의 소스 전압을 기준 전압( $V_{ref}$ )으로 초기화한다. 제2 스위치 소자(M2)는 제1 스위치 소자(M1)가 턴-오프(turn-off)된 후에 턴-온되어 구동 소자(DT)의 소스 전압을 ADC에 공급한다. ADC는 아날로그 센싱 전압을 디지털 센싱 데이터로 변환하여 보상부(131)로 전송한다. 구동 소자(DT)의 소스 전압은 센싱 방법에 따라 구동 소자(DT)의 문턱 전압 또는 이동도를 나타낼 수 있다. 센싱 경로를 통해 구동 소자(DT)의 문턱 전압을 센싱하는 방법이나 센싱 경로를 통해 구동 소자(DT)의 이동도를 센싱하는 방



법은 공지된 센싱 방법을 이용할 수 있다. ADC는 DAC와 함께 데이터 구동부(110)의 IC(integrated circuit)에 집적될 수 있다.

- [0044] 보상부(131)에는 서브 픽셀들 각각에서 구동 소자의 문턱 전압( $V_{th}$ )과 이동도( $\mu$ )를 보상하기 위한 보상값들이 저장되어 있다. 보상부(131)는 ADC를 통해 수신된 디지털 센싱 데이터에 따라 미리 설정된 보상값을 선택하고 이 보상값을 입력 영상의 픽셀 데이터(디지털 데이터)에 더하거나 곱하여 픽셀 데이터를 보상한다. 이렇게 보상된 픽셀 데이터는 데이터 구동부(110)로 전송되어 데이터 구동부(110)의 DAC에 의해 데이터 전압( $V_{data}$ )으로 변환되어 데이터 라인(102)으로 공급된다. 픽셀 회로의 구동 소자(DT)는 데이터 라인(102)을 통해 공급되는 데이터 전압( $V_{data}$ )으로 구동되어 전류를 발생된다. 구동 소자(DT)를 통해 발광 소자인 OLED로 흐르는 전류는 구동 소자(DT)의 게이트-소스간 전압( $V_{gs}$ )에 따라 결정된다. 보상부(131)는 타이밍 콘트롤러(130) 내의 연산 회로로 구현될 수 있다.
- [0045] 도 3은 본 발명의 제1 실시예에 따른 픽셀 회로를 나타내는 회로도이다. 도 4는 도 3에 도시된 픽셀 회로의 평면 구조를 상세히 보여 주는 도면이다. 도 4에서 “R”, “W”, “B” 및 “G” 는 서브 픽셀들(101)의 컬러이다. D1~D4는 데이터 라인들(102)에 인가되는 데이터 전압이다.
- [0046] 도 3 및 도 4를 참조하면, 픽셀 회로는 OLED와, OLED에 연결된 구동 소자(DT), 다수의 스위치 소자(S1, S2), 및 다수의 커패시터들(Cst, CB1)를 포함한다. 구동 소자(DT)와 스위치 소자들(S1, S2)은 도 3에서 n 타입 트랜지스터로 예시되었으나 이에 한정되지 않는다.
- [0047] OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제2 노드( $n_2$ )를 통해 구동 소자(DT)에 연결되고, OLED의 캐소드는 저전위 전원 전압(VSS)이 인가되는 VSS 전극에 연결된다.
- [0048] 구동 소자(DT)는 게이트-소스간 전압( $V_{gs}$ )에 따라 OLED의 전류를 조절하여 OLED를 구동한다. 구동 소자(DT)는 제1 노드( $n_1$ )에 연결된 게이트, 픽셀 구동 전압(VDD)이 공급되는 VDD 라인(105)에 연결된 제1 전극(또는 드레인), 및 제2 노드( $n_2$ )를 통해 OLED의 애노드에 연결된 제2 전극(또는 소스)을 포함한다. 제1 커패시터(Cst)는 제1 및 제2 노드( $n_1, n_2$ )를 통해 구동 소자(DT)의 게이트와 소스 사이에 연결된다.
- [0049] 제1 스위치 소자(S1)는 스캔 신호(SCAN)에 따라 턴-온되어 데이터 전압( $V_{data}$ )을 제1 노드( $n_1$ )에 연결된 구동 소자(DT)의 게이트에 공급한다. 제1 스위치 소자(S1)는 스캔 신호(SCAN)가 인가되는 제1 게이트 라인(1041)에 연결된 게이트, 데이터 라인(102)에 연결된 제1 전극, 및 제1 노드( $n_1$ )에 연결된 제2 전극을 포함한다.
- [0050] 제2 스위치 소자(S2)는 센싱 신호(SENSE)에 따라 턴-온되어 기준 전압( $V_{ref}$ )을 제2 노드( $n_2$ )에 공급한다. 기준 전압( $V_{ref}$ )과 저전위 전원 전압(VSS)의 전압차는 OLED의 문턱 전압 보다 낮다. 따라서, OLED의 애노드에 기준 전압( $V_{ref}$ )이 인가될 때 OLED에 전류가 흐르지 않기 때문에 OLED가 발광되지 않는다. 제2 스위치 소자(S2)는 센싱 신호(SENSE)가 인가되는 제2 게이트 라인(1042)에 연결된 게이트, 기준 전압( $V_{ref}$ )이 인가되는 센싱 라인(103)에 연결된 제1 전극, 및 제2 노드( $n_2$ )에 연결된 제2 전극을 포함한다.
- [0051] 제2 커패시터(CB1)는 역위상 신호(SCANB)가 인가되는 제3 게이트 라인(1043)과, 구동 소자(DT)의 게이트에 연결된 제1 노드( $n_1$ ) 사이에 형성된다. 구동 소자(DT)의 게이트는 역위상 신호(SCANB)가 인가되는 제2 커패시터(CB1)를 통해 제3 게이트 라인(1043)과 커플링(coupling)된다. 따라서, 제2 커패시터(CB1)는 스캔 신호(SCAN)의 역위상으로 발생하는 역위상 신호(SCANB)를 구동 소자(DT)의 게이트에 인가하여 스캔 신호(SCAN)의 전압이 변할 때 발생하는 킥백(kick back)을 억제한다. 제2 커패시터(CB1)의 용량은 제3 게이트 라인(1043)의 배선 폭으로 조절될 수 있다. 도 4에 도시된 바와 같이, 역위상 신호(SCANB)가 인가되는 제3 게이트 라인(1043)의 배선 폭을 넓힘으로써 제2 커패시터(CB1)의 용량을 적절히 크게 할 수 있다.
- [0052] 외부 보상 방법이 적용되지 않는 픽셀 회로의 경우에 센싱 신호(SENSE)와 제2 스위치 소자(S2)는 픽셀 회로에서 제거될 수 있다.
- [0053] 제1 스위치 소자(S1)의 게이트-소스간 기생 용량에 커플링(coupling)된 구동 소자(DT)의 게이트 전압( $V_g$ )이 스캔 신호(SCAN)가 게이트 온 전압(VGH)으로부터 게이트 오프 전압(VGL)으로 변할 때 발생하는 킥 백(kick back)으로 인하여 도 5의 점선과 같이 큰 폭으로 떨어질 수 있다.
- [0054] 게이트 구동부(120)는 타이밍 콘트롤러(130)의 제어 하에 스캔 신호(SCAN)와 함께 스캔 신호(SCAN)의 역위상으로 반전된 역위상 신호(SCANB)를 제3 게이트 라인(1043)에 공급한다. 역위상 신호(SCANB)는 스캔 신호(SCAN)와

동기되어 표시패널(100)의 제3 게이트 라인들(1043)에 순차적으로 공급된다. 스캔 신호(SCAN)의 풀링 에지에서 발생하는 킥백 전압은 구동 소자(DT)의 게이트 전압을 낮추지만, 이와 동시에 역위상 신호(SCANB)는 구동 소자(DT)의 게이트 전압을 높이기 때문에 게이트 전압의 킥백을 상쇄한다. 따라서, 역위상 신호(SCANB)가 인가되는 제2 커패시터(CB1)는 구동 소자(DT)의 게이트 전압에서 스캔 신호(SCAN)의 전압이 변할 때 발생하는 킥백을 억제한다. 도 5에서 Vg1은 역위상 신호(SCANB)가 없을 때 킥백 영향을 받아 스캔 신호(SCAN)의 풀링 에지에서 전압이 떨어지는 구동 소자(DT)의 게이트 전압이다. Vg1'은 역위상 신호(SCANB)를 이용하여 킥백을 억제함으로써 스캔 신호(SCAN)의 풀링 에지에서 전압이 떨어지지 않는 구동 소자(DT)의 게이트 전압이다.

[0055] 제3 게이트 라인(1043)은 구동 소자(DT) 및 스위치 소자들(S1, S2)과 분리된다. 이 제3 게이트 라인(1043)의 전압은 1 프레임 기간에서 스캔 신호(SCAN)의 펄스가 발생하는 1 수평 기간 보다 작은 시간만 게이트 오프 전압(VGL)으로 반전되고 나머지 시간 동안 게이트 온 전압(VGH)으로 유지된다. 제2 커패시터(CB1)는 스캔 신호(SCAN)가 발생하는 짧은 시간만 제외하면 직류 전압을 유지하기 때문에 서브 픽셀들(101)의 발광 기간 동안 구동 소자의 게이트-소스 전압(Vgs)에 영향을 주지 않는다.

[0056] 도 5의 예에서, 서브 픽셀(101)의 구동 방법은 초기화 기간(Tini), 데이터 기입 기간(Twr), 및 발광 기간(Tem)을 포함한다.

[0057] 초기화 기간(Tini) 동안, 센싱 신호(SENSE)는 게이트 온 전압(VGH)으로 발생되고, 스캔 신호(SCAN)는 게이트 오프 전압(VGL)을 유지한다. 제2 스위치 소자(S2)는 초기화 기간(Tini) 동안 센싱 신호(SENSE)에 따라 턴-온되어 기준 전압(Vref)으로 제1 및 제2 노드(n1, n2)의 전압을 초기화한다.

[0058] 데이터 기입 기간(Twr)은 초기화 기간(Tini)에서 초기화된 픽셀 회로에 영상의 픽셀 데이터를 서브 픽셀(101)에 기입한다. 데이터 기입 기간(Twr) 동안, 스캔 신호(SCAN)와 센싱 신호(SENSE)는 게이트 온 전압(VGH)으로 발생된다. 제1 스위치 소자(S1)는 데이터 기입 기간(Twr) 동안 데이터 전압(Vdata)에 동기되는 스캔 신호(SCAN)에 따라 턴-온되어 데이터 라인(102)을 제1 노드(n1)에 연결한다. 이 때, 구동 소자(DT)의 게이트-소스 간 전압(Vgs)은 데이터 전압(Vgs)에 따라 설정되고 이 전압이 제1 커패시터(Cst)에 충전된다.

[0059] 발광 기간(Tem) 동안 데이터 기입 기간(Twr)에 픽셀 데이터가 기입된 서브 픽셀(101)의 발광 소자 즉, OLED가 데이터의 계조에 해당하는 휘도로 발광된다. 발광 기간(Tem) 동안, 스캔 신호(SCAN)와 센싱 신호(SENSE)는 게이트 오프 전압(VGL)으로 반전되어 스위치 소자들(S1, S2)이 턴-오프(turn-off)된다. 제1 스위치 소자(S1)는 데이터 기입 기간(Twr) 동안 데이터 전압(Vdata)에 동기되는 스캔 신호(SCAN)에 따라 턴-온되어 데이터 라인(102)을 제1 노드(n1)에 연결한다. 이 때, 구동 소자(DT)의 게이트-소스 간 전압(Vgs)은 데이터 전압(Vgs)에 따라 설정되고 이 전압이 제1 커패시터(Cst)에 충전된다.

[0060] 도 6은 본 발명의 제2 실시예에 따른 픽셀 회로를 나타내는 회로도이다. 도 7은 도 3에 도시된 픽셀 회로의 평면 구조를 상세히 보여 주는 도면이다. 도 6 및 도 7에 도시된 실시예에서, 전술한 제1 실시예와 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.

[0061] 도 6 및 도 7을 참조하면, 픽셀 회로는 OLED와, OLED에 연결된 구동 소자(DT), 다수의 스위치 소자(S1, S2), 및 다수의 커패시터들(Cst, CB1, CB2)을 포함한다. 구동 소자(DT)와 스위치 소자들(S1, S2, S3)은 도 3에서 n 타입 트랜지스터로 예시되었으나 이에 한정되지 않는다.

[0062] 제3 커패시터(CB2)는 역위상 신호(SCANB)가 인가되는 제3 게이트 라인(1043)과, 구동 소자(DT)의 소스에 연결된 제1 노드(n1) 사이에 형성된다. 구동 소자(DT)의 소스는 역위상 신호(SCANB)가 인가되는 제3 커패시터(CB2)를 통해 제3 게이트 라인(1043)과 커플링된다. 따라서, 제3 커패시터(CB2)는 역위상 신호(SCANB)를 구동 소자(DT)의 소스에 인가하여 스캔 신호(SCAN)의 전압이 변할 때 발생하는 킥백(kick back)을 억제한다. 제3 커패시터(CB2)의 용량은 제3 게이트 라인(1043)의 배선 폭으로 조절될 수 있다. 도 7에 도시된 바와 같이, 역위상 신호(SCANB)가 인가되는 제3 게이트 라인(1043)의 배선 폭을 넓힘으로써 제3 커패시터(CB2)의 용량을 적절히 크게 할 수 있다.

[0063] 제2 스위치 소자(S2)의 게이트-소스간 기생 용량에 커플링된 구동 소자(DT)의 소스 전압(Vs)이 센싱 신호(SENSE)가 게이트 온 전압(VGH)으로부터 게이트 오프 전압(VGL)으로 변할 때 발생하는 킥백으로 인하여 도 5의 점선과 같이 큰 폭으로 떨어질 수 있다.

[0064] 센싱 신호(SENSE)의 풀링 에지에서 발생하는 킥백 전압은 구동 소자(DT)의 소스 전압(Vs)을 낮추지만, 이와 동시에 역위상 신호(SCANB)는 구동 소자(DT)의 소스 전압(Vs)을 높이기 때문에 소스 전압(Vs)의 킥백을 상쇄한다. 따라서, 역위상 신호(SCANB)가 인가되는 제3 커패시터(CB2)는 구동 소자(DT)의 소스 전압에서 스캔 신호(SCAN)

의 전압이 변할 때 발생하는 킥백을 억제한다. 도 5에서 Vs1은 역위상 신호(SCANB)가 없을 때 킥백 영향을 받아 센싱 신호(SENSE)의 폴링 에지에서 전압이 떨어지는 구동 소자(DT)의 소스 전압이다. Vs1'은 역위상 신호(SCANB)를 이용하여 킥백을 억제함으로써 센싱 신호(SCAN)의 폴링 에지에서 전압이 떨어지지 않는 구동 소자(DT)의 소스 전압이다.

[0065] 킥백 전압으로 인하여, 화면 상에서 위치에 따라 픽셀들의 휘도 차이가 보일 수 있다, 예를 들어, 게이트 구동부(120)와 픽셀들 간의 위치에 따라 게이트 신호의 지연량이 다르기 때문에 도 1에서 화면의 중앙부(B)와 주변부(A)에서 픽셀의 휘도가 다르다. 도 8a에서 실선이 게이트 구동부(120)와 가까운 서브 픽셀에 인가되는 게이트 신호이고, 점선이 게이트 구동부(120)와 멀리 떨어져 지연량이 큰 게이트 신호를 나타낸다. 이러한 게이트 신호의 지연량은 게이트 라인의 저항(R)과 기생 용량(C)으로 인하여 RC 지연값에 따라 증가한다. 도 8a와 같은 구형과 형태의 게이트 신호의 경우에, 게이트 신호의 폴링 에지에서 빗금친 부분 만큼 서브 픽셀들 간의 데이터 전압 충전량 편차를 초래하기 때문에 화면의 중앙부(B)와 주변부(A)에서 픽셀들 간의 휘도 차이가 발생한다.

[0066] 이러한 휘도 차이를 줄이기 위하여, 도 8b에 도시된 바와 같이 게이트 신호의 상승에지와 하강 에지에서 게이트 온 전압(VGH)을 중간 전압(Vm)으로 변조하여 게이트 신호의 전압 차이를 줄이면 픽셀들 간의 충전량 차이를 줄여 화면의 위치에 따른 휘도 차이를 개선할 수 있다.

[0067] 본 발명은 전술한 바와 같이 서브 픽셀들에 커패시터를 추가하여 그 커패시터를 통해 역위상 신호를 인가하는 방법으로 구동 소자(DT)에 악영향을 주는 킥백 전압을 최소화한다. 그 결과, 본 발명은 게이트 신호를 도 8b와 같이 변조하지 않고 도 8a와 같은 게이트 신호를 적용하더라도 화면 전체에서 픽셀들의 휘도를 균일하게 할 수 있다. 도 8에 도시된 게이트 신호의 전압은 게이트 온 전압(VGH)과 게이트 오프 전압(VGL) 사이에서 상승 에지와 폴링 에지에 게이트 온 전압(VGH) 변조 없이 연속적으로 변한다.

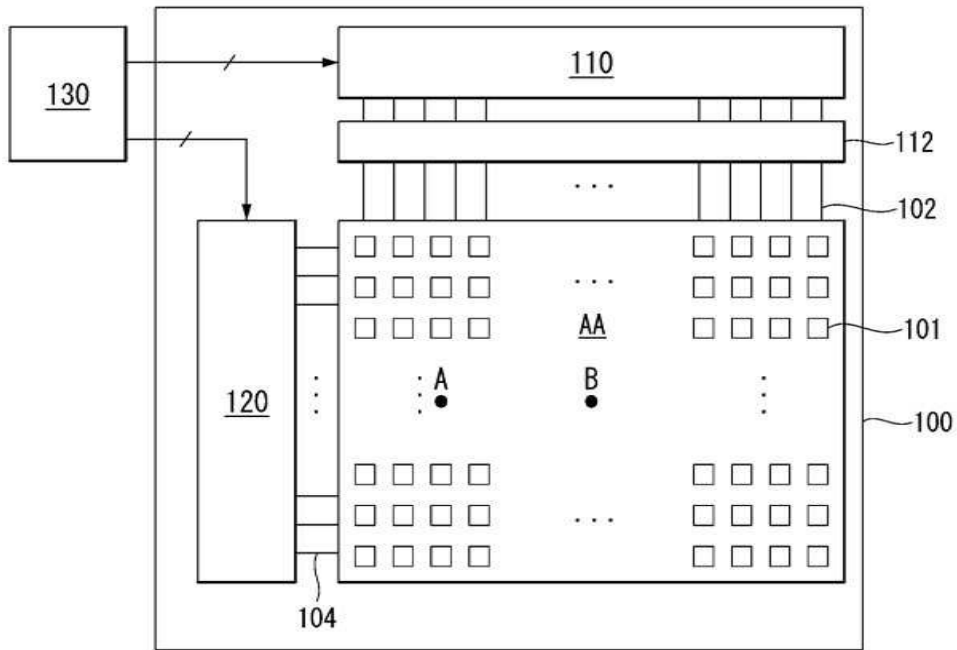
[0068] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

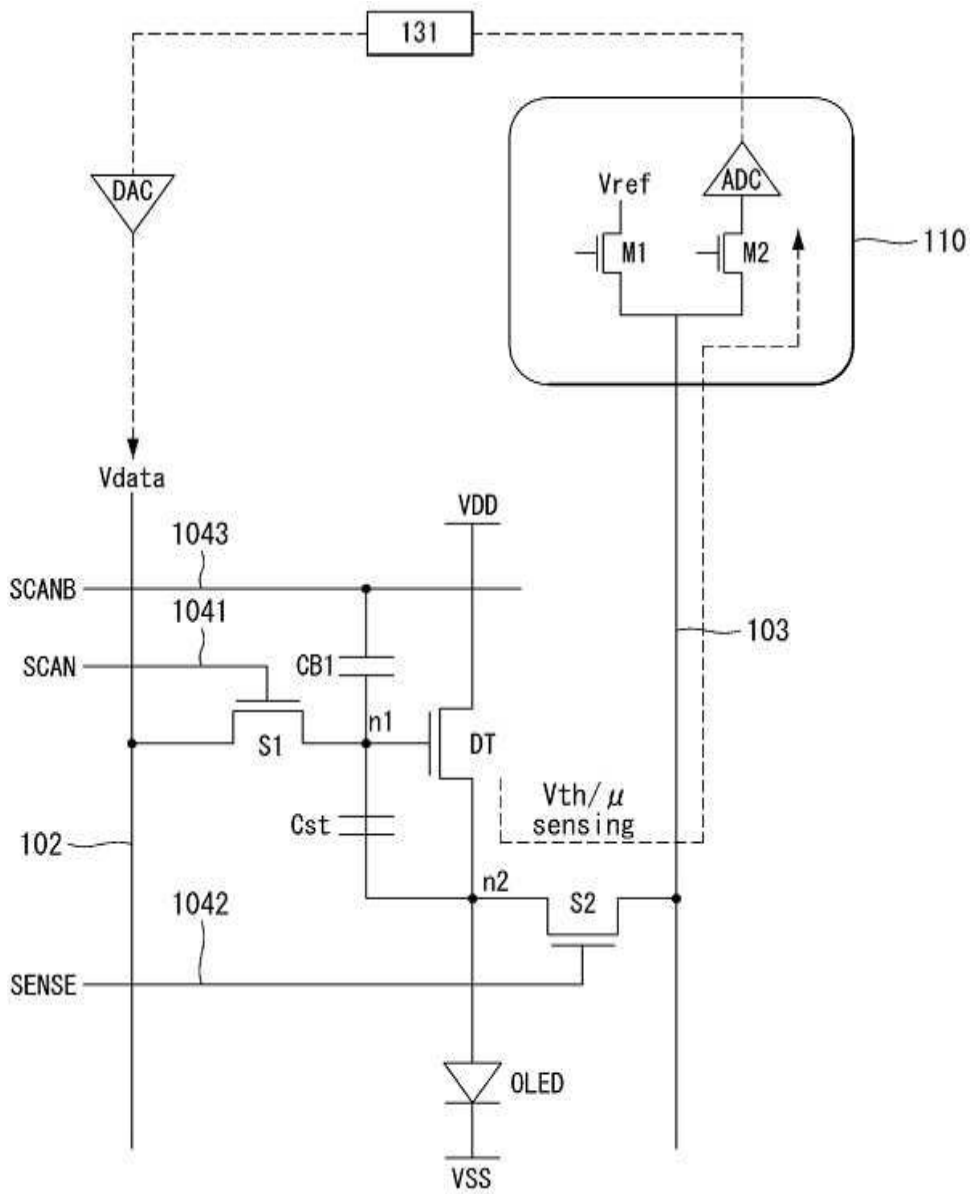
- [0069] 100 : 표시패널 110 : 데이터 구동부
- 120 : 게이트 구동부 130 : 타이밍 콘트롤러
- 131 : 보상부 DT : 픽셀 회로의 구동 소자
- S1, S2 : 픽셀 회로의 스위치 소자 SCAN, SENSE : 게이트 신호
- SCANB : 역위상 신호 Cst, CB1, CB2 : 커패시터

도면

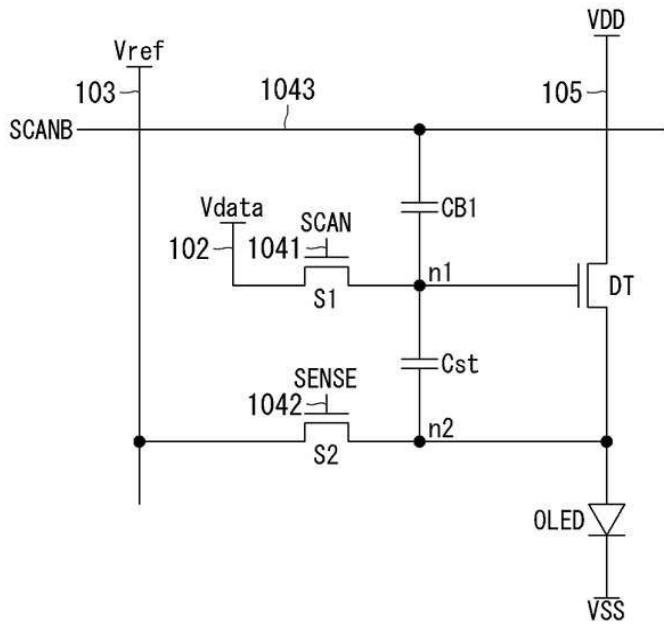
도면1



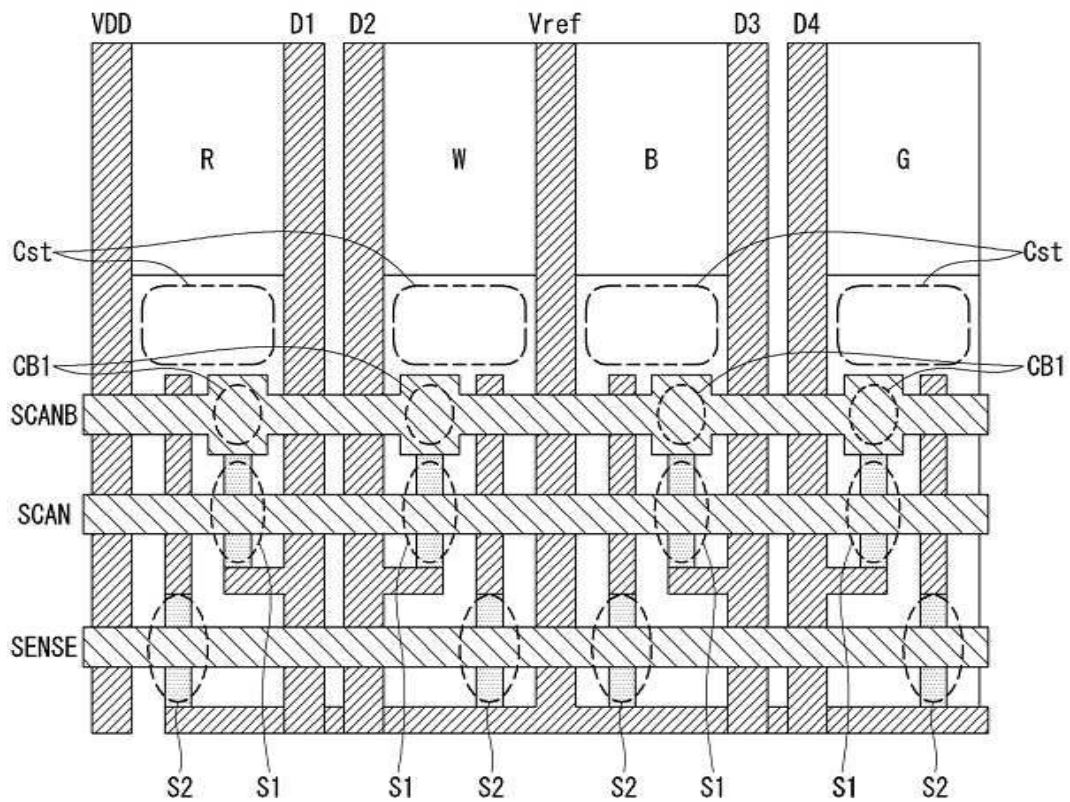
도면2



도면3

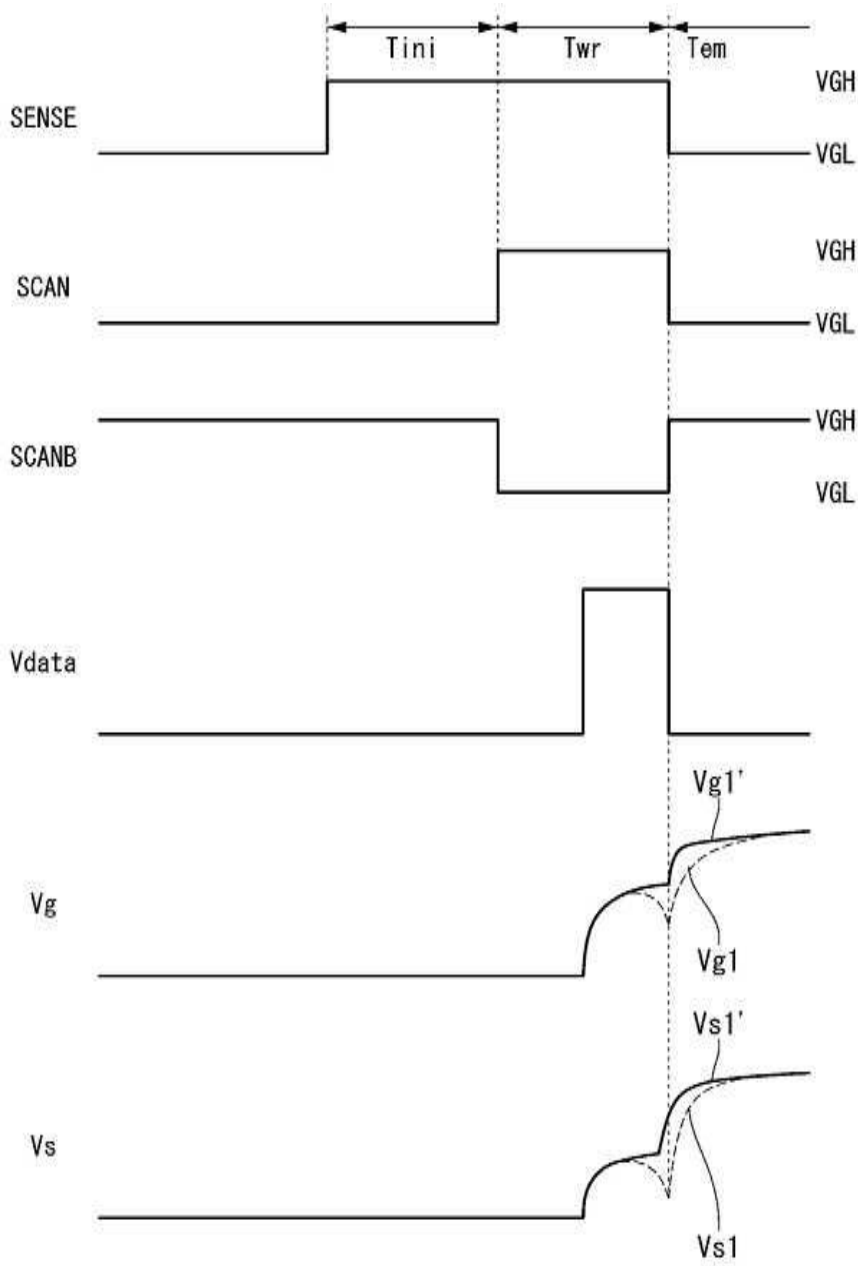


도면4

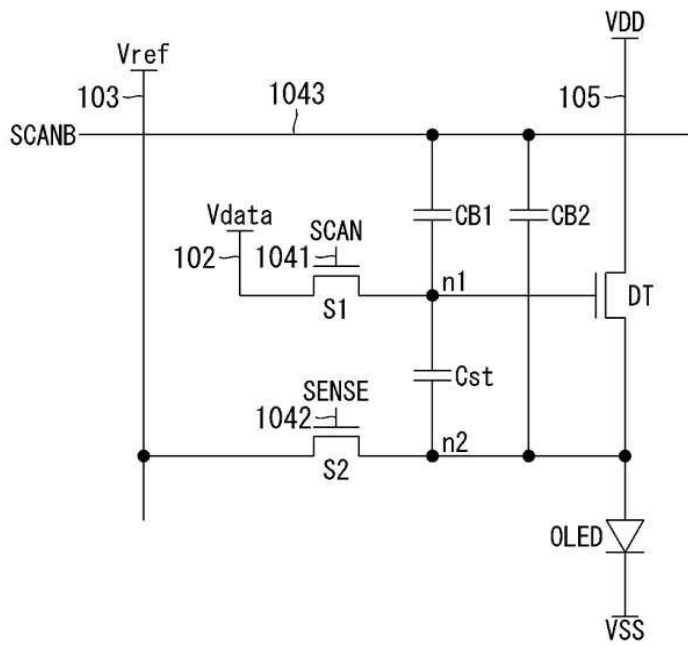




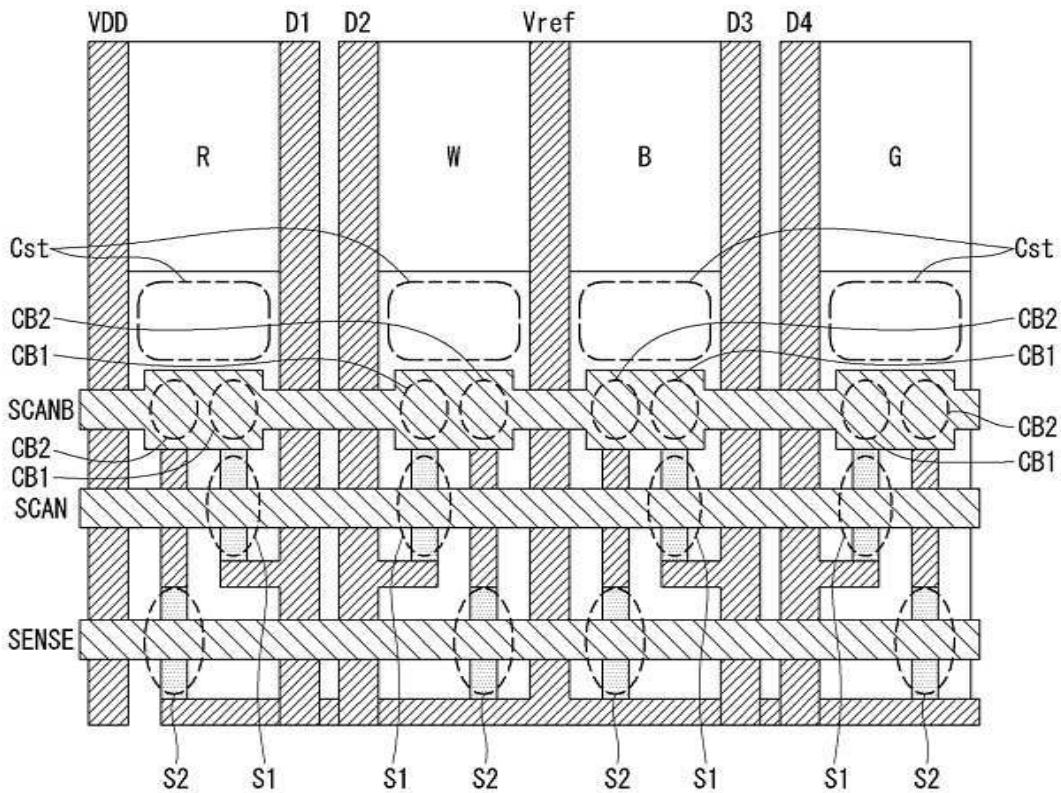
도면5



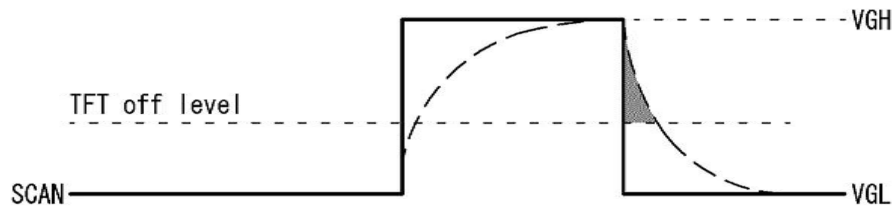
도면6



도면7



도면8a



도면8b

