



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I392419B1

(45) 公告日：中華民國 102 (2013) 年 04 月 01 日

(21) 申請案號：098136682

(22) 申請日：中華民國 98 (2009) 年 10 月 29 日

(51) Int. Cl. : **H05K3/18 (2006.01)**(71) 申請人：欣興電子股份有限公司 (中華民國) UNIMICRON TECHNOLOGY CORP. (TW)
桃園縣桃園市龜山工業區興邦路 38 號(72) 發明人：曾子章 TSENG, TZYU JANG (TW) ; 李長明 LEE, CHANG MING (TW) ; 劉文芳
LIU, WEN FANG (TW) ; 余丞博 YU, CHENG PO (TW)

(74) 代理人：詹銘文；蕭錫清

(56) 參考文獻：

JP 2001-156453A

JP 2009-81208A

審查人員：吳丕鈞

申請專利範圍項數：23 項 圖式數：16 共 0 頁

(54) 名稱

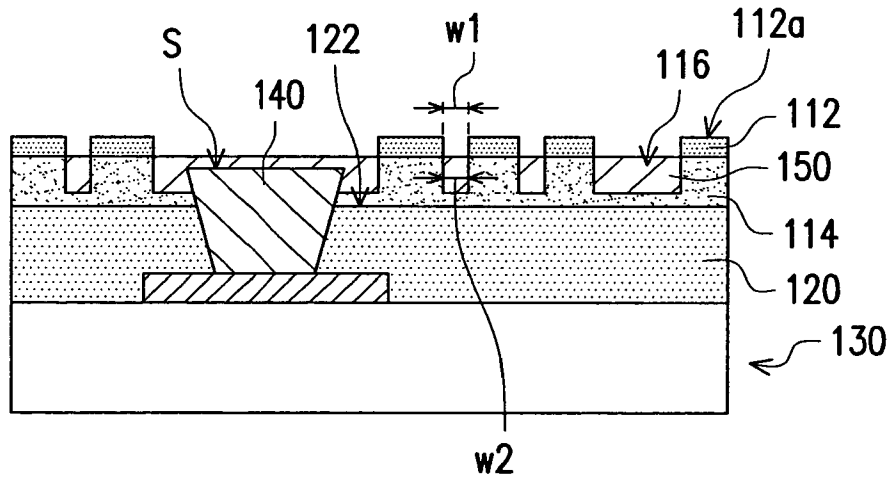
線路結構的製作方法

MANUFACTURING METHOD OF CIRCUIT STRUCTURE

(57) 摘要

一種線路結構的製作方法如下所述。首先，提供一複合介電層、一線路板與位於複合介電層與線路板之間的一絕緣層，複合介電層包括一抗鍍介電層與一位於抗鍍介電層與絕緣層之間的可鍍介電層，抗鍍介電層的材質包括一抗化學鍍的材料，可鍍介電層的材質包括一可被化學鍍的材料。接著，壓合複合介電層、絕緣層與線路板。然後，形成一貫穿複合介電層與絕緣層的貫孔，並於貫孔中形成一連接線路板的線路層的導電通道。接著，於複合介電層上形成一貫穿抗鍍介電層的溝槽圖案。然後，進行一化學鍍製程，以於溝槽圖案內形成一導電圖案。

A manufacturing method of circuit structure is described as follows. Firstly, a composite dielectric layer, a circuit board and an insulating layer between the circuit board and the composite dielectric layer are provided. The composite dielectric layer includes a non-platable dielectric layer and a platable dielectric layer between the non-platable dielectric layer and the insulating layer wherein the non-platable dielectric layer includes a chemical non-platable material and the platable dielectric layer includes a chemical platable material. Then, the composite dielectric layer, the circuit board and the insulating layer are compressed. Subsequently, a through hole passing through the composite dielectric layer and the insulating layer is formed and a conductive via connecting a circuit layer of the circuit board is formed therein. Then, a trench pattern passing through the non-platable dielectric layer is formed on the composite dielectric layer. Subsequently, a chemical plating process is performed so as to form a conductive pattern in the trench pattern.



- 112 . . . 抗鍍介電層
- 112a . . . 表面
- 114 . . . 可鍍介電層
- 116 . . . 溝槽圖案
- 120 . . . 絕緣層
- 140 . . . 導電通道
- 150 . . . 導電圖案
- W1、W2 . . . 寬度

圖 1F

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98 136 682

※申請日：98 10 29

※IPC 分類：H05K 3/18 (2006.01)

一、發明名稱：

線路結構的製作方法 / MANUFACTURING
METHOD OF CIRCUIT STRUCTURE

二、中文發明摘要：

一種線路結構的製作方法如下所述。首先，提供一複合介電層、一線路板與位於複合介電層與線路板之間的一絕緣層，複合介電層包括一抗鍍介電層與一位於抗鍍介電層與絕緣層之間的可鍍介電層，抗鍍介電層的材質包括一抗化學鍍的材料，可鍍介電層的材質包括一可被化學鍍的材料。接著，壓合複合介電層、絕緣層與線路板。然後，形成一貫穿複合介電層與絕緣層的貫孔，並於貫孔中形成一連接線路板的線路層的導電通道。接著，於複合介電層上形成一貫穿抗鍍介電層的溝槽圖案。然後，進行一化學鍍製程，以於溝槽圖案內形成一導電圖案。

三、英文發明摘要：

A manufacturing method of circuit structure is described as follows. Firstly, a composite dielectric layer, a circuit board and an insulating layer between the circuit board and the composite dielectric layer are provided. The composite dielectric layer includes a non-platable dielectric layer and a platable dielectric layer between the non-platable dielectric layer and the insulating layer wherein the non-platable dielectric layer includes a chemical non-platable material and the platable dielectric layer includes a chemical platable material. Then, the composite dielectric layer, the circuit board and the insulating layer are compressed. Subsequently, a through hole passing through the composite dielectric layer and the insulating layer is formed and a conductive via connecting a circuit layer of the circuit board is formed therein. Then, a trench pattern passing through the non-platable dielectric layer is formed on the composite dielectric layer. Subsequently, a chemical plating process is performed so as to form a conductive pattern in the trench pattern.

四、指定代表圖：

- (一) 本案之指定代表圖：圖 1F
- (二) 本代表圖之元件符號簡單說明：
 - 112：抗鍍介電層
 - 112a：表面
 - 114：可鍍介電層
 - 116：溝槽圖案
 - 120：絕緣層
 - 140：導電通道
 - 150：導電圖案
 - W1、W2：寬度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種線路結構的製作方法，且特別是有關於一種可製作細線路的線路結構製作方法。

【先前技術】

近年來隨著電子工業之生產技術的突飛猛進，線路基板可搭載各種電子零件，以廣泛地應用於各種不同功能的電子產品中。目前，電子產品朝向多功能化及小型化的方向發展。在此趨勢下，線路基板需大幅提昇其佈線密度，以搭載更多且更精密的電子零件，而提昇佈線密度無非是透過縮小線寬以及線距來達成。

於習知技術中，線路層的形成方式是先於基板上全面電鍍一金屬層，之後再以微影蝕刻的方式圖案化金屬層。然而，習知技術受限於電鍍製程所形成的金屬層的均勻度以及微影蝕刻製程的精準度等製程能力的限制，而不易製作線寬低於 40 微米的線路，以致於產品良率低且製作成本高。

【發明內容】

本發明提供一種線路結構的製作方法，適於製作細線路。

本發明提出一種線路結構的製作方法如下所述。首先，提供一複合介電層、一絕緣層與一線路板，其中絕緣

層位於複合介電層與線路板之間，複合介電層包括一抗鍍介電層與一可鍍介電層，可鍍介電層位於抗鍍介電層與絕緣層之間，抗鍍介電層的材質包括一抗化學鍍的材料，可鍍介電層的材質包括一可被化學鍍的材料。接著，壓合複合介電層、絕緣層與線路板。然後，形成一貫穿複合介電層與絕緣層的貫孔，貫孔暴露出線路板的部分線路層。之後，於貫孔中形成一導電通道，導電通道連接線路層。接著，於複合介電層上形成一貫穿抗鍍介電層的溝槽圖案。然後，進行一第一化學鍍製程，以於溝槽圖案內形成一導電圖案，且導電圖案連接導電通道。

在本發明之一實施例中，圖案化複合介電層的方法包括雷射燒蝕複合介電層。

在本發明之一實施例中，第一化學鍍製程包括一化學銅沉積製程。

在本發明之一實施例中，線路結構的製作方法更包括在形成導電圖案之後，移除抗鍍介電層。

在本發明之一實施例中，形成貫孔的方法包括雷射燒蝕複合介電層以及絕緣層。

在本發明之一實施例中，形成導電通道的方法包括進行一第二化學鍍製程。

在本發明之一實施例中，溝槽圖案具有一底部，且底部是由部分可鍍介電層所構成。

在本發明之一實施例中，第一化學鍍製程中的催化劑不會吸附在抗鍍介電層的表面上。

在本發明之一實施例中，抗鍍介電層的材質包括不含羥基官能基團或羧基官能基團的高分子材料。

在本發明之一實施例中，高分子材料包括環氧樹脂、聚亞醯胺、液晶聚合物、甲基丙烯酸酯型樹脂、乙烯苯基型樹脂、烯丙基型樹脂、聚丙烯酸酯型樹脂、聚醚型樹脂、聚烯烴型樹脂、聚胺型樹脂、聚矽氧烷型樹脂或前述之組合。

在本發明之一實施例中，導電圖案與導電通道之間存在一交界面，且交界面突出於絕緣層之一遠離線路板的表面。

本發明提出一種線路結構的製作方法如下所述。首先，提供一複合層、一絕緣層與一線路板，其中絕緣層位於複合層與線路板之間，複合層包括一導電層與一可鍍介電層，可鍍介電層位於導電層與絕緣層之間。接著，壓合複合層、絕緣層與線路板。然後，形成一貫穿複合層與絕緣層的貫孔，貫孔暴露出線路板的部分線路層。之後，於貫孔中形成一導電通道，導電通道連接線路板的線路層。然後，移除導電層。之後，於可鍍介電層上形成一抗鍍介電層，以使可鍍介電層與抗鍍介電層形成一複合介電層。接著，於複合介電層上形成一貫穿抗鍍介電層的溝槽圖案。然後，進行一第一化學鍍製程，以於溝槽圖案內形成一導電圖案，且導電圖案連接導電通道。

在本發明之一實施例中，形成導電通道以及移除導電層的方法包括在形成貫孔之後，於複合層與絕緣層上全面

形成一導電材料，其中部分導電材料填滿貫孔，以及移除導電材料之位於貫孔外的部分以及導電層。

在本發明之一實施例中，形成導電通道以及移除導電層的方法包括在形成貫孔之前，移除導電層，以及在形成貫孔之後，於可鍍介電層與絕緣層上全面形成一導電材料，其中部分導電材料填滿貫孔，以及移除導電材料之位於貫孔外的部分。

在本發明之一實施例中，形成導電通道的方法包括進行一第二化學鍍製程。

在本發明之一實施例中，圖案化複合介電層的方法包括雷射燒蝕複合介電層。

在本發明之一實施例中，第一化學鍍製程包括一化學銅沉積製程。

在本發明之一實施例中，線路結構的製作方法更包括在形成導電圖案之後，移除抗鍍介電層。

在本發明之一實施例中，形成貫孔的方法包括雷射燒蝕複合層以及絕緣層。

在本發明之一實施例中，溝槽圖案具有一底部，且底部是由部分可鍍介電層所構成。

在本發明之一實施例中，第一化學鍍製程中的催化劑不會吸附在抗鍍介電層的表面上。

在本發明之一實施例中，抗鍍介電層的材質包括不含羥基官能基團或羧基官能基團的高分子材料。

在本發明之一實施例中，高分子材料包括環氧樹脂、

聚亞醯胺、液晶聚合物、甲基丙烯酸酯型樹脂、乙烯苯基型樹脂、烯丙基型樹脂、聚丙烯酸酯型樹脂、聚醚型樹脂、聚烯烴型樹脂、聚胺型樹脂、聚矽氧烷型樹脂或前述之組合。

在本發明之一實施例中，導電圖案與導電通道之間存在一交界面，且交界面突出於絕緣層之一遠離線路板的表面。

基於上述，本發明是將具有抗化學鍍特性的抗鍍介電層配置於可鍍介電層上，並在由抗鍍介電層與可鍍介電層所構成的複合介電層上形成溝槽圖案，以藉由溝槽圖案暴露出可鍍介電層。如此一來，可使之後進行的化學鍍製程僅會在溝槽圖案所暴露出的可鍍介電層上形成導電圖案，故導電圖案只會填滿於溝槽圖案中。因此，本發明可藉由溝槽圖案來定義出導電圖案，進而可藉由控制溝槽圖案的最小溝槽寬度來調整形成在溝槽圖案中的導電圖案的最小線寬。再者，由於本發明的溝槽圖案可以是以雷射燒蝕的方式形成，因此，本發明可降低導電圖案的線寬（例如將最小線寬縮小至 40 微米以下），且毋須藉由微影蝕刻的方式來圖案化導電層，故可提升製程良率並降低製作成本。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1A~圖 1G 繪示本發明一實施例之線路結構的製程

剖面圖。

首先，請參照圖 1A，提供一複合介電層 110、一絕緣層 120 與一線路板 130，其中絕緣層 120 位於複合介電層 110 與線路板 130 之間，線路板 130 可為單層板或多層板，絕緣層 120 例如為膠片 (prepreg)，且絕緣層 120 可具有玻璃纖維。絕緣層 120 的材質可包括環氧樹脂和含有芳香族聚醯胺 (Aramid) 特性官能基團的樹脂材料。複合介電層 110 包括一抗鍍介電層 112 與一可鍍介電層 114，可鍍介電層 114 位於抗鍍介電層 112 與絕緣層 120 之間。

抗鍍介電層 112 的材質包括一抗化學鍍的材料。詳細而言，在本實施例中，『抗化學鍍的材料』是代表在化學鍍製程中不會吸附催化劑的材料。抗鍍介電層 112 的材質例如為高分子材料，其中高分子材料包括環氧樹脂、聚亞醯胺、液晶聚合物或前述之組合。在本實施例中，抗鍍介電層 112 的材質可為一易雷射加工的材料，亦即容易在雷射燒蝕的過程中被移除的材料。在本實施例中，抗鍍介電層 112 的材質包括不含羥基官能基團或羧基官能基團的高分子材料 (亦即疏水性高分子材料)，其中高分子材料包括環氧樹脂、聚亞醯胺、液晶聚合物、甲基丙烯酸酯型樹脂、乙烯苯基型樹脂、烯丙基型樹脂、聚丙烯酸酯型樹脂、聚醚型樹脂、聚烯烴型樹脂、聚胺型樹脂、聚矽氧烷型樹脂或前述之組合。

可鍍介電層 114 的材質包括一可被化學鍍的材料。詳細而言，在本實施例中，『可被化學鍍的材料』是代表在

化學鍍製程中會吸附催化劑的材料。可鍍介電層 114 的材質例如為高分子材料，其中高分子材料包括環氧樹脂、聚亞醯胺、液晶聚合物或前述之組合。在本實施例中，可鍍介電層 114 的材質可為一易雷射加工的材料。

接著，請參照圖 1B，壓合複合介電層 110、絕緣層 120 與線路板 130。然後，請參照圖 1C，例如以雷射燒蝕的方式移除部分複合介電層 110 以及部分絕緣層 120，以形成一貫穿複合介電層 110 與絕緣層 120 的貫孔 T，貫孔 T 暴露出線路板 130 的部分線路層 132（例如線路層 132 的接墊 132a）。此時，還可選擇性地進行一除膠渣（desmear）製程，以清除接墊 132a 上的殘渣（例如是於移除部分複合介電層 110 與部分絕緣層 120 時所殘留的碎屑）。

之後，請參照圖 1D，例如進行一化學鍍製程，以於貫孔 T 中形成一導電通道 140，導電通道 140 連接線路層 132。接著，請參照圖 1E，例如以雷射燒蝕的方式圖案化複合介電層 110，以於複合介電層 110 上形成一貫穿抗鍍介電層 112 的溝槽圖案 116，溝槽圖案 116 暴露出可鍍介電層 114。在本實施例中，溝槽圖案 116 可具有一底部 116a，且底部 116a 是由部分可鍍介電層 114 所構成，換言之，溝槽圖案 116 並未貫穿複合介電層 110。

然後，請參照圖 1F，進行一化學鍍製程，以於溝槽圖案 116 內形成一導電圖案 150，且導電圖案 150 連接導電通道 140，其中化學鍍製程例如是一化學銅沉積製程，導電通道 140 的材質包括銅或是其他的導電材料。在本實施

例中，導電圖案 150 與導電通道 140 之間存在一交界面 S，且交界面 S 突出於絕緣層 120 之一遠離線路板 130 的表面 122。

值得注意的是，於化學鍍製程中，本實施例之抗鍍介電層 112 的表面 112a 不會吸附催化劑。因此，化學鍍製程僅會在溝槽圖案 116 所暴露出的可鍍介電層 114 上形成導電圖案 150。在本實施例中，由於溝槽圖案 116 可以是以雷射燒蝕的方式形成，因此，溝槽圖案 116 的溝槽最小寬度 $W1$ （等同於導電圖案 150 的最小線寬 $W2$ ）可以小於或等於 40 微米，且毋須藉由微影蝕刻的方式來圖案化導電層，故可提升製程良率並降低製作成本。

詳細而言，相較於習知以減成法製作線路時，會受限於微影蝕刻製程的精準度等製程能力的限制而不易製作線寬低於 40 微米的線路，以致於產品良率低導致製作成本高，本實施例是形成溝槽圖案 116，並在溝槽圖案 116 中形成線路（即導電圖案 150），因此，溝槽圖案 116 的溝槽最小寬度 $W1$ 可等同於導電圖案 150 的最小線寬 $W2$ ，此時，本實施例可採用雷射燒蝕的方式形成溝槽圖案 116 以使溝槽最小寬度 $W1$ 小於 40 微米，從而使得導電圖案 150 的最小線寬 $W2$ 可小於 40 微米。如此一來，以本實施例的製作方法來製作（最小線寬小於 40 微米以下的）線路結構時可提升產品良率並降低製作成本。

之後，請參照圖 1G，在本實施例中，可選擇性地移除抗鍍介電層 112。

圖 2A~圖 2I 繪示本發明一實施例之線路結構的製程剖面圖。

首先，請參照圖 2A，提供一複合層 210、一絕緣層 120 與一線路板 130，其中絕緣層 120 位於複合層 210 與線路板 130 之間。複合層 210 包括一導電層 212 與一可鍍介電層 214，可鍍介電層 214 位於導電層 212 與絕緣層 120 之間。複合層 210 例如為一背膠銅箔 (resin coated copper, RCC)。

接著，請參照圖 2B，壓合複合層 210、絕緣層 120 與線路板 130。然後，請參照圖 2C，例如以雷射燒蝕的方式移除部分複合層 210 以及部分絕緣層 120，以形成一貫穿複合層 210 與絕緣層 120 的貫孔 T，貫孔 T 暴露出線路板 130 的部分線路層 132 (例如線路層 132 的接墊 132a)。此時，還可選擇性地進行一除膠渣製程，以清除接墊 132a 上的殘渣 (例如於移除部分複合層 210 與部分絕緣層 120 時所殘留的碎屑)。

之後，請參照圖 2D，在本實施例中，進行一化學鍍製程，以於複合層 210 與絕緣層 120 上全面形成一導電材料 C，且部分導電材料 C 填滿貫孔 T。

然後，請參照圖 2E，移除導電材料 C 之位於貫孔 T 外的部分以及導電層 212，以於貫孔 T 中形成一導電通道 140，導電通道 140 連接線路板 130 的線路層 132。在其他實施例中，移除導電層 212 的方法也可以是在形成貫孔 T 之前，就先移除導電層 212。換言之，可選擇性地在形成

貫孔 T 之前或之後移除導電層 212。

之後，請參照圖 2F，於可鍍介電層 214 上形成一抗鍍介電層 112，以使可鍍介電層 214 與抗鍍介電層 112 形成一複合介電層 P。形成抗鍍介電層 112 的方法包括壓合，且抗鍍介電層 112 例如為乾膜或濕膜。在本實施例中，抗鍍介電層 112 的材質包括不含羥基官能基團或羧基官能基團的高分子材料（亦即疏水性高分子材料），其中高分子材料包括環氧樹脂、聚亞醯胺、液晶聚合物、甲基丙烯酸酯型樹脂、乙烯苯基型樹脂、烯丙基型樹脂、聚丙烯酸酯型樹脂、聚醚型樹脂、聚烯烴型樹脂、聚胺型樹脂、聚矽氧烷型樹脂或前述之組合。

接著，請參照圖 2G，例如以雷射燒蝕的方式圖案化複合介電層 P，以於複合介電層 P 上形成一貫穿抗鍍介電層 112 的溝槽圖案 116，溝槽圖案 116 暴露出可鍍介電層 214。值得注意的是，在本實施例中，溝槽圖案 116 具有一底部 116a，且底部 116a 是由部分可鍍介電層 214 所構成，換言之，溝槽圖案 116 並未貫穿複合介電層 P。

然後，請參照圖 2H，進行一化學鍍製程，以於溝槽圖案 116 內形成一導電圖案 150，且導電圖案 150 連接導電通道 140，其中化學鍍製程例如為一化學銅沉積製程，導電圖案 150 的材質包括銅或是其他的導電材料。在本實施例中，導電圖案 150 與導電通道 140 之間存在一交界面 S，且交界面 S 突出於絕緣層 120 之一遠離線路板 130 的表面 122。

值得注意的是，在化學鍍製程中，本實施例之抗鍍介電層 112 的表面 112a 不會吸附催化劑。因此，化學鍍製程僅會在溝槽圖案 116 所暴露出的可鍍介電層 214 上形成導電圖案 150，故導電圖案 150 只會填滿於溝槽圖案 116 中。因此，本實施例可藉由溝槽圖案 116 來定義出導電圖案 150，進而可藉由控制溝槽圖案 116 的最小溝槽寬度來調整形成在溝槽圖案 116 中的導電圖案 150 的最小線寬。在本實施例中，由於溝槽圖案 116 可以是以雷射燒蝕的方式形成，因此，溝槽圖案 116 的溝槽最小寬度 $W1$ （等同於導電圖案 150 的最小線寬 $W2$ ）可以小於或等於 40 微米，且毋須藉由微影蝕刻的方式來圖案化導電層，故可提升製程良率並降低製作成本。

請參照圖 2I，在本實施例中，可選擇性地移除抗鍍介電層 112。

綜上所述，由於本發明是藉由將具有抗化學鍍特性的抗鍍介電層配置於可鍍介電層上，並在由抗鍍介電層與可鍍介電層所構成的複合介電層上形成溝槽圖案，以藉由溝槽圖案暴露出可鍍介電層。如此一來，可使之後進行的化學鍍製程僅會在溝槽圖案所暴露出的可鍍介電層上形成導電圖案，故導電圖案只會填滿於溝槽圖案中。因此，本發明可藉由溝槽圖案來定義出導電圖案，進而可藉由控制溝槽圖案的最小溝槽寬度來調整形成在溝槽圖案中的導電圖案的最小線寬。再者，由於本發明的溝槽圖案可以是以雷射燒蝕的方式形成，因此，本發明可降低導電圖案的線寬，

且毋須藉由微影蝕刻的方式來圖案化導電層，故可提升製程良率並降低製作成本。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A~圖 1G 繪示本發明一實施例之線路結構的製程剖面圖。

圖 2A~圖 2I 繪示本發明一實施例之線路結構的製程剖面圖。

【主要元件符號說明】

- 110：複合介電層
- 112：抗鍍介電層
- 112a：表面
- 114、214：可鍍介電層
- 116：溝槽圖案
- 116a：底部
- 120：絕緣層
- 122：表面
- 130：線路板
- 132：線路層

- 132a：接墊
- 140：導電通道
- 150：導電圖案
- 210：複合層
- 212：導電層
- C：導電材料
- P：複合介電層
- S：交界面
- T：貫孔
- W1、W2：寬度

七、申請專利範圍：

1. 一種線路結構的製作方法，包括：

提供一複合介電層、一絕緣層與一線路板，其中該絕緣層位於該複合介電層與該線路板之間，該複合介電層包括一抗鍍介電層與一可鍍介電層，該可鍍介電層位於該抗鍍介電層與該絕緣層之間，該抗鍍介電層的材質包括一抗化學鍍的材料，該可鍍介電層的材質包括一可被化學鍍的材料；

壓合該複合介電層、該絕緣層與該線路板；

形成一貫穿該複合介電層與該絕緣層的貫孔，該貫孔暴露出該線路板的部分線路層；

於該貫孔中形成一導電通道，該導電通道連接該線路層；

於該複合介電層上形成一貫穿該抗鍍介電層的溝槽圖案；以及

進行一第一化學鍍製程，以於該溝槽圖案內形成一導電圖案，且該導電圖案連接該導電通道，其中，該導電圖案與該導電通道之間存在一交界面，且該交界面突出於該絕緣層之一遠離該線路板的表面。

2. 如申請專利範圍第 1 項所述之線路結構的製作方法，其中圖案化該複合介電層的方法包括雷射燒蝕該複合介電層。

3. 如申請專利範圍第 1 項所述之線路結構的製作方法，其中該第一化學鍍製程包括一化學銅沉積製程。

4. 如申請專利範圍第 1 項所述之線路結構的製作方法，更包括：

在形成該導電圖案之後，移除該抗鍍介電層。

5. 如申請專利範圍第 1 項所述之線路結構的製作方法，其中形成該貫孔的方法包括雷射燒蝕該複合介電層以及該絕緣層。

6. 如申請專利範圍第 1 項所述之線路結構的製作方法，其中形成該導電通道的方法包括進行一第二化學鍍製程。

7. 如申請專利範圍第 1 項所述之線路結構的製作方法，其中該溝槽圖案具有一底部，且該底部是由部分該可鍍介電層所構成。

8. 如申請專利範圍第 1 項所述之線路結構的製作方法，其中該第一化學鍍製程中的催化劑不會吸附在該抗鍍介電層的表面上。

9. 如申請專利範圍第 1 項所述之線路結構的製作方法，其中該抗鍍介電層的材質包括不含羥基官能基團或羧基官能基團的高分子材料。

10. 如申請專利範圍第 9 項所述之線路結構的製作方法，其中該高分子材料包括環氧樹脂、聚亞醯胺、液晶聚合物、甲基丙烯酸酯型樹脂、乙烯苯基型樹脂、烯丙基型樹脂、聚丙烯酸酯型樹脂、聚醚型樹脂、聚烯烴型樹脂、聚胺型樹脂、聚矽氧烷型樹脂或前述之組合。

11. 一種線路結構的製作方法，包括：

提供一複合層、一絕緣層與一線路板，其中該絕緣層位於該複合層與該線路板之間，該複合層包括一導電層與一可鍍介電層，該可鍍介電層位於該導電層與該絕緣層之間；

壓合該複合層、該絕緣層與該線路板；

形成一貫穿該複合層與該絕緣層的貫孔，該貫孔暴露出該線路板的部分線路層；

於該貫孔中形成一導電通道，該導電通道連接該線路板的線路層；

移除該導電層；

於該可鍍介電層上形成一抗鍍介電層，以使該可鍍介電層與該抗鍍介電層形成一複合介電層；

於該複合介電層上形成一貫穿該抗鍍介電層的溝槽圖案；以及

進行一第一化學鍍製程，以於該溝槽圖案內形成一導電圖案，且該導電圖案連接該導電通道。

12. 如申請專利範圍第 11 項所述之線路結構的製作方法，其中形成該導電通道以及移除該導電層的方法包括：

在形成該貫孔之後，於該複合層與該絕緣層上全面形成一導電材料，其中部分該導電材料填滿該貫孔；以及

移除該導電材料之位於該貫孔外的部分以及該導電層。

13. 如申請專利範圍第 11 項所述之線路結構的製作方法，其中形成該導電通道以及移除該導電層的方法包括：

在形成該貫孔之前，移除該導電層；

在形成該貫孔之後，於該可鍍介電層與該絕緣層上全面形成一導電材料，其中部分該導電材料填滿該貫孔；以及

移除該導電材料之位於該貫孔外的部分。

14. 如申請專利範圍第 11 項所述之線路結構的製作方法，其中形成該導電通道的方法包括進行一第二化學鍍製程。

15. 如申請專利範圍第 11 項所述之線路結構的製作方法，其中圖案化該複合介電層的方法包括雷射燒蝕該複合介電層。

16. 如申請專利範圍第 11 項所述之線路結構的製作方法，其中該第一化學鍍製程包括一化學銅沉積製程。

17. 如申請專利範圍第 11 項所述之線路結構的製作方法，更包括：

在形成該導電圖案之後，移除該抗鍍介電層。

18. 如申請專利範圍第 11 項所述之線路結構的製作方法，其中形成該貫孔的方法包括雷射燒蝕該複合層以及該絕緣層。

19. 如申請專利範圍第 11 項所述之線路結構的製作方法，其中該溝槽圖案具有一底部，且該底部是由部分該可鍍介電層所構成。

20. 如申請專利範圍第 11 項所述之線路結構的製作方法，其中該第一化學鍍製程中的催化劑不會吸附在該抗

鍍介電層的表面。

21. 如申請專利範圍第 11 項所述之線路結構的製作方法，其中該抗鍍介電層的材質包括不含羥基官能基團或羧基官能基團的高分子材料。

22. 如申請專利範圍第 21 項所述之線路結構的製作方法，其中該高分子材料包括環氧樹脂、聚亞醯胺、液晶聚合物、甲基丙烯酸酯型樹脂、乙烯苯基型樹脂、烯丙基型樹脂、聚丙烯酸酯型樹脂、聚醚型樹脂、聚烯烴型樹脂、聚胺型樹脂、聚矽氧烷型樹脂或前述之組合。

23. 如申請專利範圍第 11 項所述之線路結構的製作方法，其中該導電圖案與該導電通道之間存在一交界面，且該交界面突出於該絕緣層之一遠離該線路板的表面。

101. 11. 22
年 月 日修(更)正替換頁

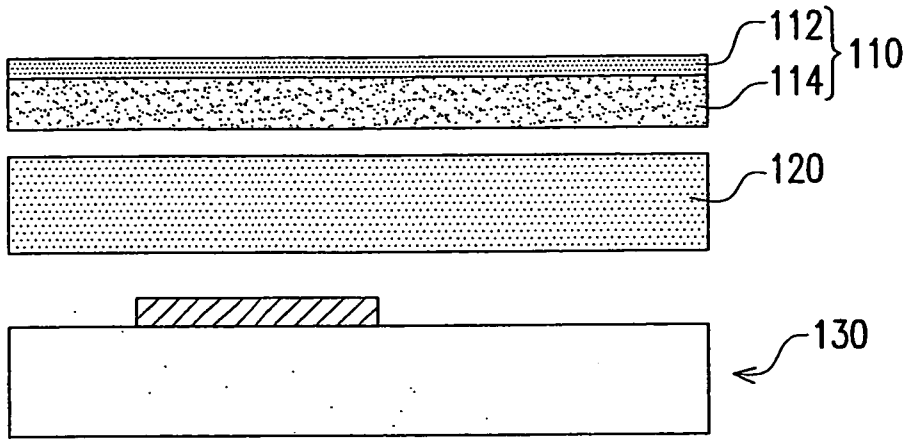


圖 1A

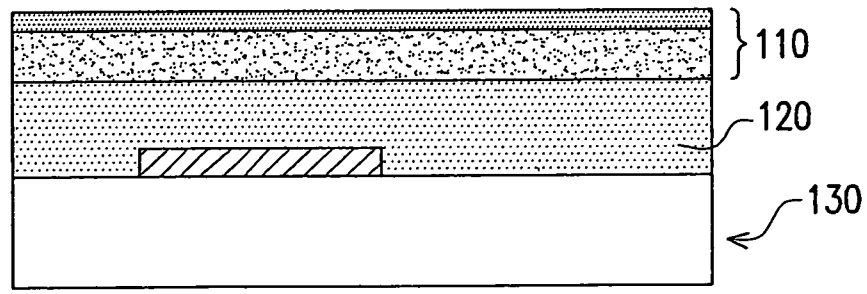


圖 1B

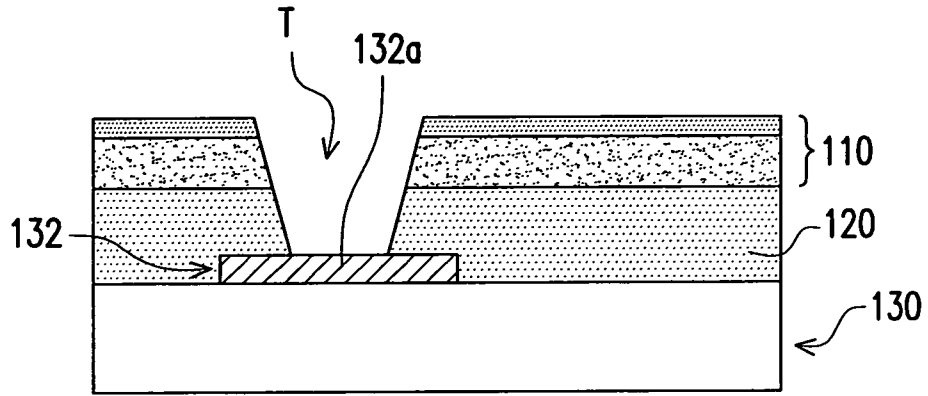


圖 1C

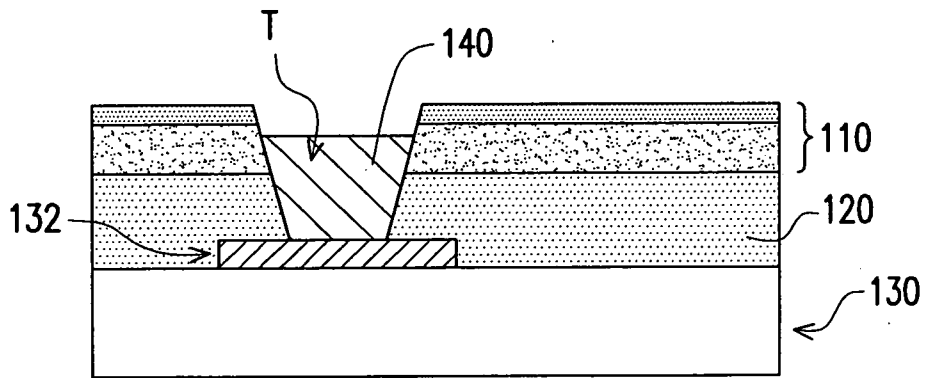


圖 1D

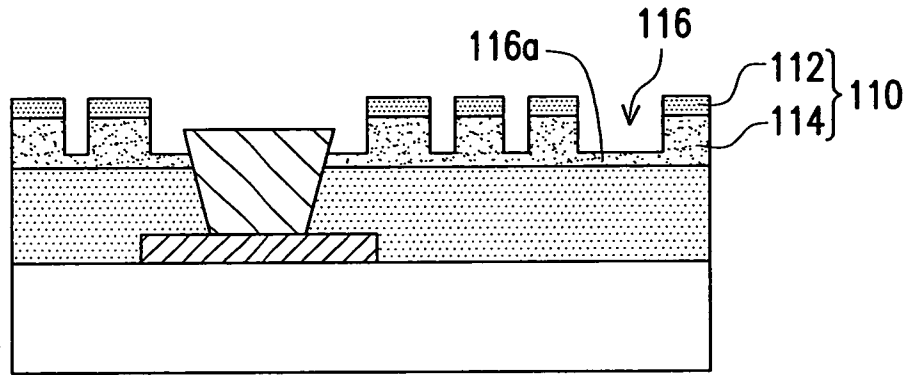


圖 1E

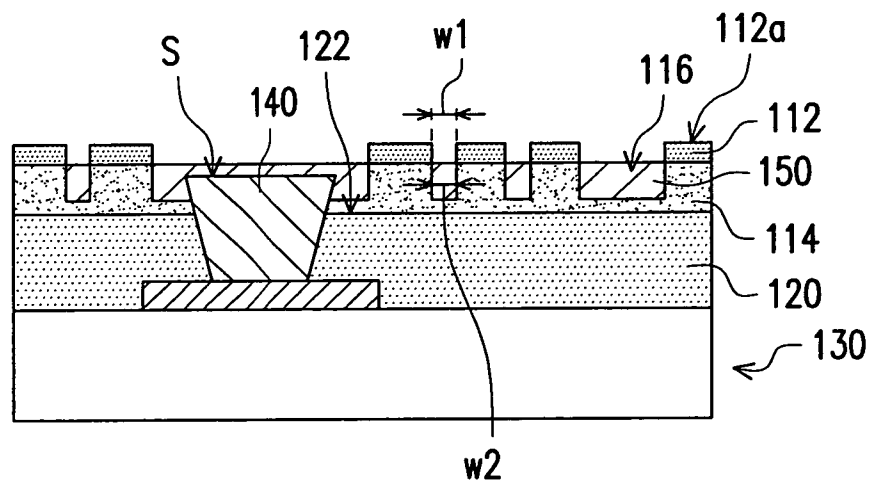


圖 1F

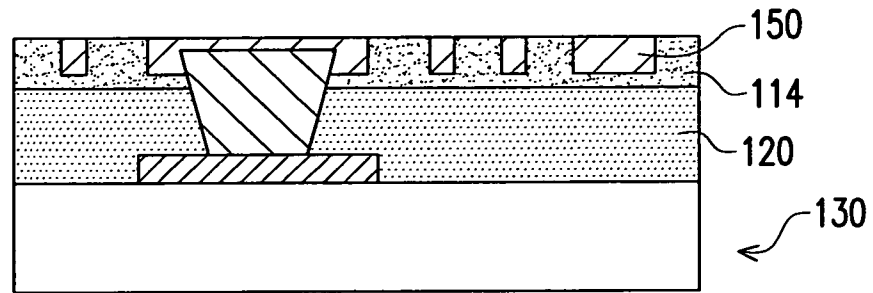


圖 1G

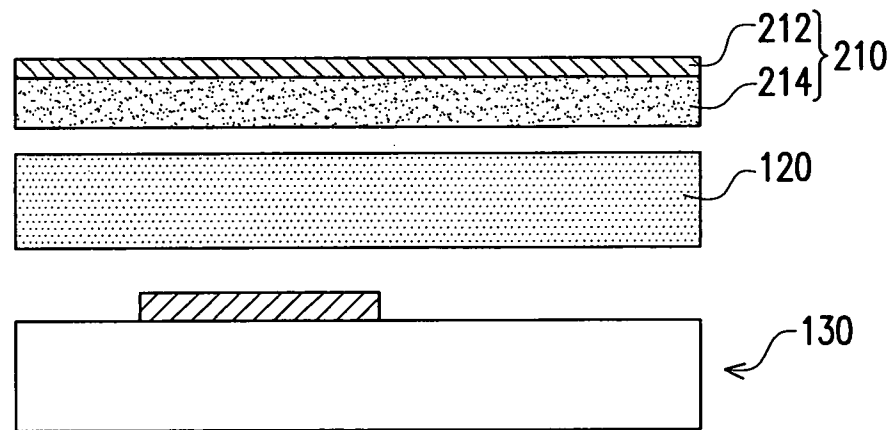


圖 2A

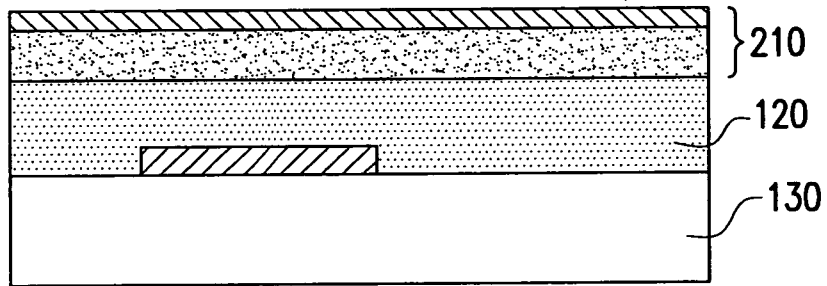


圖 2B

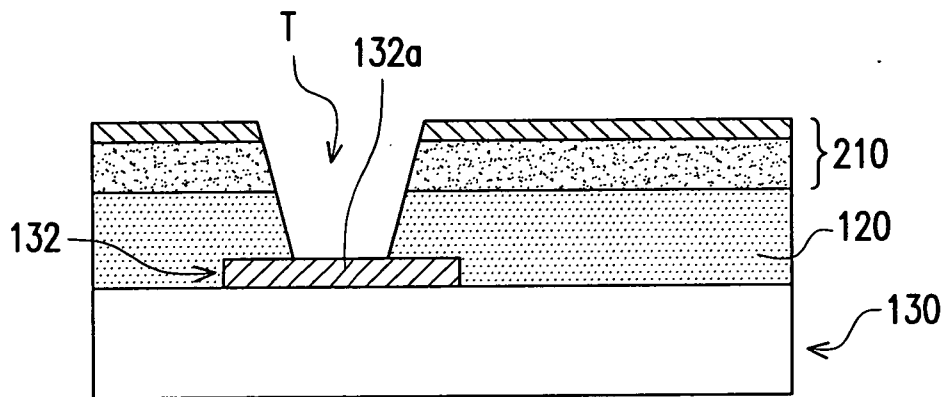


圖 2C

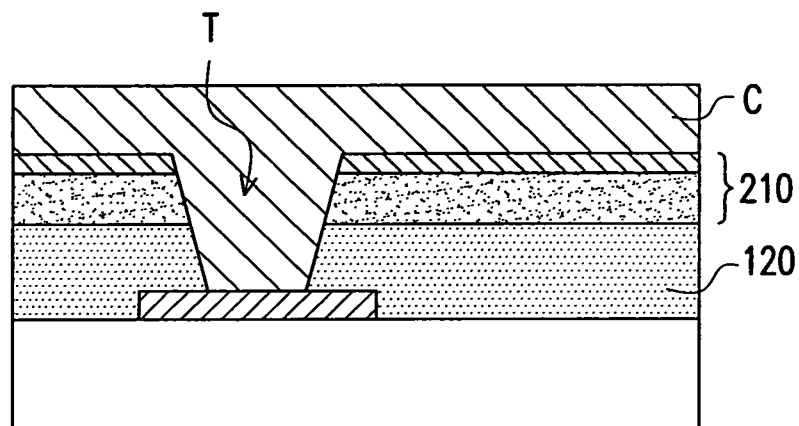


圖 2D

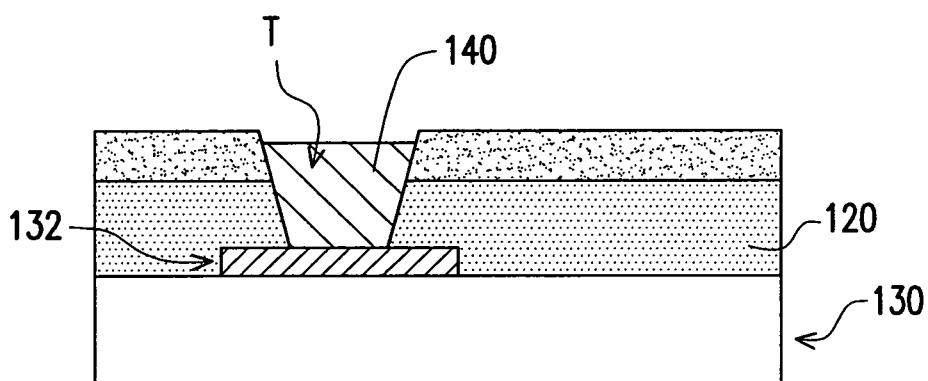


圖 2E

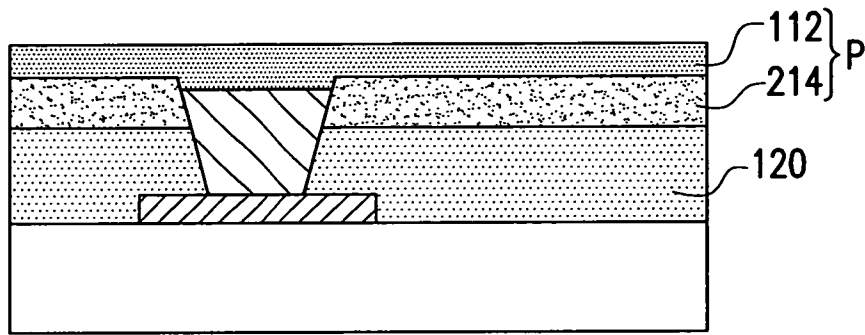


圖 2F

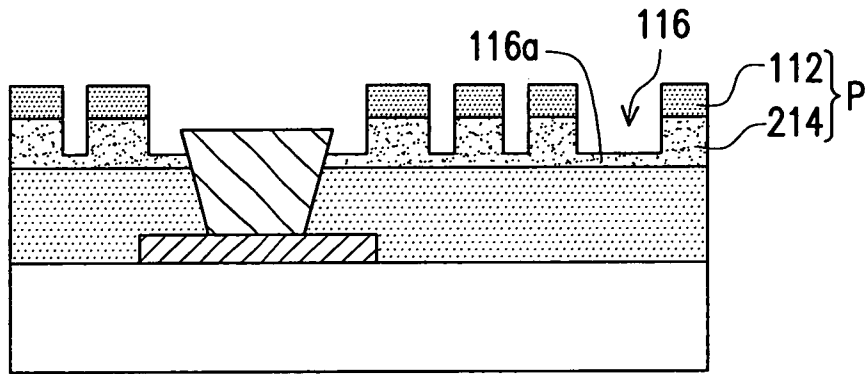


圖 2G

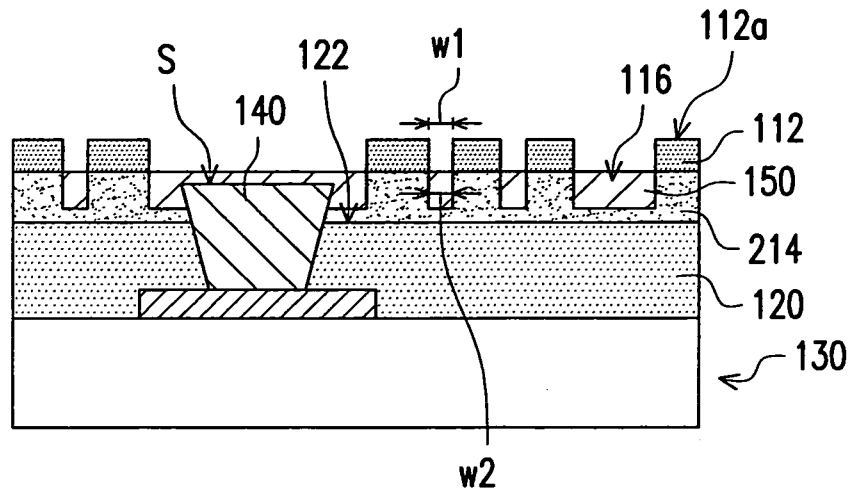


圖 2H

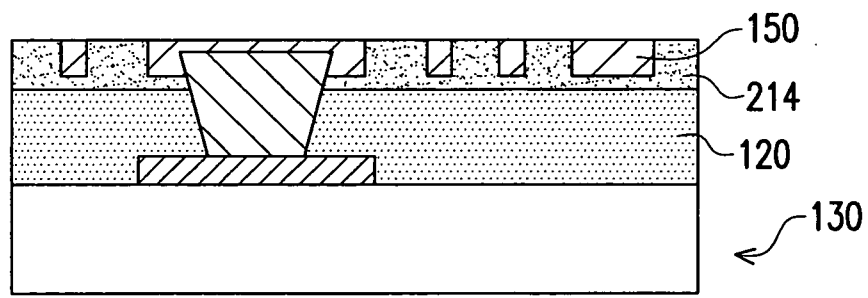


圖 2I