

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3539747号

(P3539747)

(45) 発行日 平成16年7月7日(2004.7.7)

(24) 登録日 平成16年4月2日(2004.4.2)

(51) Int. Cl.⁷

H04L 12/44

F I

H04L 12/44

Z

請求項の数 23 (全 22 頁)

(21) 出願番号	特願平5-274060	(73) 特許権者	599069655
(22) 出願日	平成5年11月2日(1993.11.2)		パーティカル・ネットワークス、インコーポレイテッド
(65) 公開番号	特開平6-205027		アメリカ合衆国カリフォルニア州94086、サニーベイル、イースト・アークエス・アベニュー・1148
(43) 公開日	平成6年7月22日(1994.7.22)	(74) 代理人	100063897
審査請求日	平成12年9月20日(2000.9.20)		弁理士 古谷 馨
(31) 優先権主張番号	969910	(74) 代理人	100076680
(32) 優先日	平成4年11月2日(1992.11.2)		弁理士 溝部 孝彦
(33) 優先権主張国	米国 (US)	(74) 代理人	100087642
			弁理士 古谷 聡

最終頁に続く

(54) 【発明の名称】 スイッチング機構における等時性データのローカルループバック

(57) 【特許請求の範囲】

【請求項1】

複数のソース及びシンクの間でデータを通信するための装置であって、
前記複数のソース及びシンクの少なくとも1つに結合され、ノード送信機及びノード受信機を有する第1のノードと、

前記ノードに結合され、

(a) 前記ノード送信機に結合されて前記第1のノードから伝送されるデータを受信するハブ受信機と、

(b) 前記ノード受信機に結合されて前記第1のノードへとデータを伝送するハブ送信機と、

(c) 前記ハブ受信機を前記ハブ送信機に結合するデータリンクと、

(d) 前記ハブ受信機と前記ハブ送信機の間で前記データリンク上に配置され、制御信号に結合されていて、前記制御信号が主張された場合にデータを前記ハブ受信機から前記ハブ送信機へと通過するスイッチ

を有する第1のハブと、

第2のハブと、

少なくとも前記第1のハブの前記ハブ受信機と前記ハブ送信機的一方と、前記第2のハブとに結合され、前記第1のハブと前記第2のハブの間でデータを通過させるバスとからなる装置。

【請求項2】

10

20

前記第 1 のノードが 2 つのノードからなる、請求項 1 の装置。

【請求項 3】

前記スイッチがマルチプレクサからなる、請求項 1 の装置。

【請求項 4】

前記ハブ受信機がさらに、前記第 1 のノードから受信したデータを格納するバッファを含む、請求項 1 の装置。

【請求項 5】

前記ハブ送信機がさらに、前記第 1 のノードへの伝送のためにデータを格納するバッファを含む、請求項 1 の装置。

【請求項 6】

前記第 1 のハブがさらに、前記制御信号を格納するためのメモリデバイスを含む、請求項 1 の装置。

【請求項 7】

複数のデータソース及びシンクの間でデータを通信するための装置であって、前記ソース及びシンクの少なくとも第 1 のものがデータを等時性で受信し送信するよう構成され、前記ソース及びシンクの第 2 のものがデータを非等時性で伝送するよう構成されているものにおいて、

前記ソース及びシンクの前記第 1 及び第 2 のものの両者に結合され、

(a) ノード送信機と、

(b) ノード受信機と、

(c) 前記ソース及びシンクの前記第 1 及び第 2 のものの両者からデータを伝送すべく第 1 のデータリンクを介して前記ノード送信機に結合され、等時性ソースから由来するデータについて第 1 の専用帯域幅をもたらすマルチプレクサ

を有する第 1 のノードと、

前記第 1 のノードに結合され、

(a) 前記ノード送信機に結合されて前記第 1 のノードから前記第 1 のデータリンクを介して伝送されるデータを受信するハブ受信機と、

(b) 前記ノード受信機に結合されて前記第 1 のノードへとデータを伝送するハブ送信機と、

(c) 前記ハブ受信機を前記ハブ送信機に結合する第 2 のデータリンクと、

(d) 前記ハブ受信機と前記ハブ送信機の間で前記第 2 のデータリンク上に配置され、制御信号に結合されていて、前記制御信号が主張された場合にデータを前記ハブ受信機から前記ハブ送信機へと通過するスイッチ

を有する第 1 のハブとからなる装置。

【請求項 8】

第 2 のノードに結合された第 2 のハブと、

少なくとも前記第 1 のハブの前記ハブ受信機と前記ハブ送信機の一方と、前記第 2 のハブとに結合され、前記第 1 のハブと前記第 2 のハブの間でデータを通過させるバスとをさらに含む、請求項 7 の装置。

【請求項 9】

前記第 1 のノードが 2 つのノードからなる、請求項 7 の装置。

【請求項 10】

前記スイッチがマルチプレクサからなる、請求項 7 の装置。

【請求項 11】

前記ハブ受信機がさらに、前記第 1 のノードから受信したデータを格納するバッファを含む、請求項 7 の装置。

【請求項 12】

前記ハブ送信機がさらに、前記第 1 のノードへの伝送のためにデータを格納するバッファを含む、請求項 7 の装置。

【請求項 13】

10

20

30

40

50

前記第 1 のハブがさらに、前記制御信号を格納するためのメモリデバイスを含む、請求項 7 の装置。

【請求項 1 4】

前記第 2 のデータリンクが等時性データを搬送する、請求項 7 の装置。

【請求項 1 5】

データの通信方法であって、

前記データをノードから第 1 のハブのハブ受信機へと伝送し、

第 1 の制御信号が主張された場合に、前記データを前記ハブ受信機からデータリンクを介してハブ送信機へと通過させ、

第 2 の制御信号が主張された場合に、前記データを前記ハブ受信機からバスへと通過させ、前記データを前記バスを介して第 2 のハブへと通信することからなる通信方法。 10

【請求項 1 6】

前記データを前記ハブ送信機から、前記第 1 のハブに結合された複数のノードの 1 つへと伝送することをさらに含む、請求項 15 の通信方法。

【請求項 1 7】

前記データを前記ハブ送信機から前記ノードへと伝送することをさらに含む、請求項 15 の方法。

【請求項 1 8】

データの通信方法であって、

第 1 のノードにおいて等時性データの第 1 の組と非等時性データの第 2 の組とを受信し、 20

前記第 1 の組及び前記第 2 の組のデータを多重化して多重化データの組を形成し、

前記多重化データの組を第 1 のデータリンクを介して第 1 のハブへと伝送し、

前記多重化データの組をハブ受信機において脱多重化して、等時性データ部分及び非等時性データ部分を獲得し、

第 1 の制御信号が主張された場合に、前記等時性データ部分を前記ハブ受信機からハブ送信機へと第 2 のデータリンクを介して通過させ、

前記等時性データ部分を前記ハブ受信機からバスへと通過させ、第 2 の制御信号が主張された場合に前記等時性データ部分を前記第 1 のハブから第 2 のハブへと前記バスを介して通信することからなる通信方法。

【請求項 1 9】 30

前記等時性データ部分を前記ハブ送信機から前記第 1 のハブに結合された複数のノードの 1 つへと伝送することをさらに含む、請求項 18 の通信方法。

【請求項 2 0】

前記非等時性データ部分をリピータデバイスを用いてリピートすることをさらに含む、請求項 18 の通信方法。

【請求項 2 1】

複数のノード間でデータを交換するよう結合された複数のハブを有する通信システムにおいて、

前記ノードの少なくとも 1 つから等時性データを受信する受信回路と、

等時性データを少なくとも前記ノードの 1 つへと伝送する送信回路と、 40

前記受信回路を前記送信回路に結合する第 1 のデータリンクと、

前記第 1 のデータリンク上に配置され、制御信号に結合されており、前記制御信号が主張された場合に前記等時性データを前記受信回路から前記送信回路へと通過させるスイッチと、

前記受信回路又は前記送信回路の一方と、前記複数のハブの所与の 1 つとに結合され、第 2 の制御信号が主張された場合に前記複数のハブの前記所与の 1 つとデータを交換する第 2 のデータリンクとからなるハブ装置。

【請求項 2 2】

前記受信回路に結合され、前記ノードの少なくとも 1 つから非等時性データを受信する手段と、

前記送信回路に結合され、前記ノードの少なくとも1つへと非等時性データを伝送する手段とをさらに含む、請求項21のハブ装置。

【請求項23】

前記受信回路に結合され、前記受信回路からの前記非等時性データを前記送信回路へと伝送するリピータ回路をさらに含む、請求項22のハブ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、ローカルエリアネットワーク又はワイドエリアネットワークのようなデータ通信ネットワークに関し、詳しくは等時性データを転送するためのネットワークに関するものである。

10

【0002】

【従来の技術】

等時性(isochronous)データは一般的には、パケット化されていない、不確定な、潜在的に連続長であるデータとして記述することができる。等時性データソースには、イメージ及びそれに伴うサウンドを表すデータの実質的に連続的なストリームを出力するビデオカメラ、及び実質的に連続的な音声データのストリームを出力する電話がある。等時性データシンクの例は、表示を行うために、実質的に連続的なビデオデータのストリームを受信するビデオモニターである。

【0003】

20

図1(A)は、等時性データ転送を概略的に示している。データの転送又は「接続」は最初に、例えば電話での会話を開始し、又はビデオカメラ転送を開始12することによって開始される。データ転送が開始された後に、恐らくはハウスキーピング情報(例えば宛先局、ソース、オーディオ又はビデオタイミングその他)の転送を随伴するデータの転送が、例えば電話会話又はビデオ伝送の終了14に至るまでの、不確定期間にわたって実質的に連続的にもたらされる。転送される全てのビットがデータビットを表す必要はない。宛先局及びオーディオ又はビデオタイミングを制御する「ハウスキーピング」ビットも転送されうる。さらにまた、転送されるデータが、電話での会話に際しての沈黙、又は空白のビデオイメージの転送といったように、「空」データからなることができる。等時性データ転送の1つの形式は、例えば1991年3月25日のFDDI-II Hybrid Multiplexer, Revision 2.4に記載された如き、ファイバ分散データインタフェース-II(FDDI-II)である。

30

【0004】

非等時性ソース及びシンクに加えて等時性ソース及びシンクを含むマルチメディアコンピュータ及びワークステーションの利用可能性の増大により、ネットワーク環境において等時性データを伝送することについての関心が高まっている。多くの既存のネットワークは、ネットワーク上のステーション間で、非等時性データ通信を用いている。一般に用いられているデータ転送プロトコルは、パケット転送システム及びトークンリングシステムを含んでいる。

【0005】

40

パケット化データ転送の1つの例は、一般に用いられているイーサネットシステムである。10BASE-Tとして知られている1つの実施形態が、1989年11月15日の、IEEE Standard 802.3に補充されたドラフト9に記述されている。図1(B)は、パケット伝送22を示している。

【0006】

トークンリングシステムでは、ノードは電子的トークンを捕獲した後においてのみ、データを転送する。一般に用いられているトークンリングシステムの1つは、IEEE Standard 802.5に記述されている。図1(C)はトークンリングシステムにおけるデータ転送23を示している。

【0007】

50

【発明が解決しようとする課題】

これらの既存のデータネットワーク上に等時性データを適応させようとする従来の多くの試みは、不利な動作特性をもたらす結果となった。幾つかの従来の等時性デバイスにおいては、所与の等時性ソース又はシンクに利用可能な帯域幅は、ネットワーク上で送受信を行っている等時性ソース及びシンクの合計数に対し、直接的に比例して減少する。さらにまた、等時性ソース及びシンクの存在は、非等時性帯域幅を減少させる。

【0008】

加えて、既存の等時性システムはまた、在来のネットワークとの互換性を殆ど、又は全くもたらさない。この非互換性は、等時性及び非等時性トラヒックの両者に適応するために、ハードウェア又はソフトウェアの大規模な交換を必要とする。かくして、イーサネット性能及びビデオカメラを有するマルチメディアパソコンは、等時性及び非等時性ソース/シンクの両者を同時に利用することができない。

【0009】**【課題を解決するための手段】**

同日に出願されここで参照することによってその内容を本明細書に取り入れる「等時性能力を備えたデータ通信ネットワーク」と題する本出願人の米国特許出願第969916号は、等時性データソース及びシンクへ、またそれらからのデータ通信をもたらすシステムを記述している。等時性ソース/シンクについて利用可能な帯域幅は、ネットワーク上での非等時性要求の変化とは無関係であり、またその逆のことも言える。さらにまた、各々のソース/シンクには等時性帯域幅が保証されており、これはネットワーク上でのソース/シンク帯域幅の変化とは無関係である。等時性通信システムはまた、従来の、多くは設置済のシステムとの高度の互換性を維持し、ハードウェア/ソフトウェアの交換は最小限しか必要とされない。例えば等時性データの実効データ転送速度は、非等時性データの帯域幅又はトラヒックにおける変化、或いは非等時性データにおける割り込み（イーサネットデータにおけるデータ衝突又はトークンリングデータの場合のトークンの喪失）によっては、変化しない。

【0010】

好ましくは、本発明のシステムは、スター形ネットワークとして実施され、その場合にデータソースは中央のハブへと転送を行い、この中央のハブが次いで、データをデータシンクへと転送する。ハブを大帯域幅のバス、例えばタイムスロットインタチェンジ(TSIB)バスへと、例えばリング構造又はツリー構造で相互接続することにより、幾つかのこのようなスター形システムを接続することができる。ハブに到着する多重化データは脱多重化されて、等時性ソースのデータ、非等時性ソースのデータ、及びDチャンネルとMチャンネルの情報が分離される。この非等時性ソースのデータは、非等時性データストリームを取り扱うよう特化されたハブ回路に提供されうる。好ましくは、ハブ中の回路は、分離された非等時性データストリームを、従来の非等時性ネットワーク上で利用可能な形式に実質的に類似した形式へと変換する。例えば、非等時性データがイーサネットMACに由来したものである場合には、ハブは分離された非等時性データを、標準的なイーサネットハブリピータ回路により処理される形態へと変換する。

【0011】

同様にして、等時性ソースデータは、等時性データストリームを取り扱うよう特化されたハブ回路へと提供されうる。本発明の1つの実施例によれば、ハブの等時性データ回路は、ローカルループバック性能を有する。ソースノード及び宛先局ノードが同じハブ回路に結合されている状況においては、ローカルループバック性能は、ハブが先ずハブを相互接続しているTSIBバス上にデータを置くことなしに、データをノード間で転送することを可能にする。それによりTSIBバスの帯域幅は、内部転送により影響されることはない。かくして異なるハブ上のノードを相互接続するというシステムの能力は、同じハブに接続されたノード間の転送によって影響されない。

【0012】

本発明の別の実施例によれば、ローカルループバックは、ソースノードと宛先局ノード同

10

20

30

40

50

じハブに接続され、ハブが大帯域幅のバスを介して相互に接続されている、どのようなネットワーク形態においても用いることができる。かくして本発明は、バス外部帯域幅に影響を与えることなく、かかる転送を完了するためのシステムを提供するものである。

【 0 0 1 3 】

【 実施例 】

本明細書の末尾の表 1 は、本発明の 1 つの実施例によりデータストリームを多重化するための時分割多重化方式の表である。また表 2 は、本発明の 1 つの実施例による 4 / 5 エンコードの形態をリストしている。

【 0 0 1 4 】

本発明の詳細な説明は、非等時性及び等時性の両者の通信をサポートするデータ転送システムに関して与えられる。ここで与えられる記述は従って、

1) 同じハブに接続された非等時性ソースと非等時性シンクとの間での転送、及び
2) 同じハブに接続された等時性ソースと等時性シンクとの間での転送
について本発明が用いられる場合についての記述を行うものである。本明細書の記載は従って、本発明が使用されるであろうより一般的な状況の幾つかを示すことになる。しかしながら本発明は、記述される特定の等時性 / 非等時性データ転送システムのみを用いるように限定されたものではなく、ノード間の通信がハブを介して行われるどのようなデータ転送システムに対しても容易に取り入れることができる。

【 0 0 1 5 】

同日に出願されここで参照することによってその内容を本明細書に取り入れる「等時性能力を備えたデータ通信ネットワーク」と題する本出願人の米国特許出願第 9 6 9 9 1 6 号は、スター形に配置され、リング又はツリー形に相互接続されることのできる、等時性データ用のデータ通信システムを記述している。このようなシステムが、図 2、図 3 又は図 4 に示されている。図 2 に示された配置においては、ハブはリング形に接続されており、第 1 のハブ 4 4 a は第 2 のハブ 4 4 b へとデータを送出し、第 2 のハブ 4 4 b は第 3 のハブ 4 4 c へとデータを送出し、第 3 のハブはサイクル発生器及びリングレタナシイ（待ち時間）調節回路を介して、第 1 のハブ 4 4 a へと戻るようデータを送出する。ハブ相互間の接続は、タイムスロットインタチェンジ（TSI）リング 5 8 f 上で行われる。1 つの実施例では、TSI リング 5 8 f として、FDDI - II システムを用いることができる。図 3 は、単一のハブ内に多数の等時性回路を有するスター及びリング形をもって配置された、ハブ 4 4 a、4 4 b 及び 4 4 c を示している。図 3 は、ツリー形の通信システムを示す。親ハブ 4 4 a が、大帯域幅のバックボーンへと接続している。ハブ 4 4 b は親ハブ 4 4 a の子ハブとして動作し、ハブ 4 4 a のポート 2 に取着されている。子ハブ 4 4 c が、子ハブ 4 4 b から縦続されている。

【 0 0 1 6 】

スター及びリング形は、大帯域幅のバス上で動作する単一のハブに取着された複数のノード 4 2 a、4 2 b、4 2 c を含む。ノードの正確な数は、データ伝送に対するニーズと、システムの目的とに応じて変化する。ノード 4 2 a - 4 2 c の各々は、厳格な等時性ソース及びシンク、厳格な非等時性ソース / シンク、或いは等時性及び非等時性双方のソース及びシンクといった、種々の形式のソース及びシンクを含むことができる。片方向ツイストペアケーブル 4 6 a - 4 6 r の如き、物理的なデータ伝送媒体からなるデータリンクが、各々のノードをハブ 4 4 a - 4 4 c の 1 つへと結合している。

【 0 0 1 7 】

図 5 は、ハブ 4 4 a 及び関連するノード 4 2 a - 4 2 c をより詳細に示している。図 5 はそれ自体、完全なスター形システムを形成しうる。各々のノード 4 2 a、4 2 b、4 2 c は、回路 5 0 a、5 0 b、5 0 c を含んでいる。回路 5 0 a - c は、データを受信し、それを物理媒体 4 6 a、4 6 c、4 6 e 上での伝送に適した形へと変換し、物理媒体 4 6 b、4 6 d、4 6 f から信号を受信し、データシンクにより用いられるのに適した形へと変換する。

【 0 0 1 8 】

10

20

30

40

50

ハブ44aは、物理媒体46a, 46c, 46eからデータを受信し、等時性データを非等時性データ並びにDチャンネル及びMチャンネルデータから分離し、分離したデータを下流のハブ回路56により処理するのに適した形へと変換するための回路54a, 54b, 54cを含んでいる。図示の実施例では、分離された等時性ソースからのデータは、データをTSIバス上へと置くために、タイムスロットインタチェンジコントローラ58の如き等時性スイッチング回路へと供給され、かくして種々の宛先局ノード42a, 42b, 42cへと伝送すべく、そのハブにおける他の等価な回路54a-54cによって、他のハブへと伝送及びハブから回復可能である。分離された非等時性データは、宛先局ノード42a, 42b, 42cへと伝送するために、非等時性データを運ぶよう構成された回路60へと供給される。非等時性ソースからのデータがイーサネットデータを含む実施例では、ハブ回路60は標準的なイーサネットリピータプロセッサであり得る。このようにして、本発明のシステムは少なくとも部分的に、従前のイーサネットハブシステムと後方互換であり得る。

10

【0019】

Dチャンネル及び保守データは、シグナリングプロセッサ62へと供給される。シグナリングプロセッサ62は、種々の保守及び制御機能を営む。例えば、エラー状態を識別してユーザに警告し、例えばデータ経路64上で等時性及び非等時性コントローラ58, 60と通信することにより、要求された接続、即ちソース/宛先局経路をセットアップするものである。

【0020】

上記した構成要素の動作は、等時性ソースであるビデオカメラ48dから、等時性シンク48bへのデータ転送、及び非等時性ソースであるイーサネットMAC48cから非等時性シンク48gへのデータ転送を記述することによって理解されよう。等時性デバイス48dから送出されるデータは、デジタル化データの連続ストリームであり、例えば米国「T1」標準である1.544Mbpsに等しいデータ転送速度を有する。イーサネットMAC48cからのデータ出力は、標準的な10BASE-Tイーサネット転送速度である10Mb/秒で供給される。Dチャンネル情報は、好ましくはMACその他のシステム中の回路に含まれているDチャンネルデータストリームソースから、或いは例えば仮想キーパッド48fから、例えば約64Kbpsを越えない転送速度の如き、可変のデータ転送速度で提供される。

20

30

【0021】

ライン66a, 66b, 66cは、ソース48d及び48cからのデータストリームを、ノード回路50bへと搬送する。図6は、この回路50bをより詳細に示している。ノード回路50bは、入力されるデータストリームについて動作するハードウェアを含み、データソースと宛先局との間での効率的な、互換性のある伝送を可能にしている。マルチプレクサ70は、一連のフレーム又はテンプレートの繰り返しを用いて、入力データを4ビット単位で時分割多重化する。この実施例においては、フレームは125マイクロ秒毎に繰り返される。

【0022】

表1は、種々のデータストリーム、及び付加的なデータ及び制御バイトが時分割多重化される方式を示している。表1における各々の記号は4ビットのデータを表しており、2つの記号のグループ毎に8ビットの1データバイトが表されることになる。表1において、Eはイーサネットストリーム66aからの4ビットデータを表し、Bは等時性ストリーム66bからの4ビットデータを示し、Dはシグナリング又はDチャンネルストリーム66cからの4ビットデータを表す。Mは、好ましくは回路50bにより供給される4ビットのMチャンネルデータを表している。加えて、あるバイト長のパターンがもたらされる。JKはフレーム同期パターンを表し、EM(表1のブロック3の最初の2つのバイト)はイーサネット「パッド(pad)」を表し、保守バイトがそれに続いている。

40

【0023】

表1に見られるように、各々のフレームは256バイトを含み、これは各々8バイトの3

50

2のグループ、又は各々64バイトの4つのグループとして考えることができる。等時性ソース48dからの1.544Mb/秒のデータ転送速度での出力について、上記したフレーム構造は、6.144Mb/秒の等時性帯域幅能力をもたらす。従って、本実施例における単一の等時性ソース48dは、フレーム当たり192の「B」記号を48だけ用いて完全に適応することができる。等時性チャンネル内の3つの64Kb/秒を用いることにより、基本速度のISDNチャンネルをサポートすることができる。かくして、利用可能な等時性帯域幅内に、各種の等時性ソースを割り当てることができる。このフレーム構造は、同日に出願されここで参照することによってその内容を本明細書に取り入れる「フレーム構造を有する等時性ソースデータの伝送用ネットワーク」と題する本出願人の米国特許出願第969911号に、より完全に記述されている。上述したフレーム構造とは異なる他のフレーム構造を用いて、特定の目的に適した帯域幅の割り当てをもたらすことも可能である。

10

【0024】

時分割多重化データは次いで、エンコーダ72によりエンコードされ、2進0の長いストリングによって混乱される可能性のある、ケーブルのACバランスが維持される。図示の実施例においては、エンコーダは4/5エンコードを行う。ANSI X3T9.5標準と部分的に合致する、4/5エンコードの1つの特定の形が、表2に示されている。これらのパターンは、適切に組み合わせられた場合には、最大で3ビット時間を有し、遷移はない。表2に示されたエンコード方式は、同日に出願されここで参照することによってその内容を本明細書に取り入れる「フレームベースのデータ伝送」と題する本出願人の米

20

【0025】

4/5エンコードの結果は次いで、Non-Return to Zero Inverted (NRZI)方式を用いて、図6のエンコーダ74によりさらにエンコードされる。この4/5-NRZIエンコードは、非等時性ソースが10BASE-Tイーサネットソースであるネットワークにおいて、特に有用である。その理由は、このエンコードが、イーサネットMACにより提供され予想されるデータ転送速度と実質的に互換である、シグナリング速度での伝送をもたらすからである。しかしながら、8ビットを10ビットへとエンコードする方式などの、他の形式のエンコード又はデコードもまた用いることが可能である。

30

【0026】

エンコードの後、データはプリエンファシス回路76及び送信機又はドライバ78bへと送られる。このプリエンファシス回路76は、物理媒体上を伝送される信号を補償して、ジッタを減少させる。信号は次いで、物理媒体46cを介してハブ44aへと伝送されるが、この物理媒体46cは、ツイストペアケーブル、同軸ケーブル、或いは光ファイバケーブルなどを含む。

【0027】

図5に見られるハブ44aは、複数の回路デバイス54a, 54b, 54cを含み、これらは各々が物理媒体46によってノード42a, 42b, 42cの1つへと結合されている。図7に示されているように、物理媒体46を介して伝送されるデータは、非直列化回路/デコーダ80に直列的に到着する。非直列化回路/デコーダ80は、機能的には上述した多重化/エンコード回路の逆である回路を含み、4/5NRZIエンコードをデコードして、等時性及び非等時性ソースのデータを分離するように動作する。非直列化回路/デコーダ80はまた、フレーム化タイミング発生器98により使用するため、JKフレーム同期記号96から導いた同期信号を出力する。リンク検出回路82はまた、物理媒体46からのデータを受信して、ノードが動作しているモードを検出し(例えば10BASE-T、非等時性イーサネット又は等時性)、同日に出願されここで参照することによってその内容を本明細書に取り入れる「ネットワークリンク端点能力検出」と題する本出願人の米国特許出願第971018号により完全に記述されているようにして、モード選択信号を出力する。

40

50

【 0 0 2 8 】

非等時性ソースデータ 9 4 b 及び等時性ソースデータ 9 4 a は両方とも、宛先局ノードへと伝送するために、必要に応じて各種のハブ回路成分 5 4 a , 5 4 b , 5 4 c に対して利用可能とされる。1つの実施例においては、分離された等時性データ 9 4 a 及び非等時性データ 9 4 b は、それぞれインタフェース 5 8 , 6 0 によって再構成されて、等時性出力 1 0 2 及び非等時性出力 1 0 4 が宛先局ノードへの伝送に適した形で提供される。1つの実施例では、非等時性データ 9 4 b は E インタフェース 6 0 によって構成されて、ハブ回路 5 4 に備え、最終的に宛先局ノードへと伝送するために、出力データ 1 0 4 がリピータデバイスによって処理可能となるようにされる。非等時性データについてリピータを用いる代替として、メディアアクセスコントロール層ブリッジを介してパケット接続をリンクすることができる。

10

【 0 0 2 9 】

図 8 は、非等時性データ 9 4 b を受信し、従前から利用可能なリピータ回路 6 0 により処理可能な形式の出力 1 0 6 , 1 0 8 をもたらす形式の、E インタフェース 5 9 の 1 つの実施形態を示している。この非等時性データは、先入れ先出し (F I F O) バッファ 1 1 2 において受信され、データ転送速度が平滑化される。回路 1 1 4 は、イーサネットデータパケットをエミュレートするために提供される「キャリアなし」記号を検出するが、これは論理回路又は状態マシン 1 1 6 により使用されて、キャリア検出信号が出力される。F I F O 1 1 2 からの出力 1 1 8 はマルチプレクサ 1 2 0 及び非直列化回路 1 2 2 へと提供され、データ出力 1 0 6 が生成される。マルチプレクサ 1 2 0 はプリアンプルストリーム 1 2 4 を受信することができ、出力データ 1 0 6 中に適切なプリアンプルビットをもたらす。F I F O 1 1 2 からの出力 1 1 8 はまた、デコード回路 1 2 8 へも提供され、データ衝突及びアライメントエラー記号が認識され、状態マシン 1 1 6 に対して適切な信号 1 3 0 , 1 3 2 が出力される。受信インタフェース 5 9 の動作及び構成要素については、「フレームベースのデータ伝送」と題する米国特許出願第 9 7 0 3 2 9 号において、より完全に記述されている。

20

【 0 0 3 0 】

本実施例の目的については、等時性ソース 4 8 d (図 9) からのデータは、表 1 のブロック 0 において「 B 」記号で表された、各々のフレームの最初の 2 4 の等時性バイト (即ちフレーム構造中の最初の 4 8 の「 B 」記号) において伝送されると仮定している。図 9 は、本発明の 1 実施例による B インタフェース 5 8 を示している。図 9 の実施例においては、分離された等時性データ 9 4 a は、2つのバッファ 1 3 2 a , 1 3 2 b の 1 つに格納されている。バッファ 1 3 2 a , 1 3 2 b における格納のタイミングは、1 2 5 マイクロ秒のフレーム伝送タイミングでもって調整されており、最初のフレームからのデータ 9 4 a が最初の 1 2 5 マイクロ秒の期間の間に第 1 のバッファ 1 3 2 a に格納され、次の 1 2 5 マイクロ秒の期間の間に、次のフレームからの等時性データ 9 4 a が第 2 のバッファ 1 3 2 b に格納されるようになっている。1つの実施例においては、データはバッファ 1 3 2 へと、受信したと同じ順序で格納されることができ、表 1 における最初の 2 つの「 B 」記号により表される 8 ビットがバッファ 1 3 2 a の第 1 の格納位置に格納され、表 1 の次の 2 つの「 B 」記号に対応するものがバッファ 1 3 2 a の第 2 の位置に格納され、といった具合になっている。表 1 に示したフレーム構造はフレーム当たり 9 6 バイトの等時性データを含んでいるから、バッファ 1 3 2 a , 1 3 2 b の各々は、サポートするノード当たりで 9 6 バイトのデータを格納する能力を有している。第 1 のフレームからの等時性データがバッファ 1 3 2 に格納された後、次の 1 2 5 マイクロ秒の期間の間に (次のフレームからのデータが第 2 のバッファ 1 3 2 b に格納されつつある間に) 、第 1 のバッファ 1 3 2 a において格納されたデータが、大帯域幅のバス 1 3 4 上へと伝送される。バッファ 1 3 2 のローディング及び順序付けは、ハブ 4 4 a によりサポートされているノードの数に依存している。バス 1 3 4 は、ハブ 4 4 a に接続された複数のノードからの等時性データ出力を搬送するのに十分な帯域幅を有している。ハブ 4 4 a が 1 6 のノードに接続されている実施例においては、バス 1 3 4 の帯域幅は、1 2 5 マイクロ秒当たり (即ち

30

40

50

フレーム毎に) 1536バイトのデータ(即ちノード当たり96バイト×16ノード)を受信するのに十分なものでなければならない。これは、約98304Kb/秒の帯域幅に対応する。

【0031】

ハブに到着されたノードの数や等時性データ専用とされた帯域幅といったシステム構成の様相に応じて、本発明の他の実施例を、TSIバス134に代わる他の帯域幅について提供することができる。しかしながら、98304Kb/秒の帯域幅は特に有用なものである。なぜならそれはFDDI-IIにおいて用いられている帯域幅と実質的に合致し、TSIリング58がFDDI-IIシステムである構成において、TSIバス134上のデータをTSIリング58(図5)へと受け渡すことを特に容易にするからである。

10

【0032】

1つの実施例においては、データはバッファ132からバス134上のタイムスロット内へと、タイムスロットインタチェンジ様式で運ばれる。TSIバス134上で運ばれるデータは、1536のタイムスロットに分割された125マイクロ秒の時間フレームにおいて伝送され、その各々は約0.08138マイクロ秒の長さを有する。各々のタイムスロットは、データ及び関連する制御及びパリティを有する。かくして1バイトは、10ビットのタイムスロット情報を表すことができる。かくしてバッファ132aからのデータはTSIバス134上へと、バッファ132aに格納された1536バイトの所与の1つを、125マイクロ秒の時間フレームの1536タイムスロットの適切なスロットにおいてTSIバス134上へと伝送することによって置かれる。どのタイムスロットが「適切」であるかは、データが用いられる用途、及び特にDチャンネルを介しての接続セットアップにおいて予め定められたデータの宛先局に依存している。

20

【0033】

図示の実施例においては、データの宛先局は、Dチャンネル情報を用いて予め確立されている。このDチャンネル情報は、シグナリングプロセッサ138へと送られる。ソース、宛先局、及びその他の必要な情報を含むこのDチャンネル情報は、好ましくはスイッチテーブル140に値を格納するために用いられる。1つの例では、スイッチテーブル140は、この例におけるハブ回路58に関連する16のノードに対応する16の部分142a-142pへと分割される。各々の部分142は、TSIバスの時間フレームにある1536のタイムスロットに対応する1536ビットを含んでいる。これらのビットは、マルチプレクサ146に対する制御144として用いることができる。

30

【0034】

この実施例においては、125マイクロ秒のフレーム当たりの等時性ソース48dからの24バイトのデータは、各々の等時性ソース48dのフレームの最初の24のBスロットにおいて伝送される。従って、ソース48dからのデータは、等時性バッファ132に格納される。この例において等時性データの宛先局は、モニタ48bである。従ってデータの24のBスロットはデータバッファ154aへと転送され、そして次のフレーム上で、その対応する最初の24のBスロットにおいてシンク48bへと転送される。

【0035】

24のBスロットはTSIバスに向けることができ、その場合には等時性バッファ132の24のBスロットはTSIバス上へと切り換えられる。スイッチテーブルの内容のビットがライン150を制御し、TSIのタイムスロット毎に1ビットの速度(即ち0.08138マイクロ秒毎に1ビット)でマルチプレクサ146を制御する。TSIバスの最初の10タイムスロットが、最初のTSIタイムスロットに際して別のハブに到着されたノードに向けられているBデータを受信しないと仮定すると、マルチプレクサ制御114は「0」であり、バッファ132からバス134へはデータは出力されない。マルチプレクサ146は単に、TSIバス134に沿って、最初のタイムスロットにおいて既にTSIバス上にある何らかのデータを伝達するに過ぎない。この状態はTSIバスの11番目のタイムスロットまで継続され、その時点で別のハブに到着されたノードに向けられたBデータがTSIバス上へと出力され始める。次の24のTSIバスのタイムスロットの各々

40

50

に際して、マルチプレクサ 1 4 6 に対する制御信号は「1」であり、バッファ 1 3 2 の適当なデータ位置に格納されたデータバイトは、マルチプレクサ 1 4 6 からバス 1 3 4 上へと出力される。バッファ 1 3 2 のどのデータ位置が「適当」であるかは、スイッチテーブルに含まれている読み取りポイントにより決定することができる。好ましくは、バッファ 1 3 2 はランダムアクセスメモリ (RAM) であり、読み取りポイントは、T S I スロットフレームを表しているスイッチテーブル位置の内容に応じて決定される。2 4 バイトの T S I バス上への伝達が完了した後、この T S I フレームの後続のタイムスロットに際してはバッファ 1 3 2 a からの出力はないが、これはこの例において、他の接続が確立されていないからである。。このようにして、T S I バス上のフレームについてのタイムスロット 1 1 から 3 5 は、バッファ 1 3 2 a に格納されたデータ、即ち等時性ソース 4 8 d による 2 4 バイトのデータ出力で満たされる。

10

【0036】

図 9 はまた、T S I バス 1 3 4 から回復される等時性データの、宛先局ノードへの転送を示している。この実施例では、ハブ 4 4 a が、伝送されたフレームの最初の 2 4 の偶数タイムスロットに格納された 2 4 バイトのデータを回復することが必要である。T S I リングからのデータは、シンク 4 8 b に関連した B インタフェース 5 8 により回復される。

【0037】

T S I リングからの回復は、マルチプレクサ 1 4 6 の制御について記述したのと同様の仕方でもってテーブル 1 6 2 に依存して、信号プロセッサ 1 3 8 からライン 1 6 0 を介して出力される制御信号 1 5 8 により制御されたマルチプレクサ 1 5 6 によって達成される。

20

【0038】

ハブ 4 4 a の E インタフェース 6 0 は、非等時性シンク 4 8 g を意図するリピータ 6 0 からの非等時性データ (ソース 4 8 c) を回復する。E 伝送インタフェース 1 6 8 の例が、図 1 0 に示されている。図 1 0 に示された伝送インタフェースは一般に、図 8 に示された E 受信インタフェースと機能的に逆である。並列インタフェースをもたらしことも可能であり、M A C にある場合に F I F O の必要はない。データ 1 6 6 は非直列化され、次いで何らかの必要なアライメントエラービット 1 7 2 とマルチプレクサ 1 7 4 において組み合わせられ、その出力は F I F O 1 7 6 へと出力される。同期検出回路 1 7 8 はリピータ出力 1 6 6 から同期情報を抽出し、状態マシン 1 8 0 へと伝達する。状態マシン 1 8 0 はまた、キャリア検出情報 1 8 4、フレーム化カウンタ情報 1 8 6 をも受信し、制御信号 1 8 8 を F I F O 1 7 6 へと提供する。F I F O 1 7 6 からのデータ出力は、プリアンブルビット 1 9 0 及び「0 キャリヤ」ビット 1 9 4 と、マルチプレクサ 1 9 6 によって多重化される。E 伝送インタフェースの動作については、「フレームベースのデータ伝送」と題する米国特許出願第 9 7 0 3 2 9 号において、より完全に記述されている。

30

【0039】

E 伝送インタフェース 1 6 8 から出力されるデータ 1 9 8 は、等時性データ出力 1 6 4 並びに M チャンネル及び D チャンネルデータ 1 7 0 と共に、図 1 1 に示すようにしてエンコーダ直列化回路 2 0 2 へと提供される。このエンコーダ/直列化回路 2 0 2 は、図 6 に示したエンコード回路と実質的に同様にして構成されている。詳しくは、エンコーダ/直列化回路 2 0 2 は、データ 1 9 8、1 7 0、1 6 4 の 3 つのストリームを組み合わせるためのマルチプレクサと、4 / 5 エンコーダと、N R Z I エンコーダと、プリエンファシス回路とをもたらし。伝送のタイミングは、伝送タイミング回路 2 0 4 により制御される。エンコーダ/直列化回路からの出力 2 0 6 は、より完全には本出願人の米国特許出願第 9 7 1 0 1 8 号に記述されているようにして、マルチプレクサ 2 1 0 により、リンク端点検出の目的で、リンクうなり (beat) 発生器 2 0 8 からのリンクうなりと選択的に結合される。

40

【0040】

ハブ 4 4 a からノード 4 2 へと送られる等時性及び非等時性の両方のデータは、上述したようにノード 4 8 からハブ 4 4 a へと送られるデータについて用いられるフレームフォーマットと実質的に同じであることが好ましいフレームフォーマットでもって送られる。ノ

50

ード42において、回路50はデータをデコードし脱多重化するための、ハブにおいてこれらの機能を実行するとして上述したデバイスに類似のデバイス(図6)、主として位相同期デコード回路86、NRZIデコード回路88、4/5デコード回路90及びデマルチプレクサ92を含む。デコードされ脱多重化されたデータは次いで、ノード42にある各種のデータシンクへと伝達される。

【0041】

図12は、減衰、ジッタを減少し、必要とされるバッファリングメモリの量を最小限とするためのタイミングスキームを示している。図12に示されている如く、このタイミングは125マイクロ秒の基準クロック信号214と同期させることができ、基準信号214は125マイクロ秒毎に立ち上がるクロックエッジをもたらす。この基準信号は、ワイドエリアネットワーク又はFDDI-IEリングからの基準信号の如き外部クロック基準との同期を含めて、多数のソースの何れにより供給することもできる。サイクルの開始に当たり、時間ライン216上のタイミングマークにより示されているように、ハブ44はノードへとフレームの伝送を開始する。時間ライン218により示されている如く、物理媒体におけるライン遅延の故に、ノードがハブにより伝送されたフレームを受信する時点は、それらがハブから送出された時点から遅れる。そこで、ノードがハブ222へと次のフレームの伝送を開始する前に、遅延220が導入される。この遅延220は、物理媒体46上での伝送により導入されるレータンスイに対処するものであり、ハブがクロック信号214の立ち上がりエッジとほぼ一致する時点224において伝送されたフレームの受信を開始するような値を有している。

【0042】

遅延220は例えば、受信回路78a, 78bとノード42a, 42bの間、及び送信回路228a, 228bとノード42a, 42bとの間に遅延回路226a, 226bを挿入することによって導入することができる。図13を参照のこと。物理媒体のレータンスイは、リンクの長さに依存してノード毎に異なるから、回路226aにより挿入される遅延の長さもまた、適宜変更される。計算された最適遅延を、遅延回路228a, 228bへと適宜プログラムすることができる。この遅延の特徴はより詳細には、同日に出願されここで参照することによってその内容を本明細書に取り入れる「等時性リンクプロトコル」と題する本出願人の米国特許出願第970313号により完全に記述されている。

【0043】

上述したタイミングスキームは、ノードから受信したサイクルが、ハブから次のサイクルが伝送されるよりも僅かに早く到着することを保証する。小さなFIFOをハブが受信したデータストリーム中に挿入し、サイクルの到着を正確に整列させることができる。同様のFIFO構造をノードにおいても使用して、データを受信したサイクル基準と、それが転送されるまで同期させることができる。これらのFIFOを備えることについては、同日に出願されここで参照することによってその内容を本明細書に取り入れる「等時性FIFO化を用いてケーブル長遅延に適応する装置及び方法」と題する本出願人の米国特許出願第969917号により詳細に記述されている。

【0044】

上述した全体的なシステムにおいては、ノード間でのデータ転送は、ソースノードからのデータをハブへと中継し、ハブを相互接続しているTSIリング上にデータを置き、TSIリングからデータを宛先局ハブにおいて回復し、宛先局ハブからデータを宛先局ノードへとルーティングすることによって行われる。この過程はTSI帯域幅を浪費し、ソース及び宛先局ノードの両者が同じハブに接続されている場合は、システムに遅延を導入する。

【0045】

本発明によれば、回路58にはまた、ローカルループバック性能が備えられる。ローカルループバック性能は、回路58がデータを受信バッファ132から送信バッファ154へと直接に、TSIリング134上にデータを置く必要なしに伝送することを可能にし、か

10

20

30

40

50

くしてT S Iバスの帯域幅を他のハブが使用するように解放する(図2及び図3)。ルーブバックを制御するために、マルチプレクサ156を用いることができる。

【0046】

ローカルループバック性能は、例えば等時性ソース及び等時性シンクの両者が同じハブに接続されている場合に有用である。例えば、前述の実施例においては、ビデオカメラである等時性ソース48dとビデオモニタである等時性シンク48bの両者が、同じハブ44aに接続されている。ローカルループバックは、データをモニタ48bにもたらし、ビデオカメラ48dにより受信したイメージを実質的に「リアルタイム」で、データをT S Iバス134上に置くことなしに表示する。非等時性ループバックは、米国カリフォルニア州サンタクララのナショナルセミコンダクタ社から入手可能なD P 8 3 9 5 0リピータ
10
インタフェースコントローラ(R I C)の如き非等時性リピータデバイス60により達成することができる。

【0047】

図14は、等時性ループバックを実施するための構成を示している。データライン494が、通常はT S Iリング134上に置かれるバッファ132からの伝送データを受信するように結合されている。データライン494は内部ループバックのためにマルチプレクサ156に入力されており、T S Iリング134上のデータがバッファ154に入るのが阻止される。マルチプレクサ156は、プロセッサ138のスイッチテーブルの1つにより、ライン160を介して制御されている。制御データは、Dチャンネルを介してシグナリングプロセッサへと供給される宛先情報に従って、出力テーブル162に格納されている。
20
しかしながらこの場合、テーブル162は十分に広く、T S I及びループバックマルチプレクサ156の両者を制御するための制御ビットを格納できなければならない。内部ループバックが開始される場合、バッファ132aからのデータはタイムスロットの代わりに、バッファ154へと伝送される。かくしてあるタイムスロットにおいて内部ループバックが開始された場合、関連するT S Iデータはバッファ154aにはロードされない。マルチプレクサ156は、内部ループバックを示す制御ライン158と共に用いられる。制御ライン158の制御はシグナリングプロセッサにより行われ、また1つの実施例ではロックアップテーブルである。

【0048】

2つのバッファ154a, 154bは回復データを格納し、また前述した仕方で制御される。最初の時間フレームの間、バッファ154aはライン494又はT S Iバス134からデータを受信し、その間にバッファ154bは以前の時間フレームの間に格納されたデータを、物理媒体46bを介して宛先局ノード42aへと伝送すべく回路58のライン164に出力する。次の時間フレームの間、これらのバッファの役割は逆転され、ライン494から受信したデータはバッファ156bに格納され、先行する時間フレームに際してバッファ154aに格納されたデータは宛先局ノード42aへと伝送すべく出力される。
30

【0049】

【発明の効果】

かくして本発明によれば、ローカルループバックを用いることにより、データを受信バッファから送信バッファへと直接に、T S Iリング上にデータを置く必要なしに伝送することを可能となる。かくしてT S Iバスの帯域幅は他のハブが使用するように解放されると共に、遅延の減少も図られる。
40

【0050】

本発明のループバックの別の利点は、スタンドアロン形のハブが使用される場合に、T S Iリング134を省略できる可能性があることである。データ通信ネットワークが単一のハブのみから構成されている場合には、ハブの受信及び送信バッファを接続するためには、データライン494のみが必要である。マルチプレクサ156は前述した仕方で動作し、バッファ132からのデータをバッファ154に置く。従って別個のT S Iバスに対する接続はもはや不要であるが、選択的に備えることは可能である。
50

【 0 0 5 1 】

本発明は好ましい実施例、並びに特定の設計変更及び修正によって記述されたが、他の設計変更及び修正を使用することも可能であり、本発明は特許請求の範囲によって規定されるものである。

【 0 0 5 2 】

【 表 1 】

ブロック 0 :

J	K	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ70
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ71
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ72
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ73
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ74
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ75
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ76
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ77

10

ブロック 1 :

M	M	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ78
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ79
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ10
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ11
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ12
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ13
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ14
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ15

20

ブロック 2 :

D	D	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ16
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ17
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ18
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ19
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ20
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ21
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ22
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ23

30

ブロック 3 :

E	M	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ24
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ25
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ26
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ27
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ28
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ29
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ30
E	E	E	B	E	B	E	B	E	B	E	B	E	B	E	E	グループ31

40

JK=フレーム同期パターン
MM=保守用 8 ビット
D =D チャンネル

EM=イーサネットパッド及び保守用 4 ビット
E =イーサネットパケットチャンネル
B =等時性チャンネル

【 0 0 5 3 】

【 表 2 】

記号	エンコード化(5ビット)	デコード化(4ビット)	記述	
0	11110	0000	データ0	
1	01001	0001	データ1	
2	10100	0010	データ2	
3	10101	0011	データ3	
4	01010	0100	データ4	
5	01011	0101	データ5	
6	01110	0110	データ6	
7	01111	0111	データ7	10
8	10010	1000	データ8	
9	10011	1001	データ9	
A	10110	1010	データA	
B	10111	1011	データB	
C	11010	1100	データC	
D	11011	1101	データD	
E	11100	1110	データE	
F	11101	1111	データF	
I	11111	1010	イーサネットキャリアなし	20
S	11001	0111	イーサネットデータなし	
V	01100	0010	未整列データ	
T	01101	0101	未割当	
J	11000	1101	フレーム同期パート1	
K	10001	1101	フレーム同期パート1	
Q	00000	0010	無効	
H	00100	0001	無効	
R	00111	0110	無効	
V	00001	0110	無効	
V	00010	0010	無効	30
V	00011	0010	無効	
V	00101	0010	無効	
V	00110	0010	無効	
V	01000	0010	無効	
V	10000	0010	無効	

【図面の簡単な説明】

【図1】(A)は等時性データフレーム転送のタイミング図、(B)はパケット化データ転送のタイミング図、及び(C)はトークンリングデータ転送のタイミング図である。 40

【図2】本発明の1実施例による、スター及びリング形の通信システムのブロック図である。

【図3】単一のハブ内に多数の等時性回路を有するスター及びリング形の通信システムのブロック図である。

【図4】本発明の1つの実施例による、ツリー形の通信システムのブロック図である。

【図5】本発明の1つの実施例により構成された通信システムのブロック図である。

【図6】本発明の1つの実施例によるノード回路のブロック図である。

【図7】本発明の1つの実施例によるハブリピータ回路のブロック図である。

【図8】本発明の1つの実施例による非等時性データの受信インタフェースのブロック図 50

である。

【図 9】本発明の 1 つの実施例による等時性データの受信インタフェース及び関連するハブ回路のブロック図である。

【図 10】本発明の 1 つの実施例による非等時性データ用のハブ伝送インタフェースのブロック図である。

【図 11】本発明の 1 つの実施例による非等時性データ用のハブ送信機インタフェースのブロック図である。

【図 12】本発明の 1 つの実施例によるデータ転送の調整についてのタイミング図である。

【図 13】本発明の 1 つの実施例による遅延回路を有するノードのブロック図である。 10

【図 14】本発明の 1 つの実施例によるローカルループバック性能を有する等時性データの受信インタフェースのブロック図である。

【符号の説明】

4 2 a , 4 2 b , 4 2 c ノード

4 4 a ハブ

4 6 a - f 物理媒体

4 8 a , 4 8 d 等時性ソース

4 8 b , 4 8 e 等時性シンク

4 8 c 非等時性ソース

4 8 g 非等時性シンク 20

4 8 f Dチャンネルソース

5 0 a , 5 0 b , 5 0 c ノード回路

5 4 a , 5 4 b , 5 4 c ハブ成分

5 6 ハブ回路

4 9 4 データライン

M U X マルチプレクサ

D E M U X デマルチプレクサ

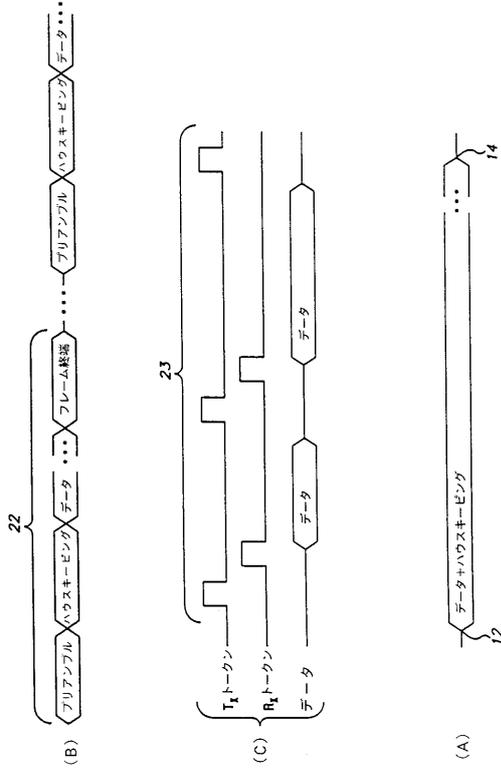
T x 送信

R x 受信

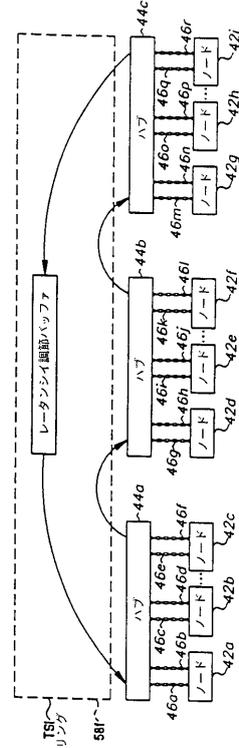
i s o P h y 等時性物理層 30

i s o 等時性

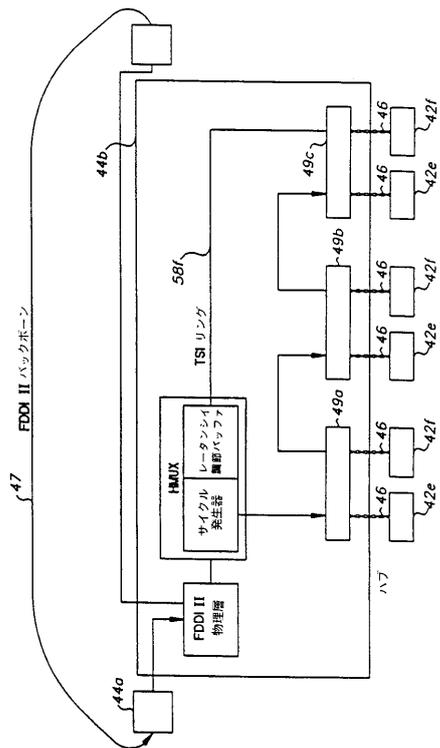
【 図 1 】



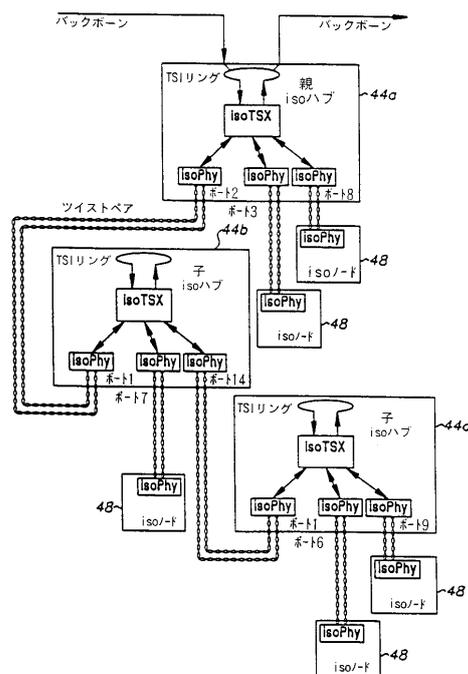
【 図 2 】



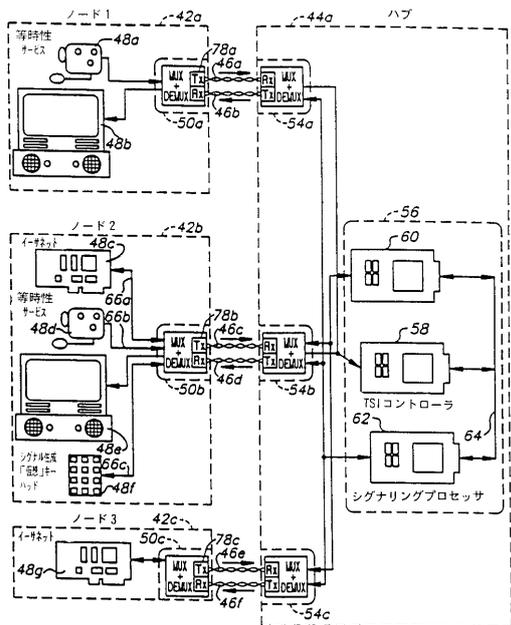
【 図 3 】



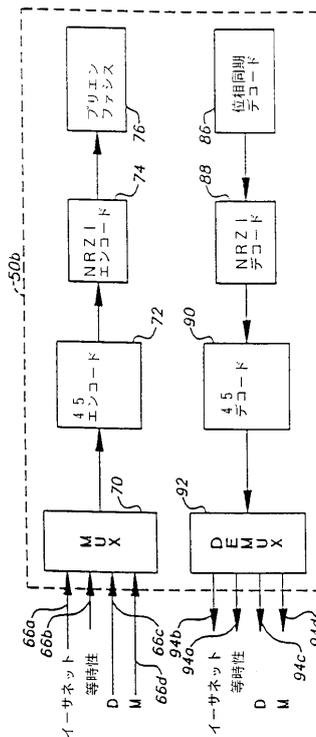
【 図 4 】



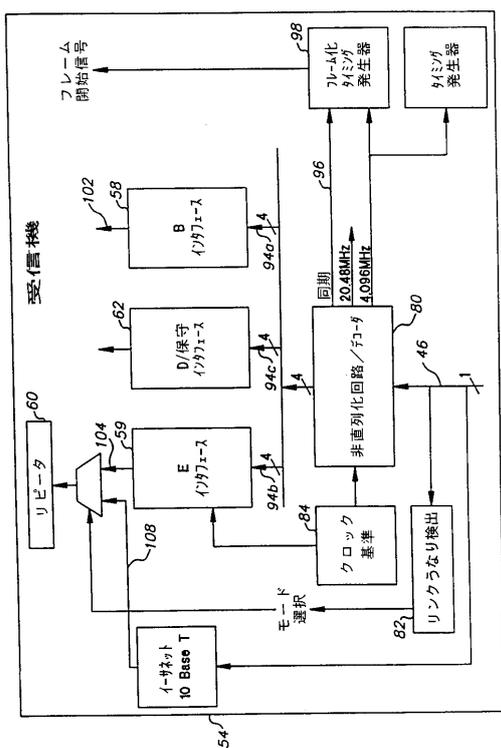
【図5】



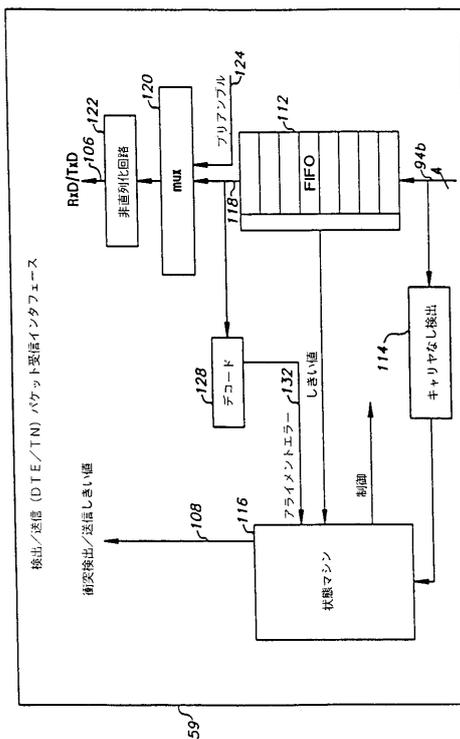
【図6】



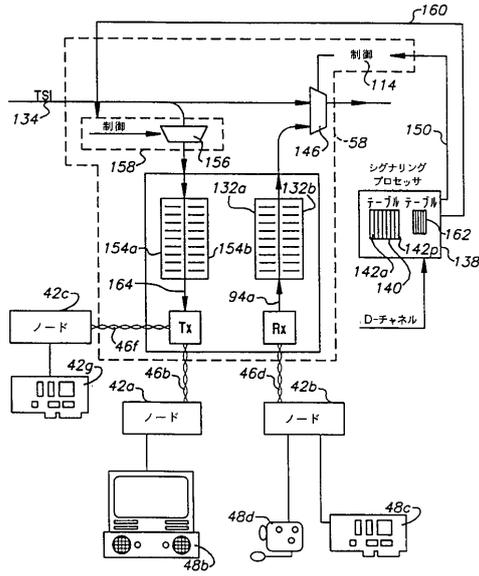
【図7】



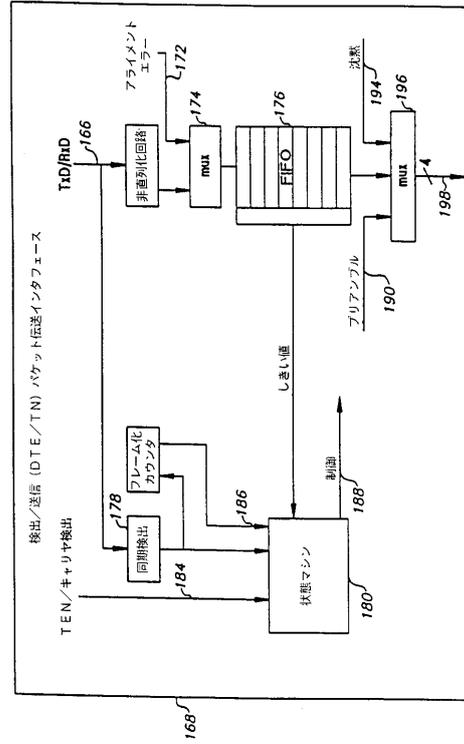
【図8】



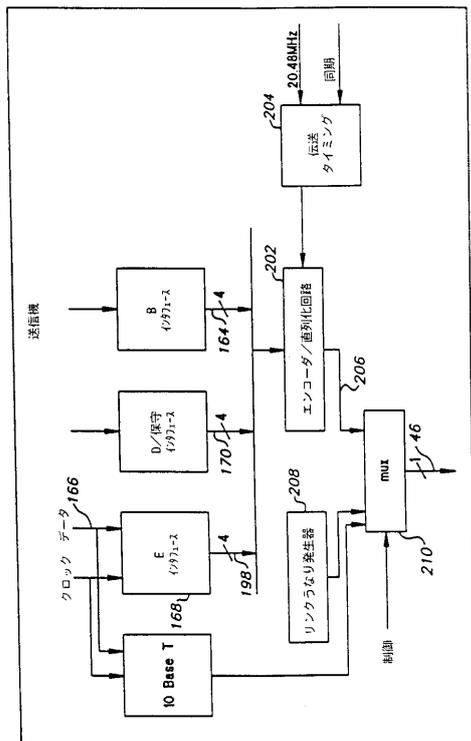
【図9】



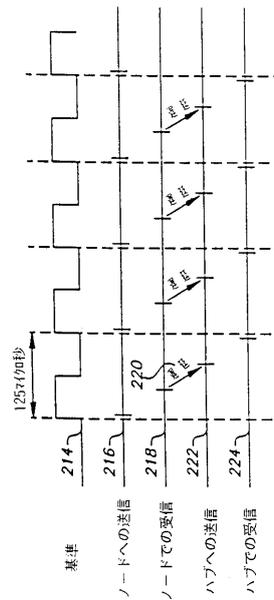
【図10】



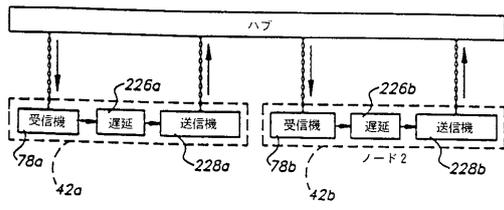
【図11】



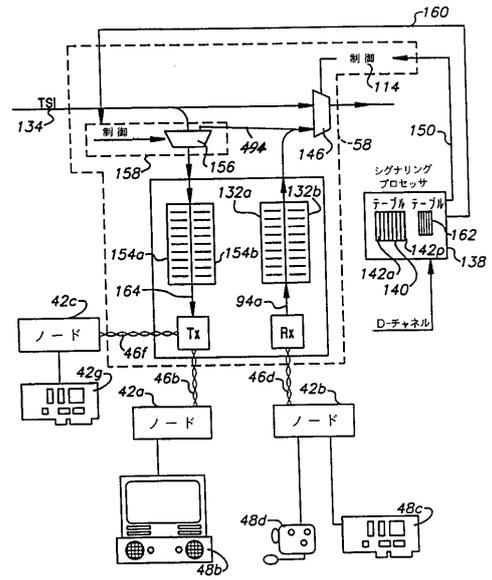
【図12】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

- (72)発明者 ブライアン・シー・エデム
アメリカ合衆国カリフォルニア州95129サン・ホセ, ハッピー・ヴァレー・アヴェニュー・1
058
- (72)発明者 マイケル・エス・エヴァンス
アメリカ合衆国カリフォルニア州95133サン・ホセ, ケープ・ヒルダ・プレイス・1966
- (72)発明者 デブラ・ジェイ・ワースリー
アメリカ合衆国カリフォルニア州94086サニーヴェイル, イースト・レッド・オーク・ドライ
ヴ・224 - ジー

審査官 宮島 郁美

- (56)参考文献 特開平01-091550(JP, A)
特開平05-175977(JP, A)
特開平01-254035(JP, A)
米国特許第04769813(US, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H04L 12/00-12/66