

(12) 发明专利申请

(10) 申请公布号 CN 103053027 A

(43) 申请公布日 2013.04.17

(21) 申请号 201180037969.0 *G02F 1/1368* (2006.01)

(22) 申请日 2011.05.26 *H01L 21/306* (2006.01)

(30) 优先权数据 *H01L 21/308* (2006.01)

2010-174792 2010.08.03 JP *H01L 21/336* (2006.01)

(85) PCT申请进入国家阶段日 *H01L 21/768* (2006.01)

2013.02.01 *H01L 23/522* (2006.01)

(86) PCT申请的申请数据  
PCT/JP2011/002931 2011.05.26

(87) PCT申请的公布数据  
W02012/017584 JA 2012.02.09

(71) 申请人 夏普株式会社  
地址 日本大阪府

(72) 发明人 美崎克纪

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322  
代理人 龙淳

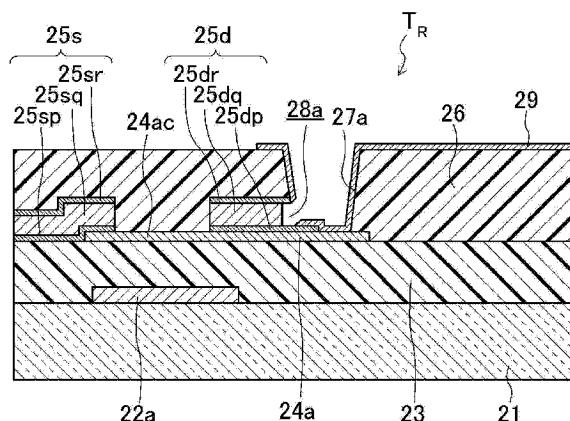
(51) Int. Cl.  
*H01L 29/786* (2006.01)

权利要求书 2 页 说明书 10 页 附图 12 页

(54) 发明名称  
薄膜晶体管基板

(57) 摘要

本发明的目的在于,在薄膜晶体管基板中获得漏极电极与像素电极间的良好接触。漏极电极 (25d) 具有由第一导电膜 (25dp) 和设置在第一导电膜 (25dp) 的上层且包含铝的第二导电膜 (25dq) 层叠而成的结构,第二导电膜 (25dq) 与第一接触孔 (27a) 分离,由此在两者之间形成与第一接触孔 (27a) 连通的空隙部 (28a),像素电极 (29) 被设置成与漏极电极 (25d) 中的第二导电膜 (25dq) 不接触。



CN 103053027 A

1. 一种薄膜晶体管基板,其特征在于,包括:

基板;

薄膜晶体管,其具有设置在所述基板上的栅极电极、以覆盖该栅极电极的方式设置的栅极绝缘膜、设置在该栅极绝缘膜的上层且在与所述栅极电极相对的位置具有沟道部的氧化物半导体膜、以及在该氧化物半导体膜上隔着所述沟道部彼此分离设置的源极电极和漏极电极;

层间绝缘膜,其以覆盖所述薄膜晶体管的方式设置在所述栅极绝缘膜的上层,且具有到达所述漏极电极的第一接触孔;和

像素电极,其设置在所述层间绝缘膜上,通过所述第一接触孔与所述漏极电极电连接,其中,

所述漏极电极具有由第一导电膜和设置在该第一导电膜的上层且包括铝的第二导电膜层叠而成的结构,所述第二导电膜与所述第一接触孔分离,由此在两者之间形成有与该第一接触孔连通的空隙部,

所述像素电极被设置成与所述漏极电极中的所述第二导电膜不接触。

2. 如权利要求1所述的薄膜晶体管基板,其特征在于:

还包括辅助电容元件,其具有:在所述基板上与所述栅极电极设置于同一层的下部电极;以覆盖该栅极电极和该下部电极的方式设置的所述栅极绝缘膜;设置在该栅极绝缘膜的上层的与所述下部电极相对的位置且包括氧化物半导体的蚀刻阻挡层;和在该蚀刻阻挡层上与所述漏极电极设置于同一层的上部电极,

所述辅助电容元件被所述层间绝缘膜覆盖,该层间绝缘膜还具有到达所述蚀刻阻挡层和所述上部电极的第二接触孔,

所述上部电极具有由第一导电膜和设置在该第一导电膜的上层且包括铝的第二导电膜层叠而成的结构,所述第二导电膜与所述第二接触孔分离,由此在两者之间形成有与该第二接触孔连通的空隙部,

在所述第二接触孔的表面,以与所述上部电极电连接而不与该上部电极中的所述第二导电膜接触的方式设置有所述像素电极。

3. 如权利要求1或2所述的薄膜晶体管基板,其特征在于:

所述第一导电膜包含高熔点金属膜。

4. 如权利要求1所述的薄膜晶体管基板,其特征在于:

所述漏极电极具有除了所述第一导电膜和第二导电膜之外还在该第二导电膜的上层设置有第三导电膜的结构。

5. 如权利要求2所述的薄膜晶体管基板,其特征在于:

所述漏极电极具有除了所述第一导电膜和第二导电膜之外还在该第二导电膜的上层设置有第三导电膜的结构,

所述上部电极具有除了所述第一导电膜和第二导电膜之外还在该第二导电膜的上层设置有第三导电膜的结构。

6. 一种液晶显示装置,其特征在于,包括:

权利要求1~5中任一项所述的薄膜晶体管基板;

与所述薄膜晶体管基板相对配置的对置基板;和

在所述薄膜晶体管基板与所述对置基板之间设置的液晶层。

7. 一种薄膜晶体管基板的制造方法,用于制造权利要求 1 所述的薄膜晶体管基板,其特征在于,包括:

形成薄膜晶体管的薄膜晶体管形成工序,其中所述薄膜晶体管具有设置在所述基板上的栅极电极、以覆盖该栅极电极的方式设置的栅极绝缘膜、设置在该栅极绝缘膜的上层且在与该栅极电极相对的位置具有沟道部的氧化物半导体膜、以及在该氧化物半导体膜上以隔着该沟道部彼此分离的方式层叠设置有第一导电膜和其上层的第二导电膜的源极电极和漏极电极;

层间绝缘膜形成工序,以将所述薄膜晶体管形成工序中形成的薄膜晶体管覆盖的方式在所述栅极绝缘膜的上层形成层间绝缘膜;

第一蚀刻工序,在所述层间绝缘膜形成工序之后对所述层间绝缘膜进行干式蚀刻,形成从所述层间绝缘膜到达所述漏极电极的第一接触孔,使得所述第二导电膜露出到表面;

第二蚀刻工序,对所述第一蚀刻工序中形成的所述第一接触孔,使用对铝的氧化物半导体的选择比高的蚀刻液进行湿式蚀刻,使该第二导电膜与所述第二接触孔分离,由此在两者之间形成与该第一接触孔连通的空隙部;和

像素电极形成工序,在包括所述第二蚀刻工序中设置了所述空隙部的所述层间绝缘膜的表面和所述第一接触孔的表面的区域形成导电膜,以与所述漏极电极电连接而不与该漏极电极中的所述第二导电膜接触的方式形成像素电极。

8. 如权利要求 7 所述的薄膜晶体管基板的制造方法,其特征在于:

所述第二蚀刻工序中使用的蚀刻液是氨水。

## 薄膜晶体管基板

### 技术领域

[0001] 本发明涉及薄膜晶体管和具备该薄膜晶体管的液晶显示装置以及薄膜晶体管基板的制造方法,特别涉及具有使用了包含氧化物半导体的半导体层的这种薄膜晶体管的薄膜晶体管基板和液晶显示装置以及薄膜晶体管基板的制造方法。

### 背景技术

[0002] 构成液晶显示装置的薄膜晶体管基板中,作为图像最小单位的各像素的开关元件,使用薄膜晶体管(Thin Film Transistor,以下称 TFT)。以往使用半导体层包含非晶硅的 TFT,但近年来,人们提出了具有包含氧化物半导体的半导体层的 TFT,来代替具有非晶硅半导体层的 TFT。该具有氧化物半导体层的 TFT 表现出高迁移率、高可靠性和低截止电流等优良的特性,因而被广为研究。

[0003] 底栅结构的 TFT 通常包括:设置在玻璃基板上的栅极电极;以覆盖该栅极电极的方式设置的栅极绝缘膜;以与栅极电极重叠的方式设置在该栅极绝缘膜上的半导体层;和以彼此隔开间隔地与该半导体层重叠的方式设置在栅极绝缘膜上的源极电极与漏极电极,在露出到该源极电极与漏极电极之间的半导体层部分设置有沟道部。并且, TFT 被设置在源极电极和漏极电极上的层间绝缘膜覆盖。层间绝缘膜上设置有到达漏极电极的接触孔,接触孔的表面被包含透明导电膜的像素电极覆盖,从而使得像素电极与漏极电极电连接。

[0004] 其中,漏极电极通常具有多层金属薄膜层叠的结构。作为漏极电极的层叠结构,例如能够列举这样的结构,即,从栅极绝缘膜一侧起依次层叠有包括钛膜的第一导电膜、包括铝膜的第二导电膜和包括氮化钼膜的第三导电膜。

[0005] 在为了形成接触孔而进行蚀刻时,以从层间绝缘膜的表面贯通至漏极电极的方式设置接触孔,该蚀刻通过例如使用氟系气体作为蚀刻气体的干式蚀刻来进行。此时,当利用蚀刻气体开设的接触孔到达漏极电极时,接触孔贯通第三导电膜,第二导电膜(铝膜)露出到接触孔表面。

[0006] 当露出到接触孔表面的铝膜与蚀刻气体接触时,在铝膜表面会形成氟化铝膜。氟化铝电阻较大,因而铝膜表面被高电阻膜覆盖。另外,在通过氧灰化来进行抗蚀剂的剥离的情况下,氟化铝膜的表面会被氧化,铝膜的表面被含氟的氧化铝膜(即钝化膜)覆盖。

[0007] 因而,即使在接触孔表面设置 ITO 膜等作为像素电极,ITO 膜虽与漏极电极接触,但由于漏极电极的与像素电极接触的部分被氟化铝的高电阻膜或氧化铝的钝化膜等覆盖,所以可能产生导通不良等导致质量变差。

[0008] 专利文献 1 中公开了这样的技术内容,即,在有源矩阵基板上,利用低电阻金属层与可被栅极绝缘层的蚀刻气体除去的耐热金属层的层叠体来形成源极电极和漏极电极,并形成对绝缘栅极型晶体管的至少沟道部和信号线进行保护的部件,然后使用截面形状为倒锥形的感光性树脂图案形成通往包括栅极绝缘层的绝缘层的开口部,在将露出于开口部内的低电阻金属层除去后,以感光性树脂图案作为剥离(lift-off)剂,进行像素电极用导电性薄膜层的剥离,从而形成像素电极。

- [0009] 现有技术文献  
[0010] 专利文献  
[0011] 专利文献 1 :日本特开 2006-301560 号公报

## 发明内容

[0012] 发明要解决的问题

[0013] 不过,在利用专利文献 1 公开的方法进行有源矩阵基板的形成的情况下,在形成接触孔时,配置在漏极电极的下层的栅极绝缘层可能会被侧蚀,形成为突沿形状。这样,由于栅极绝缘层被侧蚀,所以可能会因不平坦(有台阶)而导致漏极电极与像素电极导通不良。

[0014] 本发明的目的在于,在薄膜晶体管基板中获得漏极电极与像素电极间的良好接触。

[0015] 解决问题的方案

[0016] 本发明的薄膜晶体管基板,其特征在于,包括:

[0017] 基板;

[0018] 薄膜晶体管,其具有设置在基板上的栅极电极、以覆盖栅极电极的方式设置的栅极绝缘膜、设置在栅极绝缘膜的上层且在与栅极电极相对的位置具有沟道部的氧化物半导体膜、以及在氧化物半导体膜上隔着沟道部彼此分离设置的源极电极和漏极电极;

[0019] 层间绝缘膜,其以覆盖薄膜晶体管的方式设置在栅极绝缘膜的上层,具有到达所述漏极电极的第一接触孔;和

[0020] 像素电极,其设置在层间绝缘膜上,通过第一接触孔与漏极电极电连接,

[0021] 其中,漏极电极具有由第一导电膜和设置在第一导电膜的上层且包括铝的第二导电膜层叠而成的结构,第二导电膜与第一接触孔分离,由此在两者之间形成有与第一接触孔连通的空隙部,

[0022] 像素电极被设置成与漏极电极中的第二导电膜不接触。

[0023] 根据上述结构,漏极电极的表面不存在高电阻膜或钝化膜,像素电极在第二导电膜以外的部分(即第一导电膜等部分)与漏极电极接触,由此使像素电极与漏极电极电连接。因而,不会因漏极电极的表面存在高电阻膜或钝化膜等而导致产生像素电极与漏极电极的接触不良,能够获得像素电极与漏极电极的良好接触。

[0024] 另外,由于第二导电膜与第一接触孔分离而在两者之间形成与第一接触孔连通的空隙部,所以包括铝膜的第二导电膜与包括ITO膜等的像素电极形成为不接触。因此,不会因铝膜与ITO膜等接触而导致铝膜发生劣化,引起导电性能降低。

[0025] 本发明的薄膜晶体管基板优选的是,还包括辅助电容元件,其具有:在基板上与栅极电极设置于同一层的下部电极;以覆盖栅极电极和下部电极的方式设置的栅极绝缘膜;设置在栅极绝缘膜的上层的与下部电极相对的位置且包括氧化物半导体的蚀刻阻挡层;和在蚀刻阻挡层上与漏极电极设置于同一层的上部电极,

[0026] 其中,辅助电容元件被层间绝缘膜覆盖,该层间绝缘膜还具有到达蚀刻阻挡层和上部电极的第二接触孔,

[0027] 上部电极具有由第一导电膜和设置在第一导电膜的上层且包括铝的第二导电膜

层叠而成的结构,第二导电膜与第二接触孔分离,由此在两者之间形成有与第二接触孔连通的空隙部,

[0028] 在第二接触孔的表面,以与上部电极电连接而不与上部电极中的第二导电膜接触的方式设置有像素电极。

[0029] 根据上述结构,上部电极的表面不存在高电阻膜或钝化膜,像素电极在第二导电膜以外的部分(即第一导电膜等部分)与上部电极接触,由此像素电极与上部电极电连接。因而,不会因上部电极的表面存在高电阻膜或钝化膜等而导致产生像素电极与上部电极的接触不良,能够获得像素电极与上部电极的良好接触。

[0030] 另外,由于第二导电膜与第二接触孔分离而在两者之间形成有与第二接触孔连通的空隙部,所以包括铝膜的第二导电膜与包括ITO膜等的像素电极形成为不接触。因此,不会因铝膜与ITO膜等接触而导致铝膜发生劣化,引起导电性能降低。

[0031] 本发明的薄膜晶体管基板中,第一导电膜可以包含高熔点金属膜。作为高熔点金属膜,例如能够列举钛(Ti)膜、钼(Mo)膜、钽(Ta)膜、钨(W)膜、铬(Cr)膜、镍(Ni)膜等金属膜或包括这些金属的合金的金属膜等。

[0032] 本发明的薄膜晶体管基板也可以是,漏极电极具有除了第一导电膜和第二导电膜之外还在第二导电膜的上层设置有第三导电膜的结构。

[0033] 另外,本发明的薄膜晶体管基板也可以是,漏极电极具有除了第一导电膜和第二导电膜之外还在第二导电膜的上层设置有第三导电膜的结构,

[0034] 上部电极具有除了第一导电膜和第二导电膜之外还在第二导电膜的上层设置有第三导电膜的结构。

[0035] 本发明的薄膜晶体管基板能够适用于包括该薄膜晶体管基板、与薄膜晶体管基板相对配置的对置基板和设置在薄膜晶体管基板与对置基板之间的液晶层的液晶显示装置。

[0036] 本发明的薄膜晶体管基板的制造方法,其特征在于,包括:形成薄膜晶体管的薄膜晶体管形成工序,其中该薄膜晶体管具有设置在基板上的栅极电极、以覆盖栅极电极的方式设置的栅极绝缘膜、设置在栅极绝缘膜的上层且在与栅极电极相对的位置具有沟道部的氧化物半导体膜、以及在氧化物半导体膜上以隔着沟道部彼此分离的方式层叠设置有第一导电膜和其上层的第二导电膜的源极电极和漏极电极;

[0037] 层间绝缘膜形成工序,以将薄膜晶体管形成工序中形成的薄膜晶体管覆盖的方式在栅极绝缘膜的上层形成层间绝缘膜;

[0038] 第一蚀刻工序,在层间绝缘膜形成工序之后对层间绝缘膜进行干式蚀刻,形成从层间绝缘膜到达漏极电极的第一接触孔,使得第二导电膜露出到表面;

[0039] 第二蚀刻工序,对第一蚀刻工序中形成的第一接触孔,使用对铝的氧化物半导体的选择比高的蚀刻液进行湿式蚀刻,使第二导电膜与第一接触孔分离,由此在两者之间形成与第一接触孔连通的空隙部;和

[0040] 像素电极形成工序,在包括第二蚀刻工序中设置了空隙部的层间绝缘膜的表面和第一接触孔的表面的区域形成导电膜,以与漏极电极电连接而不与漏极电极中的第二导电膜接触的方式形成像素电极。

[0041] 根据上述制造方法,第一蚀刻工序中,在形成第一接触孔之后,在作为第二导电膜的铝膜表面虽然形成了氟化铝的高电阻膜和有时会形成的氧化铝的钝化膜,但在第二蚀刻

工序中使用对铝的氧化物半导体的选择比高的蚀刻液进行湿式蚀刻,使第二导电膜与第一接触孔分离,由此在两者之间形成与第一接触孔连通的空隙部,所以能够通过第二蚀刻工序除去第一蚀刻工序中形成的高电阻膜或钝化膜等。并且,像素电极形成工序中形成的像素电极在第二导电膜以外的部分(即第一导电膜等部分)与漏极电极接触,由此像素电极与漏极电极电连接。因而,不会因漏极电极的表面存在高电阻膜或钝化膜等而导致产生像素电极与漏极电极的接触不良,能够获得像素电极与漏极电极的良好接触。

[0042] 本发明的薄膜晶体管基板的制造方法中,优选第二蚀刻工序中使用的蚀刻液为氨水。

[0043] 发明的效果

[0044] 根据本发明,在形成第一接触孔之后,在作为第二导电膜的铝膜表面虽然形成了氟化铝的高电阻膜或含氟的氧化铝的钝化膜等,但之后通过使第二导电膜与第一接触孔分离,在两者之间形成与第一接触孔连通的空隙部,能够除去高电阻膜或钝化膜。并且,使像素电极在第二导电膜以外的部分(即第一导电膜等部分)与漏极电极接触,由此像素电极与漏极电极电连接。因而,不会因漏极电极的表面存在高电阻膜或钝化膜而导致产生接触不良,能够获得像素电极与漏极电极的良好接触。

#### 附图说明

[0045] 图1是本实施方式的液晶显示装置的概略俯视图。

[0046] 图2是图1中II-II线的截面图。

[0047] 图3是将本实施方式的薄膜晶体管基板的主要部分放大表示的俯视图。

[0048] 图4是图3中A-A线的截面图。

[0049] 图5是图3中B-B线的截面图。

[0050] 图6是图3中C-C线的截面图。

[0051] 图7是本实施方式的薄膜晶体管基板的制造方法的说明图,其中,(a)对应于图3中A-A线的截面图,(b)对应于图3中B-B线的截面图,(c)对应于图3中C-C线的截面图。

[0052] 图8是接着图7说明薄膜晶体管基板的制造方法的说明图。

[0053] 图9是接着图8说明薄膜晶体管基板的制造方法的说明图。

[0054] 图10是接着图9说明薄膜晶体管基板的制造方法的说明图。

[0055] 图11是接着图10说明薄膜晶体管基板的制造方法的说明图。

[0056] 图12是接着图11说明薄膜晶体管基板的制造方法的说明图。

[0057] 图13是接着图12说明薄膜晶体管基板的制造方法的说明图。

[0058] 图14是接着图13说明薄膜晶体管基板的制造方法的说明图。

#### 具体实施方式

[0059] 以下基于附图对本发明的实施方式详细进行说明。但是,本发明不限于以下实施方式,也可以为其它结构。

[0060] <液晶显示装置的结构>

[0061] 图1和图2表示本实施方式的液晶显示装置10。液晶显示装置10具有彼此相对配置的TFT基板20和对置基板30。两基板20和30通过在它们的外周缘部配置成框状的

密封部件 40 粘接。在两基板 20 和 30 之间的被密封部件 40 包围的空间中,设置有液晶层 50 作为显示层。液晶显示装置 10 具有形成在密封部件 40 的内侧且呈矩阵状地配置有多个像素的显示区域 D,将其包围的区域成为边框区域 F。

[0062] (TFT 基板)

[0063] 图 3 是 TFT 基板 20 的俯视图。TFT 基板 20 在包括玻璃基板等的基板 21 上层叠形成有:包括栅极电极 22a、下部电极 22b、端子 22c 和栅极线 22gb、导电垫 (transfer pad, 未图示) 的第一金属层;由  $\text{SiO}_2$  或  $\text{SiO}_2$  与  $\text{SiN}$  的层叠体等构成的栅极绝缘膜 23;包括 IGZO 膜等的氧化物半导体膜 24a ~ 24b;包括源极电极 25s、漏极电极 25d、上部电极 25b 和源极线 25sb 等的第二金属层;由  $\text{SiO}_2$ 、 $\text{SiN}$ 、透明绝缘性树脂等构成的层间绝缘膜 26;由 ITO (铟锡氧化物) 膜等构成的像素电极 29;和由聚酰亚胺膜等构成的取向膜 (未图示)。

[0064] 图 4 是图 3 中 A-A 线的截面图。

[0065] 如图 4 所示,栅极电极 22a 被栅极绝缘膜 23 覆盖,栅极绝缘膜 23 上配置有在与栅极电极 22a 相对的位置形成有沟道部 24ac 的氧化物半导体膜 24a,氧化物半导体膜 24a 上隔着沟道部 24ac 彼此分离地设置有源极电极 25s 和漏极电极 25d,由此构成薄膜晶体管  $T_R$ 。

[0066] 栅极电极 22a 由第一金属层形成,例如具有自下而上依次层叠了铝膜、钛膜和氮化钛膜的结构。

[0067] 源极电极 25s 和漏极电极 25d 由第二金属层形成,具有依次层叠了第一导电膜、第一导电膜上的第二导电膜和第二导电膜上的第三导电膜的结构。即,源极电极 25s 具有依次层叠了第一导电膜 25sp、第二导电膜 25sq 和第三导电膜 25sr 的结构,漏极电极 25d 具有依次层叠了第一导电膜 25dp、第二导电膜 25dq 和第三导电膜 25dr 的结构。第一导电膜 25sp、25dp 例如包括钛 (Ti) 膜,厚度例如为 50nm。第二导电膜 25sq、25dq 包括铝膜,厚度例如为 100nm。第三导电膜 25sr、25dr 例如包括氮化钼 (MoN) 膜等高熔点金属膜,厚度例如为 150nm。另外,第一导电膜 25sp、25dp 和第三导电膜 25sr、25dr 并不限于上述金属膜,作为第一导电膜 25sp、25dp,优选高熔点金属膜。作为第一导电膜 25sp、25dp,除了钛 (Ti) 膜之外,例如能够列举钼 (Mo) 膜、钽 (Ta) 膜、钨 (W) 膜、铬 (Cr) 膜、镍 (Ni) 膜等金属膜或包括这些金属的合金的金属膜等。

[0068] 在层间绝缘膜 26 设置有第一接触孔 27a,从层间绝缘膜 26 的表面到达漏极电极 25d。第一接触孔 27a 的表面被像素电极 29 覆盖,像素电极 29 与漏极电极 25d 电连接。

[0069] 像素电极 29 被设置成与漏极电极 25d 中的第一导电膜 25dp、第三导电膜 25dr 的部分接触。另一方面,像素电极 29 与漏极电极 25d 中的第二导电膜 25dq 的部分不接触。这是因为,在第一导电膜 25dp 与第三导电膜 25dr 之间,在第一接触孔 27a 的壁部以与第一接触孔 27a 连通的方式形成有空隙部 28a,由此,漏极电极 25d 的第二导电膜 25dq 与第一接触孔 27a 配置成彼此分离。空隙部 28a 形成为自第一接触孔 27a 的表面起深度为 50 ~ 200nm 左右的空隙。

[0070] 对于构成第二导电膜 25dq 的铝膜与构成像素电极 29 的 ITO 膜,在两者接触的情况下,铝膜会被氧化,表面被氧化铝覆盖,同时 ITO 膜被还原而成为富铟的膜。此时,由于铝膜的表面被氧化铝覆盖,存在导电性能降低的问题,但本发明通过配置成使得像素电极 29 与第二导电膜 25dq 不接触,因而不会发生这样的问题。

[0071] 图 5 是图 3 中 B-B 线的截面图。



[0072] 如图 5 所示,下部电极 22b 被栅极绝缘膜 23 覆盖,在栅极绝缘膜 23 上在与下部电极 22b 相对的位置配置有蚀刻阻挡层 24b,蚀刻阻挡层 24b 上设置有上部电极 25b,由此构成辅助电容元件  $C_s$ 。

[0073] 下部电极 22b 由第一金属层形成,例如具有自下而上依次层叠了铝膜、钛膜和氮化钛膜的结构。另外,下部电极 22b 与设置于端子区域 T 的辅助电容端子  $T_{cs}$  连接。

[0074] 上部电极 25b 由第二金属层形成,具有依次层叠了第一导电膜 25bp、第一导电膜 25bp 上的第二导电膜 25bq 和第二导电膜 25bq 上的第三导电膜 25br 的结构。第一导电膜 25bp 例如包括钛 (Ti) 膜,厚度例如为 50nm。第二导电膜 25bq 例如包括铝膜,厚度例如为 100nm。第三导电膜 25br 例如包括氮化钼 (MoN) 膜等高熔点金属膜,厚度例如为 150nm。另外,第一导电膜 25bp 和第三导电膜 25br 并不限于上述金属膜,作为第一导电膜 25bp,优选高熔点金属膜。作为第一导电膜 25bp,除了钛 (Ti) 膜之外,例如能够列举钼 (Mo) 膜、钽 (Ta) 膜、钨 (W) 膜、铬 (Cr) 膜、镍 (Ni) 膜等金属膜或包括这些金属的合金的金属膜等。

[0075] 在层间绝缘膜 26 设置有第二接触孔 27b,从层间绝缘膜 26 的表面到达上部电极 25b。第二接触孔 27b 的表面被像素电极 29 覆盖,像素电极 29 与上部电极 25b 电连接。

[0076] 像素电极 29 被设置成与上部电极 25b 中的第一导电膜 25bp、第三导电膜 25br 的部分接触。另一方面,像素电极 29 与上部电极 25b 中的第二导电膜 25bq 的部分不接触。这是因为,在第一导电膜 25bp 与第三导电膜 25br 之间,在第二接触孔 27b 的壁部以与第二接触孔 27b 连通的方式形成有空隙部 28b,由此,上部电极 25b 的第二导电膜 25bq 与第二接触孔 27b 配置成彼此分离。空隙部 28b 形成为自第二接触孔 27b 的表面起深度为 50 ~ 200nm 左右的空隙。

[0077] 图 6 是图 3 中 C-C 线的截面图。

[0078] 如图 6 所示,端子 22c 被栅极绝缘膜 23 和层间绝缘膜 26 覆盖。端子 22c 由第一金属层形成,例如具有自下而上依次层叠了铝膜、钛膜和氮化钛膜的结构。

[0079] 在栅极绝缘膜 23 和层间绝缘膜 26,以从层间绝缘膜 26 的表面到达端子 22c 的方式设置有第三接触孔 27c。第三接触孔 27c 的表面被像素电极 29 覆盖,像素电极 29 与端子 22c 电连接,构成栅极端子部  $T_c$ 。

[0080] 另外,图 6 表示的是栅极端子部  $T_c$  的截面,不过源极端子部  $T_s$  也具有同样的截面结构。

[0081] 在 TFT 基板 20 的边框区域 F 的一部分,TFT 基板 20 形成为比对置基板 30 突出,成为用于安装安装部件等外部连接端子(未图示)的端子区域 T。边框区域 F 中,形成有用于对对置基板 30 的共用电极施加共用电位的导电垫(未图示),各导电垫与配置在端子区域 T 中的导电线(未图示)连接。

[0082] 在 TFT 基板 20 的与液晶层 50 相反的一侧的表面设置有偏振板(未图示)。

[0083] (对置基板)

[0084] 关于对置基板 30,在显示区域 D 中,在基板主体表面上按每个像素配置有红色着色层、绿色着色层和蓝色着色层等各着色层,不过图中并未示出。并且,在各着色层 22R、22G、22B 的上层,例如设置有厚度 100nm 左右的包括 ITO 等的共用电极,另外,以覆盖共用电极的方式设置有取向膜。其中,各着色层由红色、绿色和蓝色这三种着色层构成,但不限于此,例如也可以由红色、绿色、蓝色和黄色这四种着色层构成。

[0085] 另外,对置基板 30 的与液晶层 50 相反的一侧的表面设置有偏振板(未图示)。

[0086] (密封部件)

[0087] 在 TFT 基板 20 和对置基板 30 之间的外周缘部,以沿着边框区域 F 环状延伸的方式配置有密封部件 40。而且,密封部件 40 将 TFT 基板 20 与对置基板 30 彼此粘接。

[0088] 密封部件 40 由以具有流动性的热固化树脂、紫外线固化树脂等(例如丙烯酸系树脂、环氧系树脂)粘接剂为主成分的密封部件原料通过加热或紫外线的照射进行固化而得。密封部件 40 中例如混入有导电性的小珠,作为将共用电极与导电垫电连接的介质发挥作用。

[0089] (液晶层)

[0090] 液晶层 50 包括具有电光学特性的向列型液晶材料等。

[0091] 上述结构的液晶显示装置 10 构成为:按各像素电极构成一个像素,在各像素中,当从栅极线发送栅极信号而使得薄膜晶体管  $T_r$  成为导通(ON)状态时,从源极线发送源极信号,经源极电极和漏极电极对像素电极写入规定的电荷,在像素电极与对置基板 30 的共用电极之间产生电位差,由此对由液晶层 50 形成的液晶电容施加规定的电压。这样,液晶显示装置 10 中利用液晶分子的取向状态根据该施加电压的大小而变化这一现象,调整从外部入射的光的透射率,由此显示图像。

[0092] 另外,上述说明中,构成 TFT 基板 20 的源极电极 25s 和漏极电极 25d、上部电极 25b 等的第二金属层,具有依次层叠了第一导电膜 25sp、25dp、25bp,第二导电膜 25sq、25dq、25bq 和第三导电膜 25sr、25dr、25br 的结构,但也可以为不具有第三导电膜 25sr、25dr、25br 的结构(即为依次层叠了第一导电膜 25sp、25dp、25bp 和第二导电膜 25sq、25dq、25bq 这二层的结构)。

[0093] <TFT 基板的制造方法>

[0094] 以下对制造本实施方式的 TFT 基板 20 的方法进行说明。本实施方式的 TFT 基板 20 的制造方法包括薄膜晶体管形成工序、层间绝缘膜形成工序、第一蚀刻工序、第二蚀刻工序和图像电极形成工序。

[0095] (薄膜晶体管形成工序)

[0096] 首先,在基板 21 上设置第一金属层,如图 7(a)~(c)所示,形成栅极电极 22a、下部电极 22b、端子 22c、栅极线 22gb(参照图 3)、导电垫(未图示)等。具体而言,例如使用溅射法连续地层叠形成铝膜、钛膜和氮化钛膜,然后利用光刻法使抗蚀剂图案残留在成为栅极电极 22a、下部电极 22b、端子 22c 等的部分。接着,例如通过使用了氯系气体的干式蚀刻法(RIE)对铝膜、钛膜和氮化钛膜的导电膜的层叠体进行蚀刻,之后利用抗蚀剂剥离液将抗蚀剂剥离。

[0097] 然后,如图 8(a)~(c)所示,作为栅极绝缘膜 23,例如使用 CVD 法形成  $\text{SiO}_2$  膜。

[0098] 接着,如图 9(a)~(c)所示,形成氧化物半导体膜 24a 和蚀刻阻挡层 24b。具体而言,例如在使用溅射法形成 IGZO 膜等氧化物半导体膜后,利用光刻法使抗蚀剂图案残留在成为氧化物半导体膜 24a 和蚀刻阻挡层 24b 的部分。接着,例如通过使用了草酸作为蚀刻液的湿式蚀刻法对 IGZO 膜进行蚀刻,之后利用抗蚀剂剥离液将抗蚀剂剥离。

[0099] 接着,如图 10(a)~(c)所示,形成源极电极 25s、漏极电极 25d 和上部电极 25b。具体而言,例如使用溅射法连续地层叠形成作为第一导电膜 25sp、25dp、25bp 的钛膜(厚度

50nm左右),作为第二导电膜 25sq、25dq、25bq 的铝膜(厚度 150nm 左右),作为第三导电膜 25sr、25dr、25br 的氮化铝膜(厚度 100nm 左右),然后利用光刻法使抗蚀剂图案残留在成为源极电极 25s、漏极电极 25d 和上部电极 25b 的部分。接着,例如通过使用了磷酸/醋酸/硝酸的混合酸溶液作为蚀刻液的湿式蚀刻,对第二导电膜和第三导电膜进行蚀刻,并通过使用了氟系气体的干式蚀刻法(RIE)对作为第一导电膜的钛膜进行蚀刻,之后利用抗蚀剂剥离液将抗蚀剂剥离。

[0100] (层间绝缘膜形成工序)

[0101] 然后,如图 11(a)~(c)所示,作为层间绝缘膜 26,例如使用 CVD 法形成 SiO<sub>2</sub> 膜。

[0102] (第一蚀刻工序)

[0103] 接着,通过对层间绝缘膜 26 进行干式蚀刻,而如图 12(a)~(c)所示,形成第一接触孔 27a、第二接触孔 27b 和第三接触孔 27c。

[0104] 具体而言,首先在层间绝缘膜 26 上涂敷感光性的抗蚀剂,使用光刻法使抗蚀剂残留在成为第一接触孔 27a~第三接触孔 27c 的部分以外的部分。然后,例如通过使用了六氟化硫(SF<sub>6</sub>)、四氟化碳(CF<sub>4</sub>)或三氟甲烷(CHF<sub>3</sub>)等氟系气体的干式蚀刻法(RIE 法)对层间绝缘膜 26 进行蚀刻,由此形成第一接触孔 27a~第三接触孔 27c。

[0105] 此时,在薄膜晶体管 T<sub>R</sub> 的部分,如图 12(a)所示,构成漏极电极 25d 的最上层的第三导电膜 25dr 也与层间绝缘膜 26 同时被蚀刻。另外,第一接触孔 27a 被设置在包含漏极电极 25d 与氧化物半导体 24a 的边界的区域。即,漏极电极 25d 和氧化物半导体膜 24a 两者均露出到第一接触孔 27a 的表面。此时,在成为第一接触孔 27a 的区域中的不存在漏极电极 25d 的部分设置有氧化物半导体膜 25a,因此氧化物半导体膜 24a 作为蚀刻阻挡机构发挥作用。

[0106] 另外,此时,与薄膜晶体管 T<sub>R</sub> 的部分同样地,此时在辅助电容元件 Cs 的部分,如图 12(b)所示,构成上部电极 25b 的最上层的第三导电膜 25br 也与层间绝缘膜 26 同时被蚀刻。并且,第二接触孔 27b 被设置在包含上部电极 25b 与蚀刻阻挡层 24b 的边界的区域(即,上部电极 25b 和蚀刻阻挡层 24b 两者均露出到第二接触孔 27b 的表面)。此时,在成为第二接触孔 27b 的区域中的不存在上部电极 25b 的部分设置有上部电极 25b,因此蚀刻阻挡层 24b 作为蚀刻阻挡机构发挥作用。

[0107] 由于通过蚀刻而除去层间绝缘膜 26 和第三导电膜 25dr、25br 从而形成第一接触孔 27a 和第二接触孔 27b,因此第二导电膜 25dq、25bq 分别露出到第一接触孔 27a 和第二接触孔 27b 的表面,第二导电膜 25dq、25bq 的露出的表面分别因氟系气体而导致铝被氟化,在表面形成氟化铝的高电阻膜。

[0108] 继蚀刻之后,利用氧灰化来将抗蚀剂剥离。此时,如图 12(a)和 12(b)所示的分别露出到第一接触孔 27a 和第二接触孔 27b 的表面的第二导电膜 25dq、25bq 各自成为氟化铝,但会因氧灰化而被氧化,从而形成含氟的氧化铝膜,即钝化膜。

[0109] 另外,如图 12(c)所示,在栅极端子部 T<sub>G</sub> 形成有第三接触孔 27c,在蚀刻时,层间绝缘膜 26 和栅极绝缘膜 23 均被除去,端子 22c 作为蚀刻阻挡机构发挥作用。

[0110] (第二蚀刻工序)

[0111] 继第一蚀刻工序之后,如图 13(a)和 (b)所示,进行湿式蚀刻。此时,作为蚀刻液例如使用对铝的氧化物半导体的蚀刻选择比高的溶液。由此,在露出到第一接触孔 27a 和

第二接触孔 27b 的表面的结构中,能够有选择地仅对包括铝膜的第二导电膜 25dq、25bq 进行蚀刻。由此形成空隙部 28a、28b。作为对铝的氧化物半导体的蚀刻选择比,优选为 5 以上。作为该蚀刻液,例如能够列举对铝的氧化物半导体的蚀刻选择比为 20 以上的氨水等。

[0112] 此时,因为第二导电膜 25dq、25bq 的表面被蚀刻,所以形成在表面的高电阻膜或钝化膜被除去。因此,不会因第二导电膜 25dq、25bq 的一部分为高电阻膜或钝化膜而导致导电性能变差。

[0113] 其中,作为蚀刻液使用了例如氨水等不容易对钛等产生蚀刻的溶液,所以在栅极端子部  $T_G$  中,如图 13(c) 所示,端子 22c 等不会因第二蚀刻工序的湿式蚀刻而受到损伤。

[0114] (像素电极形成工序)

[0115] 最后,如图 14(a) ~ 14(c) 所示,形成像素电极 29。

[0116] 具体而言,首先,例如在使用溅射法形成 ITO 膜等后,利用光刻法使抗蚀剂图案残留在成为像素电极 29 的部分。接着,例如使用草酸作为蚀刻液对 ITO 膜进行蚀刻,并利用抗蚀剂剥离液将抗蚀剂剥离,从而形成像素电极。

[0117] 此时,在薄膜晶体管  $T_R$ ,如图 14(a) 所示,像素电极 29 以与漏极电极 25d 的第一导电膜 25dp 和第三导电膜 25dr 接触的方式设置。此处,由于存在空隙部 28a,所以像素电极 29 与第三导电膜 25dq 不接触。另外,在辅助电容元件  $C_s$ ,如图 14(b) 所示,像素电极 29 以与上部电极 25b 的第一导电膜 25bp 和第三导电膜 25br 接触的方式设置。此处,由于存在空隙部 28b,所以像素电极 29 与第三导电膜 25bq 不接触。在栅极端子部  $T_G$ ,如图 14(c) 所示,像素电极 29 以与端子 22c 电连接的方式设置。

[0118] 通过上述的方式,制成 TFT 基板 20。根据上述 TFT 基板 20 的制造方法,在第一蚀刻工序中形成第一接触孔 27a、第二接触孔 27b 后,在第二蚀刻工序中,在第一接触孔 27a 和第二接触孔 27b 的壁部的第一导电膜 25dp、25bp 与第三导电膜 25dr、25br 之间形成了空隙部 28a、28b,使得第二导电膜 25dq、25bq 分别离开第一接触孔 27a 和第二接触孔 27b,所以第一蚀刻工序中形成的高电阻膜或钝化膜在第二蚀刻工序中被除去。并且,在薄膜晶体管  $T_R$  的部分,像素电极形成工序中形成的像素电极 29,在第二导电膜 25dq 以外的第一导电膜 25dp、第三导电膜 25dr 的部分与漏极电极 25d 接触,由此使像素电极 29 与漏极电极 25d 电连接。因而,不会因漏极电极 25d 的表面存在高电阻膜或钝化膜而导致产生像素电极 29 与漏极电极 25d 的接触不良,能够获得像素电极 29 与漏极电极 25d 的良好接触。另外,在辅助电容元件  $C_s$  的部分,像素电极形成工序中形成的像素电极 29 在第二导电膜 25bq 以外的第一导电膜 25bp、第三导电膜 25br 的部分与上部电极 25b 接触,由此使像素电极 29 与上部电极 25b 电连接。因而,不会因上部电极 25b 的表面存在高电阻膜或钝化膜而导致产生像素电极 29 与上部电极 25b 的接触不良,能够获得像素电极 29 与上部电极 25b 的良好接触。

[0119] 将通过上述方法制造的 TFT 基板 20 与按每个像素形成有彩色滤光片的对置基板 30 相对配置,利用密封部件 40 使它们粘合,并在两基板间填充液晶材料作为液晶层 50,由此能够获得液晶显示装置 10。

[0120] 另外,上述说明中在第一蚀刻工序中利用氧灰化来进行抗蚀剂的除去,但并不特别限定于此,例如也可以使用抗蚀剂剥离液等来除去抗蚀剂。在使用抗蚀剂剥离液来除去抗蚀剂的情况下,虽然不会出现铝膜被氧化而导致第二导电膜 25dq、25bp 的表面被氧化铝膜即钝化膜覆盖的情况,但由于第二导电膜 25dq、25bp 的表面因蚀刻工序而被氟化铝的高

电阻膜覆盖,所以会发生即使第二导电膜 25dq、25bp 与像素电极 29 接触,也会变得接触不良的问题。不过,根据本实施方式的结构薄膜晶体管基板,在第一蚀刻工序中形成第一接触孔 27a、第二接触孔 27b 后,在第二蚀刻工序中,在第一接触孔 27a 和第二接触孔 27b 的壁部的第一导电膜 25dp、25bp 与第三导电膜 25dr、25br 之间形成了空隙部 28a、28b,使得第二导电膜 25dq、25bq 分别离开第一接触孔 27a 和第二接触孔 27b,所以第一蚀刻工序中形成的高电阻膜在第二蚀刻工序中被除去。因而,不会因漏极电极 25d 的表面存在高电阻膜而导致产生像素电极 29 与漏极电极 25d、上部电极 25b 的接触不良,能够获得良好接触。

[0121] 工业可利用性

[0122] 本发明对于薄膜晶体管基板和具备该薄膜晶体管基板的液晶显示装置以及薄膜晶体管基板是有用的。

[0123] 附图标记说明

[0124] Cs 辅助电容元件

[0125]  $T_R$  薄膜晶体管

[0126] 10 液晶显示装置

[0127] 20 薄膜晶体管基板 (TFT 基板)

[0128] 21 基板

[0129] 22a 栅极电极

[0130] 22b 下部电极

[0131] 23 栅极绝缘膜

[0132] 24a 氧化物半导体膜

[0133] 24ac 沟道部

[0134] 24b 蚀刻阻挡层

[0135] 25a 氧化物半导体膜

[0136] 25b 上部电极

[0137] 25d 漏极电极

[0138] 25dp、25bp 第一导电膜

[0139] 25dq、25bq 第二导电膜

[0140] 25dr、25br 第三导电膜

[0141] 25s 源极电极

[0142] 26 层间绝缘膜

[0143] 27a 第一接触孔

[0144] 27b 第二接触孔

[0145] 28a、28b 空隙部

[0146] 29 像素电极

[0147] 30 对置基板

[0148] 40 密封部件

[0149] 50 液晶层

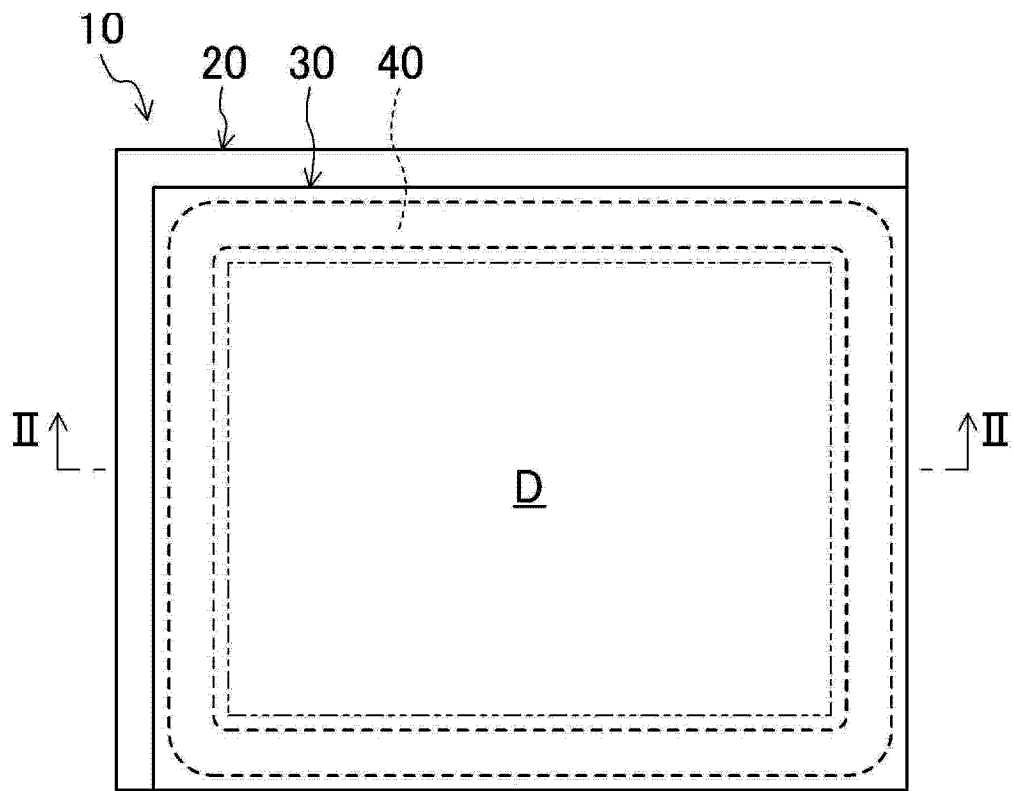


图 1

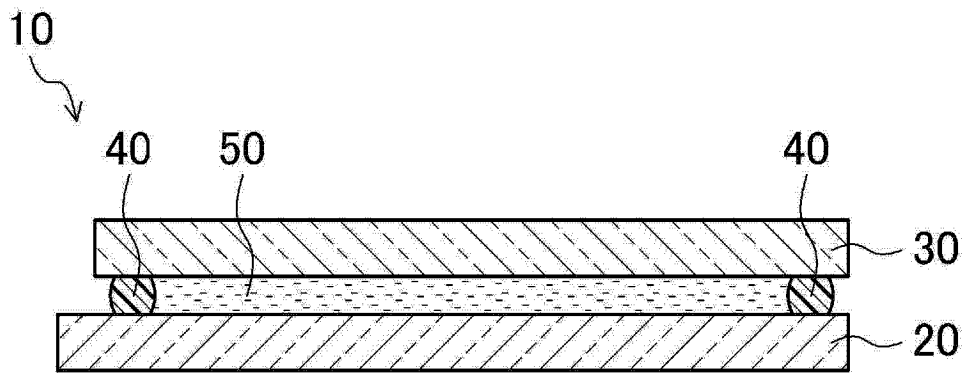


图 2

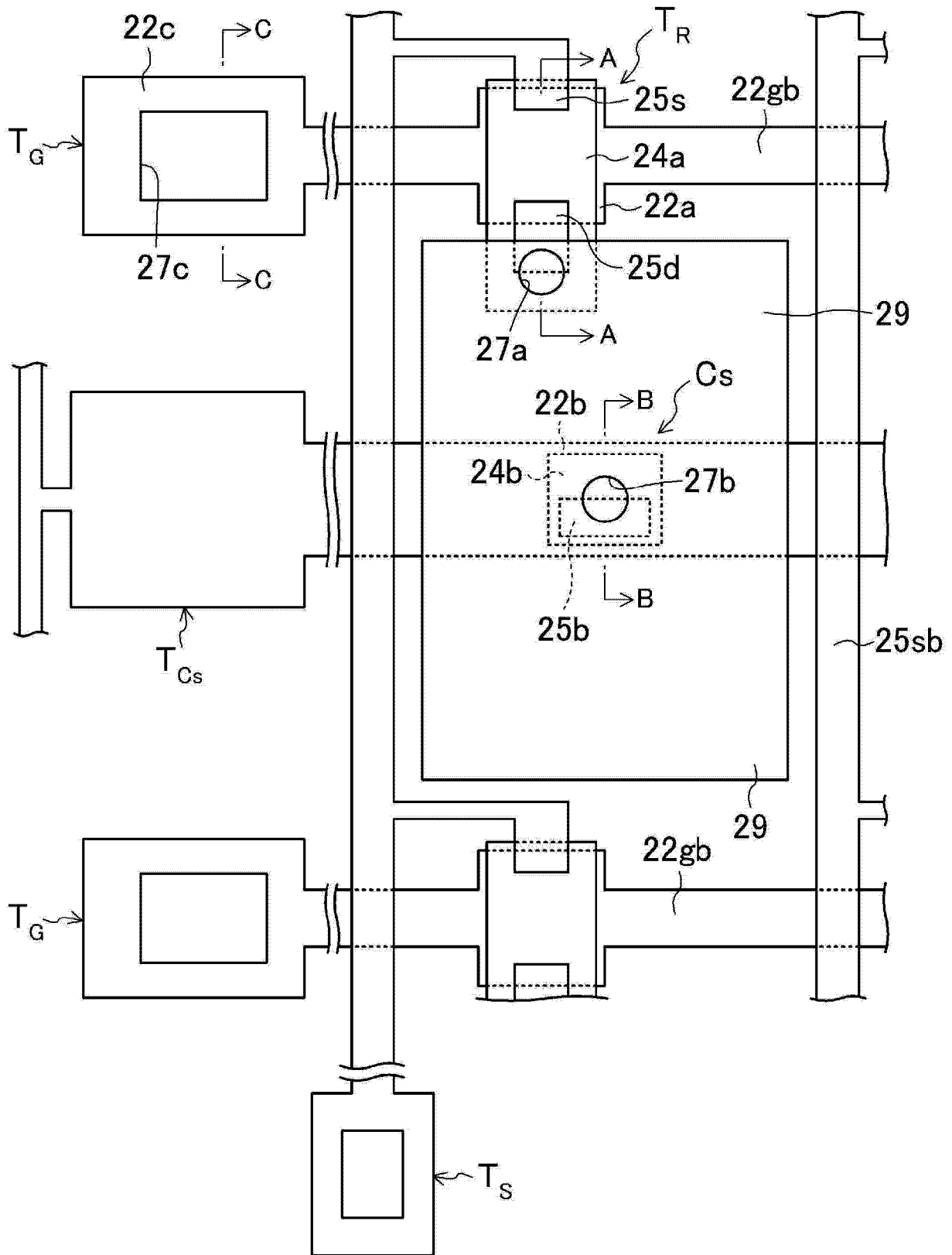


图 3

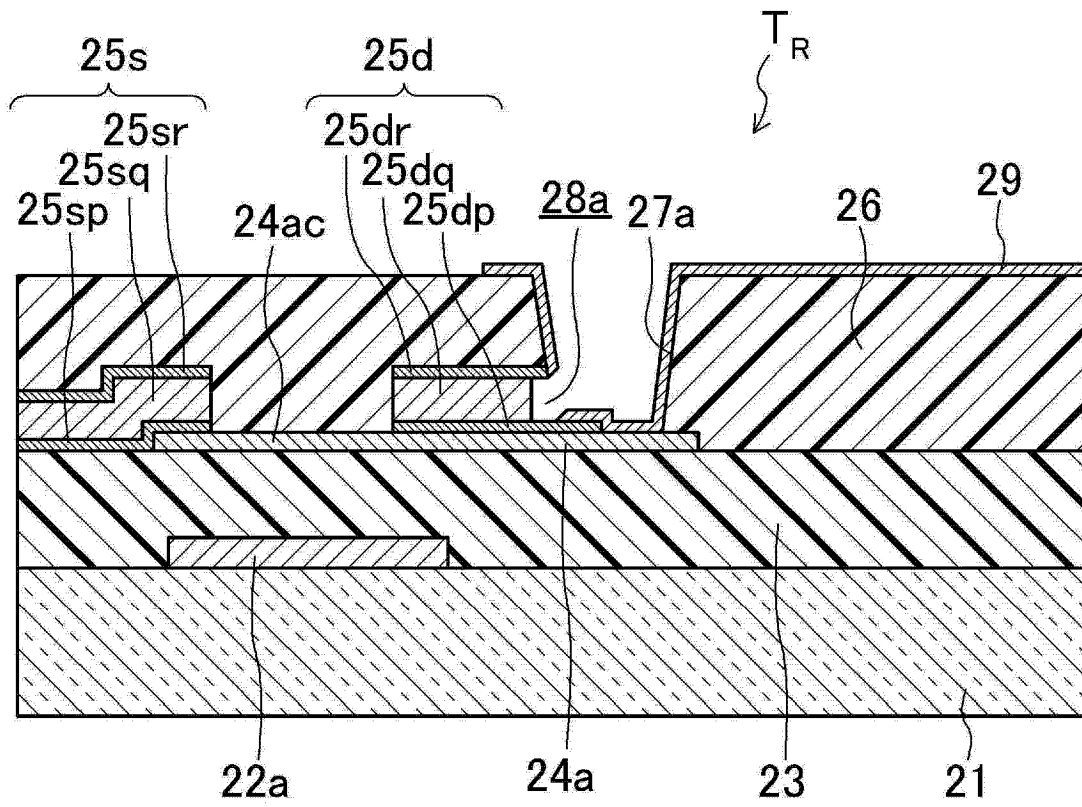


图 4



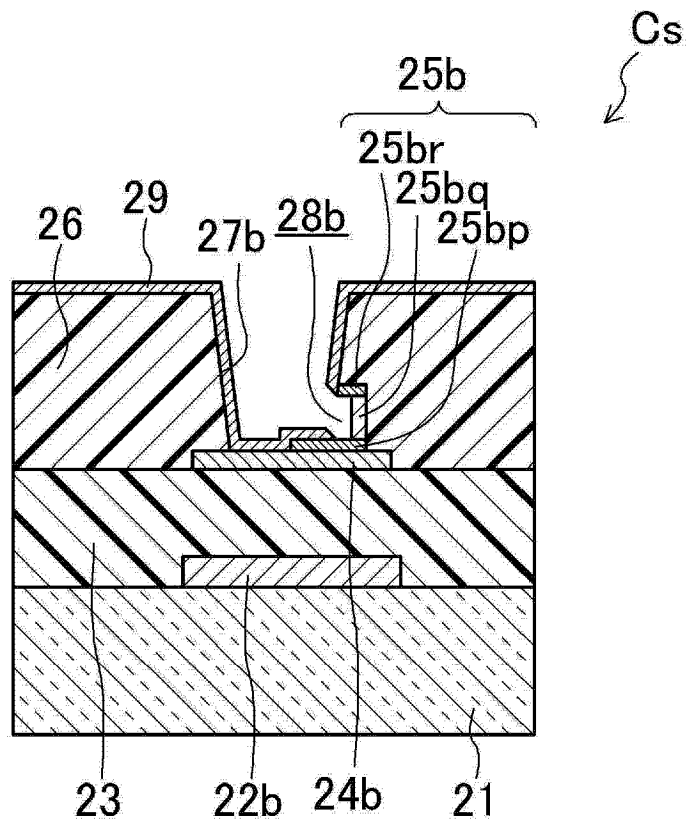


图 5

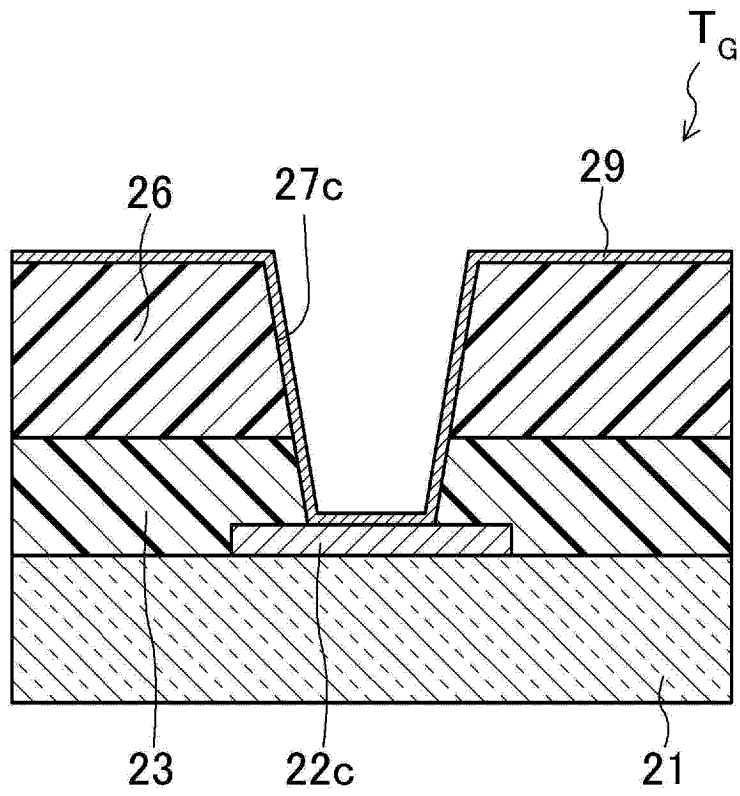
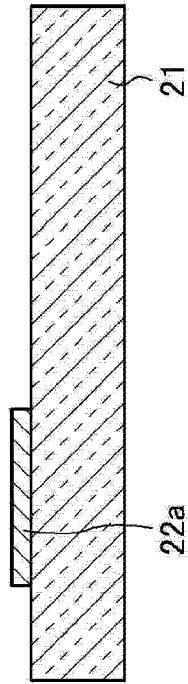
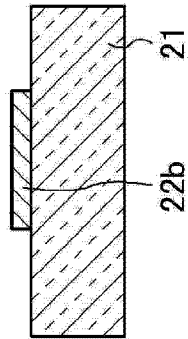


图 6

(a)



(b)



(c)

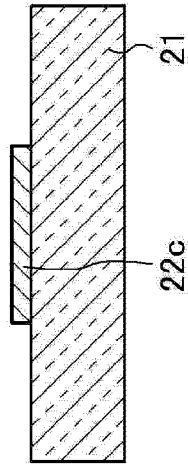
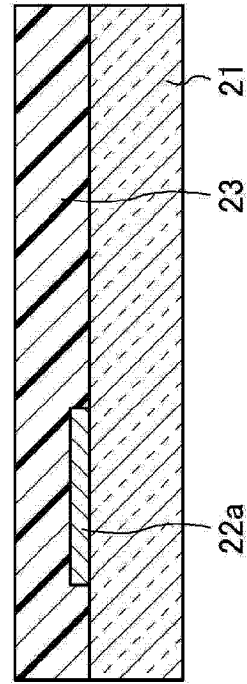
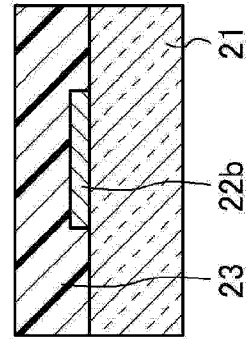


图 7

(a)



(b)



(c)

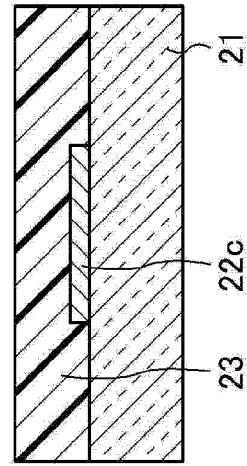


图 8

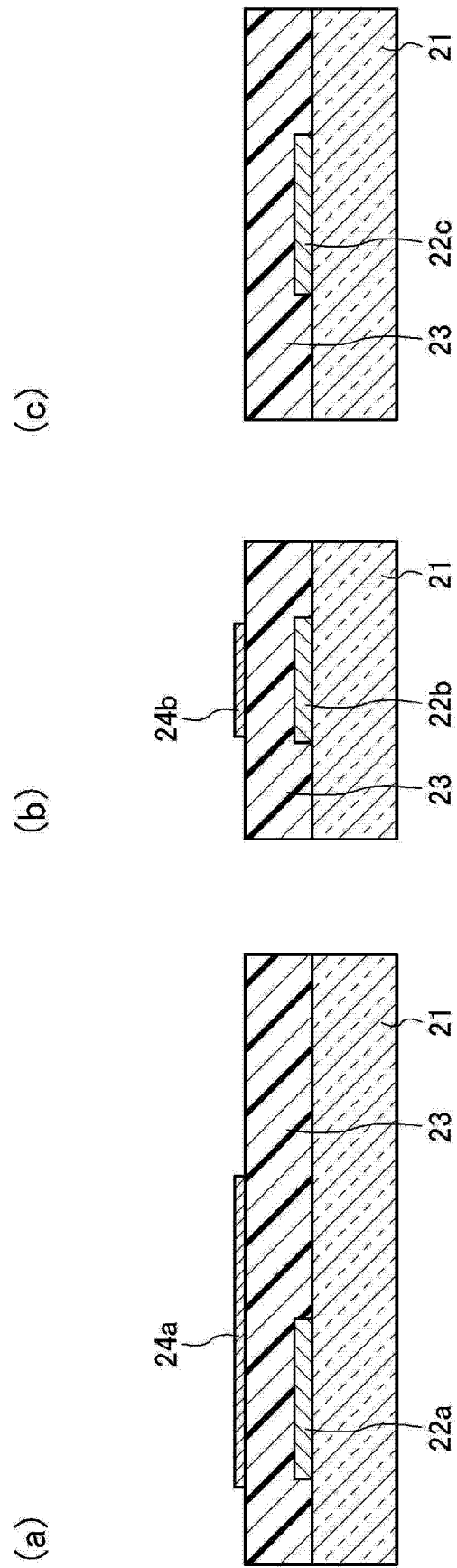


图 9

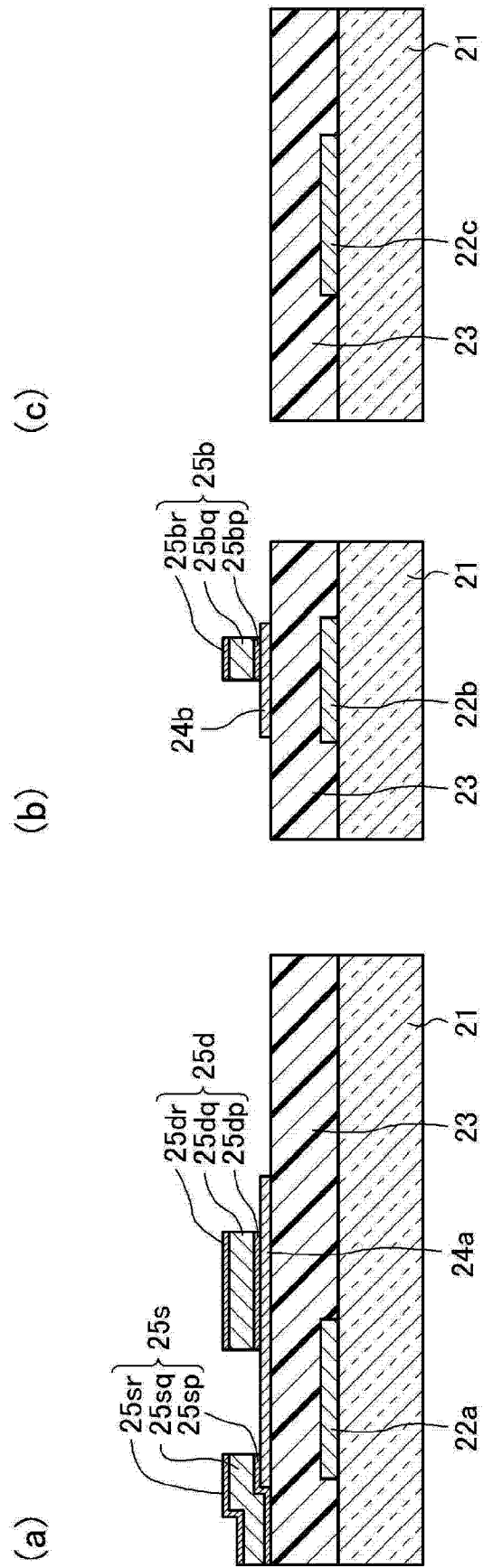


图 10

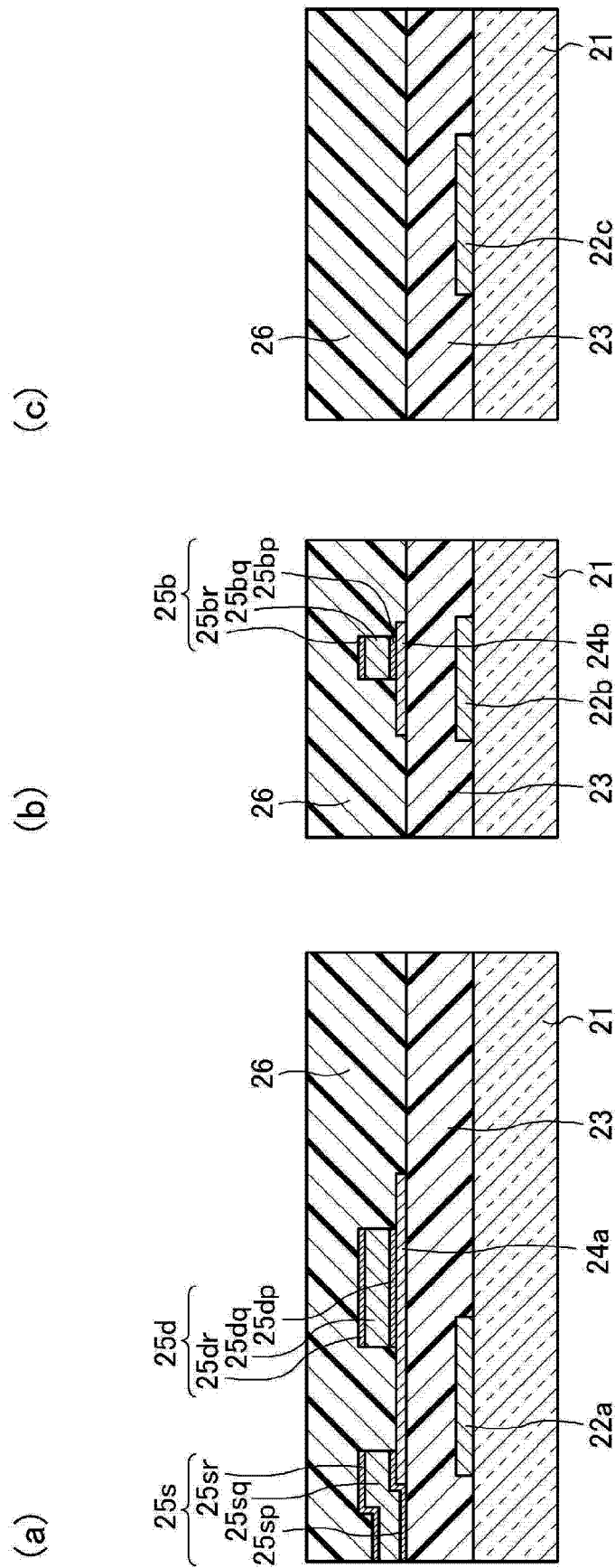


图 11

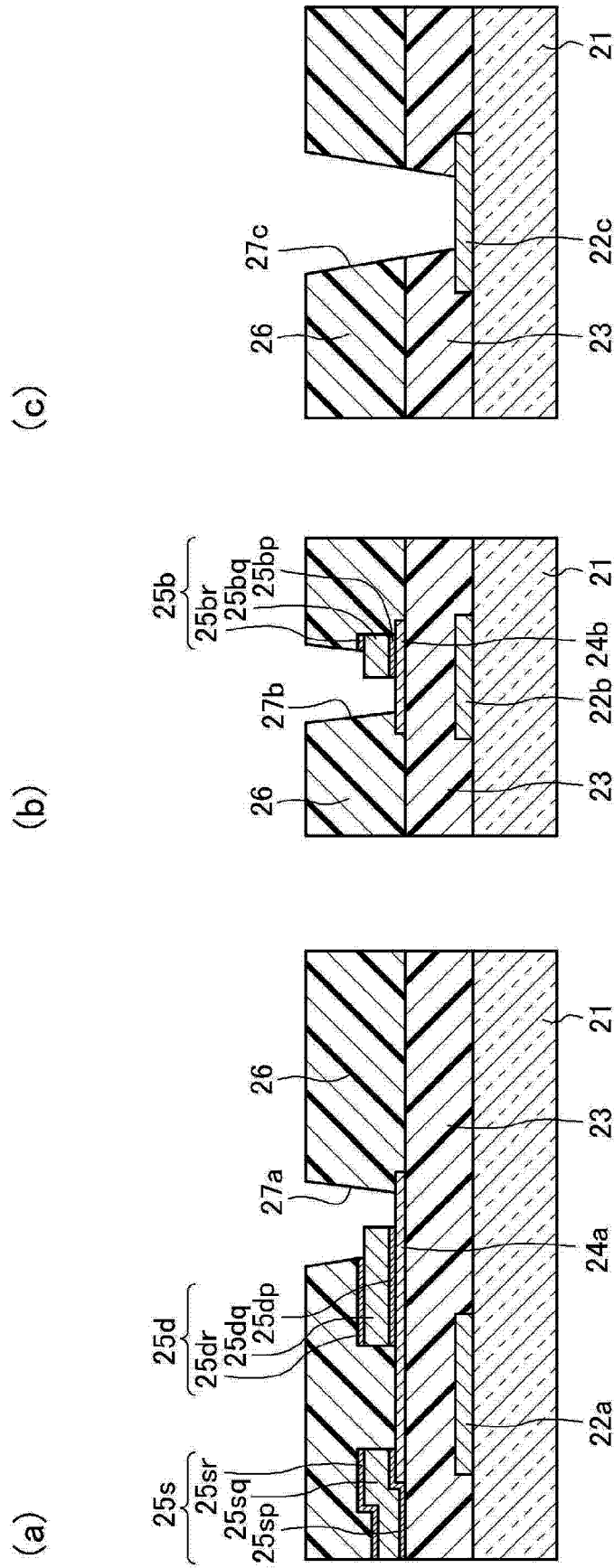


图 12

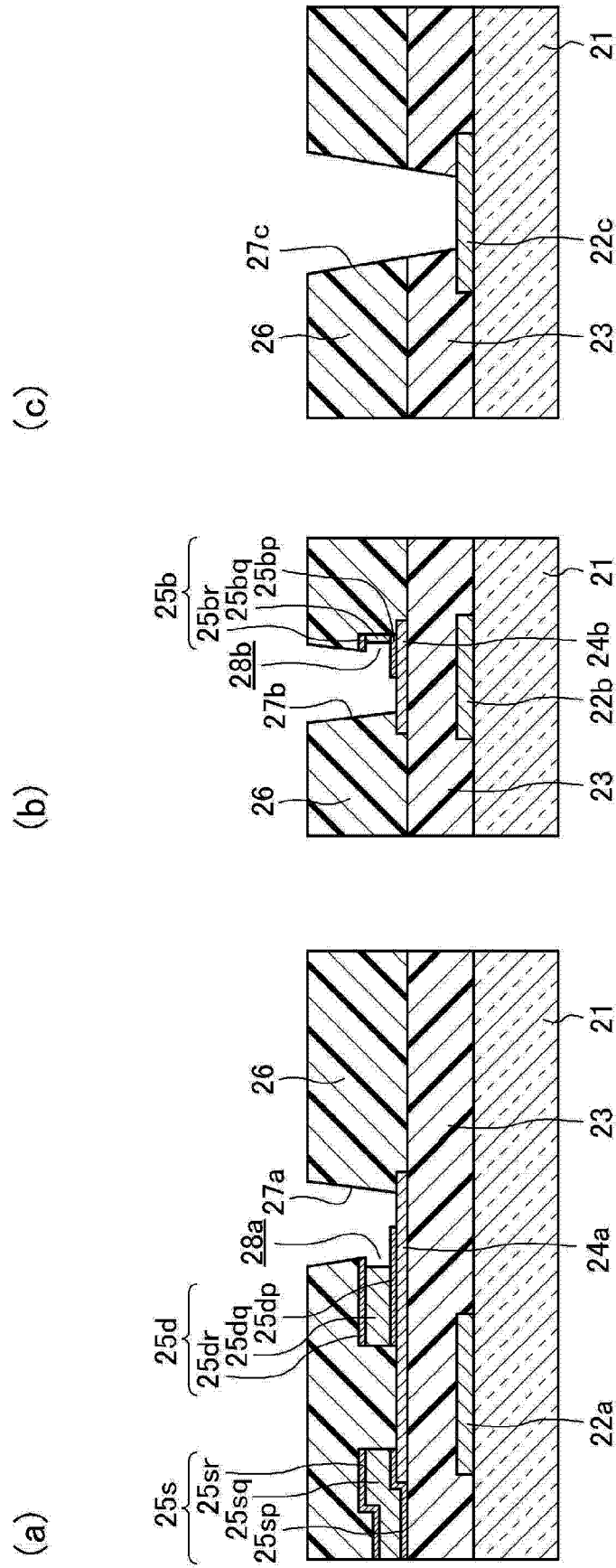


图 13



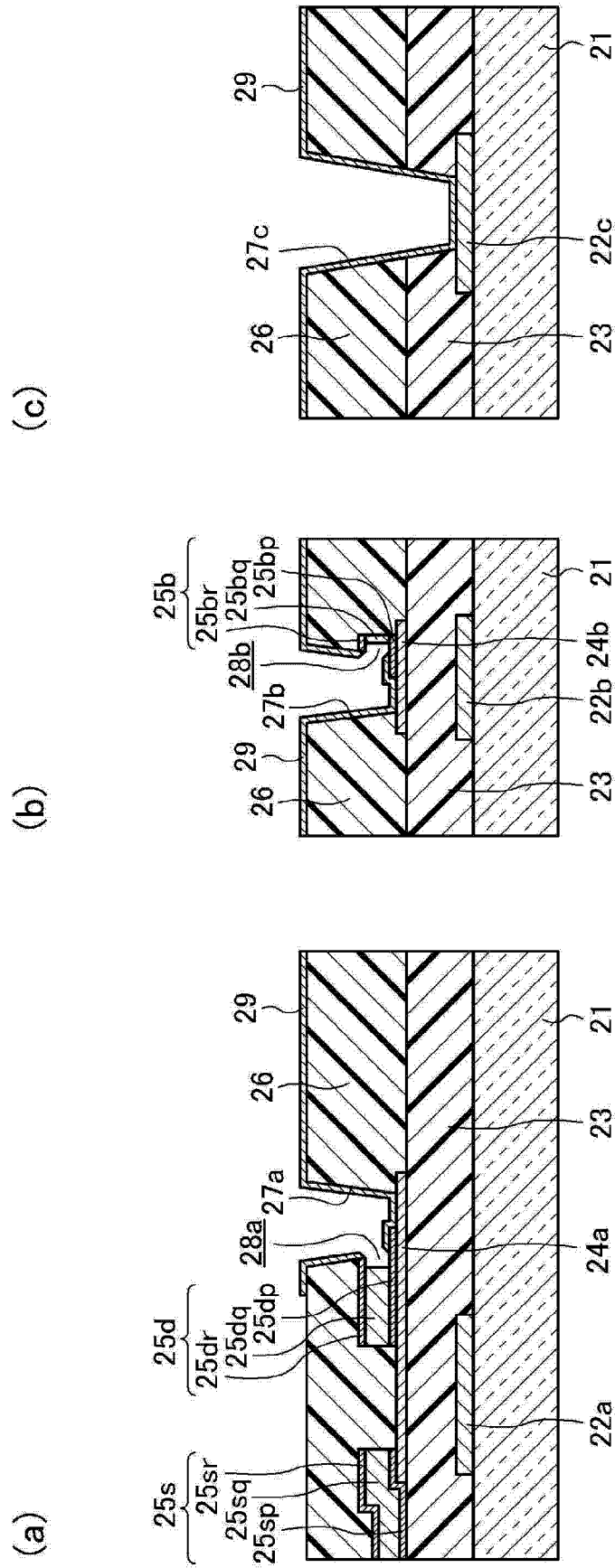


图 14