

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5066996号
(P5066996)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl.		F I			
HO 4 N	5/357	(2011.01)	HO 4 N	5/335	5 7 0
HO 4 N	5/374	(2011.01)	HO 4 N	5/335	7 4 0
HO 4 N	5/378	(2011.01)	HO 4 N	5/335	7 8 0
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A

請求項の数 17 (全 34 頁)

(21) 出願番号	特願2007-112650 (P2007-112650)	(73) 特許権者	000002185
(22) 出願日	平成19年4月23日(2007.4.23)		ソニー株式会社
(65) 公開番号	特開2008-271278 (P2008-271278A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年11月6日(2008.11.6)	(74) 代理人	110000925
審査請求日	平成22年3月8日(2010.3.8)		特許業務法人信友国際特許事務所
		(72) 発明者	大池 祐輔
			東京都港区港南1丁目7番1号 ソニー株式会社内
		審査官	鈴木 肇

最終頁に続く

(54) 【発明の名称】 固体撮像装置、固体撮像装置の信号処理方法および撮像装置

(57) 【特許請求の範囲】

【請求項1】

光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置された画素アレイ部と、

一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷を前記転送素子によって少なくとも2回に分割して前記出力手段を介して読み出す駆動手段と、

前記単位画素から分割して読み出された複数の出力信号に対して加算処理を行なう信号処理手段と、

前記複数の出力信号の各々を読み出す度に当該複数の出力信号の各信号レベルを参照レベルと比較するレベル判定手段と、

前記レベル判定手段の判定結果に基づいて、前記複数の出力信号のうち、前記参照レベル以上の信号レベルの出力信号に対して前記加算処理を実行させる制御手段と

を備えた固体撮像装置。

【請求項2】

前記制御手段は、前記複数の出力信号の各信号レベルが前記参照レベルを下回るとき前記加算処理を停止する

請求項1記載の固体撮像装置。

【請求項3】

前記制御手段は、前記複数の出力信号の各信号レベルが前記参照レベルを下回るとき、

10

20

前記出力手段での分割転送による次以降の出力信号に対する前記加算処理を少なくとも1回停止する

請求項2記載の固体撮像装置。

【請求項4】

前記制御手段は、前記複数の出力信号の各信号レベルが前記参照レベル以上になったとき前記加算処理を開始する

請求項1記載の固体撮像装置。

【請求項5】

前記制御手段は、前記複数の出力信号の各信号レベルが前記参照レベル以上になったとき、それ以前に読み出された出力信号あるいはその加算結果をリセットする

請求項4記載の固体撮像装置。

【請求項6】

前記信号処理手段は、前記複数の出力信号に対してアナログ-デジタル変換処理を行なうアナログ-デジタル変換手段を有する

請求項1記載の固体撮像装置。

【請求項7】

前記制御手段は、前記複数の出力信号の各信号レベルが前記参照レベルを下回るとき前記アナログ-デジタル変換処理を停止する

請求項6記載の固体撮像装置。

【請求項8】

前記制御手段は、前記複数の出力信号の各信号レベルが前記参照レベル以上になったとき前記アナログ-デジタル変換処理を開始する

請求項6記載の固体撮像装置。

【請求項9】

前記アナログ-デジタル変換手段は、
前記複数の出力信号を参照信号と比較する比較手段と、
前記比較手段の比較結果に応じたカウント値だけカウント動作を行うカウント手段とを有する

請求項6記載の固体撮像装置。

【請求項10】

前記アナログ-デジタル変換手段は、前記カウント手段によるカウント動作により、前記アナログ-デジタル変換処理と前記加算処理を並行して実行する

請求項9記載の固体撮像装置。

【請求項11】

前記カウント手段は、前記比較手段の比較結果に応じたカウント値だけアップカウントまたはダウンカウントする

請求項9記載の固体撮像装置。

【請求項12】

前記アナログ-デジタル変換手段は、前記カウント手段によるアップカウントまたはダウンカウントにより、前記単位画素から得られるリセットレベルと信号レベルの差分をとる

請求項11記載の固体撮像装置。

【請求項13】

前記出力手段は、前記転送素子によって転送された信号電荷を電圧に変換する電荷電圧変換部を有し、

前記電荷電圧変換部は、当該電荷電圧変換部が扱える最大電荷量が前記光電変換部に蓄積可能な最大電荷量よりも小さくなるように寄生容量が小さく設定されている

請求項1記載の固体撮像装置。

【請求項14】

光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷

10

20

30

40

50

を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置された画素アレイ部と、

一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷を前記転送素子によって少なくとも2回に分割して前記出力手段を介して読み出す駆動手段とを備え、

前記単位画素から分割して読み出された複数の出力信号に対して加算処理を行なう固体撮像装置の信号処理にあたって、

前記複数の出力信号の各々を読み出す度に当該複数の出力信号の各信号レベルを参照レベルと比較し、

その比較結果に基づいて、前記複数の出力信号のうち、前記参照レベル以上の信号レベルの出力信号に対して前記加算処理を実行する

10

固体撮像装置の信号処理方法。

【請求項15】

前記複数の出力信号の各信号レベルが前記参照レベルを下回るとき前記加算処理を停止する

請求項14記載の固体撮像装置の信号処理方法。

【請求項16】

前記複数の出力信号の各信号レベルが前記参照レベル以上になったとき前記加算処理を開始する

請求項14記載の固体撮像装置の信号処理方法。

【請求項17】

20

光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置されてなる固体撮像装置と、

入射光を前記固体撮像装置の撮像面上に結像する光学系とを具備し、

前記固体撮像装置は、

一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷を前記転送素子によって少なくとも2回に分割して前記出力手段を介して読み出す駆動手段と、

前記単位画素から分割して読み出された複数の出力信号に対して加算処理を行なう信号処理手段と、

前記複数の出力信号の各々を読み出す度に当該複数の出力信号の各信号レベルを参照レベルと比較するレベル判定手段と、

30

前記レベル判定手段の判定結果に基づいて、前記複数の出力信号のうち、前記参照レベル以上の信号レベルの出力信号に対して前記加算処理を実行させる制御手段とを備えた

撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、固体撮像装置の信号処理方法および撮像装置に関する。

【背景技術】

【0002】

40

図36に、固体撮像装置の単位画素100の構成の一例を示す。本例のように、光電変換素子101で光電変換された信号電荷を転送する転送トランジスタ102を有する単位画素100では、画素の浮遊拡散容量(FD; Floating Diffusion)106に転送できる最大蓄積電荷量 $Q_{fd,max}$ を、受光部である光電変換素子101の最大蓄積電荷量 $Q_{pd,max}$ よりも十分に大きくすることで、光電変換素子101での電荷残留をなくし完全転送を実現している。

【0003】

このようにして、光電変換素子101で光電変換された信号電荷について、完全転送を実現することで、画像撮影時の残像を防ぎ、また入射光の輝度とセンサ出力信号の良好な線形性を実現することができる。因みに、本例に係る単位画素100は、転送トランジスタ

50

タ 1 0 2 に加えて、リセットトランジスタ 1 0 3、増幅トランジスタ 1 0 4 および画素選択トランジスタ 1 0 5 を有する構成となっている。

【 0 0 0 4 】

しかし、図 3 6 に示す単位画素 1 0 0 では、下記の問題点が挙げられる。

(1) 浮遊拡散容量 1 0 6 の最大蓄積電荷量 $Q_{fd,max}$ が光電変換素子 1 0 1 の最大蓄積電荷量 $Q_{pd,max}$ を上回っている必要があるため、電荷電圧変換効率を高めるための浮遊拡散容量 1 0 6 を小さくすることに制限がある。

(2) 同様の理由から、浮遊拡散容量 1 0 6 のリセット電圧として用いられる電源電圧 V_{dd} が下がると浮遊拡散容量 1 0 6 の最大蓄積電荷量 $Q_{fd,max}$ が小さくなるため、電源電圧 V_{dd} の低電圧化に制限がある。

10

【 0 0 0 5 】

そこで、従来は、上記 (1) ~ (2) の問題点を次のようにして解決している。すなわち、電荷電圧変換効率を高めるため浮遊拡散容量 1 0 6 を小さくすることで最大蓄積電荷量 $Q_{fd,max}$ が小さいとき、あるいはリセット電圧 (電源電圧) V_{dd} を低電圧化することで最大蓄積電荷量 $Q_{fd,max}$ が小さいときに、電荷転送と、信号の読み出しと、浮遊拡散容量 1 0 6 のリセットを実行した後、光電変換素子 1 0 1 から転送しきれずに残留した電荷を、再度電荷転送して信号を読み出すことで、光電変換素子 1 0 1 に蓄積された電荷を分割して全て読み出すようにしている (例えば、特許文献 1 参照) 。

【 0 0 0 6 】

【特許文献 1】特開 2 0 0 1 - 1 7 7 7 7 5 号公報

20

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

しかしながら、上記従来技術のように、電荷を分割して転送し、各々分割転送された信号電荷を出力して無条件に加算するようにしたのでは、特に入射光輝度が低いときに、信号レベルが小さいにもかかわらず、ランダムノイズや固定パターンノイズについては信号レベルが大きいときと同じように加算されることになるため、ランダムノイズや固定パターンノイズが、分割せずに読み出した場合よりも増加し、画質が劣化する。

【 0 0 0 8 】

例えば、1 回の読み出しにおけるランダムノイズを N_{RN} 、1 回の読み出しにおける固定パターンノイズを N_{FPN} とした場合、 n 回に分割して読み出し、これらを加算したときのノイズは、固定パターンノイズを N_{FPN} の n 倍と、ランダムノイズを N_{RN} の n 倍を、2 乗平均したものになる。

30

【 0 0 0 9 】

そこで、本発明は、全ての蓄積電荷を 1 回の読み出しで出力できない場合に分割して電荷転送および信号出力を行なう構成において、特に入射光輝度が低い領域 (低輝度領域) にて高い S/N を実現可能な固体撮像装置、固体撮像装置の信号処理方法および撮像装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

上記目的を達成するために、本発明は、光信号を信号電荷に変換する光電変換部と、当該光電変換部で光電変換された信号電荷を転送する転送素子と、当該転送素子によって転送された信号電荷を出力する出力手段とを含む単位画素が行列状に配置された画素アレイ部と、一単位の蓄積期間中に前記光電変換部に蓄積された信号電荷を前記転送素子によって少なくとも 2 回に分割して前記出力手段を介して読み出す駆動手段とを備え、前記単位画素から分割して読み出された複数の出力信号に対して加算処理を行なう固体撮像装置において、前記複数の出力信号の各信号レベルを参照レベルと比較し、その比較結果に基づいて、前記複数の出力信号のうち、前記参照レベル以上の信号レベルの出力信号に対して前記加算処理を実行することを特徴としている。

40

【 0 0 1 1 】

50

光電変換部の全ての蓄積電荷を1回の読み出しで出力できない場合に、蓄積電荷を分割して転送する分割転送による駆動法を用いた固体撮像装置において、分割転送によって単位画素から出力される複数の出力信号の各信号レベルが参照レベルを下回るときは、光電変換部からの電荷転送によって光電変換部が空の状態（あるいは、残りの電荷が少ない状態）にあるか、または、光電変換部にまだ電荷が蓄積されていない状態（あるいは、蓄積電荷が少ない状態）にある。このような状態では、加算処理を停止し、複数の出力信号の各信号レベルが参照レベル以上のときに加算処理を実行することで、特に入射光輝度が低いときに、信号レベルが小さいにもかかわらず、固定パターンノイズやランダムノイズが積算されてしまうようなことがなくなる。

【発明の効果】

10

【0012】

本発明によれば、1回の読み出しで出力できない蓄積電荷を分割して転送する場合において、入射光輝度が低いときに、固定パターンノイズやランダムノイズが積算されてしまわないようにしたことで、特に低輝度側で高いS/Nを実現できるため撮像画像の画質を向上できる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0014】

[第1実施形態]

20

図1は、本発明の第1実施形態に係る固体撮像装置、例えばCMOSイメージセンサの構成を示すシステム構成図である。

【0015】

図1に示すように、本実施形態に係るCMOSイメージセンサ10Aは、光電変換部を含む単位画素（以下、単に「画素」と記述する場合もある）20が行列状に2次元配置されてなる画素アレイ部11と、その周辺回路とを有する構成となっている。画素アレイ部11の周辺回路としては、例えば、垂直走査回路12、水平走査回路13、カラム信号選択回路14および信号処理回路15などが設けられている。

【0016】

画素アレイ部11の画素20の行列状配列に対して、画素列毎に垂直信号線111が配線され、画素行毎に駆動制御線、例えば転送制御線112、リセット制御線113および選択制御線114が配線されている。

30

【0017】

垂直信号線111の各一端には、定電流源16が接続されている。定電流源16に代えて、例えばバイアス電圧Vbiasでゲートがバイアスされ、後述する増幅トランジスタ24とソースフォロア回路を構成する電流バイアス用トランジスタを用いることも可能である（図2参照）。

【0018】

垂直走査回路12は、シフトレジスタあるいはアドレスデコーダ等によって構成され、画素アレイ部11の各画素20を電子シャッタ行と読み出し行それぞれについて行単位で垂直方向（上下方向）に走査しつつ、電子シャッタ行に対してはその行の画素20の信号掃き捨てを行うための電子シャッタ動作を行うとともに、読み出し行に対してはその行の画素20の信号読み出しを行うための読み出し動作を行う。

40

【0019】

ここでは、図示を省略するが、垂直走査回路12は、画素20を行単位で順に選択しつつ、読み出し行の各画素20の信号を読み出す読み出し動作を行うための読み出し走査系と、当該読み出し走査系による読み出し走査よりもシャッタ速度に対応した時間分だけ前に同じ行（電子シャッタ行）に対して電子シャッタ動作を行うための電子シャッタ走査系とを有する構成となっている。

【0020】

50

そして、電子シャッタ走査系によるシャッタ走査によって光電変換部の不要な電荷がリセットされたタイミングから、読み出し走査系による読み出し走査によって画素20の信号が読み出されるタイミングまでの期間が、画素20における信号電荷の一単位の蓄積期間（露光期間）となる。すなわち、電子シャッタ動作とは、光電変換部に蓄積された信号電荷のリセット（掃き捨て）を行い、そのリセット後から新たに信号電荷の蓄積を開始する動作である。

【0021】

水平走査回路13は、シフトレジスタあるいはアドレスデコーダ等によって構成され、画素アレイ部11の各画素列を順に水平走査する。カラム信号選択回路14は、水平選択スイッチや水平信号線等によって構成され、画素アレイ部11から画素行毎に垂直信号線111を通して出力される画素20の信号を、水平走査回路13による水平走査に同期して順次出力する。

10

【0022】

信号処理回路15は、カラム信号選択回路14から画素単位で出力される画素20の信号に対して、ノイズ除去、AD（アナログ-デジタル）変換、加算処理などの各種の信号処理を実行する。本実施形態では、この信号処理回路15の構成および動作を特徴としており、その詳細については後述する。

【0023】

なお、垂直走査回路12、水平走査回路13および信号処理回路15等の動作の基準となるタイミング信号や制御信号は、図示せぬタイミング制御回路で生成される。

20

【0024】

（画素回路）

図2は、単位画素20の回路構成の一例を示す回路図である。本回路例に係る単位画素20は、埋め込み型フォトダイオード等の光電変換素子（光電変換部）21に加えて、例えば転送トランジスタ（転送素子）22、リセットトランジスタ23、増幅トランジスタ24および選択トランジスタ25の4つのトランジスタを有する画素回路となっている。ここでは、これらトランジスタ22～25として、例えばNチャンネルのMOSトランジスタを用いているが、これに限られるものではない。

【0025】

転送トランジスタ22は、光電変換素子21のカソード電極と浮遊拡散容量（FD）26との間に接続され、光電変換素子21で光電変換され、ここに蓄積された信号電荷（ここでは、電子）を、ゲート電極（制御電極）に転送パルスTRGが与えられることによって浮遊拡散容量26に転送する。浮遊拡散容量26は、信号電荷を電圧信号に変換する電荷電圧変換部として機能する

30

【0026】

リセットトランジスタ23は、電源電圧V_{dd}の画素電源にドレイン電極が、浮遊拡散容量26にソース電極がそれぞれ接続され、光電変換素子21から浮遊拡散容量26への信号電荷の転送に先立って、ゲート電極にリセットパルスRSTが与えられることによって浮遊拡散容量26の電位をリセット電圧V_{rst}にリセットする。

【0027】

増幅トランジスタ24は、浮遊拡散容量26にゲート電極が、電源電圧V_{dd}の画素電源にドレイン電極がそれぞれ接続され、リセットトランジスタ23によってリセットされた後の浮遊拡散容量26の電位をリセットレベルとして出力し、さらに転送トランジスタ22によって信号電荷が転送された後の浮遊拡散容量26の電位を信号レベルとして出力する。

40

【0028】

選択トランジスタ25は、例えば、ドレイン電極が増幅トランジスタ24のソース電極に、ソース電極が垂直信号線111にそれぞれ接続され、ゲート電極に選択パルスSELが与えられることによってオン状態となり、画素20を選択状態として増幅トランジスタ24から出力される信号を垂直信号線111に出力する。選択トランジスタ25について

50

は、画素電源（V_{dd}）と増幅トランジスタ24のドレイン電極との間に接続した構成を採ることも可能である。

【0029】

なお、ここでは、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24および選択トランジスタ25を有する4トランジスタ構成の単位画素20を有するCMOSイメージセンサに適用する場合を例に挙げたが、この適用例に限られるものではない。

【0030】

具体的には、図3に示すように、選択トランジスタ25を省略し、電源電圧SELV_dを可変とすることにより、増幅トランジスタ24に選択トランジスタ25の機能を持たせた3トランジスタ構成の単位画素20を有するCMOSイメージセンサや、図4に示すように、浮遊拡散容量FDや読み出し回路200を複数の画素で共有した構成を採るCMOSイメージセンサなどにも適用可能である。

【0031】

上記構成のCMOSイメージセンサ10Aにおいて、単位画素20の各構成素子（転送トランジスタ22、リセットトランジスタ23および選択トランジスタ25）を駆動する垂直走査回路12は、一単位の蓄積期間中に光電変換素子21に蓄積された信号電荷を転送トランジスタ22によって少なくとも2回に分割して、出力手段（リセットトランジスタ23、浮遊拡散容量26、増幅トランジスタ24および選択トランジスタ25）を介して読み出す駆動手段を構成している。

【0032】

（分割転送）

上記構成のCMOSイメージセンサ10Aでは、垂直走査回路12から適宜出力される転送パルスTRG、リセットパルスRSTおよび選択パルスSELによる駆動の下に、一単位の蓄積期間中に光電変換素子21に蓄積された光電荷を少なくとも2回に分割して浮遊拡散容量26に転送（分割転送）し、増幅トランジスタ24を通して垂直信号線111に読み出す動作が画素行単位で行われる。そして、分割転送にて単位画素20から読み出された複数の信号は、後段の信号処理回路15において加算処理される。

【0033】

ここで、一例として、4分割にて分割転送を行なう場合のリセットパルスRSTおよび転送パルスTRGのタイミング関係を図5に示す。また、図6に入射光輝度が高い場合の動作説明図を、図7に入射光輝度が低い場合の動作説明図をそれぞれ示す。図6および図7において、各動作（1）～（15）は図5の各期間（1）～（15）に対応している。

【0034】

4分割にて電荷転送を行い、それぞれの電荷転送で読み出された電荷Q_{fd1}、Q_{fd2}、Q_{fd3}、Q_{fd4}を加算して、蓄積電荷Q_{pd}（=Q_{fd1}+Q_{fd2}+Q_{fd3}+Q_{fd4}）を得るとき、入射光輝度が高く、光電変換素子21の蓄積電荷が多い画素においては、図6に示すように、4分割して加算することで全蓄積電荷Q_{pd}を読み出すことが可能である。

【0035】

<分割転送での問題点>

一方で、入射光輝度が低く、光電変換素子21の蓄積電荷が少ない画素においては、図7に示すように、最初の数回（本例では、2回）の転送で全蓄積電荷Q_{pd}が読み出されてしまい、残りの転送（本例では、2回）においては、出力すべき信号電荷がない状態となっている。

【0036】

その結果、特に入射光輝度が低い（低輝度の）場合に、信号レベルが小さいにもかかわらず、ランダムノイズや固定パターンノイズについては信号レベルが大きいときと同じように加算されることになるため、ランダムノイズや固定パターンノイズが、分割せずに読み出した場合よりも増加し、画質が劣化する。

【0037】

10

20

30

40

50

< 本実施形態の特徴部分 >

これに対して、本実施形態に係る CMOS イメージセンサ 10 A では、参照レベル以上のときに加算処理あるいは AD 変換処理を実行し、分割された各々の転送の最大値、即ち 1 回目で転送できる最大電荷量 $Q_{fd1.max}$ 、2 回目で転送できる最大電荷量 $Q_{fd2.max}$ 、..... を下回る出力が得られたときに、全ての蓄積電荷 Q_{pd} の読み出しが完了したと判定して、次以降の加算処理あるいは AD 変換処理を停止する制御を行なうことを特徴としている。

【 0 0 3 8 】

各々の最大値 $Q_{fd.max}$ は、図 8 (A) に示すように、光電変換部 (光電変換素子 2 1) が扱える最大電荷量 $Q_{pd.max}$ を分割転送した際に転送される電荷量となる。

10

【 0 0 3 9 】

例えば、 $Q_{pd} > Q_{fd1.max}$ 、かつ、 $Q_{pd} < Q_{fd1.max} + Q_{fd2.max}$ であった場合、図 8 (B) に示すように、1 回目の読み出しにて Q_{fd1} (= $Q_{fd1.max}$) の電荷が読み出され、2 回目の読み出しにて残りの Q_{fd2} (= $Q_{pd} - Q_{fd1}$) の電荷が読み出される。

【 0 0 4 0 】

$Q_{fd2} < Q_{fd2.max}$ であることを後述するレベル判定部にて判定し、次以降の 3 回目、4 回目の加算処理あるいは AD 変換処理を停止する。これにより、 $Q_{fd1} + Q_{fd2}$ が加算された Q_{pd} を読み出すことができ、かつ、3 回目、4 回目にてノイズ成分が加算されてしまうのを回避することができる。

【 0 0 4 1 】

20

< 本実施形態の作用効果 >

図 9 に、本実施形態の効果例を示す。光電変換部の最大蓄積電荷量を 10,000 電子とした場合の蓄積電荷と S/N (dB) の関係を示している。なお、一般的に、最大蓄積電荷量に達するまでは蓄積電荷は入射光強度に比例する。

【 0 0 4 2 】

ここでは、読み出しの固定パターンノイズを $2e^-$ 相当、読み出しのランダムノイズを $7e^-$ 相当、そして蓄積電荷に応じた光ショットノイズをノイズ成分として含めている。光ショットノイズは蓄積電荷の平方根で発生すると一般的に知られている。また、図 9 には、ノイズ成分が光ショットノイズのみであった場合の理論特性を直線で示している。

【 0 0 4 3 】

30

従来の 4 分割転送と加算処理においては、蓄積電荷が小さくても読み出しの固定パターンノイズとランダムノイズが分割数に応じて加算されるため、図 9 に示すように特性劣化が著しい。

【 0 0 4 4 】

一方で、本実施形態に係る CMOS イメージセンサ 10 A においては、低輝度であった場合には読み出しに必要な回数分のみの加算処理しか実行されないため、読み出しの固定パターンノイズやランダムノイズの影響が小さく、特に低輝度側で高い S/N を実現し、画質を向上できる。

【 0 0 4 5 】

以下に、1 回目で転送できる最大電荷量 $Q_{fd1.max}$ 、2 回目で転送できる最大電荷量 $Q_{fd2.max}$ 、..... を下回る出力が得られたときに、全ての蓄積電荷 Q_{pd} の読み出しが完了したと判定し、次以降の加算処理あるいは AD 変換処理を停止する制御を行なう信号処理回路 15 の具体的な実施例について説明する。

40

【 0 0 4 6 】

(実施例 1)

図 10 は、実施例 1 に係る信号処理回路 15 A の構成の一例を示すブロック図である。本実施例 1 に係る信号処理回路 15 A は、ノイズ除去部 151、AD 変換部 152、レベル判定部 153、処理停止部 154 および加算部 156 を有する構成となっている。

【 0 0 4 7 】

ノイズ除去部 151 は、例えば CDS (Correlated Double Sampling ; 相関二重サンプリ

50

ング)回路からなり、単位画素 20 から順次供給されるリセットレベルと信号レベルの差分を順にとることにより、リセットノイズや増幅トランジスタ 24 の閾値ばらつき等の画素固有の固定パターンノイズを除去する。

【0048】

分割して転送され、ノイズ除去部 151 でノイズ除去されたアナログの出力信号は、AD変換部 152 およびレベル判定部 153 に供給される。AD変換部 152 は、アナログの出力信号をデジタル信号にAD変換する。

【0049】

レベル判定部 153 は、ノイズ除去後の信号レベルを参照レベルと比較し、信号レベルが参照レベルを下回るときに判定結果を出力し、当該判定結果を処理停止信号として処理停止部 154 に与える。レベル判定部 153 の具体的な構成については後述する。参照レベルは、1 回目で転送できる最大電荷量 $Q_{fd1.max}$ 、2 回目で転送できる最大電荷量 $Q_{fd2.max}$ 、.....に対応して設定される。

10

【0050】

処理停止部 154 は、レベル判定部 153 から判定結果が与えられたときに、AD変換部 152 から出力される分割転送に伴うデジタル信号に対する加算部 156 での加算処理を停止する。処理停止部 154 による加算処理の停止手法としては、加算部 156 への入力を 0 とする、加算部 156 の制御信号あるいはクロックを止める、加算部 156 がイネーブル信号に応答して加算処理を行なう構成の場合は当該イネーブル信号の供給を停止する、などの手法が考えられる。

20

【0051】

加算部 156 は、処理停止部 154 によって加算処理が停止されているときは加算処理を停止する(0 を加算する場合も加算処理の停止の概念に含むものとする)が、それ以外は、分割転送に伴ってAD変換部 152 から順次供給されるデジタル信号を加算処理して1画素の画素信号として出力する。

【0052】

上記構成の信号処理回路 15A において、ノイズ除去部 151、AD変換部 152、レベル判定部 153、処理停止部 154 および加算部 156 は、例えば、画素アレイ部 11 と同じ半導体基板に集積される。

【0053】

ただし、ノイズ除去部 151、AD変換部 152、レベル判定部 153、処理停止部 154 および加算部 156 の全てが画素アレイ部 11 と同じ半導体基板に集積されている必要はなく、いずれか、あるいは全てが別の半導体基板に集積されていても構わない。

30

【0054】

(実施例 2)

図 11 は、実施例 2 に係る信号処理回路 15B の構成の一例を示すブロック図であり、図中、図 10 と同等部分には同一符号を付して示している。

【0055】

本実施例 2 に係る信号処理回路 15B は、AD変換部 152、レベル判定部 153、処理停止部 154 および加算部 156 を有する構成となっている。そして、本実施例 2 においては、ノイズ除去部 151 については、画素アレイ部 11 の画素列毎に並列に搭載した構成を採っている。

40

【0056】

ここでは、ノイズ除去部 151 を画素列毎に並列に搭載するとしたが、AD変換部 152、レベル判定部 153、処理停止部 154 および加算部 156 のいずれかあるいは全てを画素列毎に並列に搭載する構成を採ることも可能である。

【0057】

(実施例 3)

図 12 は、実施例 3 に係る信号処理回路 15C の構成の一例を示すブロック図であり、図中、図 10 と同等部分には同一符号を付して示している。

50

【 0 0 5 8 】

本実施例 3 に係る信号処理回路 1 5 C は、処理停止部 1 5 4 を A D 変換部 1 5 2 の前段側に配置し、レベル判定部 1 5 3 からその判定結果が処理停止信号として処理停止部 1 5 4 に与えられたときに、当該処理停止部 1 5 4 によって A D 変換部 1 5 2 の A D 変換処理を停止する構成を採っている。

【 0 0 5 9 】

処理停止部 1 5 4 による A D 変換処理の停止手法としては、A D 変換部 1 5 2 への入力を 0 とする、A D 変換部 1 5 2 の制御信号あるいはクロックを止める、A D 変換部 1 5 2 がイネーブル信号に应答して加算処理を行なう構成の場合は当該イネーブル信号の供給を停止する、などの手法が考えられる。

10

【 0 0 6 0 】

なお、実施例 1 の場合と同様に、ノイズ除去部 1 5 1 を信号処理回路 1 5 C 内に配置する構成を採っても良いことは勿論である。

【 0 0 6 1 】

(実施例 4)

図 1 3 は、実施例 4 に係る信号処理回路 1 5 D の構成の一例を示すブロック図であり、図中、図 1 0 と同等部分には同一符号を付して示している。

【 0 0 6 2 】

本実施例 4 に係る信号処理回路 1 5 D は、A D 変換部 1 5 2 による A D 変換後のデジタル値に対してレベル判定部 1 5 3 が参照レベルと比較する構成を採っている。そして、実施例 1 の場合と同様に、レベル判定部 1 5 3 からその判定結果が処理停止信号として処理停止部 1 5 4 に与えられたときに、当該処理停止部 1 5 4 によって加算部 1 5 6 での加算処理を停止するようにしている。

20

【 0 0 6 3 】

処理停止部 1 5 4 による加算処理の停止手法としては、実施例 1 の場合と同様に、加算部 1 5 6 への入力を 0 とする、加算部 1 5 6 の制御信号あるいはクロックを止める、加算部 1 5 6 がイネーブル信号に应答して加算処理を行なう構成の場合は当該イネーブル信号の供給を停止する、などの手法が考えられる。

【 0 0 6 4 】

なお、実施例 1 の場合と同様に、ノイズ除去部 1 5 1 を信号処理回路 1 5 C 内に配置する構成を採っても良いことは勿論である。

30

【 0 0 6 5 】

(実施例 5)

図 1 4 は、実施例 5 に係る信号処理回路 1 5 E の構成の一例を示すブロック図であり、図中、図 1 0 と同等部分には同一符号を付して示している。

【 0 0 6 6 】

本実施例 5 に係る信号処理回路 1 5 E は、レベル判定部 1 5 3 が A D 変換部 1 5 2 による A D 変換後のデジタル値を参照レベルと比較するとともに、処理停止部 1 5 4 を A D 変換部 1 5 2 の前段側に配置し、レベル判定部 1 5 3 からその判定結果が処理停止信号として処理停止部 1 5 4 に与えられたときに、分割転送されて読み出される次以降のいずれかあるいは全ての出力信号に対して、処理停止部 1 5 4 によって A D 変換部 1 5 2 の A D 変換処理を停止する構成を採っている。

40

【 0 0 6 7 】

処理停止部 1 5 4 による A D 変換処理の停止手法としては、実施例 3 の場合と同様に、A D 変換部 1 5 2 への入力を 0 とする、A D 変換部 1 5 2 の制御信号あるいはクロックを止める、A D 変換部 1 5 2 がイネーブル信号に应答して加算処理を行なう構成の場合は当該イネーブル信号の供給を停止する、などの手法が考えられる。

【 0 0 6 8 】

なお、実施例 1 の場合と同様に、ノイズ除去部 1 5 1 を信号処理回路 1 5 C 内に配置する構成を採っても良いことは勿論である。

50

【 0 0 6 9 】

上述したように、光電変換素子 2 1 の全ての蓄積電荷を 1 回の読み出しで出力できない場合に、分割して電荷転送および信号出力を行なう CMOS イメージセンサ 1 0 A において、分割転送によって単位画素 2 0 から出力される信号を加算する際に、参照レベル以上のときに加算処理を実行し、参照レベルを下回ったときには光電変換素子 2 1 の蓄積電荷が全て読み出されている状態（あるいは、残りの電荷が少ない状態）にあることから、それ以降の読み出しにおいて加算処理を停止することで、特に入射光輝度が低いときに、読み出しに必要な回数分のみの加算処理しか実行されず、読み出しの固定パターンノイズやランダムノイズが積算されることがないため、固定パターンノイズやランダムノイズの影響が小さく、特に低輝度側で高い S / N を実現し、撮像画像の画質を向上できる。

10

【 0 0 7 0 】

また、参照レベルについては、先述したとおり、該当する n 回目の読み出しにおいて転送できる最大電荷量 $Q_{fdn.max}$ であり、出力信号が最大電荷量 $Q_{fdn.max}$ 以下であれば処理停止信号が発生する。ただし、画素の特性ばらつきなどを考慮して、あるマージン Q を設定し、最大電荷量 $Q_{fdn.max}$ よりも低い $Q_{fdn.max} - Q$ を参照レベルとして設定することが好ましい。

【 0 0 7 1 】

上記実施例 1 乃至実施例 5 に係る信号処理回路 1 5 A 乃至 1 5 E において、処理停止部 1 5 4 は、レベル判定部 1 5 3 の判定結果に基づいて、分割転送によって単位画素 2 0 から読み出される複数の出力信号のうち、参照レベル以上の信号レベルの出力信号に対して加算処理を実行させる、具体的には、複数の出力信号の各信号レベルが参照レベル以上のときに加算処理を実行させ、参照レベルを下回るとき加算処理を停止する制御手段を構成している。

20

【 0 0 7 2 】

なお、上記実施例 1 乃至実施例 5 では、複数の出力信号の各信号レベルが参照レベルを下回るとき、次以降の出力信号に対する加算処理を全て停止する場合を例に挙げて説明したが、次以降の出力信号に対する加算処理を少なくとも 1 回停止するだけでも、そのときの固定パターンノイズやランダムノイズが積算されないことになるため、固定パターンノイズやランダムノイズの影響を抑えることができる。

【 0 0 7 3 】

(レベル判定部)

図 1 5 は、レベル判定部 1 5 3 の構成の一例を示すブロック図である。ここでは、アナログ信号に対するレベル判定の場合を例に挙げている。

30

【 0 0 7 4 】

本例に係るレベル判定部 1 5 3 は、レベル比較器 1 5 3 1 と処理停止信号保持部 1 5 3 2 によって構成されている。

【 0 0 7 5 】

レベル比較器 1 5 3 1 は、例えば図 1 6 に示すような差動増幅回路によって構成され、分割して転送された出力信号を反転 (-) 入力、参照信号を非反転 (+) 入力とし、出力信号と参照信号の大小比較を実行し、その比較結果を処理停止信号として出力する。

40

【 0 0 7 6 】

処理停止信号保持部 1 5 3 2 は、D 型フリップフロップからなるラッチ回路 1 5 3 2 1 と、レベル比較器 1 5 3 1 の比較結果である処理停止信号とラッチ回路 1 5 3 2 1 の Q 出力とを 2 入力とし、その出力をラッチ回路 1 5 3 2 1 の D 入力とする論理回路 1 5 3 2 2 によって構成されている。

【 0 0 7 7 】

このレベル判定部 1 5 3 は、レベル比較器 1 5 3 1 での比較によって処理停止信号が発生した次以降の読み出しにおいても引き続き処理停止をしたい場合に対応した回路構成となっている。次以降の読み出しでは、処理停止を行わない場合には、処理停止信号を保持する処理停止信号保持部 1 5 3 2 を省略すればよいことになる。

50

【 0 0 7 8 】

上記構成のレベル判定部 1 5 3 の回路動作について、図 1 7 のタイミングチャートを用いて説明する。

【 0 0 7 9 】

リセット信号 R E S E T によりラッチ回路 1 5 3 2 1 がリセットされることで、その Q 出力である処理停止信号が低レベル（以下、“ L ”レベルと記す）になる。次に、レベル比較器 1 5 3 1 の比較結果が高レベル（以下、“ H ”レベルと記す）になると、ラッチ回路 1 5 3 2 1 は次のセット信号 S E T によって“ H ”レベルの比較結果を保持し、リセット信号 R E S E T が入力されるまで比較結果によらず保持し続ける。

【 0 0 8 0 】

図 1 5 の回路例の場合、2 回目の読み出しで処理停止信号が“ H ”レベルとなっているため、3 回目や 4 回目読み出しでのレベル比較器 1 5 3 1 の比較結果が“ L ”レベルであっても、処理停止信号は“ H ”レベルのままとなる。

【 0 0 8 1 】

また、レベル比較器 1 5 3 1 の比較結果が“ H ”レベルとなる 2 回目の読み出しから加算を停止させるような即時反映としたい場合は、比較結果と処理停止信号の論理和をとってもよい。

【 0 0 8 2 】

なお、ここでは、アナログ信号に対するレベル判定の場合を例に挙げて説明したが、デジタル信号に対するレベル判定の場合は、単純な引き算を実行する方法や、デジタル信号の b i t 幅のある桁が 1 あるいは 0 である、といった判定方法や、A D 変換中にある桁が 1 または 0 となる、といった判定方法など、参照レベルの分解能によって大小比較できるものであればいずれでも構わない。

【 0 0 8 3 】

〔 第 2 実施形態 〕

図 1 8 は、本発明の第 2 実施形態に係る固体撮像装置、例えば C M O S イメージセンサの構成を示すシステム構成図であり、図中、図 1 と同等部分には同一符号を付して示している。

【 0 0 8 4 】

図 1 8 に示すように、本実施形態に係る C M O S イメージセンサ 1 0 B は、画素アレイ部 1 1、垂直走査回路 1 2、水平走査回路 1 3 およびカラム信号選択回路 1 4 に加えて、画素アレイ部 1 1 の画素列毎に配置された複数のカラム回路 1 7 を有し、当該カラム回路 1 7 において、画素アレイ部 1 1 から垂直信号線 1 1 1 を通して画素単位で出力される画素 2 0 の信号に対して、ノイズ除去、A D 変換、加算処理などの各種の信号処理を実行する構成となっており、それ以外の構成については第 1 実施形態に係る C M O S イメージセンサ 1 0 A と基本的に同じである。

【 0 0 8 5 】

本実施形態に係る C M O S イメージセンサ 1 0 B においても、第 1 実施形態に係る C M O S イメージセンサ 1 0 A と同様に、参照レベル以上のときに加算処理あるいは A D 変換処理を実行し、分割された各々の転送の最大値、即ち 1 回目転送できる最大電荷量 $Q_{fd1.max}$ 、2 回目転送できる最大電荷量 $Q_{fd2.max}$ 、..... を下回る出力が得られたときに、全ての蓄積電荷 Q_{pd} の読み出しが完了したと判定して、次以降の加算処理あるいは A D 変換処理を停止する制御が行なわれる。この制御は、カラム回路 1 7 で実行される。

【 0 0 8 6 】

以下に、1 回目転送できる最大電荷量 $Q_{fd1.max}$ 、2 回目転送できる最大電荷量 $Q_{fd2.max}$ 、..... を下回る出力が得られたときに、全ての蓄積電荷 Q_{pd} の読み出しが完了したと判定し、次以降の加算処理あるいは A D 変換処理を停止する制御を行なうカラム回路 1 7 の具体的な実施例について説明する。

【 0 0 8 7 】

(実施例 1)

10

20

30

40

50

図19は、実施例1に係るカラム回路17Aの構成の一例を示すブロック図である。本実施例1に係るカラム回路17Aは、AD変換部171、レベル判定部172、処理停止部(制御手段)173および加算部174を有する構成となっている。ここでは図示を省略するが、AD変換部171の前段側に、図10のノイズ除去部151に相当するノイズ除去部を設けた構成を採ることも可能である。

【0088】

AD変換部171は、画素アレイ部11から垂直信号線111を通して供給される、分割して転送されたアナログの出力信号をデジタル信号にAD変換する。レベル判定部172は、AD変換部171によるAD変換後のデジタル値を参照レベルと比較し、当該デジタル値が参照レベルを下回るときに判定結果を出力し、当該判定結果を処理停止信号として処理停止部154に与える。参照レベルは、1回目で転送できる最大電荷量 $Q_{fd1.max}$ 、2回目で転送できる最大電荷量 $Q_{fd2.max}$ 、……に対応して設定される。

10

【0089】

処理停止部173は、レベル判定部172から判定結果が与えられたときに、AD変換部171から出力される分割転送に伴うデジタル信号に対する加算部174での加算処理を停止する。処理停止部173による加算処理の停止手法としては、加算部174への入力を0とする、加算部174の制御信号あるいはクロックを止める、加算部174がイネーブル信号に応答して加算処理を行なう構成の場合は当該イネーブル信号の供給を停止する、などの手法が考えられる。

【0090】

加算部174は、処理停止部173によって加算処理が停止されているときは加算処理を停止する(0を加算する場合も加算処理の停止の概念に含むものとする)が、それ以外は、分割転送に伴ってAD変換部171から順次供給されるデジタル信号を加算処理して1画素の画素信号として出力する。

20

【0091】

(実施例2)

図20は、実施例2に係るカラム回路17Bの構成の一例を示すブロック図であり、図中、図19と同等部分には同一符号を付して示している。

【0092】

本実施例2に係るカラム回路17Bは、レベル判定部153がAD変換部152によるAD変換後のデジタル値を参照レベルと比較するとともに、処理停止部173をAD変換部171の前段側に配置し、レベル判定部172からその判定結果が処理停止信号として処理停止部173に与えられたときに、分割転送されて読み出される次以降のいずれかあるいは全ての出力信号に対して、処理停止部173によってAD変換部171のAD変換処理を停止する構成を採っている。

30

【0093】

処理停止部173によるAD変換処理の停止手法としては、AD変換部171への入力を0とする、AD変換部171の制御信号あるいはクロックを止める、AD変換部171がイネーブル信号に応答して加算処理を行なう構成の場合は当該イネーブル信号の供給を停止する、などの手法が考えられる。

40

【0094】

(実施例3)

図21は、実施例3に係るカラム回路17Cの構成の一例を示すブロック図であり、図中、図19と同等部分には同一符号を付して示している。

【0095】

本実施例3に係るカラム回路17Cは、実施例2に係るカラム回路17Bにおいて、AD変換部171がAD変換機能に加えて、ノイズ除去(CDS)機能と加算機能を持つ構成となっている。

【0096】

< AD変換部および処理停止部 >

50

図 2 2 は、A D 変換部 1 7 1 および処理停止部 1 7 3 の具体的な構成の一例を示すブロック図である。

【 0 0 9 7 】

図 2 2 に示すように、本例に係る A D 変換部 1 7 1 は、電圧比較器 1 7 1 1 とカウンタ 1 7 1 2 によって構成されている。また、本例に係る処理停止部 1 7 3 は、論理積回路 1 7 3 1 によって構成されている。

【 0 0 9 8 】

電圧比較器 1 7 1 1 は、ランプ (R A M P) 波形の参照信号 V_{ref} を反転 (-) 入力とし、垂直信号線 1 1 1 を通して供給される単位画素 2 0 の出力信号 V_{out} を非反転 (+) とし、出力信号 V_{out} が参照信号 V_{ref} よりも大きいときに比較結果 V_{co} を出力する。

10

【 0 0 9 9 】

カウンタ 1 7 1 2 はアップ / ダウンカウンタからなり、電圧比較器 1 7 1 1 の比較結果 V_{co} が遷移するまでの期間、アップ / ダウン制御信号による制御の下に、クロック CK に同期してアップカウント / ダウンカウントのカウンタ動作を行なうことにより、カウンタ値を増減する。

【 0 1 0 0 】

より具体的には、リセットレベルを読み出すときはダウンカウントによってカウンタ値を減じ、信号レベルを読み出すときはアップカウントによってカウンタ値を増やす。これにより、リセットレベルと信号レベルの差分を得るノイズ除去処理を A D 変換と同時に実行することができる。

20

【 0 1 0 1 】

さらに、1 回目の A D 変換結果から引き続き、2 回目のリセットレベル、信号レベルの A D 変換を同様に実行すると、カウンタ値は 1 回目と 2 回目の和となり、よって加算処理も同時に実行することができる。

【 0 1 0 2 】

なお、カウンタ 1 7 1 2 においては、必ずしもリセットレベルをダウンカウントする必要はなく、リセットレベルをアップカウントしておき、信号レベルの読み出し直前に 1 を加えて反転させて負の値として扱い、信号レベルも同様にアップカウントするようにしても構わない。

30

【 0 1 0 3 】

他にも、リセットレベルの読み出しにおける総カウンタ値が N 、リセットレベルの値に相当するカウンタ値が N_{sig} のとき、比較結果 V_{co} が遷移してから総カウンタ値 N が終わるまでのカウンタ値 $N - N_{sig}$ をカウンタし、さらに信号レベルの値に相当するカウンタ値 M_{sig} をカウンタし、 $N - N_{sig} - M_{sig}$ として出力した上で、最終的に既知である総カウンタ値 N を引き算して、ノイズ除去後の信号出力 $M_{sig} - N_{sig}$ を得るようにしても構わない。

【 0 1 0 4 】

論理積回路 1 7 3 1 は、クロック CK を一方の入力とし、レベル判定部 1 7 2 から出力される処理停止信号を負論理の他方の入力とし、レベル判定部 1 7 2 から処理停止信号が与えられているときは、カウンタ 1 7 1 2 へのクロック CK の入力を停止することで、カウンタ 1 7 1 2 のカウンタ動作、即ち A D 変換部 1 7 1 の A D 変換処理、ノイズ除去処理および加算処理を停止させる。

40

【 0 1 0 5 】

続いて、上記構成の A D 変換部 3 4 1、即ちノイズ除去機能と加算機能を持つ A D 変換部 3 4 1 の動作タイミングについて、図 2 3 のタイミングチャートを用いて説明する。ここでは、図 8 (B) に示すように、最初の 2 回で全電荷が読み出される場合を例に挙げて説明するものとする。

【 0 1 0 6 】

レベル判定部 1 7 2 でのレベル判定は A D 変換および加算処理が為された信号に対して

50

実行される。したがって、参照レベルについては、各分割された読み出し転送の最大電荷量 $Q_{fd1.max}$, $Q_{fd2.max}$,を累積加算したものを、それぞれの読み出しにおける参照レベルとする。

【 0 1 0 7 】

図 2 3 の例では、前述したとおり、画素の特性バラツキなどに対する余裕として Q のマージンを取り、1 回目の読み出しに対する参照レベルを $Q_{fd1.max} - Q$ 、2 回目の読み出しに対する参照レベルを $Q_{fd1.max} + Q_{fd2.max} - Q$ 、以降同様としている。

【 0 1 0 8 】

信号レベルの読み出しが完了したタイミングで参照レベルとの比較を実行し、2 回目の読み出しにて処理停止信号が発生し、3 回目の読み出し以降の A/D 変換が停止している。そのため、1 回目の読み出し結果と 2 回目の読み出し結果のみを加算した値が A/D 変換および加算処理の出力として得られる。

10

【 0 1 0 9 】

なお、上記実施例 1 , 2 , 3 では、レベル判定部 1 7 2 が A/D 変換器 1 7 1 の後段側においてデジタル値を参照レベルと比較するとしたが、D 変換器 1 7 1 の前段側において、アナログ値を参照レベルと比較する構成を採ることも可能である。

【 0 1 1 0 】

また、上記実施例 1 , 2 , 3 に係るレベル判定部 1 7 2 としては、図 1 5 に示したレベル判定部 1 5 3 と同じ構成のものを用いることが可能である。

【 0 1 1 1 】

20

上述したように、分割転送による駆動法を用いた CMOS イメージセンサ 1 0 B では、参照レベル以上のときに加算処理あるいは A/D 変換処理を実行し、信号レベルが参照レベルを下回ったときに、それ以降の読み出しにおいて加算処理あるいは A/D 変換処理を停止することで、特に低輝度の場合に、読み出しに必要な回数分のみの加算処理または A/D 変換処理しか実行されず、読み出しの固定パターンノイズやランダムノイズが積算されることがないため、固定パターンノイズやランダムノイズの影響が小さく、特に低輝度側で高い S/N を実現し、撮像画像の画質を向上できる。

【 0 1 1 2 】

上記実施例 1 乃至実施例 3 に係るカラム回路 1 7 A 乃至 1 7 E において、処理停止部 1 7 3 は、レベル判定部 1 7 2 の判定結果に基づいて、分割転送によって単位画素 2 0 から読み出される複数の出力信号のうち、参照レベル以上の信号レベルの出力信号に対して加算処理を実行させる、具体的には、複数の出力信号の各信号レベルが参照レベル以上のときに加算処理を実行させ、参照レベルを下回るとき加算処理を停止する制御手段を構成している。

30

【 0 1 1 3 】

[第 3 実施形態]

図 2 4 は、本発明の第 3 実施形態に係る固体撮像装置、例えば CMOS イメージセンサの構成を示すシステム構成図であり、図中、図 1 と同等部分には同一符号を付して示している。

【 0 1 1 4 】

40

図 2 4 に示すように、本実施形態に係る CMOS イメージセンサ 1 0 C は、画素アレイ部 1 1、垂直走査回路 1 2、水平走査回路 1 3、複数のカラム回路 1 7 およびカラム信号選択回路 1 4 および複数に加えて、供給電圧制御回路 3 1、電圧供給回路 3 2 およびタイミング発生回路 (T G) 3 3 を有するとともに、画素アレイ部 1 1 の画素列毎に配置された複数のカラム回路 3 4 を有する構成となっており、それ以外の構成については第 2 実施形態に係る CMOS イメージセンサ 1 0 B と基本的に同じである。

【 0 1 1 5 】

供給電圧制御回路 3 1 は、単位画素 2 0 内の転送トランジスタ (転送素子) 2 2 のゲート電極 (制御電極) に印加する転送パルス T R G の電圧値 (波高値) を制御する。この供給電圧制御回路 3 1 の具体的な構成については後述する。

50

【 0 1 1 6 】

電圧供給回路 3 2 は、供給電圧制御回路 3 1 に対して電圧値が異なる複数の制御電圧を供給する。この複数の制御電圧は、電圧値が異なる転送パルス T R G として転送トランジスタ 2 2 のゲート電極に供給される。この異なる電圧値の転送パルス T R G の詳細については後述する。

【 0 1 1 7 】

タイミング発生回路 (T G) 3 3 は、供給電圧制御回路 3 1 が転送トランジスタ 2 2 のゲート電極に異なる電圧値の転送パルス T R G を供給する際のタイミングを決めるタイミング信号 P T R G を発生する。

【 0 1 1 8 】

カラム回路 3 4 は、画素アレイ部 1 1 から垂直信号線 1 1 1 を通して画素単位で出力される画素 2 0 の信号に対して、ノイズ除去、A D 変換、加算処理などの各種の信号処理を実行する。カラム回路 3 4 の具体的な構成および動作については後述する。

【 0 1 1 9 】

(供給電圧制御回路)

供給電圧制御回路 3 1 は、垂直走査回路 1 2 で選択走査された行を駆動するアドレス信号 A D R を入力とし、電圧供給回路 3 2 から与えられる複数の電圧のうちの一つを選択して転送パルス T R G として単位画素 2 0 内の転送トランジスタ 2 2 のゲート電極に供給する。

【 0 1 2 0 】

複数の電圧としては、転送トランジスタ 2 2 をオン (導通) 状態にするオン電圧 V o n と、転送トランジスタ 2 2 をオフ (非導通) 状態にするオフ電圧 V o f f と、オン電圧 V o n とオフ電圧 V o f f の間の中間電圧 V m i d が電圧供給回路 3 2 から供給される。ここで、中間電圧 V m i d とは、光電変換素子 2 1 の蓄積電荷の一部を保持したまま、残りの蓄積電荷を部分的に浮遊拡散容量 2 6 へ転送できる電圧である。

【 0 1 2 1 】

上述した画素回路では、転送トランジスタ 2 2 が N チャネルであることから、オン電圧 V o n を電源電圧 V d d とし、オフ電圧 V o f f を接地電圧、好ましくは接地電圧よりも低い電圧とする。また、本例では、中間電圧 V m i d として、電圧値が異なる 2 つの中間電圧 V m i d 0 , V m i d 1 を用いるものとする。

【 0 1 2 2 】

これにより、電圧供給回路 3 2 から供給電圧制御回路 3 1 に対して、オン電圧 V o n 、中間電圧 V m i d 0 , V m i d 1 およびオフ電圧 V o f f の 4 つの電圧が供給される。これら 4 つの電圧の電圧値は、V o f f < V m i d 0 < V m i d 1 < V o n の関係にある。そして、4 つの電圧のうち、中間電圧 V m i d 0 , V m i d 1 およびオン電圧 V o n が転送パルス T R G として用いられる。

【 0 1 2 3 】

中間電圧 V m i d 0 , V m i d 1 およびオン電圧 V o n の供給タイミングを制御するために、タイミング発生回路 3 3 から 3 つのタイミング信号 P T R G 1 , P T R G 2 , P T R G 3 が供給電圧制御回路 3 1 に与えられる。供給電圧制御回路 3 1 は、中間電圧 V m i d 0 , V m i d 1 およびオン電圧 V o n のうちの一つを、タイミング信号 P T R G 1 , P T R G 2 , P T R G 3 を基に選択して転送トランジスタ 2 2 のゲート電極に中間電圧 V m i d として供給する。

【 0 1 2 4 】

図 2 5 は、供給電圧制御回路 3 1 の回路構成の一例を示す回路図である。図 2 5 に示すように、本例に係る供給電圧制御回路 3 1 は、4 つの電圧、即ち中間電圧 V m i d 0 , V m i d 1 、オン電圧 V o n およびオフ電圧 V o f f に対応した 4 つの回路ブロック 3 1 1 ~ 3 1 4 と 3 入力 の N O R 回路 3 1 5 とを有する構成となっている。

【 0 1 2 5 】

回路ブロック 3 1 1 ~ 3 1 4 には、垂直走査回路 1 2 からアドレス信号 A D R が共通に

10

20

30

40

50

与えられる。NOR回路315には、タイミング発生回路33からタイミング信号PTRG1, PTRG2, PTRG3が3入力として与えられる。

【0126】

回路ブロック311は、アドレス信号ADRとタイミング信号PTRG1とを2入力とするNAND回路3111、レベルシフタ3112およびPチャネルの駆動トランジスタ3113によって構成され、中間電圧Vmid0を選択して転送トランジスタ22のゲート電極に供給する。

【0127】

回路ブロック312は、アドレス信号ADRとタイミング信号PTRG2とを2入力とするAND回路3121およびPチャネルの駆動トランジスタ3122によって構成され、中間電圧Vmid1を選択して転送トランジスタ22のゲート電極に供給する。

10

【0128】

回路ブロック313は、アドレス信号ADRとタイミング信号PTRG3とを2入力とするNAND回路3131およびNチャネルの駆動トランジスタ3132によって構成され、オン電圧Vonを選択して転送トランジスタ22のゲート電極に供給する。

【0129】

回路ブロック314は、アドレス信号ADRとNOR回路315の出力信号とを2入力とするAND回路3141、アドレス信号ADRを一方の(否定)入力とし、AND回路3141の出力信号を他方の入力とするOR回路3142、レベルシフタ3143およびNチャネルの駆動トランジスタ3144によって構成され、オフ電圧Voffを選択して転送トランジスタ22のゲート電極に供給する。

20

【0130】

この回路ブロック314では、転送トランジスタ22をオフするためのオフ電圧Voffとして、接地電圧よりも低い電圧、例えば-1.0Vを供給するために、NOR回路315の作用により他の回路ブロック311, 312, 313とは排他的に動作する回路構成となっている。

【0131】

図26に、供給電圧制御回路31の入出力のタイミング関係を示す。転送トランジスタ22のゲート電極に供給する電圧を中間電圧Vmid0, Vmid1、オン電圧Vonおよびオフ電圧Voffとした場合において、アドレス信号ADRによって行が選択された際に、タイミング信号PTRG1, PTRG2, PTRG3によって、それぞれに対応する電圧Vmid0, Vmid1, Vonを供給し、それ以外は電圧Voffを供給する。

30

【0132】

このようにして、供給電圧制御回路31による制御の下に、垂直走査回路12による垂直走査に同期して画素行ごとに、中間電圧Vmid0, Vmid1およびオン電圧Vonをその順番で順次転送トランジスタ22のゲート電極に供給することにより、光電変換素子21に蓄積された信号電荷を例えば3回に分割して浮遊拡散容量26へ転送する3分割転送を実現できる。

【0133】

< 3分割転送 >

40

以下に、ある画素行における3分割転送の場合の具体的な動作について、図27のタイミングチャートおよび図28の動作説明図を用いて説明する。図28において、各動作(1)~(11)は図27の各期間(1)~(11)に対応している。

【0134】

ある画素行の一単位の蓄積期間中において、3分割転送を行なう場合は、垂直走査回路12からリセットトランジスタ23のゲート電極に対してリセットパルスRTSが一定の間隔で3回与えられることで、浮遊拡散容量26のリセット動作が3回実行される。このリセット動作に同期して供給電圧制御回路31から、各リセット動作の一定時間後に中間電圧Vmid0、中間電圧Vmid1およびオン電圧Vonがこの順番で転送トランジスタ22のゲート電極に与えられる。

50

【 0 1 3 5 】

期間(1)では、光電変換素子21に電荷 Q_{pd} が蓄積している。このとき、転送トランジスタ22のゲート電極にオフ電圧 V_{off} が印加されており、また浮遊拡散容量26が1回目のリセットパルス RST によってリセット済みであり、そのリセットレベルが1回目のリセットレベルとして増幅トランジスタ24および選択トランジスタ25を通して垂直信号線111に読み出される。

【 0 1 3 6 】

リセットレベルの1回目の読み出し後、期間(2)で中間電圧 V_{mid0} が転送トランジスタ22のゲート電極に印加される。この中間電圧 V_{mid0} の印加により、光電変換素子21の蓄積電荷 Q_{pd} の一部の電荷 Q_{mid0} を残し、 $(Q_{pd} - Q_{mid0})$ の電荷が浮遊拡散容量26へ転送される。

10

【 0 1 3 7 】

次に、期間(3)で、転送トランジスタ22のゲート電極にオフ電圧 V_{off} が印加され、浮遊拡散容量26に転送された電荷 $(Q_{pd} - Q_{mid0})$ に応じた信号が1回目の信号レベルとして垂直信号線111に読み出される。

【 0 1 3 8 】

次に、期間(4)では、2回目のリセットパルス RST がリセットトランジスタ23のゲート電極に印加されることで浮遊拡散容量26がリセットされる。次いで、期間(5)で、そのリセットレベルが2回目のリセットレベルとして垂直信号線111に読み出される。

20

【 0 1 3 9 】

次に、期間(6)で、中間電圧 V_{mid1} が転送トランジスタ22のゲート電極に印加される。この中間電圧 V_{mid1} の印加により、光電変換素子21に残っている電荷 Q_{mid0} の一部の電荷 Q_{mid1} を残し、 $(Q_{pd0} - Q_{mid1})$ の電荷が浮遊拡散容量26へ転送される。

【 0 1 4 0 】

次に、期間(7)で、転送トランジスタ22のゲート電極にオフ電圧 V_{off} が印加され、浮遊拡散容量26に転送された電荷 $(Q_{pd0} - Q_{mid1})$ に応じた信号が2回目の信号レベルとして垂直信号線111に読み出される。

【 0 1 4 1 】

次に、期間(8)では、3回目のリセットパルス RST がリセットトランジスタ23のゲート電極に印加されることで浮遊拡散容量26がリセットされる。次いで、期間(9)で、そのリセットレベルが3回目のリセットレベルとして垂直信号線111に読み出される。

30

【 0 1 4 2 】

次に、期間(10)で、オン電圧 V_{on} が転送トランジスタ22のゲート電極に印加される。このオン電圧 V_{on} の印加により、光電変換素子21の残りの電荷 Q_{mid1} が浮遊拡散容量26へ転送される。

【 0 1 4 3 】

次に、期間(11)で、転送トランジスタ22のゲート電極にオフ電圧 V_{off} が印加され、浮遊拡散容量26に転送された電荷 Q_{mid1} に応じた信号が3回目の信号レベルとして垂直信号線111に読み出される。

40

【 0 1 4 4 】

3分割転送の場合には、中間電圧 V_{mid0} 、 V_{mid1} が第1制御電圧となり、オン電圧 V_{on} が第2制御電圧となる。

【 0 1 4 5 】

< n分割転送 >

ここでは、3分割転送の場合を例に挙げて説明したが、転送動作の分割数は任意に設定可能である。そして、n分割(nは2以上の整数)の転送を実行する場合は、図29に示すように、n-1個の中間電圧 V_{mid0} 、 V_{mid1} 、...、 $V_{mid(n-2)}$ と、

50

オン電圧 V_{on} とを供給電圧制御回路 13 から転送トランジスタ 22 のゲート電極に印加して当該転送トランジスタ 22 を駆動するようにすればよい。

【0146】

n 分割転送の場合には、中間電圧 $V_{mid0} \sim V_{mid(n-2)}$ が第 1 制御電圧となり、オン電圧 V_{on} が第 2 制御電圧となる。

【0147】

上述した n 分割転送による駆動の下に、画素行ごとに電荷の転送、リセット、画素選択が実行されることで、単位画素 20 からリセットレベルおよび信号レベルの各信号（単位画素 20 の出力信号）が列並列に、即ち画素列単位で並列的に垂直信号線 111 に読み出され、当該垂直信号線 111 を通してカラム回路 34 に供給される。

10

【0148】

分割転送による駆動法が、図 27 に示すように、転送トランジスタ 22 に中間電圧 V_{mid0} 、 V_{mid1} を印加して任意の電荷量単位で分割転送する方式である場合、第 1、第 2 実施形態に係る分割転送による駆動法の場合とは逆に、高輝度の画素において最初に電荷転送および出力が発生し、低輝度の画素においては最初に電荷転送および出力が発生しない。

【0149】

図 28 に示す分割転送による駆動法では、図 27 に示すように、転送トランジスタ 22 の駆動電圧によって光電変換部（受光部）で保持できる電荷量が異なることを利用して分割転送を実行する。例えば、図 27 に記載した例では、転送トランジスタ 22 の駆動電圧として中間電圧 V_{mid0} 、 V_{mid1} を用いることで、電荷 Q_{mid0} 、 Q_{mid1} を光電変換部に保持し、それを越えた電荷を順次転送して読み出すことができる。

20

【0150】

< 本実施形態の特徴部分 >

上述したように、中間電圧 V_{mid0} 、 V_{mid1} およびオン電圧 V_{on} をその順番で順次転送トランジスタ 22 のゲート電極に転送パルス TRG として供給し、一単位の蓄積期間中に光電変換部に蓄積された信号電荷を例えば 3 分割転送にて浮遊拡散容量 26 へ転送し、これら分割転送された信号電荷を読み出す構成を採る CMOS イメージセンサ 10C では、分割された各々の転送の最大値以上の出力が得られたときに、それ以前に読み出された結果あるいはその加算結果をリセットして、次以降の加算処理あるいは AD 変換処理を開始することを特徴としている。

30

【0151】

< 本実施形態の作用効果 >

第 1、第 2 実施形態では、参照レベル以上のときに加算処理あるいは AD 変換処理を実行し、信号レベルが参照レベルを下回ったときに、光電変換部の蓄積電荷が全て読み出されているものとし、次以降の加算処理あるいは AD 変換処理を停止するようにしている。これに対して、本実施形態では、光電変換部に蓄積電荷が無い状態から電荷が蓄積され、信号レベルが参照レベル以上になったとき、それ以前に読み出された結果あるいはその加算結果をリセットするとともに、次以降の加算処理あるいは AD 変換処理を開始することで、特に低輝度時に出力の無い読み出しのノイズ成分を加算することなく、第 1、第 2 実施形態の場合と同様の作用効果を得ることができる。

40

【0152】

例えば、図 30 (A) に示すように、転送可能な最大電荷量が決まる。そして、図 30 (B) の例のように、例えば蓄積電荷 Q_{pd} が $Q_{pd} > Q_{fd4.max}$ 、かつ、 $Q_{pd} < Q_{fd4.max} + Q_{fd3.max}$ の場合、1 回目、2 回目にて電荷転送が発生せず出力がなく、3 回目にて $Q_{fd3} (= Q_{pd} - Q_{fd4.max})$ が転送されて出力され、4 回目で $Q_{fd4.max}$ が出力される。

【0153】

そして、3 回目と 4 回目で読み出された出力信号を加算することで全蓄積電荷 Q_{pd} が得られる。この場合、3 回目にて $Q_{fd3} < Q_{fd3.max}$ のレベル判定により保持データリセット信号が発生し、それまでに AD 変換し保持されている 1 回目と 1 回目のデータ、あるいは

50

は、それらを加算されて保持されているデータをリセットし、3回目と4回目のみを加算することで、ノイズ成分を抑えることができる。

【0154】

以下に、分割された各々の転送の最大値を上回る出力が得られたときに、それ以前に読み出された結果あるいはその加算結果をリセットし、次以降の加算処理あるいはAD変換処理を開始する制御を行なうカラム回路34の具体的な実施例について説明する。

【0155】

(カラム回路)

図31は、カラム回路34の構成の一例を示すブロック図である。図31に締め治すように、カラム回路34Aは、AD変換部341、レベル判定部342および加算部343を有する構成となっている。

10

【0156】

AD変換部341は、画素アレイ部11から垂直信号線111を通して供給される、分割して転送されたアナログの出力信号をデジタル信号にAD変換する。レベル判定部342は、AD変換部341によるAD変換後のデジタル値を参照レベルと比較し、当該デジタル値が参照レベルを上回るときに判定結果を出力し、当該判定結果を保持データリセット信号として加算部343に与える。

【0157】

加算部343は、分割転送に伴ってAD変換部341から順次供給されるデジタル信号を加算処理してその加算結果を保持し、レベル判定部342から保持データリセット信号が与えられたときは、それまで加算して保持した保持データをリセットし、分割転送に伴ってAD変換部341から順次供給されるデジタル信号について再び加算処理を開始し、最終的な保持データを1画素の画素信号として出力する。

20

【0158】

レベル判定部342の判定結果を保持データリセット信号として用いる場合、保持データのリセットは1回実行されればよいので、レベル判定部342は、図15に示したレベル判定部153の場合のように、保持データリセット信号を保持し続ける構成でなくても構わない。

【0159】

なお、ここでは図示を省略するが、AD変換部341の前段側に、図10のノイズ除去部151に相当するノイズ除去部を設ける構成を採ることも可能である。

30

【0160】

上記実施例に係るカラム回路34において、加算部343は、レベル判定部34の判定結果に基づいて、分割転送によって単位画素20から読み出される複数の出力信号のうち、参照レベル以上の信号レベルの出力信号に対して加算処理を実行させる、具体的には、複数の出力信号の各信号レベルが参照レベル以上になったとき、それ以前に読み出された出力信号あるいはその加算結果をリセットし、算処理を開始する制御手段としての機能をも併せ持っている。

【0161】

[高変換効率]

以上説明した第1～第3実施形態に係るCMOSイメージセンサ10A～10Cにおいて、浮遊拡散容量26での電荷電圧変換効率を高めるべく、光電変換素子21から信号電荷が転送される浮遊拡散容量(電荷電圧変換部)26の寄生容量(FD容量)を微小化、具体的には、浮遊拡散容量26が扱える最大電荷量が光電変換素子21に蓄積可能な最大電荷量よりも小さくなるように寄生容量を小さくすることで、より高い効果を得ることができる。

40

【0162】

光電変換素子21の最大蓄積電荷量を10,000e⁻とした場合に、全ての蓄積電荷を1回の転送にて読み出し可能なFD容量を1とする。この場合の読み出し時ランダムノイズを7e⁻、読み出し時の固定パターンノイズを2e⁻、光ショットノイズを蓄積電荷

50

の平方根とした場合の、蓄積電荷に対する信号ノイズ比 S/N (dB) を図 3 2 に示す。

【 0 1 6 3 】

図 3 2 にはさらに、同じ条件にて、FD 容量を $1/4$ として、従来の分割転送と加算処理をした場合、本発明の停止判定付きで 4 分割転送と加算処理をした場合をそれぞれ示している。

【 0 1 6 4 】

図 3 2 から明らかなように、高変換効率として光ショットノイズ以外のノイズ成分を相対的に小さくし、全蓄積電荷を分割転送で読み出した上で、低輝度の場合にはノイズ成分のみを加算しないようにできるため、高い画質を実現できることがわかる。

【 0 1 6 5 】

また、同様に FD 容量を $1/10$ にして 10 分割転送して本発明による加算処理を実行した場合のように、FD 容量を微小化し、分割転送の分割数を増やすことで光ショットノイズ以外のノイズ成分を小さくすることができる。

【 0 1 6 6 】

上述したように、浮遊拡散容量 2 6 の寄生容量を小さくするなどして電荷電圧変換効率を高めることで、出力信号の信号レベルに対するラインダムノイズや固定パターンノイズを相対的に小さくし、かつ、電荷電圧変換効率を高めたことによって 1 回の読み出しで出力できない蓄積電荷を分割転送する CMOS イメージセンサ 1 0 A ~ 1 0 C において、分割転送によって単位画素 2 0 から出力される信号を加算する際に、入射光輝度または蓄積電荷によって加算する必要の無い読み出しを検知して加算しないようにすることで、不要なランダムノイズや固定パターンノイズを加算結果に含まないようにすることができるため、特に低輝度領域にて高い S/N を実現できる。

【 0 1 6 7 】

[変形例]

上記各実施形態では、信号処理回路 1 5 (1 5 A , 1 5 B , 1 5 C , 1 5 D , 1 5 E) およびカラム回路 1 7 (1 7 A , 1 7 B , 1 7 C) , 3 4 が AD 変換機能を持つ場合を例に挙げた説明したが、AD 変換機能は必須の構成要素ではなく、信号処理回路 1 5 およびカラム回路 1 7 , 3 4 としては、少なくとも加算機能を持つ構成のものであれば所期の目的を達成することができる。

【 0 1 6 8 】

また、上記各実施形態では、光電変換素子 2 1 の電荷を 1 つの転送トランジスタ 2 2 によって共通の浮遊拡散容量 2 6 に分割転送し、共通の垂直信号線 1 1 1 に順次読み出す構成の単位画素 2 0 を有する CMOS イメージセンサに適用した場合を例に挙げて説明したが、これに限られるものではなく、種々の変形例が可能である。

【 0 1 6 9 】

(変形例 1)

図 3 3 は、変形例 1 に係る単位画素 2 0 B の画素回路を示す回路図であり、図中、図 2 と同等部分には同一符号を付して示している。

【 0 1 7 0 】

図 3 3 に示すように、本変形例 1 に係る単位画素 2 0 A は、増幅トランジスタ 2 4 に対して直列に接続された選択トランジスタ 2 5 のドレイン電極と電源 V_{dd} との間に電流源 3 1 を接続し、選択トランジスタ 2 5 のドレインノードから出力信号 V_{out} を導出する構成となっている。

【 0 1 7 1 】

この単位画素 2 0 A において、浮遊拡散容量 2 6 での電荷電圧変換の変換効率は、浮遊拡散容量 2 6 と垂直信号線 1 1 1 の間の寄生容量の容量値 C_i で決まり、この寄生容量の容量値 C_i を浮遊拡散容量 2 6 の容量値 C_{fd} よりも小さくすることで、変換効率を上げることができる。

【 0 1 7 2 】

ここで、浮遊拡散容量 2 6 の最大蓄積電荷量を $Q_{fd,max}$ 、寄生容量 C_i の最大蓄積電荷

10

20

30

40

50

量を $Q_{i,max}$ とした場合、高変換効率の効果を得るには、

$$Q_{i,max} < Q_{fd,max}$$

が条件となる。このため、最大蓄積電荷量 $Q_{fd,max}$ よりも小さい最大蓄積電荷量 $Q_{i,max}$ を単位として光電変換素子 21 の蓄積電荷 Q_{pd} を分割転送する必要がある。

【0173】

このように、電荷電圧変換効率が高い、あるいは、電圧増幅率が高い単位画素 20 A を有する CMOS イメージセンサは、S/N において有利である一方で、1 回の読み出しで出力できる電荷量に制限が発生する場合がある。

【0174】

この単位画素 20 A を有する CMOS イメージセンサに対して、先述した分割転送を適用し、光電変換素子 21 の電荷を任意に分割して転送することにより、光電変換素子 21 で発生した全ての電荷を、読み出し回路の出力範囲に応じて効率よく出力することができる。

10

【0175】

また、図 33 に示す単位画素 22 A の例では、リセット時の電荷電圧変換部（浮遊拡散容量 26）の電圧を読み出し回路の動作点に設定する必要があるが、先述した分割転送を適用することにより、電荷電圧変換部の電位に依らず分割転送量を制御できる。

【0176】

（変形例 2）

図 34 は、変形例 2 に係る単位画素 20 B の画素回路を示す回路図であり、図中、図 2 と同等部分には同一符号を付して示している。

20

【0177】

図 34 に示すように、本変形例 2 に係る単位画素 20 B は、増幅トランジスタ 24 に代えて、浮遊拡散容量 26 と選択トランジスタ 25 の間に反転増幅回路 27 を接続するとともに、当該反転増幅回路 27 に対してリセットトランジスタ 23 を並列に接続した構成となっている。このように、反転増幅回路 27 を画素内に持つことにより、信号レベルを増幅し、S/N の改善を図ることができる。

【0178】

このように、反転増幅回路 27 を画素内に持つ単位画素 20 C を有する CMOS イメージセンサでは、反転増幅回路 27 の増幅率を $-A$ とすると、浮遊拡散容量 26 に最大蓄積電荷量 $Q_{fd,max}$ が転送されたときの出力電圧 V_{out} の振幅 $-A \cdot Q_{fd,max} / C_{fd}$ が、出力電圧 V_{out} の出力可能範囲 $V_{out,pp}$ を超える場合がある。

30

【0179】

この場合、全ての電荷を信号出力するために、浮遊拡散容量 26 の最大蓄積電荷量 $Q_{fd,max}$ よりも小さい電荷 Q_{mid} ($< Q_{fd,max}$) を最大とした電荷量の単位で分割転送する必要がある。

【0180】

この単位画素 20 B を有する CMOS イメージセンサに対して、先述した分割転送を適用し、光電変換素子 21 の電荷を任意に分割して転送することにより、光電変換素子 21 で発生した全ての電荷を、出力電圧 V_{out} の出力可能範囲 $V_{out,pp}$ に応じて効率よく出力することができる。

40

【0181】

なお、上記各実施形態では、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなる CMOS イメージセンサに適用した場合を例に挙げて説明したが、本発明は CMOS イメージセンサへの適用に限られるものではなく、画素アレイ部の画素列ごとにカラム回路を配置してなるカラム方式の固体撮像装置全般に対して適用可能である。

【0182】

また、本発明は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線や X 線、あるいは粒子等の入射量の分布を画像として撮像する

50

固体撮像装置や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。

【0183】

さらに、本発明は、画素アレイ部の各単位画素を行単位で順に走査して各単位画素から画素信号を読み出す固体撮像装置に限らず、画素単位で任意の画素を選択して、当該選択画素から画素単位で信号を読み出すX-Yアドレス型の固体撮像装置に対しても適用可能である。

【0184】

なお、固体撮像装置はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

10

【0185】

また、本発明は、固体撮像装置への適用に限られるものではなく、撮像装置にも適用可能である。ここで、撮像装置とは、デジタルスチルカメラやビデオカメラ等のカメラシステムや、携帯電話機などの撮像機能を有する電子機器のことを言う。なお、電子機器に搭載される上記モジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

【0186】

[撮像装置]

図35は、本発明に係る撮像装置の構成の一例を示すブロック図である。図35に示すように、本発明に係る撮像装置50は、レンズ群51を含む光学系、固体撮像装置52、カメラ信号処理回路であるDSP回路53、フレームメモリ54、表示装置55、記録装置56、操作系57および電源系58等を有し、DSP回路53、フレームメモリ54、表示装置55、記録装置56、操作系57および電源系58がバスライン59を介して相互に接続された構成となっている。

20

【0187】

レンズ群51は、被写体からの入射光（像光）を取り込んで固体撮像装置52の撮像面上に結像する。固体撮像装置52は、レンズ群51によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置52として、先述した実施形態に係るCMOSイメージセンサ10が用いられる。

30

【0188】

表示装置55は、液晶表示装置や有機EL(electro luminescence)表示装置等のパネル型表示装置からなり、固体撮像装置52で撮像された動画または静止画を表示する。記録装置56は、固体撮像装置52で撮像された動画または静止画を、ビデオテープやDVD(Digital Versatile Disk)等の記録媒体に記録する。

【0189】

操作系57は、ユーザによる操作の下に、本撮像装置が持つ様々な機能について操作指令を発する。電源系58は、DSP回路53、フレームメモリ54、表示装置55、記録装置56および操作系57の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

40

【0190】

上述したように、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置において、その固体撮像装置52として先述した第1～第3実施形態に係るCMOSイメージセンサ10A～10Cを用いることにより、これらCMOSイメージセンサ10A～10Cでは、全ての蓄積電荷を1回の読み出しで出力できない場合に分割して電荷転送し、その分割転送による各出力信号を加算する際に、不要なランダムノイズや固定パターンノイズを加算結果に含まないようにすることができると、特に低輝度領域にて高いS/Nを実現できる。

【図面の簡単な説明】

【0191】

50

【図1】本発明の第1実施形態に係るCMOSイメージセンサの構成を示すシステム構成図である。

【図2】単位画素の回路構成の一例を示す回路図である。

【図3】画素回路の構成の他の例を示す回路図である。

【図4】画素回路の構成のさらに他の例を示す回路図である。

【図5】4分割にて分割転送を行なう場合のリセットパルスRSTおよび転送パルスTRGのタイミング関係を示すタイミングチャートである。

【図6】4分割転送における入射光輝度が高い場合の動作説明図である。

【図7】4分割転送における入射光輝度が低い場合の動作説明図である。

【図8】光電変換部が扱える最大電荷量 $Q_{pd,max}$ と分割転送の各々の最大値 $Q_{fd,max}$ の関係を示す図である。

10

【図9】光電変換部の最大蓄積電荷量を10,000電子とした場合の蓄積電荷とS/N(dB)の関係を示す図である。

【図10】実施例1に係る信号処理回路の構成の一例を示すブロック図である。

【図11】実施例2に係る信号処理回路の構成の一例を示すブロック図である。

【図12】実施例3に係る信号処理回路の構成の一例を示すブロック図である。

【図13】実施例4に係る信号処理回路の構成の一例を示すブロック図である。

【図14】実施例5に係る信号処理回路の構成の一例を示すブロック図である。

【図15】レベル判定部の構成の一例を示すブロック図である。

【図16】レベル比較器の構成の一例を示す回路図である。

20

【図17】レベル判定部の動作説明のためのタイミングチャートである。

【図18】本発明の第2実施形態に係るCMOSイメージセンサの構成を示すシステム構成図である。

【図19】実施例1に係るカラム回路の構成の一例を示すブロック図である。

【図20】実施例2に係るカラム回路の構成の一例を示すブロック図である。

【図21】実施例3に係るカラム回路の構成の一例を示すブロック図である。

【図22】AD変換部および処理停止部の具体的な構成の一例を示すブロック図である。

【図23】ノイズ除去機能と加算機能を持つAD変換部の動作タイミングを示すタイミングチャートである。

【図24】本発明の第3実施形態に係るCMOSイメージセンサの構成を示すシステム構成図である。

30

【図25】供給電圧制御回路の回路構成の一例を示す回路図である。

【図26】供給電圧制御回路の入出力のタイミング関係を示すタイミングチャートである。

【図27】3分割転送の場合の駆動タイミング例を示すタイミングチャートである。

【図28】3分割転送の場合の動作説明図である。

【図29】n分割転送の場合の駆動タイミング例を示すタイミングチャートである。

【図30】光電変換部が扱える最大電荷量 $Q_{pd,max}$ と分割転送の各々の最大値 $Q_{fd,max}$ の関係を示す図である。

【図31】カラム回路の構成の一例を示すブロック図である。

40

【図32】電荷電圧変換効率を高めた場合の入射光強度-S/Nの特性についての本発明と従来技術の比較例を示す図である。

【図33】変形例1に係る単位画素の画素回路を示す回路図である。

【図34】変形例2に係る単位画素の画素回路を示す回路図である。

【図35】本発明に係る撮像装置の構成の一例を示すブロック図である。

【図36】単位画素の構成の一例を示す回路図である。

【符号の説明】

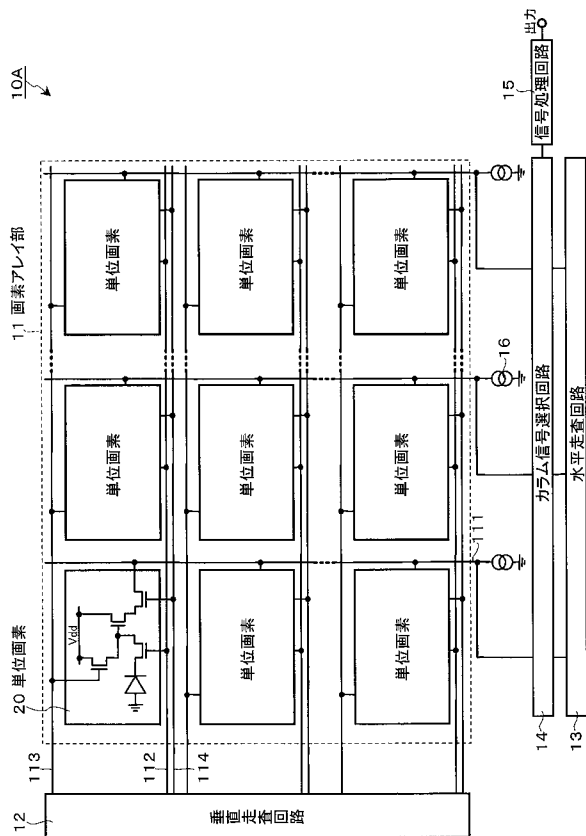
【0192】

10A, 10B, 10C... CMOSイメージセンサ、11...画素アレイ部、12...垂直走査回路、13...水平走査回路、14...カラム信号選択回路、15(15A, 15B, 1

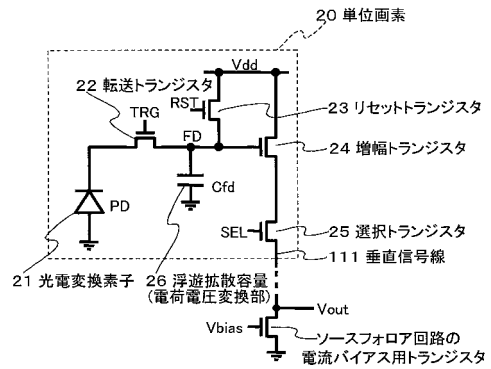
50

5 C , 15 D , 15 E) ... 信号処理回路、 17 (17 A , 17 B , 17 C) , 34 ... カラム回路、 20 (20 A , 20 B) ... 単位画素、 21 ... 光電変換素子、 22 ... 転送トランジスタ、 23 ... リセットトランジスタ、 24 ... 増幅トランジスタ、 25 ... 選択トランジスタ、 31 ... 供給電圧制御回路、 32 ... 電圧供給回路、 33 ... タイミング発生回路 (T G)

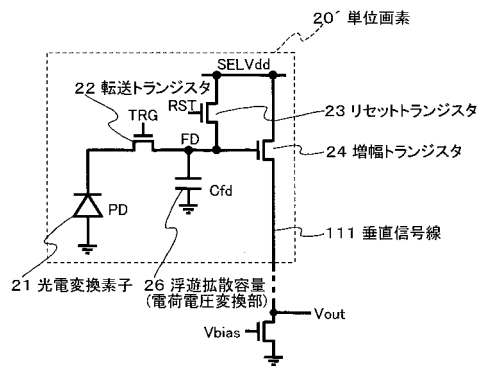
【 図 1 】



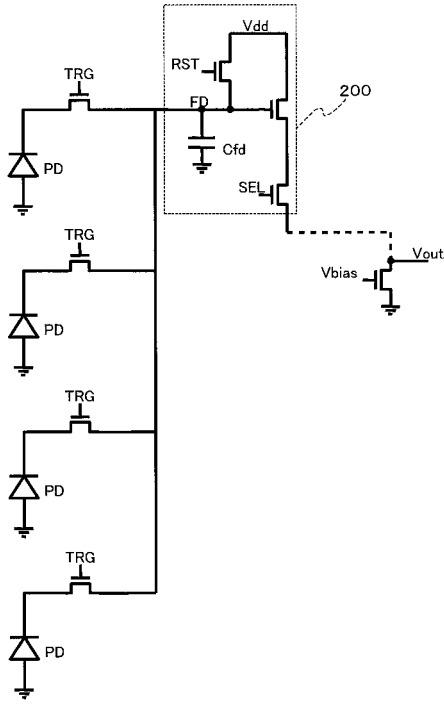
【 図 2 】



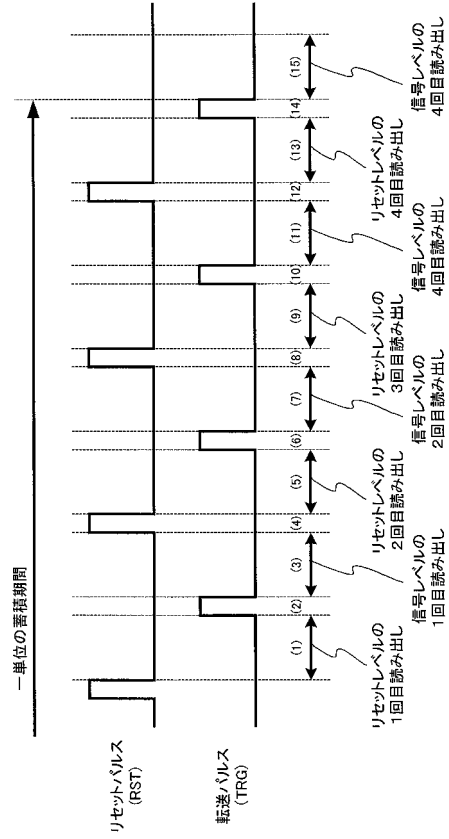
【 図 3 】



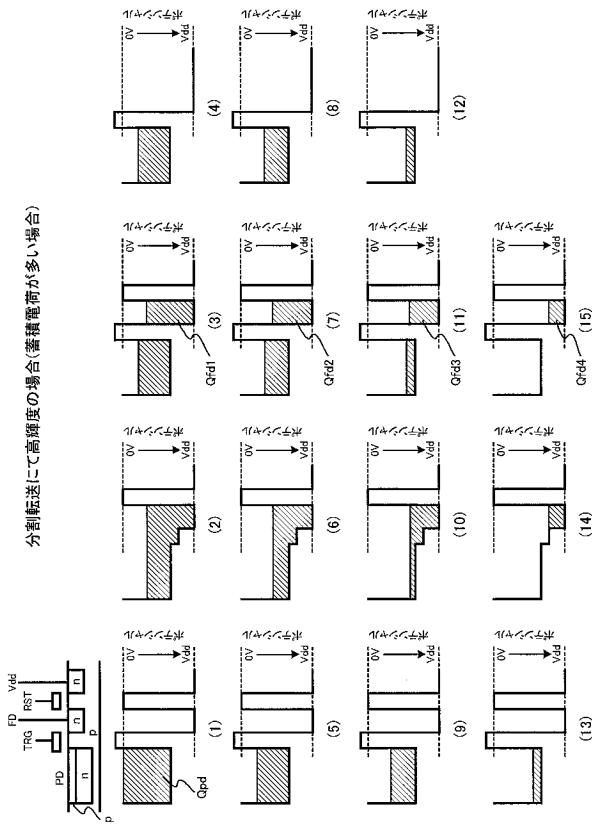
【図4】



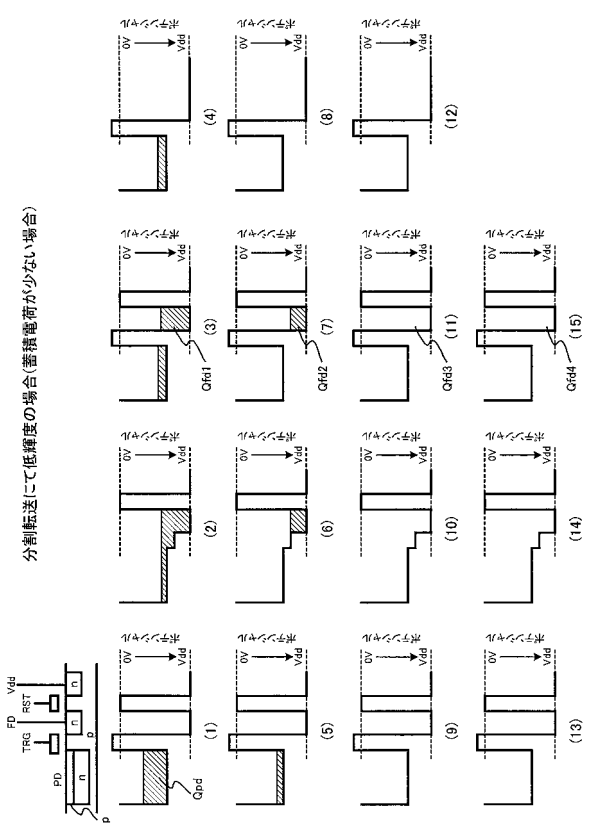
【図5】



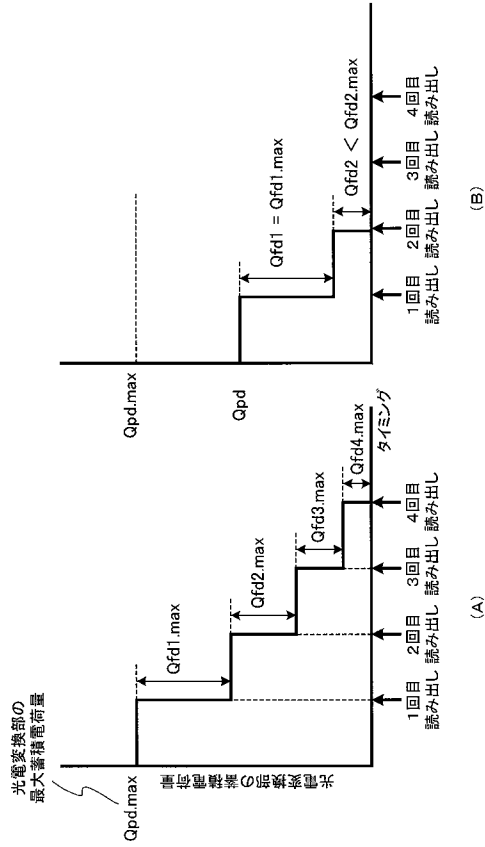
【図6】



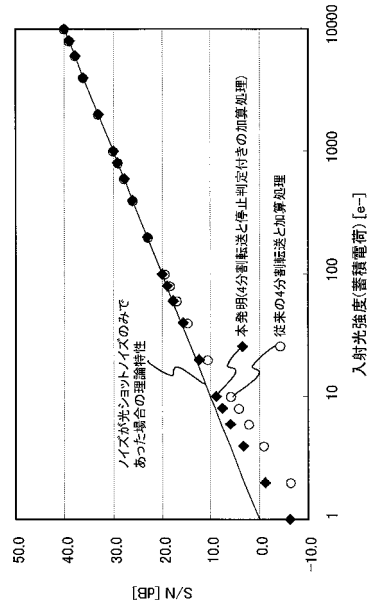
【図7】



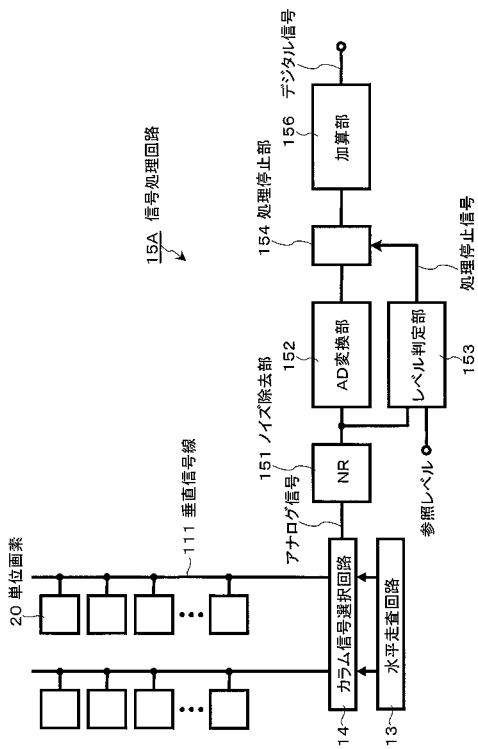
【 図 8 】



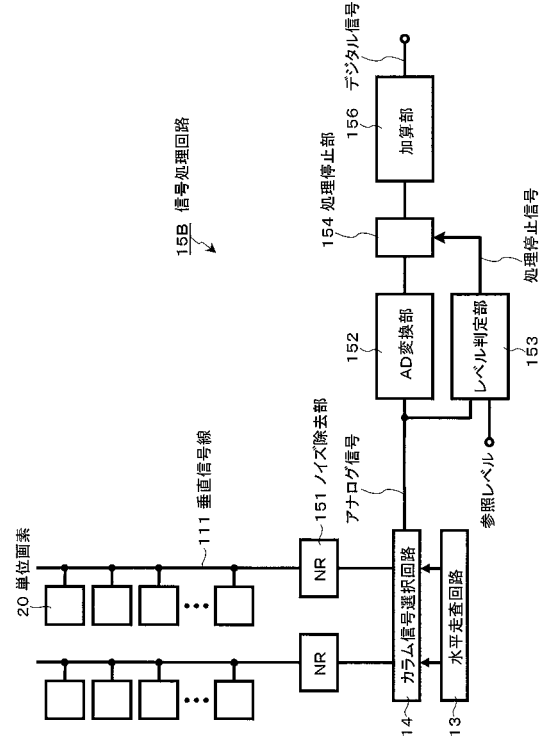
【 図 9 】



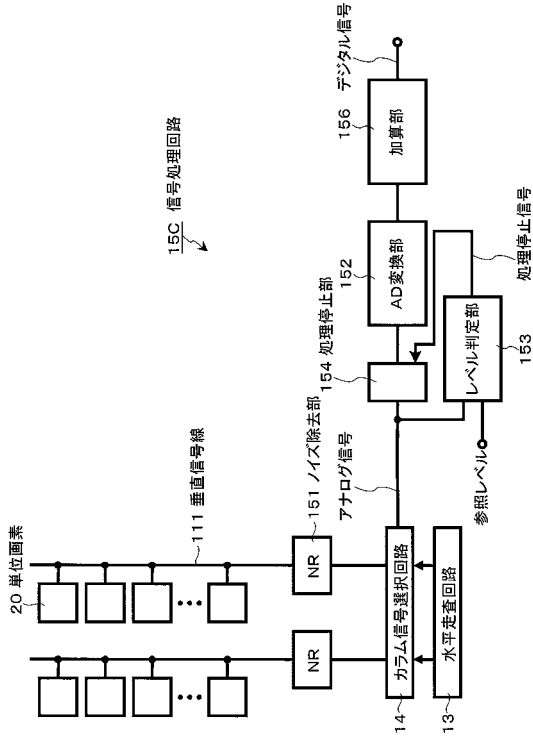
【 図 10 】



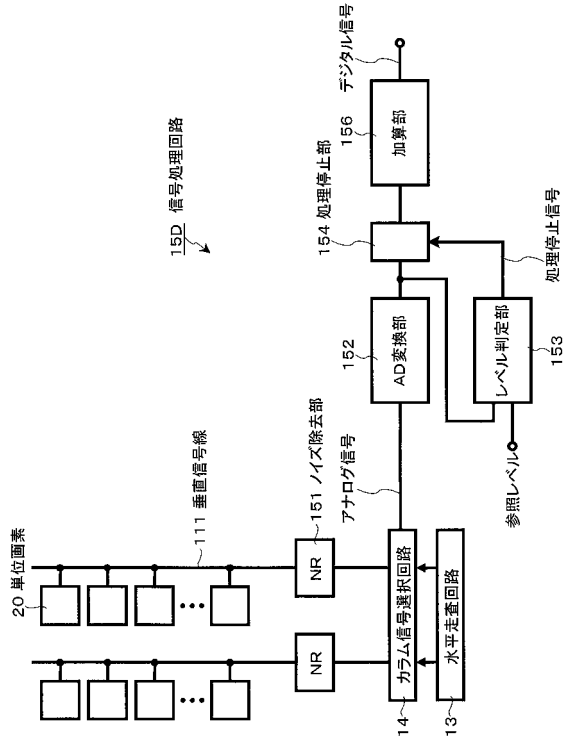
【 図 11 】



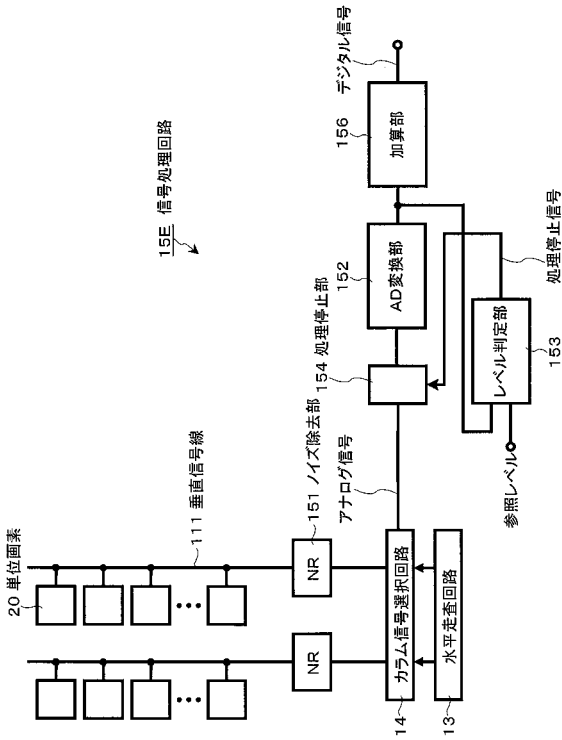
【図12】



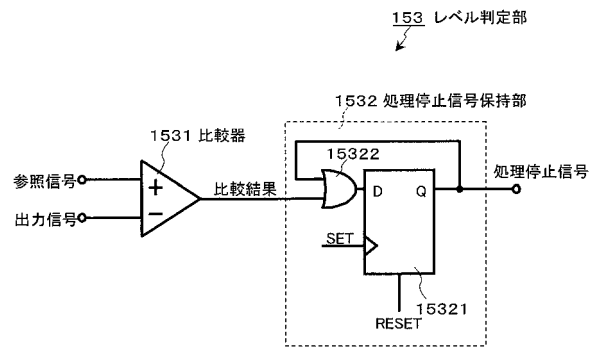
【図13】



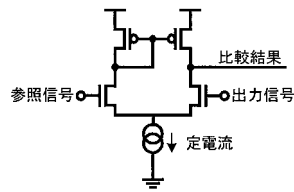
【図14】



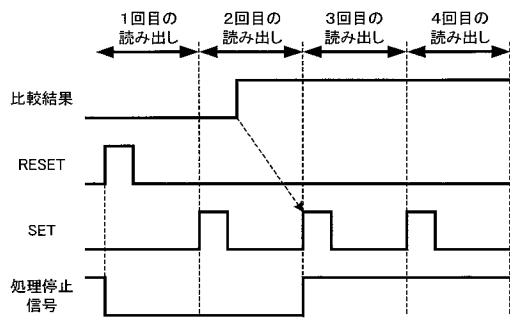
【図15】



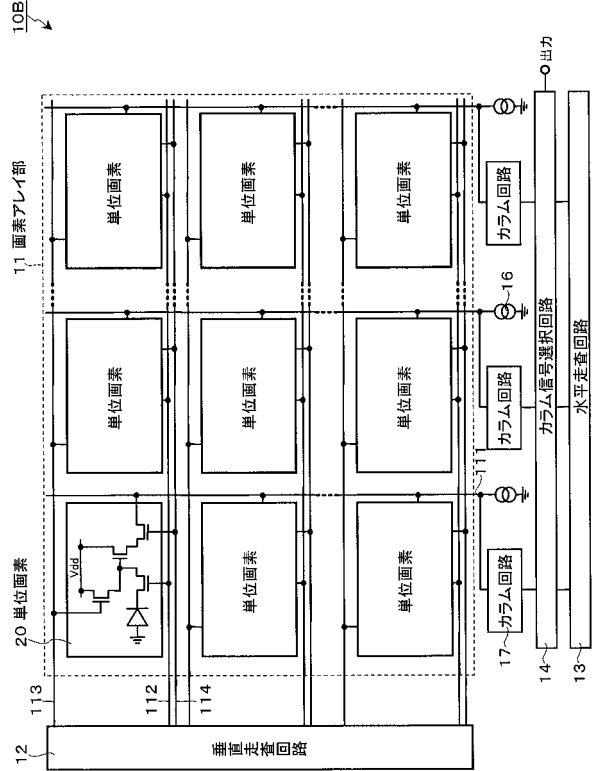
【図16】



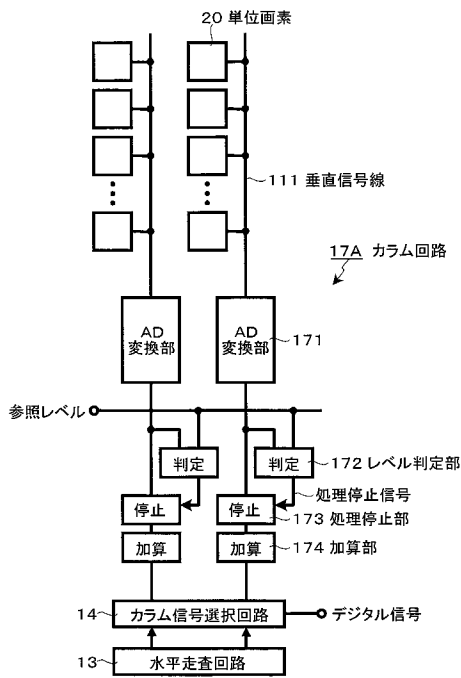
【図 17】



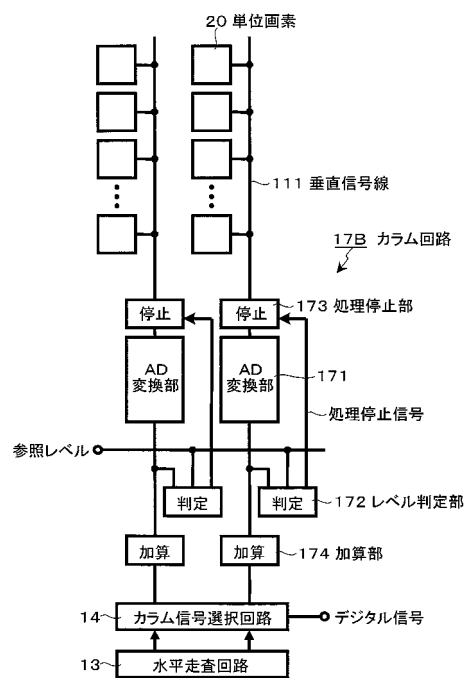
【図 18】



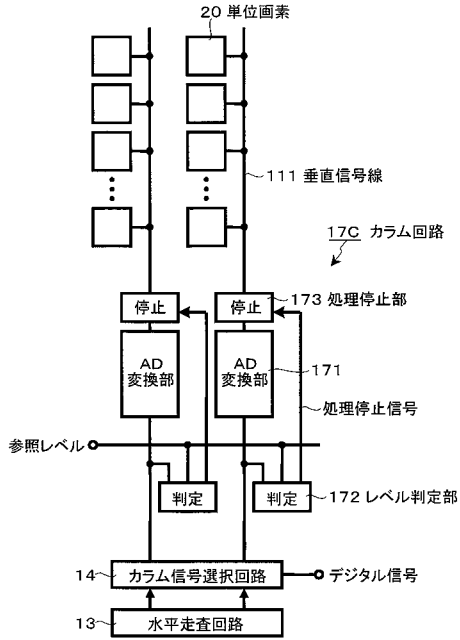
【図 19】



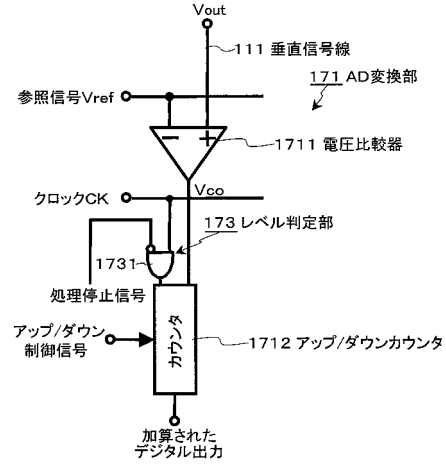
【図 20】



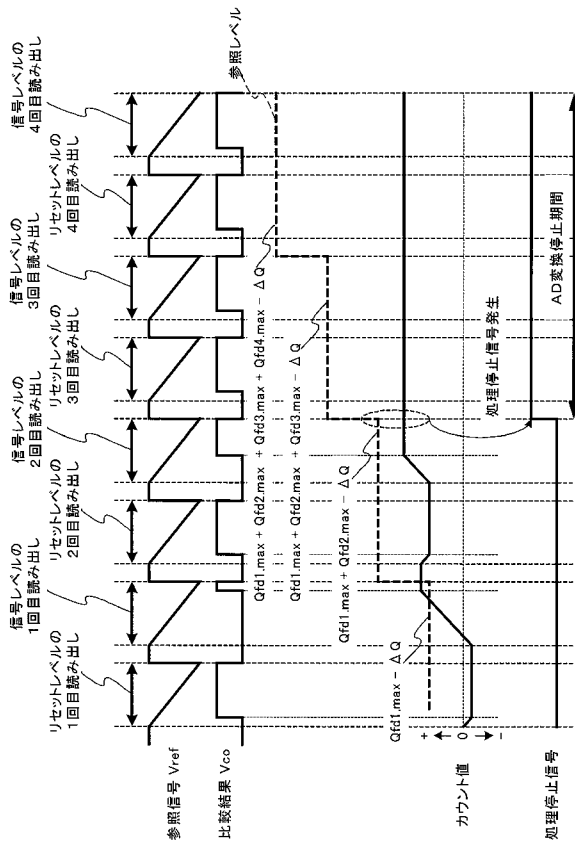
【図 2 1】



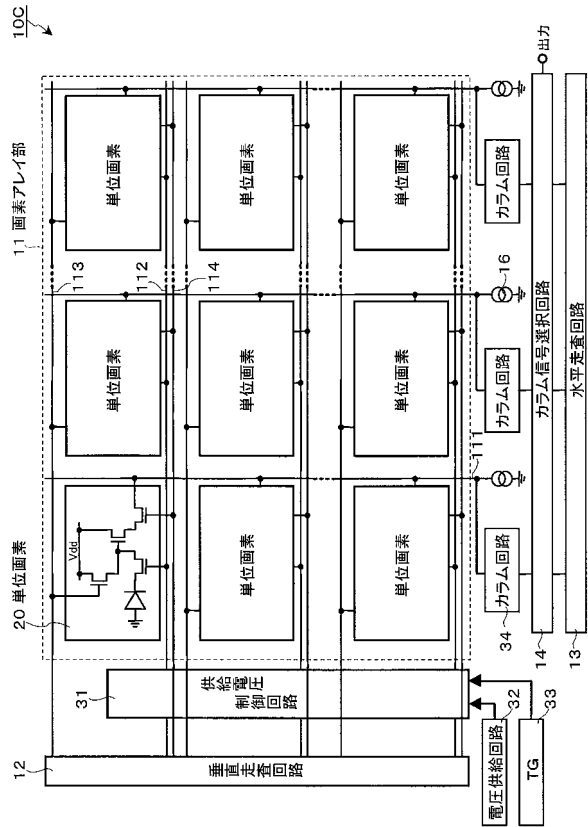
【図 2 2】



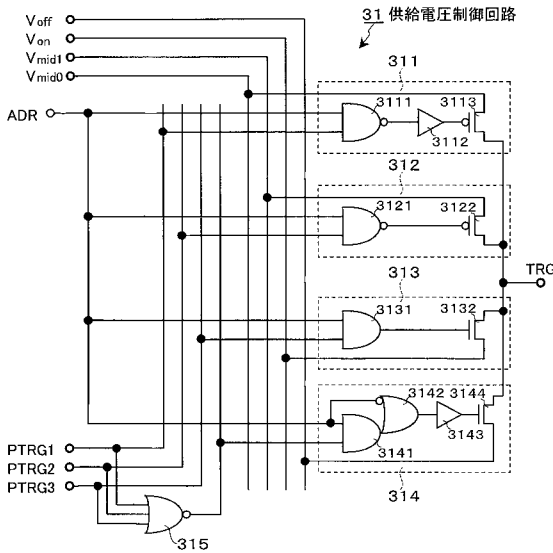
【図 2 3】



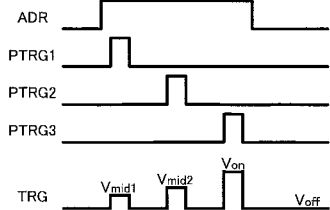
【図 2 4】



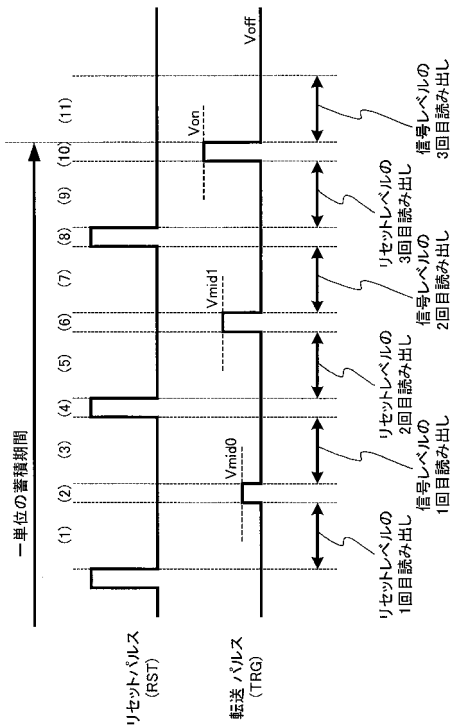
【図 25】



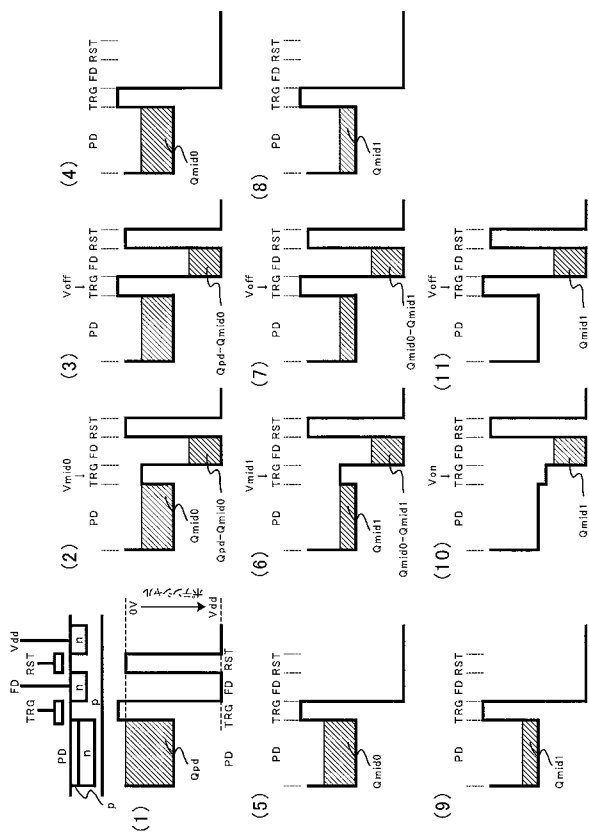
【図 26】



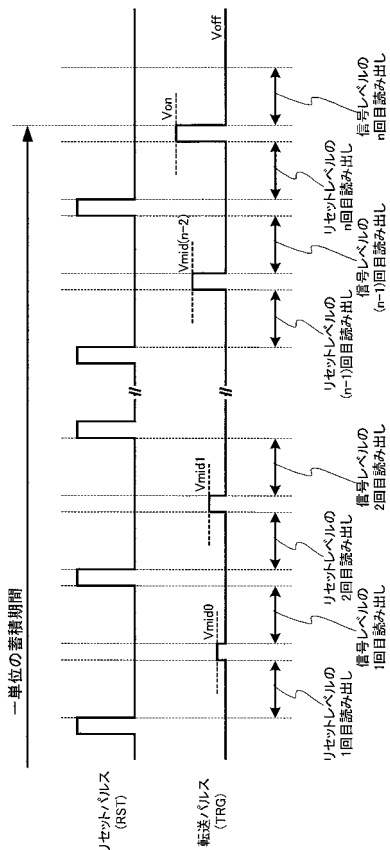
【図 27】



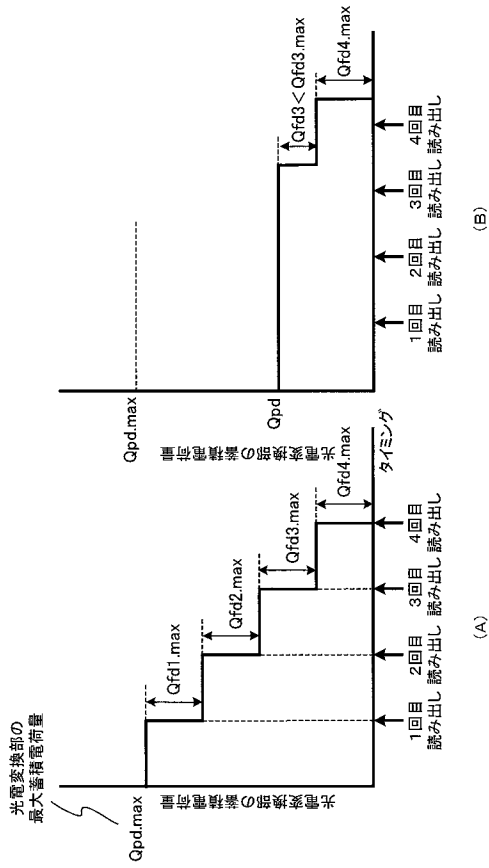
【図 28】



【図 29】



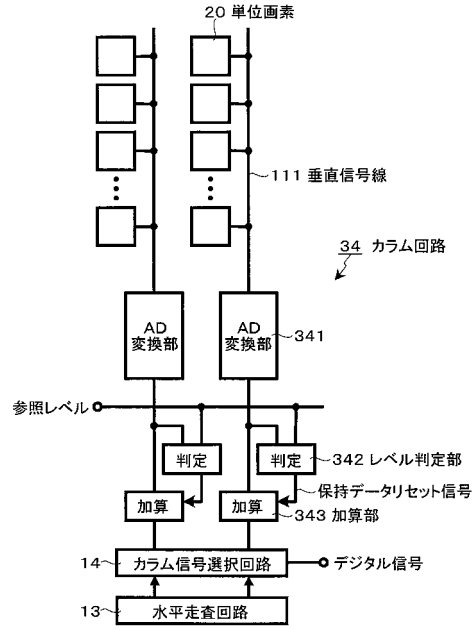
【図30】



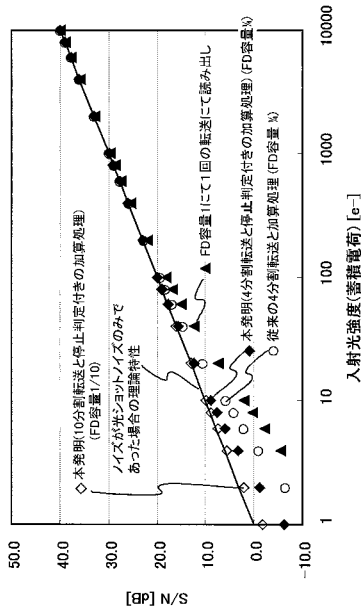
(B)

(A)

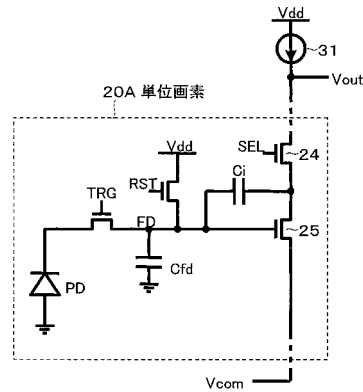
【図31】



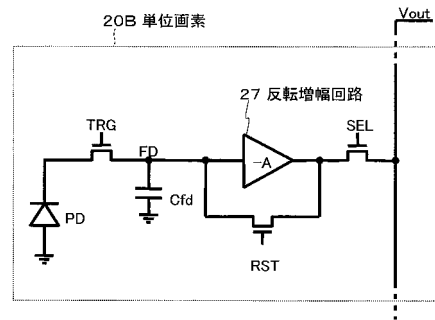
【図32】



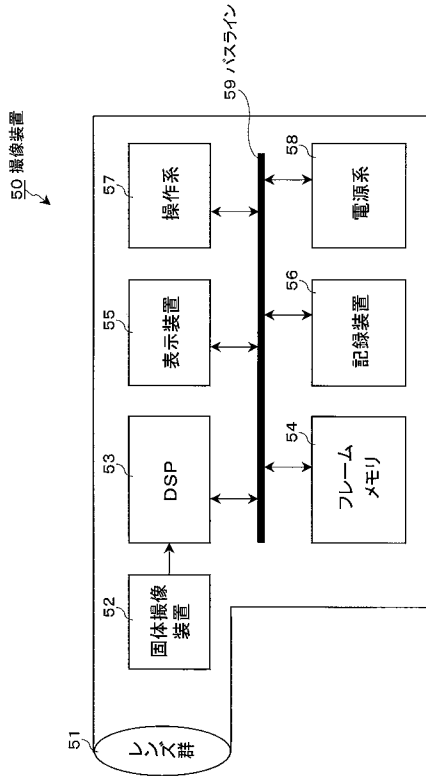
【図33】



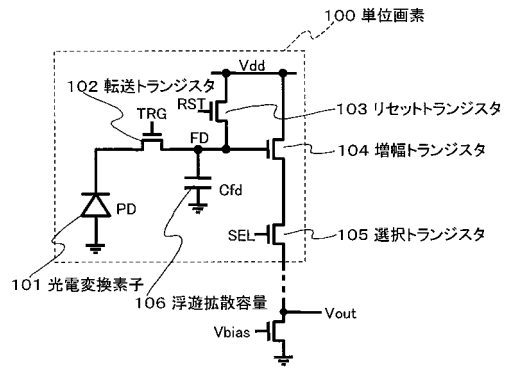
【図34】



【図35】



【図36】



フロントページの続き

- (56)参考文献 特開2001-177775(JP,A)
特開2006-086845(JP,A)
特開平01-147972(JP,A)
特開2006-148328(JP,A)
特開平09-154065(JP,A)
特開2005-278135(JP,A)
特開2006-217548(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H04N 5/222 - 5/257
H01L 21/339
H01L 27/14 - 27/148
H01L 29/762