



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I810702 B

(45)公告日：中華民國 112 (2023) 年 08 月 01 日

(21)申請案號：110141261

(22)申請日：中華民國 110 (2021) 年 11 月 05 日

(51)Int. Cl. : H02M1/08 (2006.01)

H03K17/687 (2006.01)

(71)申請人：國立陽明交通大學(中華民國) NATIONAL YANG MING CHIAO TUNG
UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：柳景耀 LIU, CHING-YAO (TW)；謝岳聰 HSIEH, YUEH-TSUNG (TW)；王國彬
WANG, KUO-BIN (TW)；吳至強 WU, CHIH-CHIANG (TW)；唐立權 TANG, LI-
CHUAN (TW)；成維華 CHIENG, WEI-HUA (TW)；張翼 CHANG, EDWARD YI
(TW)；鄭泗東 CHENG, STONE (TW)

(74)代理人：吳冠賜；蘇建太；林志鴻

(56)參考文獻：

TW 201601438A

TW 202044737A

US 2015/0171750A1

審查人員：黃釗田

申請專利範圍項數：8 項 圖式數：7 共 26 頁

(54)名稱

功率模組

(57)摘要

本發明關於一種功率模組，包括氮化鎵電晶體、NMOS 電晶體、第一電容、第一二極體及第二二極體。NMOS 電晶體與氮化鎵電晶體電性連接。第一電容的負極與第一二極體的陽極以及氮化鎵電晶體的閘極電性連接。第二二極體的陰極與 NMOS 電晶體的閘極電性連接。其中，功率模組更包括功率模組控制端，且功率模組控制端與第一電容的正極及第二二極體的陽極電性連接。

A power module, which includes: a GaN transistor, an NMOS transistor, a first capacitor, a first diode and a second diode. The NMOS transistor is electrically connected to the GaN transistor. A negative electrode of the first capacitor is electrically connected to an anode of the first diode and a gate of the GaN transistor. A cathode of the second diode is electrically connected to a gate of the NMOS transistor. Wherein, the power module further includes a power module control terminal electrically connected to an anode of the first capacitor and an anode of the second diode.

指定代表圖：

I810702

TW I810702 B

CGS2:第二開源極寄生
電容

CGD2:第二開汲極寄
生電容

I810702

【發明摘要】

公告本

【中文發明名稱】 功率模組

【英文發明名稱】 POWER MODULE

【中文】

本發明關於一種功率模組，包括氮化鎵電晶體、NMOS電晶體、第一電容、第一二極體及第二二極體。NMOS電晶體與氮化鎵電晶體電性連接。第一電容的負極與第一二極體的陽極以及氮化鎵電晶體的閘極電性連接。第二二極體的陰極與NMOS電晶體的閘極電性連接。其中，功率模組更包括功率模組控制端，且功率模組控制端與第一電容的正極及第二二極體的陽極電性連接。

【英文】

A power module, which includes: a GaN transistor, an NMOS transistor, a first capacitor, a first diode and a second diode. The NMOS transistor is electrically connected to the GaN transistor. A negative electrode of the first capacitor is electrically connected to an anode of the first diode and a gate of the GaN transistor. A cathode of the second diode is electrically connected to a gate of the NMOS transistor. Wherein, the power module further includes a power module control terminal electrically connected to an anode of the first capacitor and an anode of the second diode.

【指定代表圖】圖1

【代表圖之符號簡單說明】

1	功率模組
10	氮化鎵電晶體
11	氮化鎵電晶體的汲極
12	氮化鎵電晶體的源極
13	氮化鎵電晶體的閘極
20	NMOS電晶體
21	NMOS電晶體的汲極
22	NMOS電晶體的源極
23	NMOS電晶體的閘極
30	第一電容
31	第一電容的正極
32	第一電容的負極
40	第一二極體
41	第一二極體的陽極
42	第一二極體的陰極
50	第二二極體
51	第二二極體的陽極
52	第二二極體的陰極
n1	節點
n2	節點
n3	節點

D1	控制模組第一端
S1	控制模組第二端
G1	控制模組閘極端
CDS1	第一汲源極寄生電容
CGS1	第一閘源極寄生電容
CGD1	第一閘汲極寄生電容
CDS2	第二汲源極寄生電容
CGS2	第二閘源極寄生電容
CGD2	第二閘汲極寄生電容

【特徵化學式】無。

【發明說明書】

【中文發明名稱】 功率模組

【英文發明名稱】 POWER MODULE

【技術領域】

【0001】 本發明係關於一種功率模組，特別是一種具備氮化鎵電晶體的功率模組。

【先前技術】

【0002】 供電裝置，例如電源轉換器等，常需要設置功率模組來調整電力輸出，以降低損耗。空乏型氮化鎵電晶體具備較小米勒效應，可工作於高頻率，因此適合做為功率模組的開關。然而，通常空乏型氮化鎵電晶體的閘極只有在施加負電壓的情況下才會關閉，而負電壓較不容易產生，因此並不容易控制。對此，現有技術會將空乏型氮化鎵電晶體與橫向擴散金屬氧化物半導體(laterally diffused metal oxide semiconductor，以下簡稱LDMOS)搭配使用，如此可使空乏型氮化鎵電晶體具備增強型電晶體的特性，亦即只有在閘極施加正電壓時才會導通。然而，LDMOS的寄生電容在導通及斷開時的變化過大，會連帶造成功率模組的損耗，因此現有技術仍有缺陷。

【0003】 因此，需要一種新的功率模組來改善上述問題。

【發明內容】

【0004】 本發明提供一種功率模組，可具備氮化鎵電晶體的特性，無須輸入負電壓，並且可降低功率模組的損耗。

【0005】 功率模組包含：一氮化鎵電晶體、一NMOS電晶體、一第一電容、一第一二極體、一第二二極體及功率模組控制端。NMOS電晶體與氮化鎵電晶體電性連接。第一電容的負極與氮化鎵電晶體的閘極電性連接。第一二極體的陽極與第一電容及氮化鎵電晶體的閘極電性連接。第二二極體的陰極與NMOS電晶體的閘極電性連接。功率模組控制端與第一電容的正極及第二二極體的陽極電性連接。

【0006】 從下列的詳細描述並結合附圖，本發明的其他的新穎特徵將變得更加清楚。

【圖式簡單說明】

【0007】

圖1是本發明第一實施例的功率模組的電路圖。

圖2是本發明第一實施例的功率模組的驅動時序圖。

圖3是本發明第二實施例的功率模組的電路圖。

圖4是本發明第二實施例的功率模組的驅動時序圖。

圖5是本發明一實施例的氮化鎵電晶體的寄生電容的電容值變化示意圖。

圖6是使用本發明的功率模組的電源轉換器的結構示意圖。

圖7是使用本發明的功率模組的電源轉換器的實驗效率示意圖。

【實施方式】

【0008】 當結合附圖閱讀時，下列實施例用於清楚地展示本發明的上述及其他技術內容、特徵及/或效果。透過具體實施方式的闡述，人們將進一步瞭解本發明所採用的技術手段及效果，以達到上述的目的。此外，由於本發明所揭

示的內容應易於理解且可為本領域技術人員所實施，因此，所有不脫離本發明的概念的相等置換或修改應包含在權利要求中。

【0009】 應注意的是，在本文中，除了特別指明者之外，「一」元件不限於單一的該元件，還可指一或更多的該元件。

【0010】 此外，說明書及權利要求中例如「第一」或「第二」等序數僅為描述所請求的元件，而不代表或不表示所請求的元件具有任何順序的序數，且不是所請求的元件及另一所請求的元件之間或製造方法的步驟之間的順序。這些序數的使用僅是為了將具有特定名稱的一個請求元件與具有相同名稱的另一請求元件區分開來。

【0011】 此外，說明書及權利要求中例如「相鄰」一詞是用於描述相互鄰近，不必然表示相互接觸。

【0012】 此外，本發明中關於“當...”或“...時”等描述表示“當下、之前或之後”等態樣，而不限定為同時發生之情形，在此先行敘明。本發明中關於“設置於...上”等類似描述係表示兩元件的對應位置關係，並不限定兩元件之間是否有所接觸，除非特別有限定，在此先行敘明。再者，本發明記載多個功效時，若在功效之間使用“或”一詞，係表示功效可獨立存在，但不排除多個功效可同時存在。

【0013】 此外，說明書及權利要求中例如「連接」或「耦接」一詞不僅指與另一元件直接連接，也可指與另一元件間接連接或電性連接。另外，電性連接包含直接連接、間接連接或二元件間以無線電信號交流的態樣。

【0014】 此外，說明書及權利要求中，「約」、「大約」、「實質上」、「大致上」之用語通常表示在一值與一給定值的差距在該給定值的10%內，或5%內，、或3%之內、，或2%之內、，或1%之內、，或0.5%之內的範圍。在此給定的數量為大約的數量，亦即在沒有特定說明「約」、「大約」、「實質上」、

「大致上」的情況下，仍可隱含「約」、「大約」、「實質上」、「大致上」之含義。此外，用語「範圍為第一數值至第二數值」、「範圍介於第一數值至第二數值之間」表示所述範圍包含第一數值、第二數值以及它們之間的其它數值。

【0015】 此外，各元件可以適合的方式來實現成單一電路或一積體電路，且可包括一或多個主動元件，例如，電晶體或邏輯閘，或一或多個被動元件，例如，電阻、電容、或電感，但不限於此。各元件可以適合的方式來彼此連接，例如，分別配合輸入信號及輸出信號，使用一或多條線路來形成串聯或並聯。此外，各元件可允許輸入信號及輸出信號依序或並列進出。上述組態皆是依照實際應用而定。

【0016】 此外，在本文中，「系統」、「設備」、「裝置」、「模組」、或「單元」等用語，是指一電子元件或由多個電子元件所組成的一數位電路、一類比電路、或其他更廣義電路，且除了特別指明者之外，它們不必然有位階或層級關係。

【0017】 此外，本發明所揭示的不同實施例的技術特徵可結合形成另一實施例。

【0018】 圖1是本發明第一實施例的功率模組1的電路圖。如圖1所示，功率模組1包含一氮化鎵電晶體10、一金屬氧化物半導體場效電晶體(Metal-Oxide-Semiconductor Field-Effect Transistor，以下簡稱NMOS電晶體)20、一第一電容30、一第一二極體40、一第二二極體50、一功率模組第一端D1、一功率模組第二端S1及一功率模組控制端G1。其中，氮化鎵電晶體10具有一汲極11、一源極12及一閘極13。NMOS電晶體20具有一汲極21、一源極22及一閘極23。第一電容30具有一正極31及一負極32。第一二極體40具有一陽極41及一陰極42。第二二極體50具有一陽極51及一陰極52。

【0019】 在一實施例中，氮化鎵電晶體10的汲極11可與功率模組第一端D1電性連接，氮化鎵電晶體10的源極12可與NMOS電晶體20的汲極21電性連接，氮化鎵電晶體10的閘極13可與第一電容30的負極32及第一二極體40的陽極41電性連接，例如氮化鎵電晶體10的閘極13、第一電容30的負極32及第一二極體40的陽極41可電性連接於一節點n1。NMOS電晶體20的源極22可與功率模組第二端S1及第一二極體40的陰極42電性連接，例如NMOS電晶體20的源極22、功率模組第二端S1及第一二極體40的陰極42可電性連接於一節點n2，而NMOS電晶體20的閘極23可與第二二極體50的陰極52電性連接。第一電容30的正極31可與功率模組控制端G1電性連接。第二二極體50的陽極51可與功率模組控制端G1及第一電容30的正極31電性連接，例如第二二極體50的陽極51、功率模組控制端G1及第一電容30的正極31可電性連接於一節點n3。本發明不限於此。

【0020】 在一實施例中，功率模組控制端G1可從功率模組1外部接收一控制訊號V_G，且不限於此。控制訊號V_G可經由第一電容30而傳送至氮化鎵電晶體10的閘極13，進而影響氮化鎵電晶體10的導通與否。此外，控制訊號V_G亦可經由第二二極體50而傳送至NMOS電晶體20的閘極23，進而影響NMOS電晶體20的導通與否。此外，在一實施例中，功率模組第一端D1可連接至一第一訊號V_D，例如一高電位訊號，且不限於此。另外，在一實施例中，功率模組第二端S1可連接至一第二訊號V_S，例如一低電位訊號、零電位訊號或接地。本發明不限於此。

【0021】 在一實施例中，氮化鎵電晶體10可例如是空乏型氮化鎵電晶體。在一實施例中，氮化鎵電晶體10與NMOS電晶體20可為串疊(Cascode)結構，而經由氮化鎵電晶體10與NMOS電晶體20串疊，功率模組1可形成常閉型的功率模組，但不限於此。

【0022】 在一實施例中，第一電容30與第一二極體40可形成一箝位電路，但不限於此。

【0023】 在一實施例中，在功率模組1的工作過程中，氮化鎵電晶體10的閘極13與源極12之間可能存在一寄生電容(以下稱之為第一閘源極寄生電容CGS1)，氮化鎵電晶體10的閘極13與汲極11之間可能存在一寄生電容(以下稱之為第一閘汲極寄生電容CGD1)，且氮化鎵電晶體10的汲極11與源極12之間可能存在一寄生電容(以下稱之為第一汲源極寄生電容CDS1)。此外，NMOS電晶體20的閘極23與源極22之間可能存在一寄生電容(以下稱之為第二閘源極寄生電容CGS2)，NMOS電晶體20的閘極23與汲極21之間可能存在一寄生電容(以下稱之為第二閘汲極寄生電容CGD2)，NMOS電晶體20的汲極21與源極22之間可能存在一寄生電容(以下稱之為第二汲源極寄生電容CDS2)。本發明不限於此。

【0024】 在一實施例中，第一電容(30)的電容值大於或等於該閘源極寄生電容(CG1)的電容值的十倍，藉此大量的電荷可儲存於第一電容(30)中，且不限於此。

【0025】 接著將說明功率模組1的運作過程(亦即氮化鎵電晶體10及NMOS電晶體20在不同工作時序下的運作情形)。圖2是本發明第一實施例的功率模組1的驅動時序圖，並請同時參考圖1。

【0026】 如圖2所示，功率模組1的工作時序可包含一第一工作期間T1、一第二工作期間T2、一第三工作期間T3及一第四工作期間T4，且不限於此。

【0027】 在第一工作期間T1時，控制訊號Vg的電壓呈現一低電位，例如零電位，或者功率模組控制端G1呈現斷路狀態；以下皆以零電位的情形來舉例。此時，氮化鎵電晶體10的一閘源極電壓Vgs1以及NMOS電晶體20的一閘源極電壓Vgs2亦呈現零電位。由於氮化鎵電晶體10可為空乏型氮化鎵電晶體，其臨界電壓通常對應一負電位，因此當其閘源極電壓Vgs1呈現零電位時，氮化鎵電晶

體10將會導通，亦即氮化鎵電晶體10在第一工作期間T1為導通狀態。此外，NMOS電晶體20的閘極電壓通常對應一正電位，因此當其閘源極電壓 V_{gs2} 呈現零電位時，NMOS電晶體20將不會導通，亦即NMOS電晶體20在第一工作期間T1為不導通狀態。由於NMOS電晶體20不導通，功率模組第一端D1與功率模組第二端S1之間為不導通狀態，故功率模組1在第一工作期間T1亦為不導通狀態，此時功率模組第一端D1與功率模組第二端S1之間的一功率模組汲源電壓 V_{ds} 將呈現高電位。

【0028】 在第二工作期間T2時，控制訊號 V_G 的電壓由低電位轉換為一高電位(例如 $V_{G,High}$)。此時，第一電容30進行充電，而氮化鎵電晶體10的閘源極電壓 V_{gs1} 及NMOS電晶體20的閘源極電壓 V_{gs2} 皆呈現正電位。因此，在第二工作期間T1，氮化鎵電晶體10及NMOS電晶體20皆為導通狀態，故功率模組1在第二工作期間T2為導通狀態，此時功率模組第一端D1與功率模組第二端S1之間的功率模組汲源電壓 V_{ds} 將呈現低電位，例如零電位。

【0029】 在第三工作期間T3時，控制訊號 V_G 的電壓由高電位(例如 $V_{G,High}$)轉變為低電位(例如零電位)，此時由於第一二極體40的陽極41與第一電容30的負極32以及氮化鎵電晶體10的閘極13連接，而第一二極體40的陰極42與功率模組第二端S1連接，第一電容30的負極31在第二工作期間T2所累積的電子無法由第一二極體40排出，因此導致氮化鎵電晶體10的閘極源極電壓 V_{gs1} 將呈現一負電位(例如 $-V_{G,High}$)，而NMOS電晶體20的閘極23所累積的正電荷無法透過第二二極體50排出，因此NMOS電晶體20的閘源極電壓 V_{gs2} 仍呈現正電位。在一實施例中，此時的閘極源極電壓 V_{gs1} (例如 $-V_{G,High}$)可低於氮化鎵電晶體10的臨界電壓(例如 $V_{GaN,OFF}$)，因此氮化鎵電晶體10將呈現不導通狀態，亦即氮化鎵電晶體10在第三工作期間T3為不導通狀態，而NMOS電晶體20在第三工作

期間T3為導通狀態，故功率模組1在第三工作期間T3為關斷狀態，此時功率模組第一端D1與功率模組第二端S1之間的功率模組汲源電壓VDS將呈現高電位。

【0030】 此外，在第三工作期間T3時，由於第二二極體50的陰極52與NMOS電晶體20的閘極23連接，因此大多數的電子被第二二極體50阻擋而保留於NMOS電晶體20的閘極23與源極22之間的第二閘源極寄生電容CGS2中，使得第二閘源極寄生電容CGS2持續維持充電狀態，因此NMOS電晶體20的閘源極電壓Vgs2亦持續呈現正電位，亦即NMOS電晶體20從第三工作期間T3開始將持續保持為導通狀態。

【0031】 在第四工作期間T4時，控制訊號VG的電壓由低電位(例如零電位)再次轉變為高電位(例如VG,High)，此時NMOS電晶體20持續導通，而此時只要氮化鎵電晶體10的閘極13被施加零電位或正電位，氮化鎵電晶體10即可呈現導通狀態。當氮化鎵電晶體10導通時，功率模組第一端D1與功率模組第二端S1之間的功率模組汲源電壓VDS將呈現低電位。由此可知，從第三工作期間T3開始，功率模組1將可完全透過氮化鎵電晶體10的導通狀態來進行驅動，亦即可藉由控制訊號VG來控制氮化鎵電晶體10的導通狀態，進而驅動功率模組1。

【0032】 藉此，當控制訊號VG第一次轉變為高電位後，NMOS電晶體20即可持續導通，而功率模組1可透過氮化鎵電晶體10進行開關切換，可較現有技術更加具備氮化鎵電晶體10的特性，例如具備高頻切換或高崩潰電壓等特性。或者，由於NMOS電晶體20可持續導通，氮化鎵電晶體10的閘源極電壓過負的機率可降低，可避免功率模組1毀損。

【0033】 本發明的功率模組1亦可具備不同實施態樣。

【0034】 圖3是本發明第二實施例的功率模組1的電路圖，並請將圖1及圖2做為參考。如圖3所示，功率模組1亦包含氮化鎵電晶體10、NMOS電晶體20、第一電容30、第一二極體40、第二二極體50、功率模組控制端G1、功率模組第一

端D1及功率模組第二端S1。上述元件的細節可適用第一實施例(可參考圖1)的說明，故不再詳述，以下主要針對差異之處進行說明。

【0035】 在第二實施例中，NMOS電晶體20的汲極21可與功率模組第一端D1電性連接，NMOS電晶體20的源極22可與氮化鎵電晶體10的汲極11電性連接，NMOS電晶體20的閘極23可與第二二極體50的陰極52電性連接。氮化鎵電晶體10的源極12可與功率模組第二端S1及第一二極體40的陰極42電性連接，例如氮化鎵電晶體10的源極12、功率模組第二端S1及第一二極體40的陰極42可電性連接於節點n2，而氮化鎵電晶體10的閘極13可與第一二極體40的陽極51及第一電容30的負極32電性連接，例如氮化鎵電晶體10的閘極13、第一電容30的負極32及第一二極體40的陽極41可電性連接於節點n1。第一電容30的正極31可與功率模組控制端G1及第二二極體50的陽極51電性連接，例如第一電容30的正極31、第二二極體50的陽極51及功率模組控制端G1可電性連接於節點n3。本發明不限於此。由此可知，第二實施例與第一實施例的差異主要在於氮化鎵電晶體10及NMOS電晶體20的連接方式。

【0036】 接著將說明第二實施例的功率模組1的工作過程。圖4是本發明第二實施例的功率模組1的驅動時序圖，並請同時參考圖3。需注意的是，為使畫面呈現清楚，圖4中的Vgs1與Vgs2的呈現位置與圖2相反。

【0037】 在第一工作期間T1時，控制訊號VG的電壓呈現低電位(以下以零電位來舉例)。此時，氮化鎵電晶體10的閘源極電壓Vgs1以及NMOS電晶體20的閘源極電壓Vgs2亦將呈現零電位，故氮化鎵電晶體10將會導通，而NMOS電晶體20不會導通。因此，功率模組1在第一工作期間T1亦為不導通狀態。

【0038】 在第二工作期間T2時，控制訊號VG的電壓由低電位轉換為高電位(例如VG,High)。此時，氮化鎵電晶體10的閘源極電壓Vgs1及NMOS電晶體20

的閘源極電壓 V_{gs2} 皆呈現正電位，故氮化鎵電晶體10及NMOS電晶體20皆為導通狀態。因此，功率模組1在第二工作期間T2為導通狀態。

【0039】 在第三工作期間T3時，控制訊號 V_G 由高電位轉換為低電位(例如零電位)。如同第一實施例，此時大多數的電子將由第一二極體40流向第一電容30的負極32，氮化鎵電晶體10的閘極源極電壓 V_{gs1} 將呈現負電位(例如 $-V_{G,High}$)，並低於氮化鎵電晶體10的臨界電壓(例如 $V_{GaN,OFF}$)，因此氮化鎵電晶體10將呈現不導通狀態。

【0040】 此外，由於第二二極體50的陰極52與NMOS電晶體20的閘極23連接，大多數的電子被第二二極體50阻擋而保留於NMOS電晶體20的閘極23與源極22之間的第二閘源極寄生電容 $CGS2$ 中，使得第二閘源極寄生電容 $CGS2$ 持續維持充電狀態。然而，由於NMOS電晶體20的源極22連接至氮化鎵電晶體10的汲極，NMOS電晶體20的閘源極電壓 V_{gs2} 將會受到氮化鎵電晶體10的影響，而呈現與第一實施例不同的狀態，以下將對此進行說明。

【0041】 圖5是本發明一實施例的氮化鎵電晶體10的寄生電容 $CDS1$ 、 $CGS1$ 、 $CGD1$ 的電容值變化示意圖，其用於顯示氮化鎵電晶體10的寄生電容 $CDS1$ 、 $CGS1$ 、 $CGD1$ 對應功率模組1不同狀態時的電容值變化情形。如圖5所示，當功率模組1由導通狀態(例如 $V_{DS}=0$)轉變為不導通狀態(例如 $V_{DS}>0$)時，氮化鎵電晶體10的第一汲源極寄生電容 $CDS1$ 及第一閘源極寄生電容 $CGS1$ 基本維持相同電容值，但氮化鎵電晶體10的第一閘汲極寄生電容 $CGD1$ 則會隨著功率模組1的不導通而劇烈下降。由此可知，在第三工作期間T3時，第一閘汲極寄生電容 $CGD1$ 會產生劇烈變化，進而影響NMOS電晶體20的閘源極電壓 V_{gs2} 。

【0042】 請再次參考圖4，在一實施例中，在第三工作期間T3時，NMOS電晶體20的閘源極電壓 V_{gs2} 可以下列算式表示：

$$V_{gs2} = C_{oss1} * (V_{G,High}) / (C_{oss1} + CGS2) ; \dots \text{(以下簡稱算式1)}$$

第 10 頁，共 14 頁(發明說明書)

其中Coss1為氮化鎵電晶體10寄生輸出電容，而Coss1亦可表示為CDS1+CGD1，並且此處CDS1、CGD1、CGS2是表示電容值。

【0043】 在一實施例中，為了維持NMOS電晶體20的導通狀態，因此NMOS電晶體20的閘源極電壓Vgs2需大於或等於NMOS電晶體20的臨界電壓，亦即 $Coss1*(V_{G,High})/(Coss1+CGS2) \geq$ NMOS電晶體20的臨界電壓。在一實施例中，「 $Coss1*(V_{G,High})/(Coss1+CGS2) \geq$ NMOS電晶體20的臨界電壓」至少可透過選擇適當規格的NMOS電晶體20及氮化鎵電晶體10來達成，例如在可以得知NMOS電晶體20及氮化鎵電晶體10的寄生電容值的情況下，依照NMOS電晶體20及氮化鎵電晶體10的寄生電容值來選擇搭配，使NMOS電晶體20的閘源極電壓Vgs2在第三工作期間T3可大於NMOS電晶體20的臨界電壓。藉此，第二實施例的NMOS電晶體20可持續保持導通狀態。本發明不限於此。

【0044】 而在第四工作期間T4時，此時NMOS電晶體20持續導通，因此只要氮化鎵電晶體10的閘極13被施加零電位或正電位，氮化鎵電晶體10即可呈現導通狀態，因此功率模組1的導通與否可藉由控制氮化鎵電晶體10而加以控制。

【0045】 藉此，第二實施例的功率模組1亦可達成與第一實施例相同的功效。

【0046】 此外，本發明的功率模組1可應用於各種需要進行電源管理的產品上，例如電源轉換器、無線充電器等，且不限於此。以下以一實施例說明本發明的功率模組1應用於電源轉換器的情形。

【0047】 圖6是使用本發明的功率模組1的一電源轉換器100的結構示意圖，並請同時參考圖1至圖5。

【0048】 如圖6所示，電源轉換器100可包含一輸入端110、一交流轉直流電路120、一緩衝電路(snubber circuit)130、一脈衝寬度調變兼閘極驅動器(pulse

width modulation and gate driver)140、功率模組1、一變壓器電路150及一輸出端160。

【0049】 其中，輸入端110可與交流轉直流電路120電性連接。交流轉直流電路120可與緩衝電路130電性連接。交流轉直流電路120亦可與脈衝寬度調變兼閘極驅動器140電性連接。緩衝電路130可與變壓器電路150電性連接。脈衝寬度調變兼閘極驅動器140可與功率模組1的功率模組控制端G1電性連接。功率模組1的功率模組第一端D1可經由一二極體DB而連接至緩衝電路130。功率模組1的功率模組第二端S1可接地。變壓器電路150可連接至輸出端160。

【0050】 在一實施例中，輸入端110可提供交流電壓至交流轉直流電路120，交流轉直流電路120可將交流電壓轉換為直流電壓，並將直流電壓傳送至變壓器電路150及脈衝寬度調變兼閘極驅動器140。脈衝寬度調變兼閘極驅動器140可控制功率模組1的導通與否，緩衝電路130可抑制功率模組1的氮化鎵電晶體10所產生的電壓突波(例如汲極11與源極12之間的電壓所產生的突波)。變壓器電路150可轉換直流電壓的大小。輸出端160可將轉換後的直流電壓輸出。

【0051】 圖7是使用本發明的功率模組1的電源轉換器100的實驗效率示意圖，其電源轉換器100是採用圖6的架構。此外，本範例的輸出功率是設定為60瓦。

【0052】 如圖7所示，不論功率模組1是採用第一實施例或第二實施例的架構，轉換效率皆可達到90%以上，舉例來說，在輸入電壓為300V時，功率模組1的轉換效率可達到96.3%，可呈現良好的轉換效果。

【0053】 需注意的是，此實驗示意圖僅是範例，並非本發明的限制，且實驗數值有可能因為實驗環境不同而產生差異。

【0054】 藉此，本發明提供了改良的功率模組1，可解決現有技術的問題。

【0055】 此外，本發明各實施例間的特徵只要不違背發明精神或相衝突，均可任意混合搭配使用。

【0056】 上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【符號說明】

【0057】

1	功率模組
10	氮化鎵電晶體
11	氮化鎵電晶體的汲極
12	氮化鎵電晶體的源極
13	氮化鎵電晶體的閘極
20	NMOS電晶體
21	NMOS電晶體的汲極
22	NMOS電晶體的源極
23	NMOS電晶體的閘極
30	第一電容
31	第一電容的正極
32	第一電容的負極
40	第一二極體
41	第一二極體的陽極
42	第一二極體的陰極
50	第二二極體
51	第二二極體的陽極

52	第二二極體的陰極
n1	節點
n2	節點
n3	節點
D1	功率模組第一端
S1	功率模組第二端
G1	功率模組閘極端
CDS1	第一汲源極寄生電容
CGS1	第一閘源極寄生電容
CGD1	第一閘汲極寄生電容
CDS2	第二汲源極寄生電容
CGS2	第二閘源極寄生電容
CGD2	第二閘汲極寄生電容
T1	第一工作期間
T2	第二工作期間
T3	第三工作期間
T4	第四工作期間
100	電源轉換器
110	輸入端
120	交流轉直流電路
130	緩衝電路
140	脈衝寬度調變兼閘極驅動器
150	變壓器電路
160	輸出端

【發明申請專利範圍】

【請求項1】 一種功率模組，包含：

一氮化鎵電晶體(10)；

一NMOS電晶體(20)，與該氮化鎵電晶體(10)電性連接；

一第一電容(30)；

一第一二極體(40)，其中該第一電容(30)的一負極(32)與該第一二極體(40)的一陽極(41)以及該氮化鎵電晶體(10)的一閘極(13)電性連接；以及

一第二二極體(50)，該第二二極體(50)的一陰極(52)與該NMOS電晶體(20)的一閘極(23)電性連接；

其中，該功率模組(1)更包含一功率模組控制端(G1)，該功率模組控制端(G1)與該第一電容(30)的一正極(31)及該第二二極體(50)的一陽極(51)電性連接；

其中，該功率模組更包含一功率模組第一端(D1)及一功率模組第二端(S1)，該功率模組第一端(D1)與該氮化鎵電晶體(10)的一汲極(11)電性連接，該氮化鎵電晶體(10)的一源極(12)與該NMOS電晶體(20)的一汲極(21)電性連接，且該NMOS電晶體(20)的一源極(22)與該功率模組第二端(S1)電性連接，或者該功率模組第一端(D1)與該NMOS電晶體(20)的該汲極(21)電性連接，該NMOS電晶體(20)的該源極(22)與該氮化鎵電晶體(10)的該汲極(11)電性連接，且該氮化鎵電晶體(10)的該源極(12)與該功率模組第二端(S1)電性連接。

【請求項2】 如請求項1所述的功率模組，其中於該功率模組第一端(D1)與該氮化鎵電晶體(10)的該汲極(11)電性連接，該氮化鎵電晶體(10)的該源極(12)與該NMOS電晶體(20)的該汲極(21)電性連接，且該NMOS電晶體(20)的該源極(22)與該功率模組第二端(S1)電性連接的情況下，該第一二極體(40)的一陰極(42)與該功率模組第二端(S1)電性連接。

- 【請求項3】 如請求項2所述的功率模組，其中該功率模組控制端(G1)用於接收一控制訊號(VG)，其中當該控制訊號(VG)為一低電位時，該NMOS電晶體(20)不導通，而該氮化鎵電晶體(10)導通，當該控制訊號(VG)由該低電位轉換為一高電位時，該NMOS電晶體(20)及該氮化鎵電晶體(10)導通，且之後該NMOS電晶體(20)維持導通狀態而不受該控制訊號(VG)影響。
- 【請求項4】 如請求項3所述的功率模組，當該控制訊號(VG)由該高電位再次轉換為該低電位時，該NMOS電晶體(20)持續導通，該氮化鎵電晶體(10)不導通，且當該控制訊號(VG)由該低電位再次轉換為該高電位時，該NMOS電晶體(20)持續導通，該氮化鎵電晶體(10)導通。
- 【請求項5】 如請求項4所述的功率模組，其中該氮化鎵電晶體(10)的該閘極(13)及該源極(12)之間具有一閘源極寄生電容(CGS1)，該第一電容(30)的電容值大於或等於該閘源極寄生電容(CGS1)的電容值的十倍。
- 【請求項6】 如請求項1所述的功率模組，其中於該功率模組第一端(D1)與該NMOS電晶體(20)的該汲極(21)電性連接，該NMOS電晶體(20)的該源極(22)與該氮化鎵電晶體(10)的該汲極(11)電性連接，且該氮化鎵電晶體(10)的該源極(12)與該功率模組第二端(S1)電性連接的情況下，該第一二極體(40)的一陰極(42)與該功率模組第二端(S1)電性連接。
- 【請求項7】 如請求項6所述的功率模組，其中該功率模組控制端(G1)用於接收一控制訊號(VG)，其中當該控制訊號(VG)為一低電位時，該NMOS電晶體(20)不導通，而該氮化鎵電晶體(10)導通，當該控制訊號(VG)首次由該低電位轉換為一高電位時，該NMOS電晶體(20)及該氮化鎵電晶體(10)導通，當該控制訊號(VG)由該高電位再次轉換為該低電位時，該NMOS電晶體(20)持續導通，該氮化鎵電晶體(10)不導通，且當該控制訊號(VG)由該

低電位再次轉換為該高電位時，該NMOS電晶體(20)持續導通，該氮化鎵電晶體(10)導通。

【請求項8】 如請求項7所述的功率模組，其中該氮化鎵電晶體(10)的該閘極(13)及該源極(12)之間具有一閘源極寄生電容(CGS1)，該第一電容(30)的電容值大於或等於該閘源極寄生電容(CGS1)的電容值的十倍。

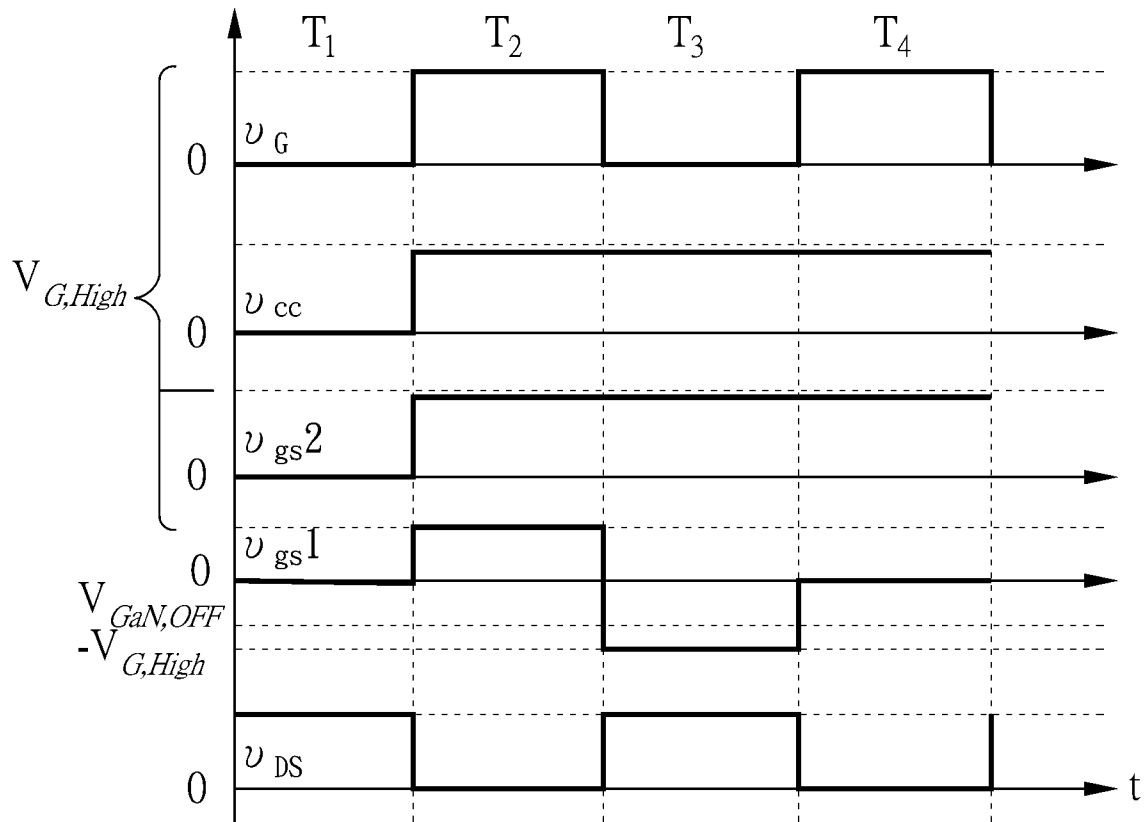


圖2

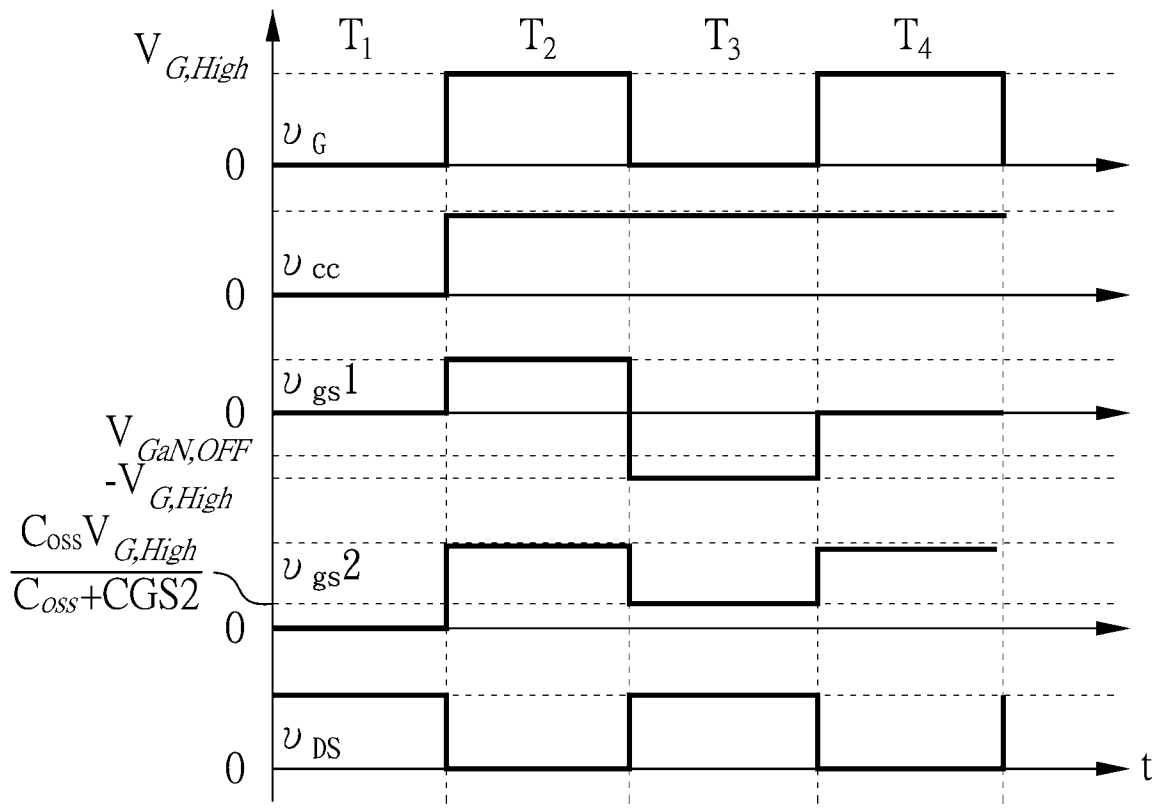


圖4

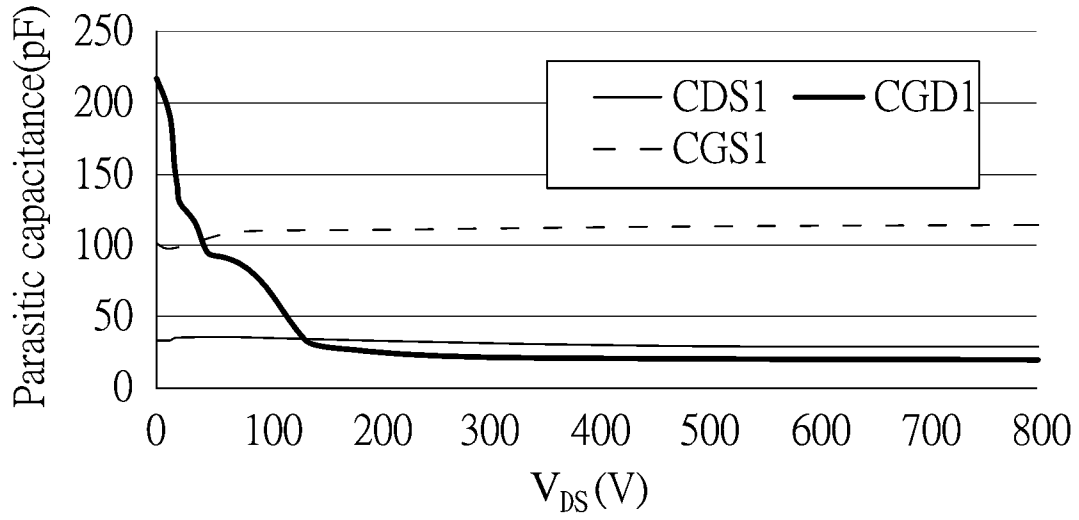


圖5

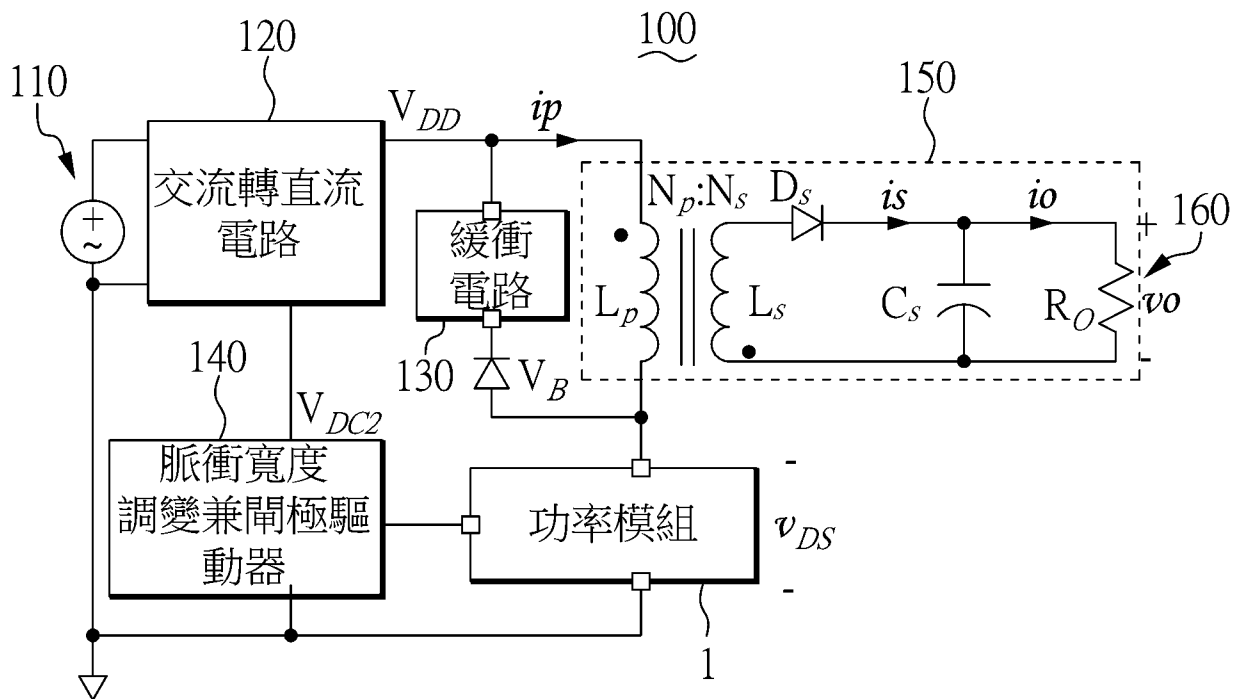


圖6

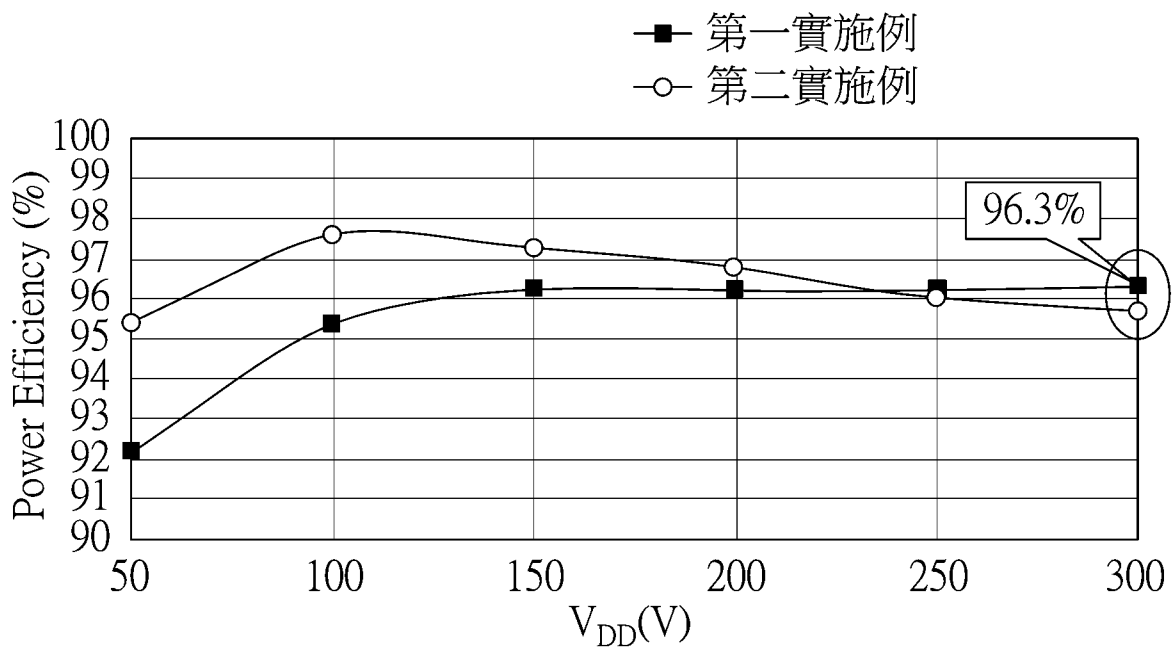


圖7