

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-62542
(P2013-62542A)

(43) 公開日 平成25年4月4日(2013.4.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/304 (2006.01)	HO 1 L 21/304 6 2 2 W	5 F 0 5 7
HO 1 L 33/16 (2010.01)	HO 1 L 33/00 1 6 0	5 F 1 4 1
HO 1 L 33/32 (2010.01)	HO 1 L 33/00 1 8 6	
	HO 1 L 21/304 6 2 1 D	
	HO 1 L 21/304 6 2 2 Q	

審査請求 未請求 請求項の数 1 O L (全 14 頁)

(21) 出願番号 特願2012-281719 (P2012-281719)
 (22) 出願日 平成24年12月25日 (2012.12.25)
 (62) 分割の表示 特願2011-198118 (P2011-198118) の分割
 原出願日 平成23年9月12日 (2011.9.12)

(71) 出願人 000005968
 三菱化学株式会社
 東京都千代田区丸の内一丁目1番1号
 (74) 代理人 100076428
 弁理士 大塚 康德
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (72) 発明者 小林 由季
 茨城県牛久市東端穴町1000番地 三菱化学株式会社内

最終頁に続く

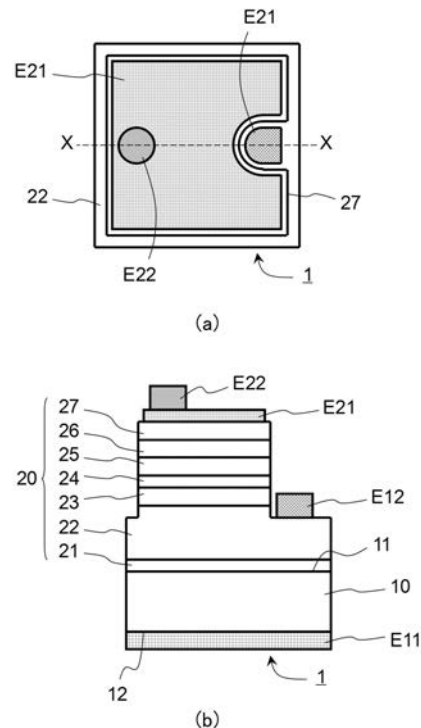
(54) 【発明の名称】 m面GaN基板の表面処理方法

(57) 【要約】

【課題】本発明は、m面GaN基板の表面処理方法を提供する。

【解決手段】m面GaN基板の表面処理方法は、m面GaN基板の表面を、酸性のCMPスラリーを用いて0.5 μm/h以下のポリッシングレートでポリッシングする第1工程と、該第1工程に続いて該m面GaN基板の該表面を水洗する第2工程と、を有する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

m面 GaN 基板の表面を、酸性の CMP スラリーを用いて $0.5 \mu\text{m/h}$ 以下のポリッシングレートでポリッシングする第 1 工程と、該第 1 工程に続いて該 m 面 GaN 基板の該表面を水洗する第 2 工程と、を有する m 面 GaN 基板の表面処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、m 面 GaN 基板の表面処理方法に関する。

【背景技術】

【0002】

発光ダイオード素子として、GaN 系半導体を用いて形成された発光構造を有する GaN 系発光ダイオード素子がある。GaN 系半導体は、一般式 $\text{Al}_a\text{In}_b\text{Ga}_{1-a-b}\text{N}$ ($0 \leq a \leq 1, 0 \leq b \leq 1, 0 \leq a+b \leq 1$) で表される化合物半導体であり、窒化物半導体、窒化物系化合物半導体などとも呼ばれる。

GaN 系半導体を用いて形成されたダブルヘテロ pn 接合型の発光構造を m 面 GaN 基板上に有する半導体発光素子が公知である（非特許文献 1～4）。

【0003】

非特許文献 1～3 に開示されているのは発光ダイオード素子であり、いずれの素子においても、m 面 GaN 基板上にエピタキシャル成長により形成された n 型の Si ドープ GaN 層上に n 側オーミック電極が形成されている。非特許文献 4 に開示されているのはレーザダイオード素子であり、m 面 GaN 基板の裏面に n 側オーミック電極が形成されている。このレーザダイオード素子の閾値電流は CW 駆動時で 36mA 、パルス駆動時で 28mA であり、閾値電圧は約 $7 \sim 8 \text{V}$ となっている。

【0004】

GaN 基板上に発光構造を形成した発光素子においては、GaN 基板の裏面に良好な n 側オーミック電極を形成することが難しいといわれている（特許文献 1～6）。そこで、特許文献 2 に記載された方法では、GaN 基板の裏面を粒径 $10 \mu\text{m}$ 以上の研磨剤で研磨して粗くすることにより、該裏面上に形成する n 側オーミック電極の接触抵抗の低減が図られている。また、特許文献 3 に記載された方法では、同じ目的のために、GaN 基板の裏面をウェットエッチングまたはドライエッチングで粗くしている。一方、特許文献 4 によれば、GaN 基板の厚さを落とすためにその裏面をグラインディング、ラッピングまたはポリッシングしたときにダメージ層が形成され、これが良好なオーミック電極の形成を阻害するとのことである。そこで、該特許文献 4 に記載の方法では、研磨加工後の GaN 基板の裏面をドライエッチングまたはウェットエッチングで削っている。しかし、特許文献 5 には、ウェットエッチングではこの目的は達成できなかったと記載されている。特許文献 6 に記載された方法では、GaN 基板の裏面をドライエッチングして、機械研磨により発生した結晶欠陥を含む部分を削り取ることにより、GaN 基板と n 側オーミック電極との接触抵抗の低減が図られている。なお、これら特許文献 1～6 に記載された知見や発明は、基本的には c 面 GaN 基板に関するものである。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 11 - 340571 号公報

【特許文献 2】特開 2002 - 16312 号公報

【特許文献 3】特開 2004 - 71657 号公報

【特許文献 4】特開 2003 - 51614 号公報

【特許文献 5】特開 2003 - 347660 号公報

【特許文献 6】特開 2004 - 6718 号公報

【非特許文献】

10

20

30

40

50

【 0 0 0 6 】

【非特許文献 1】Kuniyoshi Okamoto et al., Japanese Journal of Applied Physics, Vol. 45, No. 45, 2006, pp. L1197-L1199

【非特許文献 2】Mathew C. Schmidt et al., Japanese Journal of Applied Physics, Vol. 46, No. 7, 2007, pp. L126-L128

【非特許文献 3】Shih-Pang Chang et al., Journal of The Electrochemical Society, 157 (5) H501-H503 (2010)

【非特許文献 4】Kuniyoshi Okamoto et al., Japanese Journal of Applied Physics, Vol. 46, No. 9, 2007, pp. L187-L189

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

m面 GaN 基板上に発光構造を形成した GaN 系発光ダイオード素子は、QCSE 効果が生じないので、印加電流の増加に伴う発光波長の変動が小さいことが要求される白色 LED 用の励起光源に適している。しかし、発光ダイオード素子の発熱量が大きかったり、その放熱性が良好でない場合には、該発光ダイオード素子が放出する熱で蛍光体の温度が大きく変動することとなり、期待通りの効果が得られなくなる。また、発熱量が大きく放熱性が良好でない発光ダイオード素子は、印加電流を増やすにつれてそれ自体の温度も大きく上昇するので、発光効率の低いものとなる。

【 0 0 0 8 】

本発明は、m面 GaN 基板の表面処理方法を提供する。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の一実施形態に係る m面 GaN 基板の表面処理方法は、m面 GaN 基板の表面を、酸性の CMP スラリーを用いて $0.5 \mu\text{m/h}$ 以下のポリッシングレートでポリッシングする第 1 工程と、該第 1 工程に続いて該 m面 GaN 基板の該表面を水洗する第 2 工程とを有する。

【発明の効果】

【 0 0 1 0 】

本発明により、m面 GaN 基板の表面処理方法が提供される。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】本発明者等が試作した GaN 系発光ダイオード素子の構造を示す模式図であり、図 1 (a) は上面図、図 1 (b) は図 1 (a) の X - X 線の位置における断面図である。

【図 2】マスクパターンの平面図である。

【図 3】マスクパターンの向きを説明するための平面図である。

【図 4】加工 e を施した m面 GaN 基板の裏面の SEM 像である。

【発明を実施するための形態】

【 0 0 1 2 】

以下の各実施形態に係る GaN 系発光ダイオード素子は、m面 GaN 基板の裏面に形成された n 側オーミック電極を有するので、金属電極上にハンダを用いて固定することができる。つまり、放熱性が良好となる形態で実装することができる。また、上記の各実施形態に係る GaN 系発光ダイオード素子は、順方向電圧が低く抑えられているので、発熱量が小さい。従って、白色 LED 用の励起光源に極めて適している。

本発明者等による GaN 系発光ダイオード素子（以下では「LED 素子」ともいう）の試作および評価の結果を以下に記す。

1. 試作した LED 素子の基本構造

図 1 に、試作した LED 素子の基本構造を模式的に示す。図 1 (a) は上面図、図 1 (b) は図 1 (a) の X - X 線の位置における断面図である。図 1 (a) に示すように、LED 素子 1 の平面形状は矩形であり、サイズは $350 \mu\text{m} \times 340 \mu\text{m}$ である。

10

20

30

40

50

【0013】

図1(b)に示すように、LED素子1は、基板10の上にGa_{0.9}N系半導体からなる半導体積層体20を有している。基板10はm面Ga_{0.9}N基板であり、半導体積層体20は該基板10のおもて面11上に配置されている。半導体積層体20は基板10側から順に、第1のアンドープGa_{0.9}N層21、Siドープされたn型Ga_{0.9}Nコンタクト層22、第2のアンドープGa_{0.9}N層23、Siドープされたn型Ga_{0.9}Nクラッド層24、MQW活性層25、Mgドープされたp型Al_{0.1}Ga_{0.9}Nクラッド層26、Mgドープされたp型Al_{0.3}Ga_{0.7}Nコンタクト層27を有している。

【0014】

MQW活性層25は、交互に積層されたアンドープIn_{0.04}Ga_{0.96}Nバリア層とアンドープIn_{0.16}Ga_{0.84}Nウェル層とを有している。アンドープInGa_{0.9}Nバリア層の数は4層、アンドープInGa_{0.9}Nウェル層の数は3層であり、ゆえに、MQW活性層25の最下層と最上層はいずれもバリア層である。ウェル層の組成は発光ピーク波長が445~465nmの範囲内に入るように調整されたものである。

【0015】

LED素子1は2つのn側電極と1つのp側電極を有している。n側電極のひとつは第1のn側メタルパッドE11であり、基板10の裏面12全体を覆うように設けられている。もうひとつは第2のn側メタルパッドE12であり、半導体積層体20を一部除去することにより露出したn型Ga_{0.9}Nコンタクト層22の表面上に形成されている。第1のn側メタルパッドE11と第2のn側メタルパッドE12は、どちらもオーミック電極を兼用している。p側電極を構成するのは、p型AlGa_{0.9}Nコンタクト層27の上面に形成されたオーミック性の透光性電極E21と、該透光性電極E21上の一部に形成されたp側メタルパッドE22である。MQW活性層25への電流印加は、第1のn側メタルパッドE11とp側メタルパッドE22を通して行うこともできるし、第2のn側メタルパッドE12とp側メタルパッドE22を通して行うこともできる。

【0016】

第1のn側メタルパッドE11は多層膜であり、基板10側から順にTiW層、Au層、Pt層、Au層、Pt層、Au層、Pt層、Au層を有している。第2のn側メタルパッドE12も同様の積層構造を備える多層膜であり、n型Ga_{0.9}Nコンタクト層22側から順にTiW層、Au層、Pt層、Au層、Pt層、Au層、Pt層、Au層を有している。透光性電極E21はITO(インジウム錫酸化物)膜である。p側メタルパッドE12は第1のn側メタルパッドE11および第2のn側メタルパッドE12と同様の積層構造を備える多層膜であり、透光性電極E21側から順にTiW層、Au層、Pt層、Au層、Pt層、Au層、Pt層、Au層を有している。

2. LED素子の試作

LED素子1を次の手順により作製した。

2-1. エピタキシャル成長

サイズが7mm(c軸方向)×15mm(a軸方向)×330μm(厚さ)、おもて面(半導体積層体を設ける側の主面)のオフ角が0±0.5°の範囲内で、n型不純物としてSiが添加されたn型導電性のm面Ga_{0.9}N基板を準備した。ホール測定により調べた該m面Ga_{0.9}N基板のキャリア濃度は1.3×10¹⁷cm⁻³であった。

【0017】

このm面Ga_{0.9}N基板のおもて面上に、常圧MOVPE法を用いて複数のGa_{0.9}N系半導体層をエピタキシャル成長させて半導体積層体を形成した。III族原料にはTMG(トリメチルガリウム)、TMI(トリメチルインジウム)およびTMA(トリメチルアルミニウム)、V族原料にはアンモニア、Si原料にはシラン、Mg原料にはビスエチルシクロペンタジエニルマグネシウム((EtCp)₂Mg)を用いた。

【0018】

各層の成長温度および膜厚を表1に示す。

【0019】

10

20

30

40

50

【表 1】

層	成長温度(°C)	膜厚(nm)
第1のアンドープGa _N 層	1040	10
n型Ga _N コンタクト層	1040	1500
第2のアンドープGa _N 層	800	200
n型Ga _N クラッド層	800	20
アンドープInGa _N バリア層	800	19
アンドープInGa _N 井戸層	760	5
p型AlGa _N クラッド層	1032	140
p型AlGa _N コンタクト層	1067	60

10

【0020】

n型Ga_Nコンタクト層、n型Ga_Nクラッド層、p型AlGa_Nクラッド層およびp型AlGa_Nコンタクト層に添加した不純物の濃度は表2に示す通りである。

20

【0021】

【表 2】

層	不純物	濃度(cm ⁻³)
n型Ga _N コンタクト層	Si	7×10^{18}
n型Ga _N クラッド層	Si	2.5×10^{18}
p型AlGa _N クラッド層	Mg	3×10^{19}
p型AlGa _N コンタクト層	Mg	4.6×10^{19}

30

【0022】

p型AlGa_Nクラッド層およびp型AlGa_Nコンタクト層に添加したMgの活性化は、p型AlGa_Nコンタクト層を所定時間成長させた後、MOVPE装置の成長炉内で基板温度が室温まで低下する間に、該成長炉内に流す窒素ガスおよびアンモニアガスの流量を制御する方法を用いて行った。

2-2. p側電極および第2のn側メタルパッドの形成

上記エピタキシャル成長により形成した半導体積層体の表面(p型AlGa_Nコンタクト層の表面)に、電子ビーム蒸着法によりITO膜を210nmの厚さに形成した。続いて、フォトリソグラフィとエッチングの技法を用いて、このITO膜を所定の形状にパターンニングして、透光性電極を形成した。パターンニング後、反応性イオンエッチング(RIE)加工により半導体積層体の一部を除去して、第2のn側メタルパッドを形成すべき部位にn型Ga_Nコンタクト層を露出させるとともに、メサ形成を行った。RIE加工においては、エッチングガスとしてCl₂を用い、アンテナ/バイアスを100W/20W、チャンパー内圧力を0.3Paと設定した。

40

【0023】

RIE加工に続いて、上記作製したITO膜に対し、大気雰囲気中、520℃で20分間の熱処理を施した。更に続けて、RTA(Rapid Thermal Annealing)装置を用いて、このITO膜に対し、窒素ガス雰囲気中、500℃で1分間の熱処理を施した。

50

【0024】

I T O膜の熱処理後、リフトオフ法を用いて、第2のn側メタルパッドとp側メタルパッドを同時に所定のパターンに形成した。第2のn側メタルパッドとp側メタルパッドを構成するメタル多層膜に含まれる全ての層(TiW層、Au層およびPt層)は、スパッタリング法で形成した。TiW膜を形成する際は、ターゲットにTi含有量が10wt%のTi-Wターゲット、スパッタガスにAr(アルゴン)を使用し、スパッタ条件はRF電力800W、Ar流量50sccm、スパッタガス圧 2.2×10^{-1} Paとした。最下層であるTiW層とその直上に積層するAu層の厚さは108nmとし、それ以外のPt層およびAu層の厚さはいずれも89nmとした。

【0025】

第2のn側メタルパッドとp側メタルパッドを形成した後、露出した半導体積層体の表面および透光性電極の表面に、SiO₂からなるパッシベーション膜を230nmの厚さに形成した。

2-3. m面GaN基板の裏面の加工

上記パッシベーション膜の形成後、m面GaN基板の裏面に対し、以下に加工a~加工fとして記す6通りの異なる加工を行った。

【0026】

加工a：m面GaN基板の裏面にラッピングおよびポリッシングをこの順に施すことにより、該基板の厚さを200μmに減じた。

【0027】

ラッピング工程では、定法に従い、使用するダイヤモンド砥粒の粒径を段階的に小さくしていった。

【0028】

ポリッシング工程では、酸性コロイダルシリカ(粒径70~100nm)に酸を添加してpHを2未満に調整したCMPスラリーを用い、ポリッシングレートが0.5μm/hとなるように荷重を調整し、ポリッシング加工時間は約14時間とした。この条件でポリッシュされたm面GaN基板の表面は、AFM(例えばDIGITALINSTRUMENTS社製DIMENSION 5000)を用いて測定される10μm角の範囲の算術平均粗さRaが0.1nm以下となる。

【0029】

ポリッシングされた面(m面GaN基板の裏面)は水で洗った後、更に室温のIPAおよびアセトンを用いて洗浄し、乾燥後に5分間の紫外線オゾン洗浄(110、酸素流量5L/分)を施した。

【0030】

加工b：加工aを行った後、更に、RIEによってm面GaN基板の裏面から表層部分を削り取った。RIE条件は上記2-2.で半導体積層体に対してRIE加工を施したときの条件と同じとし、エッチング深さが0.1μmとなるよう、エッチング時間を60秒に設定した。RIE加工後の表面の粗さを触針式段差計(株式会社小坂研究所製ET3000)で測定したところ、算術平均粗さRaは0.02μm、最大高さRzは0.04μmであった。

【0031】

加工c：加工aを行った後、更に、RIEによってm面GaN基板の裏面から表層部分を削り取った。RIE条件は上記2-2.で半導体積層体に対してRIE加工を施したときの条件と同じとし、エッチング深さが1.0μmとなるよう、エッチング時間を610秒に設定した。RIE加工後の表面の粗さを触針式段差計で測定したところ、算術平均粗さRaは0.06μm、最大高さRzは0.55μmであった。

【0032】

加工d：加工aを行った後、更に、RIEによってm面GaN基板の裏面から表層部分を削り取った。RIE条件は上記2-2.で半導体積層体に対してRIE加工を施したときの条件と同じとし、エッチング深さが2.0μmとなるよう、エッチング時間を122

10

20

30

40

50

0 秒に設定した。R I E 加工後の表面の粗さを触針式段差計で測定したところ、算術平均粗さ R a は 0 . 0 7 ~ 0 . 1 2 μ m、最大高さ R z は 1 . 3 0 μ m であった。

【 0 0 3 3 】

加工 e : 加工 a を行った後の m 面 G a N 基板の裏面に、ノボラック樹脂を用いたポジ型フォトレジスト (住友化学株式会社製 スミレジスト P F I - 3 4 A L) を 1 . 6 μ m の厚さにコーティングし、フォトリソグラフィ技法を用いて該フォトレジストをパターンングすることによって、図 2 に示すマスクパターンを形成した。すなわち、複数の円形エッチングマスクが三角格子の格子位置に配置されたマスクパターンである。各円形マスクの直径 (図 2 中の R) は 2 μ m、隣り合う円形マスク間のスペース (図 2 中の S) は 2 . 5 μ m とした。マスクパターンの方向は、図 3 に示すように、三角格子の 6 つの格子位置を頂点とする正六角形 A B C D E F の 2 つの辺 B C、E F が、m 面 G a N 基板の c 軸と直交するように定めた。

10

【 0 0 3 4 】

上記のように形成したマスクパターンをエッチングマスクに用いて R I E を行うことにより、m 面 G a N 基板の裏面を凹凸状に加工した。エッチングガスとして C l ₂ を用い、アンテナ / バイアスを 1 0 0 W / 2 0 W、チャンパー内圧力を 0 . 3 P a と設定して、エッチング選択比が約 1 となるようにした。なお、ここでいうエッチング選択比は、エッチング時間が約 8 0 0 秒以下であるときの、[G a N のエッチングレート] / [マスクのエッチングレート] である。この条件で、1 5 0 0 秒間、R I E 加工を行った。マスクパターンは、エッチング時間が約 8 0 0 秒に達したところで殆ど消失した。R I E 加工後、有機溶剤を用いてウェハを洗浄し、続けて、R I E 加工された面に 5 分間の紫外線オゾン洗浄 (1 1 0、酸素流量 5 L / 分) を施した。

20

【 0 0 3 5 】

加工 e を施した m 面 G a N 基板の裏面の S E M 像を図 4 に示す。図 4 において (a) は平面図、(b) は断面方向から見た図、(c) は斜視図である。図 4 (a) ~ (c) のいずれにおいても紙面内で右から左に向かう方向が、G a N の [0 0 0 1] 方向 (c + 方向) であり、左から右に向かう方向が G a N の [0 0 0 - 1] 方向 (c - 方向) である。m 面 G a N 基板の裏面に形成された突起の高さは 1 . 5 μ m であった。

【 0 0 3 6 】

加工 f : 加工 a を行った後の m 面 G a N 基板の裏面に、加工 e と同じ手順でマスクパターンを形成したが、R I E チャンパー内に設置した後、薄いサファイア板で m 面 G a N 基板の裏面を覆うことにより、該裏面が R I E 加工を受けないように保護した。このことを除いて、加工 f で行った処理は、加工 e と同じである。すなわち、加工 f を施した m 面 G a N 基板の裏面には、フォトレジストを用いてマスクパターンを形成する処理、該マスクパターンを有機溶剤を用いて取り除く処理、及び、該マスクパターン除去後の紫外線オゾン洗浄処理が行われている。

30

2 - 4 . 第 1 の n 側メタルパッドの形成

上記加工 a ~ f のいずれかを行った m 面 G a N 基板の裏面に、第 1 の n 側メタルパッドとなるメタル多層膜を形成した。このメタル多層膜に含まれる全ての層 (T i W 層、A u 層および P t 層) は、スパッタリング法で形成した。T i W 膜を形成する際は、ターゲットに T i 含有量が 1 0 w t % の T i - W ターゲット、スパッタガスに A r (アルゴン) を使用し、スパッタ条件は R F 電力 8 0 0 W、A r 流量 5 0 s c c m、スパッタガス圧 2 . 2 \times 1 0 ⁻¹ P a とした。最下層である T i W 層とその直上に積層する A u 層の厚さは 1 0 8 n m とし、それ以外の P t 層および A u 層の厚さはいずれも 8 9 n m とした。

40

【 0 0 3 7 】

上記メタル多層膜の形成後、スクライブおよびブレーキングを行うことによりウェハを分断し、L E D 素子をチップにした。上記メタル多層膜はこの工程で G a N 基板と共に分断した。従って、第 1 の n 側メタルパッドの平面形状は m 面 G a N 基板の裏面の形状と同じとなった。また、第 1 の n 側メタルパッドのサイズはチップサイズと略同じ 3 5 0 μ m \times 3 4 0 μ m となった。

50

2 - 5 . 順方向電圧の評価

上記手順にて得たLEDチップに対して、第1のn側メタルパッドとp側メタルパッドを通して電流を印加したときの順方向電圧 (V_{f1}) と、第2のn側メタルパッドとp側メタルパッドを通して電流を印加したときの順方向電圧 (V_{f2}) を比較した。印加電流はパルス幅 1 m s e c、パルス周期 1 m s e c のパルス電流とし、電流値は 20 m A および 60 m A の2通りとした。結果を表3に示す。

【0038】

【表3】

m面GaN基板の裏面加工	V_{f1} (V)		V_{f2} (V)		$V_{f1} - V_{f2}$ (V)	
	20mA	60mA	20mA	60mA	20mA	60mA
加工a	3.7	4.3	3.7	4.3	0.0	0.0
加工b	7.3	9.2	3.7	4.3	3.6	4.9
加工c	7.3	9.1	3.7	4.3	3.5	4.8
加工d	6.6	8.3	3.8	4.4	2.8	3.9
加工e	8.2	9.5	3.7	4.3	4.5	5.2
加工f	4.3	5.6	3.7	4.3	0.6	1.4

10

20

【0039】

表3に示すように、m面GaN基板の裏面に加工aのみを行ったLEDチップでは V_{f1} と V_{f2} は一致したのに対し、加工b～fを行ったLEDチップではいずれも V_{f1} が V_{f2} よりも大きくなった。特に、RIE加工を含む加工b～eを行ったLEDチップでは、その差は数V以上にもなった。

【0040】

また、m面GaN基板の裏面に加工aのみを行ったLEDチップに、パルス幅 1 m s e c、パルス周期 1 m s e c の順方向電流を 20 m A、60 m A、100 m A、120 m A、180 m A、240 m A および 350 m A 印加したときの V_{f1} を表4に示す。表4には、それに加えて、第1のn側メタルパッドにおける平均電流密度を示している。この平均電流密度は順方向電流をn側メタルパッドの面積 ($350 \mu\text{m} \times 340 \mu\text{m}$) で除した値であり、n側メタルパッドとm面GaN基板の裏面との界面を横切って流れる電流の平均的な密度を表している。

30

【0041】

【表4】

順方向電流 (mA)	20	60	100	120	180	200	240	350
第2のn側メタルパッドにおける電流密度 (A/cm^2)	17	50	84	101	151	168	202	294
V_{f1} (V)	3.7	4.3	4.7	4.9	5.3	5.4	5.6	6.0

40

【0042】

本発明は、以上に記したLED素子の試作および評価から得られた知見に基づき完成されたものである。ただし、いうまでもないことであるが、本発明は、試作されたLED素子や、試作で用いられた方法に限定されるものではない。

【0043】

本明細書に開示された事項には以下に記載する半導体発光素子が含まれる。

50

(1) n型導電性のm面Ga_{0.9}N基板と、該m面Ga_{0.9}N基板のおもて面上にGa_{0.9}N系半導体を用いて形成された発光構造と、該m面Ga_{0.9}N基板の裏面に形成されたn側オーミック電極とを有し、当該素子に印加される順方向電流が20mAのときの順方向電圧が4.0V以下である半導体発光素子。

(2) n型導電性のm面Ga_{0.9}N基板と、該m面Ga_{0.9}N基板のおもて面上にGa_{0.9}N系半導体を用いて形成された発光構造と、該m面Ga_{0.9}N基板の裏面に形成されたn側オーミック電極とを有し、当該素子に印加される順方向電流が60mAのときの順方向電圧が4.5V以下である半導体発光素子。

(3) n型導電性のm面Ga_{0.9}N基板と、該m面Ga_{0.9}N基板のおもて面上にGa_{0.9}N系半導体を用いて形成された発光構造と、該m面Ga_{0.9}N基板の裏面に形成されたn側オーミック電極とを有し、当該素子に印加される順方向電流が120mAのときの順方向電圧が5.0V以下である半導体発光素子。

(4) n型導電性のm面Ga_{0.9}N基板と、該m面Ga_{0.9}N基板のおもて面上にGa_{0.9}N系半導体を用いて形成された発光構造と、該m面Ga_{0.9}N基板の裏面に形成されたn側オーミック電極とを有し、当該素子に印加される順方向電流が200mAのときの順方向電圧が5.5V以下である半導体発光素子。

(5) n型導電性のm面Ga_{0.9}N基板と、該m面Ga_{0.9}N基板のおもて面上にGa_{0.9}N系半導体を用いて形成された発光構造と、該m面Ga_{0.9}N基板の裏面に形成されたn側オーミック電極とを有し、当該素子に印加される順方向電流が350mAのときの順方向電圧が6.0V以下である半導体発光素子。

(6) 前記発光構造が、Ga_{0.9}N系半導体からなる活性層と、該活性層と前記m面Ga_{0.9}N基板との間に配置されたn型Ga_{0.9}N系半導体層と、該n型Ga_{0.9}N系半導体層とで該活性層を挟むp型Ga_{0.9}N系半導体層と、を含む、前記(1)~(5)のいずれかに記載の半導体発光素子。

(7) 発光ダイオード素子である、前記(1)~(6)のいずれかに記載の半導体発光素子。

(8) 前記m面Ga_{0.9}N基板の裏面の面積が0.0012cm²以上である、前記(1)~(7)のいずれかに記載の半導体発光素子。

(9) 前記n側オーミック電極の面積が0.0012cm²以上、前記m面Ga_{0.9}N基板の裏面の面積以下である、前記(8)に記載の半導体発光素子。

(10) 前記m面Ga_{0.9}N基板のキャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ である、前記(1)~(11)のいずれかに記載の半導体発光素子。

【0044】

また、当業者であれば、以下に記載するm面Ga_{0.9}N基板の表面処理方法または半導体素子の製造方法が、本明細書に開示されていることを理解するであろう。

(a1) m面Ga_{0.9}N基板の表面を、酸性のCMPスラリーを用いて0.5μm/h以下のポリッシングレートでポリッシングする第1工程と、該第1工程に続いて該m面Ga_{0.9}N基板の該表面を水洗する第2工程と、を有するm面Ga_{0.9}N基板の表面処理方法。

(a2) 前記CMPスラリーのpHが2未満である、前記(a1)に記載の表面処理方法。

(a3) 前記第1工程では前記m面Ga_{0.9}N基板の表面をポリッシュ後の算術平均粗さRaが0.1nm以下となるようにポリッシングする、前記(a1)または(a2)に記載の表面処理方法。

(a4) n型導電性を有するm面Ga_{0.9}N基板の表面にオーミック電極を形成する電極形成工程を有するとともに、該電極工程の前に、該表面の仕上げ工程として前記(a1)~(a3)のいずれかに記載の表面処理方法を用いた表面処理を該表面に施す表面処理工程を有する、半導体素子の製造方法。

(a5) 前記n型導電性を有するm面Ga_{0.9}N基板のキャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ である、半導体素子の製造方法。

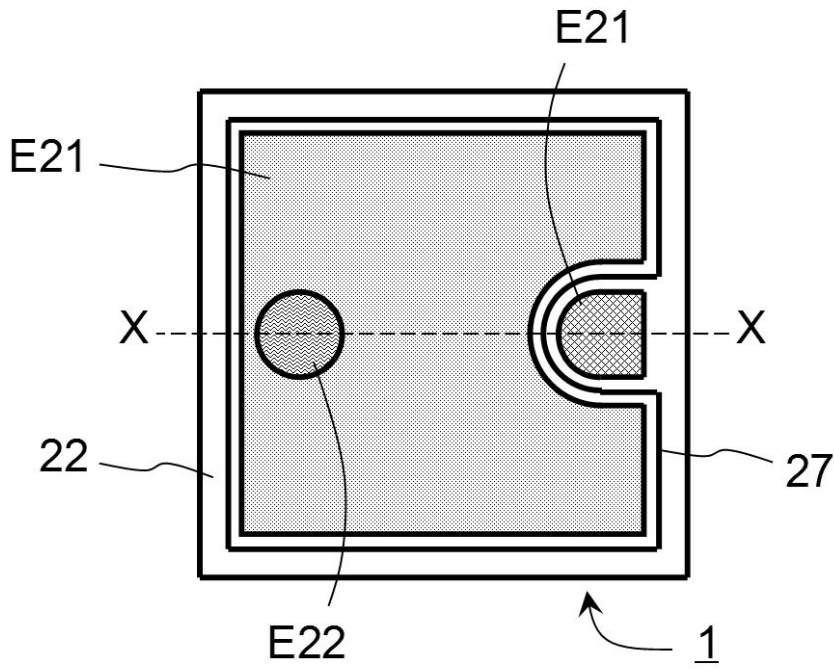
10

20

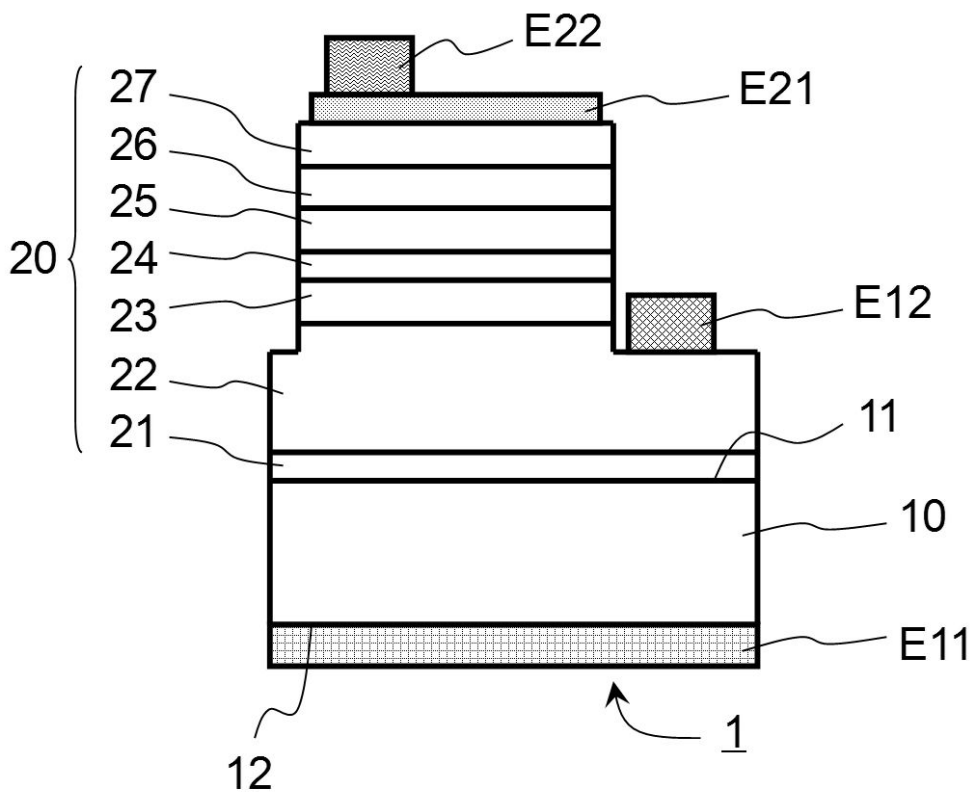
30

40

【図1】

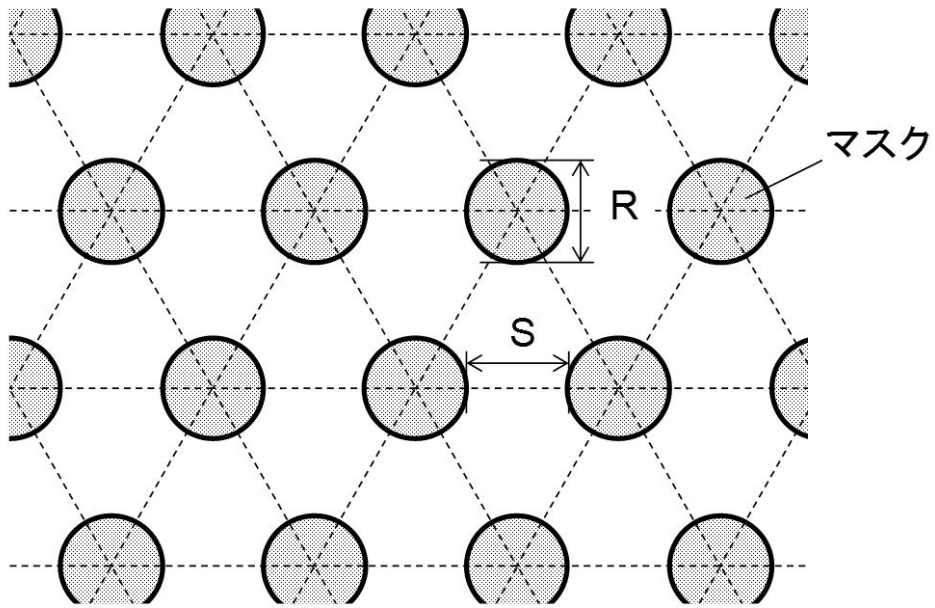


(a)

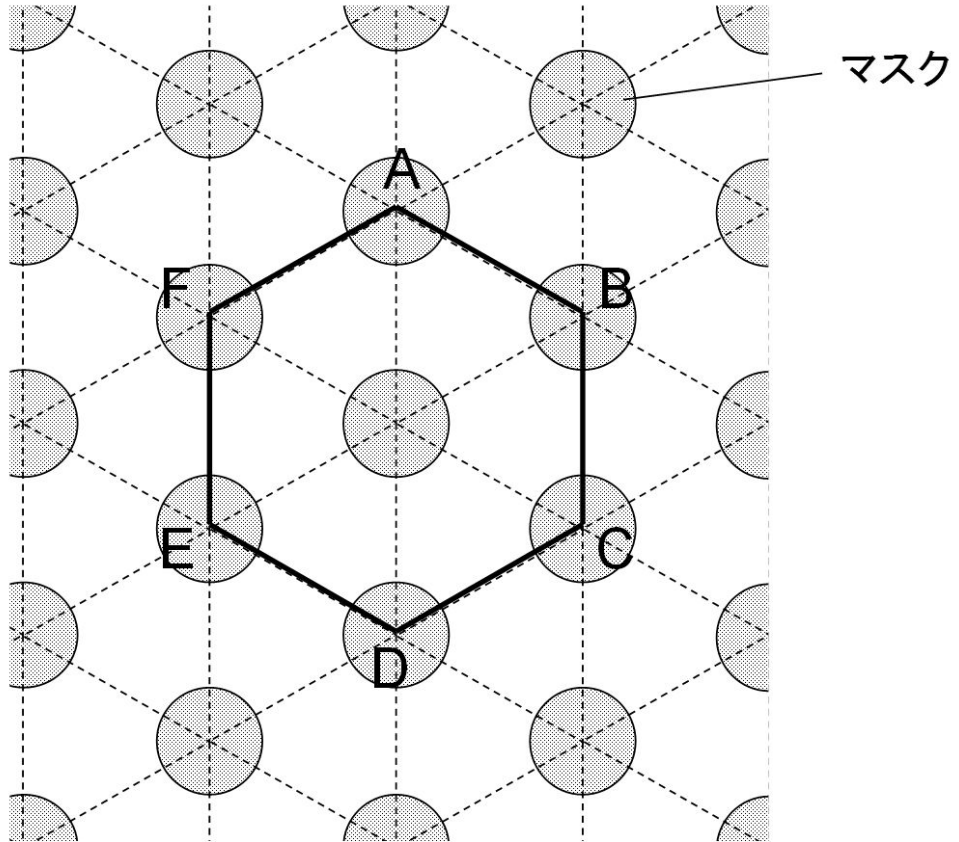


(b)

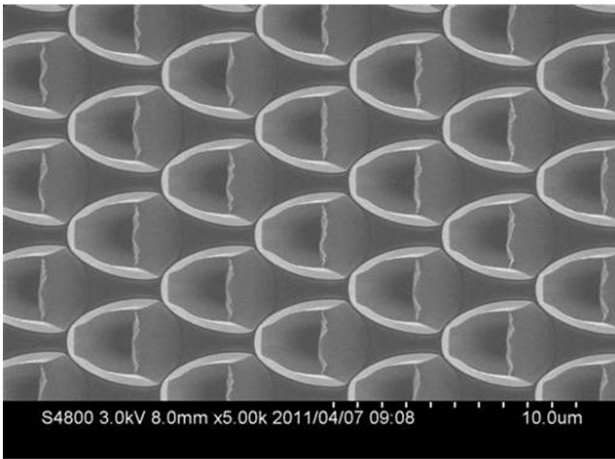
【 図 2 】



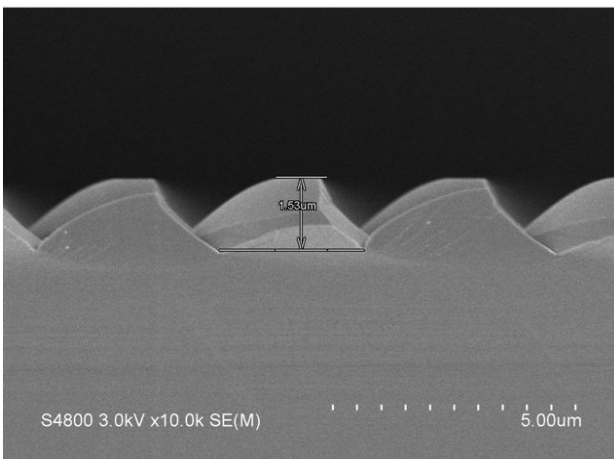
【 図 3 】



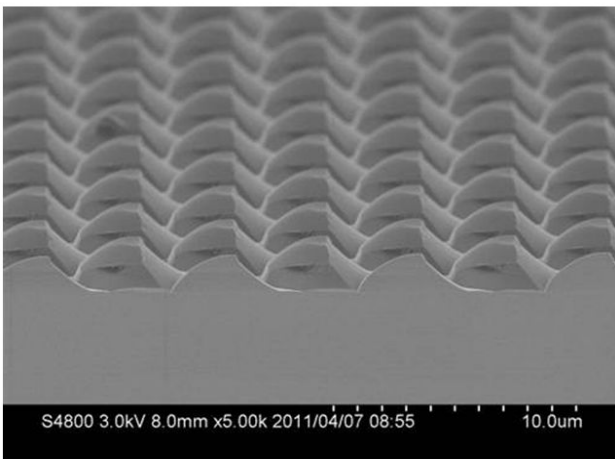
【 図 4 】



(a)



(b)



(c)

フロントページの続き

Fターム(参考) 5F057 BB06 BC06 DA03 DA05 DA38 EA01 EA07 EA16 EA32 EC30
5F141 AA03 AA24 AA31 AA33 CA04 CA05 CA12 CA23 CA40 CA65
CA74 CA77 CA88 CA92 CA98 CA99