



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년04월20일  
(11) 등록번호 10-2241937  
(24) 등록일자 2021년04월13일

(51) 국제특허분류(Int. Cl.)  
H01L 21/768 (2006.01) H01L 21/02 (2006.01)  
H05H 1/46 (2006.01)  
(52) CPC특허분류  
H01L 21/76877 (2013.01)  
H01L 21/02274 (2013.01)  
(21) 출원번호 10-2016-0158611  
(22) 출원일자 2016년11월25일  
심사청구일자 2018년11월27일  
(65) 공개번호 10-2018-0059261  
(43) 공개일자 2018년06월04일  
(56) 선행기술조사문헌  
KR1020130093569 A\*  
(뒷면에 계속)

(73) 특허권자  
주식회사 원익아이피에스  
경기도 평택시 진위면 진위산단로 75 ( )  
(72) 발명자  
류동호  
경기도 남양주시 별내3로 63, 3701동 1101호  
이경은  
경기도 양주시 삼승로38번길 190, 505동 201호  
최연주  
경기도 수원시 권선구 매실로 70, 104동 1202호  
(74) 대리인  
김남식, 이인행, 김한

전체 청구항 수 : 총 8 항

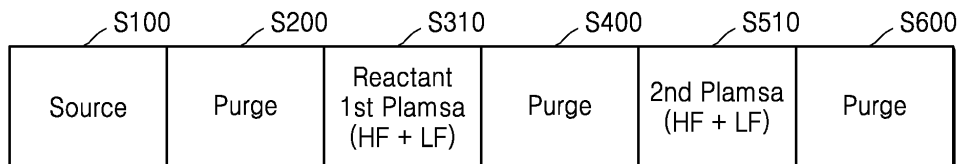
심사관 : 김영진

(54) 발명의 명칭 반도체 소자의 갭필 방법

(57) 요약

본 발명은 단차를 구비하는 패턴 상에 듀얼 주파수 전원을 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막을 증착하는 단계; 및 증착된 상기 절연막 중에서 단차의 측벽에 형성된 부분 보다는 단차의 상부면에 형성된 부분을 식각(etching) 공정으로 선택적으로 제거하는 단계; 를 포함하는 제 1 단위사이클을 복수회 진행함으로써 상기 단차의 갭(gap)을 상기 절연막으로 충전(filling)하는 것을 특징으로 하는, 반도체 소자의 갭필 방법을 제공한다.

대표도 - 도2d



(52) CPC특허분류

*H01L 21/0228* (2013.01)  
*H01L 21/02315* (2013.01)  
*H01L 21/0234* (2013.01)  
*H01L 21/76813* (2013.01)  
*H01L 21/76838* (2013.01)  
*H05H 1/46* (2013.01)

(56) 선행기술조사문헌

KR1020130115261 A\*  
JP2014532304 A  
KR1020060011449 A  
KR1020140101154 A

\*는 심사관에 의하여 인용된 문헌

---

**명세서**

**청구범위**

**청구항 1**

단차를 구비하는 패턴 상에 듀얼 주파수 전원을 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막을 증착하는 단계; 및

증착된 상기 절연막 중에서 단차의 측벽에 형성된 부분 보다는 단차의 상부면에 형성된 부분을 식각(etching) 공정으로 선택적으로 제거하는 단계;

를 포함하는 제 1 단위사이클을 복수회 진행함으로써 상기 단차의 갭(gap)을 상기 절연막으로 충전(filling)하 되,

상기 절연막을 증착하는 단계는, 상기 단차를 구비하는 패턴을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계; 상기 기판 상에 싱글 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계; 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 후처리가스를 제공하여 상기 단위증착막을 후처리하는 후처리 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 잔류하는 후처리가스를 퍼지하는 제 3 퍼지단계;를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현하는 것을 특징으로 하는, 반도체 소자의 갭필 방법.

**청구항 2**

제 1 항에 있어서,

상기 절연막을 증착하는 단계는 상기 단차의 상부면에 형성된 제 1 절연막과 상기 단차의 측벽에 형성된 제 2 절연막을 형성하는 단계를 포함하되, 상기 제 2 절연막이 상기 제 1 절연막 보다 더 단단한 것을 특징으로 하는, 반도체 소자의 갭필 방법.

**청구항 3**

제 2 항에 있어서,

상기 듀얼 주파수 전원은 고주파 전원과 저주파 전원으로 이루어지되, 상기 저주파 전원의 파워는 상기 고주파 전원의 파워의 5 내지 15%인 것을 특징으로 하는, 반도체 소자의 갭필 방법.

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

단차를 구비하는 패턴 상에 듀얼 주파수 전원을 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막을 증착하는 단계; 및

증착된 상기 절연막 중에서 단차의 측벽에 형성된 부분 보다는 단차의 상부면에 형성된 부분을 식각(etching) 공정으로 선택적으로 제거하는 단계;

를 포함하는 제 1 단위사이클을 복수회 진행함으로써 상기 단차의 갭(gap)을 상기 절연막으로 충전(filling)하

되,

상기 절연막을 증착하는 단계는, 상기 단차를 구비하는 패턴을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계; 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계; 상기 기판 상에 싱글 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 후처리가스를 제공하여 상기 단위증착막을 후처리하는 후처리 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 잔류하는 후처리가스를 퍼지하는 제 3 퍼지단계;를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현하는 것을 특징으로 하며,

상기 절연막을 증착하는 단계는 상기 단차의 상부면에 형성된 제 1 절연막과 상기 단차의 측벽에 형성된 제 2 절연막을 형성하는 단계를 포함하되, 상기 듀얼 주파수 전원은 고주파 전원과 저주파 전원으로 이루어지며, 상기 저주파 전원의 파워는 상기 고주파 전원의 파워의 5 내지 15%으로 설정함으로써 상기 제 2 절연막이 상기 제 1 절연막 보다 더 단단한 것을 특징으로 하는,

반도체 소자의 깎필 방법.

### 청구항 7

단차를 구비하는 패턴 상에 듀얼 주파수 전원을 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막을 증착하는 단계; 및

증착된 상기 절연막 중에서 단차의 측벽에 형성된 부분 보다는 단차의 상부면에 형성된 부분을 식각(etching) 공정으로 선택적으로 제거하는 단계;

를 포함하는 제 1 단위사이클을 복수회 진행함으로써 상기 단차의 갭(gap)을 상기 절연막으로 충전(filling)하되,

상기 절연막을 증착하는 단계는, 상기 단차를 구비하는 패턴을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계; 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계; 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 후처리가스를 제공하여 상기 단위증착막을 후처리하는 후처리 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 잔류하는 후처리가스를 퍼지하는 제 3 퍼지단계;를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현하는 것을 특징으로 하며,

상기 절연막을 증착하는 단계는 상기 단차의 상부면에 형성된 제 1 절연막과 상기 단차의 측벽에 형성된 제 2 절연막을 형성하는 단계를 포함하되, 상기 듀얼 주파수 전원은 고주파 전원과 저주파 전원으로 이루어지며, 상기 저주파 전원의 파워는 상기 고주파 전원의 파워의 5 내지 15%으로 설정함으로써 상기 제 2 절연막이 상기 제 1 절연막 보다 더 단단한 것을 특징으로 하는,

반도체 소자의 깎필 방법.

### 청구항 8

제 1 항, 제 6 항 또는 제 7 항에 있어서,

상기 듀얼 주파수 전원은 13.56 MHz 내지 27.12 MHz의 주파수 범위를 가지는 고주파 전원과 300 KHz 내지 600 KHz의 주파수 범위를 가지는 저주파 전원으로 이루어진, 반도체 소자의 깎필 방법.

### 청구항 9

제 1 항 또는 제 6 항에 있어서,

상기 싱글 주파수 전원은 13.56 MHz 내지 27.12 MHz의 주파수 범위를 가지는 고주파 전원으로 이루어지며, 상기 듀얼 주파수 전원은 13.56 MHz 내지 27.12 MHz의 주파수 범위를 가지는 고주파 전원과 300 KHz 내지 600 KHz의 주파수 범위를 가지는 저주파 전원으로 이루어진, 반도체 소자의 깎필 방법.

**청구항 10**

제 1 항, 제 6 항 또는 제 7 항에 있어서,

상기 단차를 구비하는 패턴은 홀 패턴, 비아 패턴 또는 트렌치 패턴을 포함하는, 반도체 소자의 깎필 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 소자의 깎필 방법에 관한 것으로서, 보다 상세하게는 홀 패턴, 비아 패턴 또는 트렌치 패턴을 포함하는 반도체 소자의 깎필 방법에 관한 것이다.

**배경 기술**

[0002] 전자 소자의 집적화에 따라 원자층 증착법으로 나노 단위의 박막을 균일하게 증착하는 기술이 개발되고 있다. 한편, 실리콘 질화막 공정은 점차 고온에 대한 민감도가 증가함에 따라 공정온도를 저감하려는 노력이 진행되고 있으며 이의 일환으로 플라즈마를 이용한 저온공정의 개발이 수행되고 있다. 다이렉트 플라즈마를 이용한 질화막을 트렌치나 홀과 같은 단차 구조에 형성하는 경우, 단차 구조 측부에 형성된 질화막의 막질이 상대적으로 저하되는 문제점이 나타나고 있다. 나아가, 단차의 깎을 절연막으로 충전하는 과정에서 심(seam)이 나타나는 문제점도 나타나고 있다.

[0003] 관련 선행기술로는 대한민국 공개공보 제2004-0107428호(2004.12.20.공개, 발명의 명칭:질화막의 막질 개선 방법 및 반도체 장치의 제조 방법)가 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 단차 구조의 깎을 보이드(void)나 심(seam)을 형성하지 않으면서 효과적으로 충전하는 반도체 소자의 깎필 방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

**과제의 해결 수단**

[0005] 상기 과제를 해결하기 위한 본 발명의 일 관점에 따른 반도체 소자의 깎필 방법을 제공한다. 상기 반도체 소자의 깎필 방법은 단차를 구비하는 패턴 상에 듀얼 주파수 전원을 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막을 증착하는 단계; 및 증착된 상기 절연막 중에서 단차의 측벽에 형성된 부분 보다는 단차의 상부면에 형성된 부분을 식각(etching) 공정으로 선택적으로 제거하는 단계; 를 포함하는 제 1 단위사이클을 복수회 진행함으로써 상기 단차의 깎(gap)을 상기 절연막으로 충전(filling)하는 것을 특징으로 한다.

[0006] 상기 반도체 소자의 깎필 방법에서, 상기 절연막을 증착하는 단계는 상기 단차의 상부면에 형성된 제 1 절연막과 상기 단차의 측벽에 형성된 제 2 절연막을 형성하는 단계를 포함하되, 상기 제 2 절연막이 상기 제 1 절연막보다 더 단단한 것을 특징으로 한다.

[0007] 상기 반도체 소자의 깎필 방법에서, 상기 듀얼 주파수 전원은 고주파 전원과 저주파 전원으로 이루어지되, 상기 저주파 전원의 파워는 상기 고주파 전원의 파워의 5 내지 15%인 것을 특징으로 한다.

[0008] 상기 반도체 소자의 깎필 방법에서, 상기 절연막을 증착하는 단계는, 상기 단차를 구비하는 패턴을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계; 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계; 및 상기 기판 상에 질소가스와 불활성가

스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계;를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현하는 것을 특징으로 한다.

[0009] 상기 반도체 소자의 깎필 방법에서, 상기 절연막을 증착하는 단계는, 상기 단차를 구비하는 패턴을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계; 상기 기판 상에 싱글 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계; 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 후처리 가스를 제공하여 상기 단위증착막을 후처리하는 후처리 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 잔류하는 후처리 가스를 퍼지하는 제 3 퍼지단계;를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현하는 것을 특징으로 한다.

[0010] 상기 반도체 소자의 깎필 방법에서, 상기 절연막을 증착하는 단계는, 상기 단차를 구비하는 패턴을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계; 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계; 상기 기판 상에 싱글 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 후처리 가스를 제공하여 상기 단위증착막을 후처리하는 후처리 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 잔류하는 후처리 가스를 퍼지하는 제 3 퍼지단계;를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현하는 것을 특징으로 한다.

[0011] 상기 반도체 소자의 깎필 방법에서, 상기 절연막을 증착하는 단계는, 상기 단차를 구비하는 패턴을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계; 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계; 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 후처리 가스를 제공하여 상기 단위증착막을 후처리하는 후처리 단계; 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 잔류하는 후처리 가스를 퍼지하는 제 3 퍼지단계;를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현하는 것을 특징으로 한다.

[0012] 상기 반도체 소자의 깎필 방법에서, 상기 듀얼 주파수 전원은 13.56 MHz 내지 27.12 MHz의 주파수 범위를 가지는 고주파 전원과 300 KHz 내지 600 KHz의 주파수 범위를 가지는 저주파 전원으로 이루어질 수 있다.

[0013] 상기 반도체 소자의 깎필 방법에서, 상기 싱글 주파수 전원은 13.56 MHz 내지 27.12 MHz의 주파수 범위를 가지는 고주파 전원으로 이루어지며, 상기 듀얼 주파수 전원은 13.56 MHz 내지 27.12 MHz의 주파수 범위를 가지는 고주파 전원과 300 KHz 내지 600 KHz의 주파수 범위를 가지는 저주파 전원으로 이루어질 수 있다.

[0014] 상기 반도체 소자의 깎필 방법에서, 상기 단차를 구비하는 패턴은 홀 패턴, 비아 패턴 또는 트렌치 패턴을 포함할 수 있다.

**발명의 효과**

[0015] 상기한 바와 같이 이루어진 본 발명의 일부 실시예들에 따르면, 단차 구조의 깎을 보이드(void)나 심(seam)을 형성하지 않으면서 효과적으로 충전하는 반도체 소자의 깎필 방법을 제공할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

**도면의 간단한 설명**

[0016] 도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 반도체 소자의 깎필 방법을 순차적으로 도해하는 단면도이다.

도 2a 내지 도 2d는 본 발명의 다양한 실시예들에 따른 반도체 소자의 깎필 방법을 나타내는 도면들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 명세서 전체에 걸쳐서, 막, 영역 또는 기판 등과 같은 하나의 구성요소가 다른 구성요소 "상에" 위치한다고 언급할 때는, 상기 하나의 구성요소가 직접적으로 상기 다른 구성요소 "상에" 접촉하거나, 그 사이에 개재되는 또 다른 구성요소들이 존재할 수 있다고 해석될 수 있다. 반면에, 하나의 구성요소가 다른 구성요소 "직접적으로 상에" 위치한다고 언급할 때는, 그 사이에 개재되는 다른 구성요소들이 존재하지 않는다고 해석된다.
- [0018] 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명 사상의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것일 수 있다. 동일한 부호는 동일한 요소를 지칭한다.
- [0019] 도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 반도체 소자의 깎필 방법을 순차적으로 도해하는 단면도이다.
- [0020] 도 1a를 참조하면, 단차를 구비하는 패턴(10) 상에 듀얼 주파수 전원을 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막(50)을 증착한다. 절연막(50)은 단차의 깎(30)의 일부를 충전(filling)할 수 있다. 상기 단차를 구비하는 패턴(50)은 홀 패턴, 비아 패턴 또는 트렌치 패턴을 포함할 수 있다.
- [0021] 상기 듀얼 주파수 전원은 고주파 전원과 저주파 전원으로 이루어진다. 예를 들어, 고주파 전원은 13.56 MHz 내지 27.12 MHz의 주파수 범위를 가질 수 있으며, 저주파 전원은 300 KHz 내지 600 KHz의 주파수 범위를 가질 수 있다.
- [0022] 본 발명자는 고주파 전원만 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막을 증착하는 경우, 단차의 상부면에 형성된 제 1 절연막 보다 상기 단차의 측벽에 형성된 제 2 절연막이 더 무르다는 것을 확인하였다. 즉, 고주파 전원을 인가하여 구현된 플라즈마를 사용할 경우, 플라즈마의 직진성으로 인하여 단차 구조 중 상부(top)나 바닥(bottom)에 형성된 박막의 막질에 비해 측벽(side)에 형성된 박막의 막질이 저하되어 후속의 식각 공정에서 취약함을 가진다.
- [0023] 하지만 챔버의 상측에 고주파 전원을 인가하되 챔버의 상측 또는 하측에 저주파 전원을 동시에 인가하여 구현된 플라즈마를 사용하게 되면, 저주파 전원으로 구현된 플라즈마로 인한 이온화된 원자의 움직임이 기판 쪽으로 향하게 되어 플라즈마에 대한 효과를 극대화시켜 패턴 내 막질도 개선할 수 있음을 확인하였다.
- [0024] 뿐만 아니라, 저주파 전원의 파워(power)를 증가하면 플라즈마의 영역이 변경되어 이는 플라즈마의 시스(sheath) 영역을 변경시킬 수 있어 이를 이용하면 패턴 내 측벽 부분에 형성되는 박막의 막질을 개선시킬 수 있다.
- [0025] 즉, 본 발명자는 듀얼 주파수 전원을 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막(50)을 증착하는 경우, 단차의 상부면에 형성된 제 1 절연막(50a)과 상기 단차의 측벽에 형성된 제 2 절연막(50b)이 모두 단단하게 형성될 수 있음을 확인하였다.
- [0026] 나아가, 듀얼 주파수 전원 중에서 고주파 전원의 파워와 저주파 전원의 파워를 조절하면, 상기 단차의 측벽에 형성된 제 2 절연막(50b)이 단차의 상부면에 형성된 제 1 절연막(50a) 보다 더 단단하게 구현될 수 있음을 확인하였다. 예컨대, 저주파 전원의 파워는 고주파 전원의 파워의 50% 이하로 설정되면, 엄격하게는, 저주파 전원의 파워가 고주파 전원의 파워의 5 내지 15% 범위로 설정되면, 상기 단차의 측벽에 형성된 제 2 절연막(50b)이 단차의 상부면에 형성된 제 1 절연막(50a) 보다 더 단단하게 구현될 수 있다.
- [0027] 도 1b를 참조하면, 증착된 절연막(50) 중에서 단차의 측벽에 형성된 부분(50b) 보다는 단차의 상부면에 형성된 부분(50a)을 식각(etching) 공정으로 선택적으로 제거한다. 이는 단차의 상부면에 형성된 제 1 절연막(50a)이 단차의 측벽에 형성된 제 2 절연막(50b) 보다 더 무르기 때문이다. 상기 식각(etching) 공정은 등방성 식각 공정을 포함할 수 있다. 이러한 공정에 따라 단차를 구비하는 패턴(10)의 깎(30) 일부는 깎(30)의 측벽 및 바닥에 형성된 절연막으로 충전될 수 있다.
- [0028] 본 발명의 일 실시예에 따른 반도체 소자의 깎필 방법에서, 절연막(50)의 증착 공정은 다이렉트 플라즈마(direct plasma) 방식을 이용할 수 있다. 상기 다이렉트 플라즈마 방식은, 예를 들어, 반응가스 및/또는 후처리 가스를 전극과 기판 사이의 처리공간에 공급하고 듀얼 주파수 전원을 인가함으로써, 반응가스 및/또는 후처리 가

스의 플라즈마가 챔버 내부의 처리공간에서 직접 형성되는 방식을 포함한다. 이에 반하여, 절연막(50)의 식각 공정은 리모트 플라즈마(remote plasma) 방식을 이용할 수 있다. 상기 리모트 플라즈마 방식은, 예를 들어, 반응가스의 플라즈마를 리모트 플라즈마 발생기에서 활성화시켜 챔버 내부로 유입시키는 방식을 포함하며, 다이렉트 플라즈마에 비하여 전극 등의 챔버 내부 부품의 손상이 적고 파티클 발생을 저감할 수 있다는 이점을 가질 수 있다.

[0029] 계속하여, 단차를 구비하는 패턴 상에 듀얼 주파수 전원을 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막을 증착하는 단계; 및 증착된 상기 절연막 중에서 단차의 측벽에 형성된 부분 보다는 단차의 상부면에 형성된 부분을 식각(etching) 공정으로 선택적으로 제거하는 단계;를 포함하는 상술한 제 1 단위 사이클을 추가적으로 더 수행하여, 갭(30)을 절연막으로 충전할 수 있다.

[0030] 예를 들어, 도 1c를 참조하면, 단차를 구비하는 패턴(10) 상에 듀얼 주파수 전원을 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막(51)을 증착한다. 절연막(51)은 단차의 갭(30)의 나머지 일부를 충전(filling)할 수 있다.

[0031] 듀얼 주파수 전원을 인가하여 구현한 플라즈마를 이용한 원자층 증착(ALD) 공정으로 절연막(51)을 증착하는 경우, 단차의 상부면에 형성된 제 1 절연막(51a)과 상기 단차의 측벽에 형성된 제 2 절연막(51b)이 모두 단단하게 형성될 수 있음을 확인하였다.

[0032] 나아가, 듀얼 주파수 전원 중에서 고주파 전원의 파워와 저주파 전원의 파워를 조절하면, 상기 단차의 측벽에 형성된 제 2 절연막(51b)이 단차의 상부면에 형성된 제 1 절연막(51a) 보다 더 단단하게 구현될 수 있음을 확인하였다. 예컨대, 저주파 전원의 파워는 고주파 전원의 파워의 50% 이하로 설정되면, 엄격하게는, 저주파 전원의 파워가 고주파 전원의 파워의 5 내지 15% 범위로 설정되면, 상기 단차의 측벽에 형성된 제 2 절연막(51b)이 단차의 상부면에 형성된 제 1 절연막(51a) 보다 더 단단하게 구현될 수 있다.

[0033] 도 1d를 참조하면, 증착된 절연막(51) 중에서 단차의 측벽에 형성된 부분(51b) 보다는 단차의 상부면에 형성된 부분(51a)을 식각(etching) 공정으로 선택적으로 제거한다. 이는 단차의 상부면에 형성된 제 1 절연막(51a)이 단차의 측벽에 형성된 제 2 절연막(51b) 보다 더 무르기 때문이다. 상기 식각(etching) 공정은 등방성 식각 공정을 포함할 수 있다. 이러한 공정에 따라 단차를 구비하는 패턴(10)의 갭(30)은 갭(30)의 측벽 및/또는 바닥에 형성된 절연막(50, 51)으로 충전될 수 있다.

[0034] 설명의 편의상, 절연막을 증착하고 식각하는 공정으로 이루어진 상기 제 1 단위사이클을 2회 반복하여 진행함으로써 단차의 갭을 절연막으로 완전하게 충전하는 구성을 도시하였으나, 본 발명의 기술적 사상은 상기 제 1 단위사이클이 복수회 반복된다는 것일 뿐, 이러한 구체적인 반복 횟수에 한정되는 것은 아니다.

[0035] 상술한 내용과 같이, 본 발명의 일 실시예에 따른 반도체 소자의 갭필 방법에서는, 단차의 상부면에 형성된 절연막이 단차의 측벽에 형성된 절연막 보다 더 무르기 때문에, 식각 공정에서 상부의 식각이 충분히 진행되어 충전 과정에서 심(seam)이 발생하는 것을 방지할 수 있다.

[0036] 이하에서는, 상술한 제 1 단위사이클 중에서 원자층 증착 공정(ALD)의 다양한 실시예들을 설명한다.

[0037] 도 2a를 참조하면, 상술한 제 1 단위사이클 중에서 상기 절연막을 증착하는 단계는, 단차를 구비하는 패턴(10)을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계(S100); 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계(S200); 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계(S310); 및 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계(S400);를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현할 수 있다.

[0038] 도 2b를 참조하면, 상술한 제 1 단위사이클 중에서 상기 절연막을 증착하는 단계는, 단차를 구비하는 패턴(10)을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계(S100); 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계(S200); 상기 기판 상에 싱글 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계(S320); 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계(S400); 상기 기판 상에 듀얼 주파수 전원을 이용



하여 플라즈마를 발생시켜 활성화된 후처리가스를 제공하여 상기 단위증착막을 후처리하는 후처리 단계(S510); 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 잔류하는 후처리가스를 퍼지하는 제 3 퍼지단계(S600);를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현할 수 있다.

[0039] 도 2c를 참조하면, 상술한 제 1 단위사이클 중에서 상기 절연막을 증착하는 단계는, 단차를 구비하는 패턴(10)을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계(S100); 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계(S200); 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계(S310); 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계(S400); 상기 기판 상에 싱글 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 후처리가스를 제공하여 상기 단위증착막을 후처리하는 후처리 단계(S520); 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 잔류하는 후처리가스를 퍼지하는 제 3 퍼지단계(S600);를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현할 수 있다.

[0040] 도 2d를 참조하면, 상술한 제 1 단위사이클 중에서 상기 절연막을 증착하는 단계는, 단차를 구비하는 패턴(10)을 가지는 기판 상에 소스가스를 제공하여 상기 기판 상에 상기 소스가스 중 적어도 일부가 흡착되는 흡착단계(S100); 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미흡착된 소스가스를 퍼지하는 제 1 퍼지단계(S200); 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 반응가스를 제공하여 단위증착막을 형성하는 단계(S310); 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 미반응된 반응가스를 퍼지하는 제 2 퍼지단계(S400); 상기 기판 상에 듀얼 주파수 전원을 이용하여 플라즈마를 발생시켜 활성화된 후처리가스를 제공하여 상기 단위증착막을 후처리하는 후처리 단계(S510); 상기 기판 상에 질소가스와 불활성가스 중 적어도 어느 하나이거나 이들의 조합으로 이루어진 퍼지가스를 제공하여 상기 기판 상에 잔류하는 후처리가스를 퍼지하는 제 3 퍼지단계(S600);를 구비하는 제 2 단위사이클을 복수회 수행함으로써 구현할 수 있다.

[0041] 도 2a 내지 도 2d를 참조하여 설명한 제 2 단위사이클은 소스가스, 퍼지가스, 반응가스, 후처리가스 등을 기판 상에 시분할 방식 또는 공간분할 방식으로 제공하는 원자층 증착(ALD; Atomic Layer Deposition) 공정에 의한 것으로 이해될 수 있다. 본 발명의 기술적 사상은, 소스가스 및 반응가스 등을 기판이 배치된 챔버 내에 시간에 따라 불연속적으로 공급함으로써 증착이 구현되는 시분할 방식 뿐만 아니라, 소스가스 및 반응가스 등이 공간적으로 이격되면서 연속적으로 공급되는 시스템 내에 기판이 순차적으로 이동함으로써 증착이 구현되는 공간분할 방식에도 적용될 수 있다.

[0042] 상술한 제 2 단위사이클에서, 상기 싱글 주파수 전원은 13.56 MHz 내지 27.12 MHz의 주파수 범위를 가지는 고주파 전원으로 이루어지며, 상기 듀얼 주파수 전원은 13.56 MHz 내지 27.12 MHz의 주파수 범위를 가지는 고주파 전원과 300 KHz 내지 600 KHz의 주파수 범위를 가지는 저주파 전원으로 이루어진다. 본 발명의 일 실시예에 따른 원자층 증착 공정에서는 상부전극(예를 들어, 샤워헤드)에 고주파 전원을 인가하고, 상부전극(예를 들어, 샤워헤드) 또는 하부전극(예를 들어, 스테이지 히터)에 저주파 전원을 인가하는 다이렉트 듀얼 플라즈마(direct dual plasma)를 사용하며, 박막을 형성하고 처리하는 과정에서 고주파 전원과 저주파 전원이 동시에 인가되는 시간을 확보함으로써, 최종적으로 구현하고자 하는 박막의 막질을 조절하였다.

[0043] 상술한 제 2 단위사이클에서, 불활성가스는 희가스(rare gas)를 의미할 수 있다. 희가스는, 구체적으로, 헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr), 제논(Xe) 및 라돈(Rn) 중에서 선택된 적어도 어느 하나의 가스를 말한다. 따라서, 본 발명에서 언급하는 불활성가스는 헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr), 제논(Xe) 및 라돈(Rn) 중 적어도 어느 하나를 포함할 수 있다.

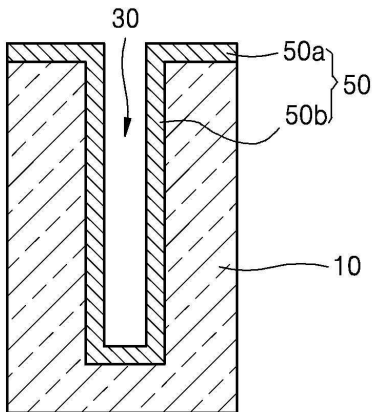
[0044] 상술한 제 2 단위사이클에서, 소스가스는 형성하고자 하는 박막의 종류에 따라 적절하게 선택될 수 있다. 예를 들어, 형성하고자 하는 박막이 실리콘 질화막인 경우, 상기 소스가스는 실란, 디실란, 트리메틸시릴(TMS), 트리스(디메틸아미노)실란(TDMAS), 비스(3차-부틸아미노)실란(BTBAS) 및 디클로로실란(DCS)으로 이루어진 군에서 선택된 적어도 어느 하나를 포함할 수 있다. 이 경우, 반응가스는 질소성분(N)을 함유하는 가스를 포함할 수 있다. 여기에서, 질소성분(N)을 함유하는 반응가스는 암모니아가스(NH<sub>3</sub>)를 포함할 수 있다. 다른 예로서, 상기

질소성분(N)을 함유하는 반응가스는 질소가스( $N_2$ )와 수소가스( $H_2$ )의 혼합가스를 포함할 수도 있다. 특히, 반응가스가 질소가스( $N_2$ )와 수소가스( $H_2$ )의 혼합가스를 포함하는 경우, 폐지가스로서 질소가스( $N_2$ )를 단위사이클 내내 주입하면서 단위증착막을 형성하는 단계에서만 추가로 수소가스( $H_2$ )를 제공하는 방식으로 반응가스의 제공을 구현할 수도 있다. 물론, 상술한 박막과 소스가스의 종류는 예시적이며, 본 발명의 기술적 사상이 이러한 예시적인 물질의 종류에 한정되는 것은 아니다.

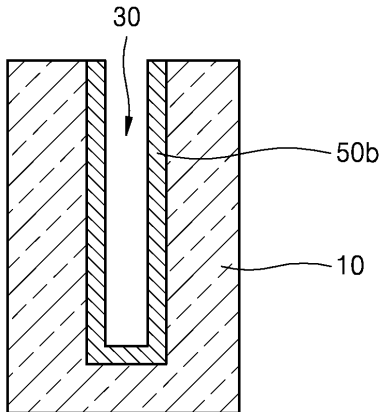
[0045] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**도면**

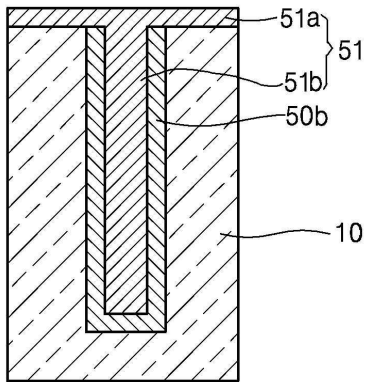
**도면1a**



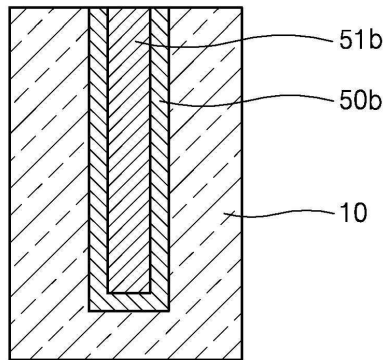
**도면1b**



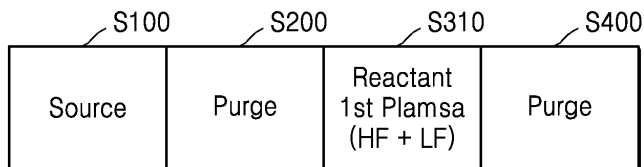
도면1c



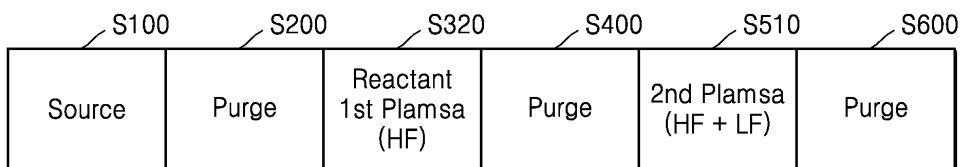
도면1d



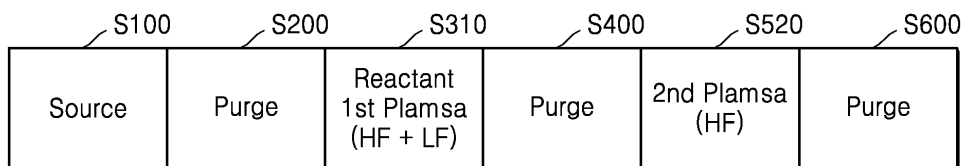
도면2a



도면2b



도면2c



도면2d

