



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년09월04일
(11) 등록번호 10-2701563
(24) 등록일자 2024년08월28일

(51) 국제특허분류(Int. Cl.)
G11C 16/08 (2006.01) G11C 16/04 (2006.01)
G11C 16/10 (2006.01) G11C 16/30 (2006.01)
(52) CPC특허분류
G11C 16/08 (2013.01)
G11C 16/0483 (2013.01)
(21) 출원번호 10-2019-0076741
(22) 출원일자 2019년06월27일
심사청구일자 2022년06월21일
(65) 공개번호 10-2021-0001134
(43) 공개일자 2021년01월06일
(56) 선행기술조사문헌
KR1020010107607 A*
KR1020170036483 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
황성현
서울특별시 서초구 양재천로11길 5, 502호(양재동, 포레스빌아파트)
(74) 대리인
오종한, 문용호

전체 청구항 수 : 총 20 항

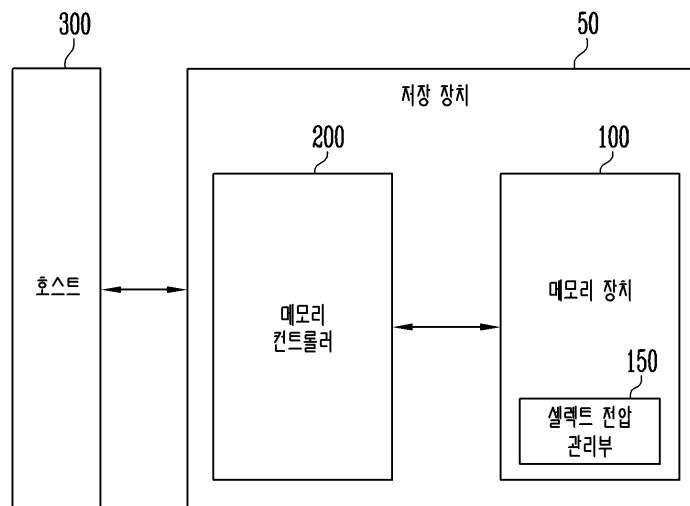
심사관 : 문창욱

(54) 발명의 명칭 메모리 장치 및 그 동작 방법

(57) 요약

본 기술은 전자 장치에 관한 것으로, 본 기술에 따른 향상된 오버슈트 관리 성능을 갖는 메모리 장치의 동작 방법은 복수의 셀 스트링들에 포함되는 셀렉트 트랜지스터와 공통으로 연결된 셀렉트 라인에 셀렉트 전압을 인가하는 단계와 상기 복수의 셀 스트링들에 포함된 복수의 메모리 셀들 중 선택된 메모리 셀들에 공통 연결된 선택 워드라인에 프로그램 전압을 인가하는 단계를 포함하고, 상기 셀렉트 전압을 인가하는 단계는, 제1 시간 구간 동안, 상기 셀렉트 라인에 제1 셀렉트 전압을 인가하는 단계를 포함하고, 상기 프로그램 전압을 인가하는 단계는, 상기 셀렉트 라인에 상기 상기 제1 셀렉트 전압보다 높은 전압 레벨을 갖는 제2 셀렉트 전압을 인가하는 단계를 포함한다.

대표도 - 도1



(52) CPC특허분류

G11C 16/10 (2013.01)

G11C 16/30 (2013.01)

명세서

청구범위

청구항 1

셀렉트 트랜지스터 및 복수의 메모리 셀들을 각각 포함하는 복수의 셀 스트링들을 포함하는 메모리 장치의 동작 방법에 있어서,

상기 복수의 셀 스트링들에 포함되는 셀렉트 트랜지스터와 공통으로 연결된 셀렉트 라인에 셀렉트 전압을 인가하는 단계; 및

상기 복수의 셀 스트링들에 포함된 복수의 메모리 셀들 중 선택된 메모리 셀들에 공통 연결된 선택 워드라인에 프로그램 전압을 인가하는 단계를 포함하고,

상기 셀렉트 전압을 인가하는 단계는,

제1 시간 구간 동안, 상기 셀렉트 라인에 제1 셀렉트 전압을 인가하는 단계 및 상기 제1 시간 구간 이후에 상기 제1 셀렉트 전압보다 높은 제2 셀렉트 전압을 인가하는 단계를 포함하고,

상기 프로그램 전압을 인가하는 단계와 상기 제2 셀렉트 전압을 인가하는 단계는 동시에 시작되는 메모리 장치의 동작 방법.

청구항 2

제1항에 있어서, 상기 셀렉트 전압을 인가하는 단계는,

상기 제1 시간 구간을 뒤따르는 제2 시간 구간 동안, 상기 복수의 메모리 셀들 중 비선택 메모리 셀들과 연결된 비선택 워드라인들에 패스 전압을 인가하는 단계; 및

상기 제2 시간 구간 동안, 상기 셀렉트 라인에 상기 제1 셀렉트 전압보다 높은 전압 레벨을 갖는 제3 셀렉트 전압을 인가하는 단계를 더 포함하는 메모리 장치의 동작 방법.

청구항 3

제2항에 있어서, 상기 제3 셀렉트 전압은,

상기 제2 셀렉트 전압보다 낮은 전압 레벨을 갖는 메모리 장치의 동작 방법.

청구항 4

제1항에 있어서, 상기 제1 셀렉트 전압은 0V보다 높은 전압인 메모리 장치의 동작 방법.

청구항 5

제1항에 있어서, 상기 제2 셀렉트 전압은 상기 복수의 셀 스트링들이 연결되는 비트라인들에 인가되는 비트라인 전압보다 같거나 낮은 전압 레벨을 갖는 메모리 장치의 동작 방법.

청구항 6

셀렉트 트랜지스터 및 복수의 메모리 셀들을 각각 포함하는 복수의 셀 스트링들을 포함하는 메모리 장치의 동작 방법에 있어서,

제1 시간 구간 동안, 상기 셀렉트 트랜지스터에 연결되는 셀렉트라인에 제1 셀렉트 전압을 인가하는 단계; 및
 상기 제1 시간 구간을 뒤따르는 제2 시간 구간 동안, 상기 복수의 셀 스트링들에 포함된 복수의 메모리 셀들 중
 선택된 메모리 셀들에 공통 연결된 선택 워드라인에 프로그램 전압을 인가하는 단계를 포함하고,
 상기 선택 워드라인에 상기 프로그램 전압이 인가되는 동안, 상기 셀렉트 라인에 제2 셀렉트 전압이 인가되고,
 상기 프로그램 전압의 인가와 상기 제2 셀렉트 전압의 인가는 동시에 시작되는 메모리 장치의 동작 방법.

청구항 7

제6항에 있어서, 상기 제1 셀렉트 전압의 크기는,
 상기 복수의 셀 스트링들 중 상기 선택된 메모리 셀들을 포함하지 않는 비선택 스트링의 개수에 따라 결정되는
 메모리 장치의 동작 방법.

청구항 8

제6항에 있어서, 상기 제1 셀렉트 전압은,
 상기 복수의 셀 스트링들 중 상기 선택된 메모리 셀들을 포함하지 않는 비선택 스트링의 개수가 증가할수록 더
 작은 전압 레벨을 갖는 메모리 장치의 동작 방법.

청구항 9

제7항에 있어서,
 상기 비선택 스트링의 개수가 기준개수를 초과하면, 상기 제1 셀렉트 전압은 상기 제2 셀렉트 전압보다 낮은 전
 압 레벨을 갖는 메모리 장치의 동작 방법.

청구항 10

제7항에 있어서,
 상기 비선택 스트링의 개수가 기준개수보다 작거나 같으면, 상기 제1 셀렉트 전압은 상기 제2 셀렉트 전압과 같
 은 전압 레벨을 갖는 메모리 장치의 동작 방법.

청구항 11

제6항에 있어서, 상기 제1 셀렉트 전압의 크기는,
 상기 선택 워드라인과 상기 셀렉트 라인간의 거리에 따라 결정되는 메모리 장치의 동작 방법.

청구항 12

제6항에 있어서, 상기 제1 셀렉트 전압은,
 상기 선택 워드라인과 상기 셀렉트 라인간의 거리가 짧을수록 더 작은 전압 레벨을 갖는 메모리 장치의 동작 방
 법.

청구항 13

제11항에 있어서,

상기 선택 워드라인과 상기 셀렉트 라인간의 거리가 미리 설정된 기준 거리보다 짧으면 상기 제1 셀렉트 전압은 상기 제2 셀렉트 전압보다 낮은 전압 레벨을 갖는 메모리 장치의 동작 방법.

청구항 14

제11항에 있어서,

상기 선택 워드라인과 상기 셀렉트 라인간의 거리가 미리 설정된 기준 거리보다 길거나 같으면 상기 제1 셀렉트 전압은 상기 제2 셀렉트 전압과 같은 전압 레벨을 갖는 메모리 장치의 동작 방법.

청구항 15

셀렉트 트랜지스터 및 직렬로 연결된 메모리 셀들을 각각 포함하는 복수의 셀 스트링들;

상기 셀 스트링들이 포함하는 복수의 메모리 셀들 중 선택된 메모리 셀들에 데이터를 저장하는 프로그램 동작을 수행하는 주변 회로; 및

상기 셀 스트링들이 포함하는 복수의 셀렉트 트랜지스터들과 공통으로 연결된 셀렉트 라인에 셀렉트 전압을 인가하고, 상기 선택된 메모리 셀들과 연결된 선택 워드라인에 프로그램 전압을 인가하는 프로그램 동작을 수행하도록 상기 주변 회로를 제어하는 제어 로직을 포함하되,

상기 제어 로직은,

제1 시간 구간 동안 상기 셀렉트 라인에 제1 셀렉트 전압을 인가하고, 상기 제1 시간 구간에 후속하는 제2 시간 구간 동안 상기 선택 워드라인에 상기 프로그램 전압을 인가하고 상기 셀렉트 라인에 상기 제1 셀렉트 전압보다 높은 전압 레벨을 갖는 제2 셀렉트 전압을 인가하도록 상기 주변 회로를 제어하는 프로그램 동작 제어부를 포함하고,

상기 프로그램 동작 제어부는,

상기 프로그램 전압의 인가와 상기 제2 셀렉트 전압의 인가를 동시에 시작하도록 상기 주변회로를 제어하는 메모리 장치.

청구항 16

제15항에 있어서, 프로그램 동작 제어부는,

상기 제1 시간 구간 및 상기 제2 시간 구간 사이의 제3 시간 구간 동안, 상기 복수의 메모리 셀들 중 비선택 메모리 셀과 연결된 비선택 워드라인에 패스 전압을 인가하고, 상기 셀렉트 라인에 상기 제1 셀렉트 전압보다 높은 전압 레벨을 갖는 제3 셀렉트 전압을 인가하도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 17

제16항에 있어서, 상기 제3 셀렉트 전압은,

상기 제2 셀렉트 전압보다 낮은 전압 레벨을 갖는 메모리 장치.

청구항 18

제15항에 있어서, 상기 제1 셀렉트 전압은 0V보다 높은 전압인 메모리 장치.

청구항 19

제15항에 있어서, 상기 제2 셀렉트 전압은 상기 복수의 셀 스트링들이 연결되는 비트라인들에 인가되는 비트라인 전압보다 같거나 낮은 전압 레벨을 갖는 메모리 장치.

청구항 20

제15항에 있어서, 상기 프로그램 동작 제어부는 상기 셀 스트링들 중 비선택 셀 스트링의 개수 또는 상기 선택 워드라인과 상기 셀렉트 라인과의 라인 거리를 기반으로 상기 제1 셀렉트 전압의 전압 레벨을 결정하는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 구체적으로는 메모리 장치 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 스토리지 장치는 컴퓨터나 스마트폰 등과 같은 호스트 장치의 제어에 따라 데이터를 저장하는 장치이다. 스토리지 장치는 데이터가 저장되는 메모리 장치와 메모리 장치를 제어하는 메모리 컨트롤러를 포함할 수 있다. 메모리 장치는 휘발성 메모리 장치 (Volatile Memory)와 비휘발성 메모리 장치 (Non Volatile Memory)로 구분된다.

[0003] 휘발성 메모리 장치는 전원이 공급된 경우에만 데이터를 저장하고, 전원 공급이 차단되면 저장된 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치는 정적 랜덤 액세스 메모리 (Static Random Access Memory; SRAM), 동적 랜덤 액세스 메모리 (Dynamic Random Access Memory; DRAM) 등이 있다.

[0004] 비휘발성 메모리 장치는 전원이 차단되어도 데이터가 소멸되지 않는 메모리 장치로서, 롬(Read Only Memory; ROM), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM) 및 플래시 메모리(Flash Memory) 등이 있다.

선행기술문헌

특허문헌

- (특허문헌 0001) KR 2018-0105906 A
- (특허문헌 0002) KR 2010-0106767 A
- (특허문헌 0003) KR 2018-0009580 A

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시 예는 향상된 오버슈트 관리 성능을 갖는 메모리 장치 및 그 동작 방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 셀렉트 트랜지스터 및 복수의 메모리 셀들을 각각 포함하는 복수의 셀 스트링들을 포함하는 메모리 장치의 동작 방법은, 상기 복수의 셀 스트링들에 포함되는 셀렉트 트랜지스터와 공통으로 연결된 셀렉트 라인에 셀렉트 전압을 인가하는 단계; 및 상기 복수의 셀 스트링들에 포함된 복수의 메모리 셀들 중 선택된 메모리 셀들에 공통 연결된 선택 워드라인에 프로그램 전압을 인가하는 단계를 포함하고, 상기 셀렉트 전압을 인가하는 단계는, 제1 시간 구간 동안, 상기 셀렉트 라인에 제1 셀렉트 전압을 인가하는 단계를 포함하고, 상기 프로그램 전압을 인가하는 단계는, 상기 셀렉트 라인에 상기 제1 셀렉트 전압보다 높은 전압 레벨을 갖는 제2 셀렉트 전압을 인가하는 단계를 포함할 수 있다.

- [0007] 나아가, 상기 셀렉트 전압을 인가하는 단계는, 상기 제1 시간 구간을 뒤따르는 제2 시간 구간 동안, 상기 복수의 메모리 셀들 중 비선택 메모리 셀들과 연결된 비선택 워드라인들에 패스 전압을 인가하는 단계; 및 상기 제2 시간 구간 동안, 상기 셀렉트 라인에 상기 제1 셀렉트 전압보다 높은 전압 레벨을 갖는 제3 셀렉트 전압을 인가하는 단계를 더 포함할 수 있다.
- [0008] 본 발명의 실시 예에 따른 셀렉트 트랜지스터 및 복수의 메모리 셀들을 각각 포함하는 복수의 셀 스트링들을 포함하는 메모리 장치의 동작 방법은 제1 시간 구간 동안, 상기 셀렉트 트랜지스터에 연결되는 셀렉트라인에 제1 셀렉트 전압을 인가하는 단계; 및 상기 제1 시간 구간을 뒤따르는 제2 시간 구간 동안, 상기 복수의 셀 스트링들에 포함된 복수의 메모리 셀들 중 선택된 메모리 셀들에 공통 연결된 선택 워드라인에 프로그램 전압을 인가하는 단계를 포함하고, 상기 선택 워드라인에 상기 프로그램 전압이 인가되는 동안, 상기 셀렉트 라인에 제2 셀렉트 전압이 인가될 수 있다.
- [0009] 나아가, 상기 제1 셀렉트 전압의 크기는, 상기 복수의 셀 스트링들 중 상기 선택된 메모리 셀들을 포함하지 않는 비선택 스트링의 개수에 따라 결정될 수 있다.
- [0010] 나아가, 상기 제1 셀렉트 전압의 크기는, 상기 선택 워드라인과 상기 셀렉트 라인간의 거리에 따라 결정될 수 있다.
- [0011] 본 발명의 실시 예에 따른 메모리 장치는 셀렉트 트랜지스터 및 직렬로 연결된 메모리 셀들을 각각 포함하는 복수의 셀 스트링들; 상기 셀 스트링들이 포함하는 복수의 메모리 셀들 중 선택된 메모리 셀들에 데이터를 저장하는 프로그램 동작을 수행하는 주변 회로; 및 상기 셀 스트링들이 포함하는 복수의 셀렉트 트랜지스터들과 공통으로 연결된 셀렉트 라인에 셀렉트 전압을 인가하고, 상기 선택된 메모리 셀들과 연결된 선택 워드라인에 프로그램 전압을 인가하는 프로그램 동작을 수행하도록 상기 주변 회로를 제어하는 제어 로직을 포함하되, 상기 제어 로직은, 제1 시간 구간 동안 상기 셀렉트 라인에 제1 셀렉트 전압을 인가하고, 상기 제1 시간 구간에 후속하는 제2 시간 구간 동안 상기 선택 워드라인에 상기 프로그램 전압을 인가하고 상기 셀렉트 라인에 상기 제1 셀렉트 전압보다 높은 전압 레벨을 갖는 제2 셀렉트 전압을 인가하도록 상기 주변 회로를 제어하는 프로그램 동작 제어부를 포함할 수 있다.

발명의 효과

- [0012] 본 기술에 따른 메모리 장치 및 그 동작 방법은 향상된 오버슈트 관리 성능을 제공한다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 실시 예에 따른 저장 장치를 설명하기 위한 도면이다.
- 도 2는 도 1의 메모리 장치의 구조를 설명하기 위한 도면이다.
- 도 3은 도 2의 메모리 셀 어레이의 일 실시 예를 나타낸 도면이다.
- 도 4는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKa)을 보여주는 회로도이다.
- 도 5는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKb)의 다른 실시 예를 보여주는 회로도이다.
- 도 6은 프로그램 사이클을 설명하기 위한 도면이다.
- 도 7은 프리 차지 구간 및 프로그램 전압 인가 구간을 설명하는 도면이다.
- 도 8은 실시 예에 따른 셀렉트 전압 인가 방법을 설명하기 위한 도면이다.
- 도 9는 실시 예에 따른 셀렉트 전압 인가 방법을 설명하기 위한 도면이다.
- 도 10은 터미 워드라인을 통한 오버슈트 관리 방법을 설명하기 위한 도면이다.
- 도 11은 실시 예에 따른 프로그램 동작 제어부를 설명하기 위한 도면이다.
- 도 12는 실시 예에 따른 셀렉트 전압 관리부(150)를 설명하기 위한 도면이다.
- 도 13은 다른 실시 예에 따른 셀렉트 전압 관리부(150)를 설명하기 위한 도면이다.
- 도 14는 비선택 스트링의 개수를 기반으로 초기 셀렉트 전압을 결정하는 방법을 설명하기 위한 표이다.

- 도 15는 라인 거리를 기반으로 초기 셀렉트 전압을 결정하는 방법을 설명하기 위한 표이다.
- 도 16은 비선택 스트링의 개수를 기반으로 셀렉트 전압을 인가하는 방법을 설명하기 위한 순서도이다.
- 도 17은 라인 거리를 기반으로 셀렉트 전압을 인가하는 방법을 설명하기 위한 순서도이다.
- 도 18은 비선택 스트링의 개수를 기반으로 셀렉트 전압을 인가하는 방법을 설명하기 위한 순서도이다.
- 도 19는 라인 거리를 기반으로 셀렉트 전압을 인가하는 방법을 설명하기 위한 순서도이다.
- 도 20은 도 1의 메모리 컨트롤러의 다른 실시 예를 설명하기 위한 도면이다.
- 도 21은 본 발명의 실시 예에 따른 저장 장치가 적용된 메모리 카드 시스템을 보여주는 블록도이다.
- 도 22는 본 발명의 실시 예에 따른 저장 장치가 적용된 SSD(Solid State Drive) 시스템을 보여주는 블록도이다.
- 도 23은 본 발명의 실시 예에 따른 저장 장치가 적용된 사용자 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0015] 본 발명의 개념에 따른 실시 예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시 예들을 도면에 예시하고 본 명세서 또는 출원에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예를 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0016] 제1 및/또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0017] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0018] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 서술된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0019] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0020] 실시 예를 설명함에 있어서 본 발명이 속하는 기술 분야에 익히 알려져 있고 본 발명과 직접적으로 관련이 없는 기술 내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 더욱 명확히 전달하기 위함이다.
- [0021] 이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.

- [0023] 도 1은 본 발명의 실시 예에 따른 저장 장치를 설명하기 위한 도면이다.
- [0024] 도 1을 참조하면, 저장 장치(50)는 메모리 장치(100) 및 메모리 장치의 동작을 제어하는 메모리 컨트롤러(200)를 포함할 수 있다.
- [0025] 저장 장치(50)는 휴대폰, 스마트폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, TV, 테블릿 PC 또는 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트(300)의 제어에 따라 데이터를 저장하는 장치이다.
- [0026] 저장 장치(50)는 호스트(300)와의 통신 방식인 호스트 인터페이스에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 제조될 수 있다. 예를 들면, 저장 장치(50)는 SSD, MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multimedia card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal storage bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.
- [0027] 저장 장치(50)는 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들면, 저장 장치(50)는 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi-chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.
- [0028] 메모리 장치(100)는 데이터를 저장할 수 있다. 메모리 장치(100)는 메모리 컨트롤러(200)의 제어에 응답하여 동작한다. 메모리 장치(100)는 데이터를 저장하는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이를 포함할 수 있다.
- [0029] 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0030] 메모리 셀 어레이는 복수의 메모리 블록들을 포함할 수 있다. 각 메모리 블록은 복수의 메모리 셀들을 포함할 수 있다. 하나의 메모리 블록은 복수의 페이지들을 포함할 수 있다. 실시 예에서, 페이지는 메모리 장치(100)에 데이터를 저장하거나, 메모리 장치(100)에 저장된 데이터를 리드하는 단위일 수 있다. 메모리 블록은 데이터를 지우는 단위일 수 있다.
- [0031] 실시 예에서, 메모리 장치(100)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR4(Low Power Double Data Rate4) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory), 낸드 플래시 메모리(NAND flash memory), 수직형 낸드 플래시 메모리(Vertical NAND), 노아 플래시 메모리(NOR flash memory), 저항성 램(resistive random access memory: RRAM), 상변화 메모리(phase-change memory: PRAM), 자기저항 메모리(magnetoresistive random access memory: MRAM), 강유전체 메모리(ferroelectric random access memory: FRAM), 스핀주입 자화반전 메모리(spin transfer torque random access memory: STT-RAM) 등이 될 수 있다. 본 명세서에서는 설명의 편의를 위해, 메모리 장치(100)가 낸드 플래시 메모리인 경우를 가정하여 설명한다.
- [0032] 메모리 장치(100)는 메모리 컨트롤러(200)로부터 커맨드 및 어드레스를 수신하고, 메모리 셀 어레이 중 어드레스에 의해 선택된 영역을 액세스하도록 구성된다. 즉, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 대해 커맨드인 동작을 수행할 수 있다. 예를 들면, 메모리 장치(100)는 쓰기 동작 (프로그램 동작), 리드 동작 및 소거 동작을 수행할 수 있다. 프로그램 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 데이터를 프로그램 할 것이다. 리드 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역으로부터 데이터를 읽을 것이다. 소거 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 저장된 데이터를 소거할 것이다.
- [0033] 실시 예에서, 메모리 장치(100)는 셀렉트 전압 관리부(150)를 포함할 수 있다.
- [0034] 셀렉트 전압 관리부(150)는 프로그램 동작 시, 셀렉트 라인에 인가되는 셀렉트 전압에 관한 정보를 관리할 수 있다. 셀렉트 전압에 관한 정보는 셀렉트 전압의 전압 레벨 및 전압 인가 타이밍에 관한 정보를 포함할 수 있다.

- [0035] 셀렉트 전압의 전압 레벨은 비선택 스트링의 개수 또는 셀렉트 라인과 선택 워드라인 간의 라인 거리를 기반으로 결정될 수 있다. 예를 들어, 비선택 스트링의 개수가 기준 개수보다 많으면 목표 전압 레벨인 제2 셀렉트 전압 보다 낮은 전압 레벨을 갖는 제1 셀렉트 전압이 인가될 수 있다. 실시 예에서, 비선택 스트링의 개수가 기준 개수보다 적거나 같으면 제1 셀렉트 전압보다 높고, 제2 셀렉트 전압보다 낮은 전압 레벨을 갖는 제3 셀렉트 전압이 인가될 수 있다.
- [0036] 실시 예에서, 선택된 워드라인인 선택 워드라인과 셀렉트 라인 간의 거리가 미리 설정된 기준 거리보다 짧으면 목표 전압 레벨인 제2 셀렉트 전압보다 낮은 전압 레벨을 갖는 제1 셀렉트 전압이 인가될 수 있다. 또는 선택 워드라인과 셀렉트 라인간의 거리가 미리 설정된 기준 거리보다 길거나 같으면 제1 셀렉트 전압보다 높고, 제2 셀렉트 전압보다 낮은 전압 레벨을 갖는 제3 셀렉트 전압이 인가될 수 있다. 다양한 실시 예에서, 셀렉트 라인에는 제1 셀렉트 전압 또는 제3 셀렉트 전압이 인가되고, 제2 셀렉트 전압까지 단계적으로 증가하는 전압이 인가될 수 있다.
- [0037] 셀렉트 전압이 인가되는 타이밍은 비선택 셀 스트링의 채널이 부스팅되는 시점을 기반으로 결정될 수 있다. 예를 들어, 패스 전압을 인가하는 시점 또는 프로그램 전압을 인가하는 시점을 기준으로, 단계적으로 높아지는 전압을 셀렉트 라인에 인가할 수 있다.
- [0038] 메모리 장치(100)는 셀렉트 전압의 전압 레벨과 인가 타이밍을 관리함으로써, 셀렉트 라인에 인가되는 전압이 목표 전압 레벨에 도달하는 도중 발생하는 오버슈트를 감소시킬 수 있고, 셀렉트 전압이 목표 전압 레벨까지 도달하는 데 걸리는 상승 시간을 단축시킬 수 있다.
- [0039] 메모리 컨트롤러(200)는 저장 장치(50)의 전반적인 동작을 제어한다.
- [0040] 저장 장치(50)에 전원이 인가되면, 메모리 컨트롤러(200)는 펌웨어(firmware, FW)를 실행할 수 있다. 메모리 장치(100)가 플래시 메모리 장치인 경우, 메모리 컨트롤러(200)는 호스트(300)와 메모리 장치(100)간의 통신을 제어하기 위한 플래시 변환 레이어(Flash Translation Layer, FTL)와 같은 펌웨어를 실행할 수 있다.
- [0041] 실시 예에서, 메모리 컨트롤러(200)는 호스트(300)로부터 데이터와 논리 블록 어드레스(Logical Block Address, LBA)를 입력 받고, 논리 블록 어드레스를 메모리 장치(100)에 포함된 데이터가 저장될 메모리 셀들의 주소를 나타내는 물리 블록 어드레스(Physical Block Address, PBA)로 변환할 수 있다.
- [0042] 메모리 컨트롤러(200)는 호스트(300)의 요청(request)에 따라 프로그램 동작, 리드 동작 또는 소거 동작 등을 수행하도록 메모리 장치(100)를 제어할 수 있다. 프로그램 동작 시, 메모리 컨트롤러(200)는 프로그램 커맨드, 물리 블록 어드레스 및 데이터를 메모리 장치(100)에 제공할 수 있다. 리드 동작 시, 메모리 컨트롤러(200)는 리드 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다. 소거 동작 시, 메모리 컨트롤러(200)는 소거 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다.
- [0043] 실시 예에서, 메모리 컨트롤러(200)는 호스트(300)로부터의 요청과 무관하게 자체적으로 프로그램 커맨드, 어드레스 및 데이터를 생성하고, 메모리 장치(100)에 전송할 수 있다. 예를 들면, 메모리 컨트롤러(200)는 웨어 레벨링(wear leveling)을 위한 프로그램 동작, 가비지 컬렉션(garbage collection)을 위한 프로그램 동작과 같은 배경(background) 동작들을 수행하기 위해 커맨드, 어드레스 및 데이터를 메모리 장치(100)로 제공할 수 있다.
- [0044] 호스트(300)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC), DIMM (Dual In-line Memory Module), RDIMM (Registered DIMM), LRDIMM (Load Reduced DIMM) 등과 같은 다양한 통신 방식들 중 적어도 하나를 이용하여 저장 장치(50)와 통신할 수 있다.
- [0046] 도 2는 도 1의 메모리 장치의 구조를 설명하기 위한 도면이다.
- [0047] 도 2를 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110), 주변 회로(120) 및 제어 로직(130)을 포함할 수 있다.
- [0048] 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 복수의 메모리 블록들(BLK1~BLKz)은 행 라인들(RL)을 통해 어드레스 디코더(121)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz)은 비트라인들(BL1 내지 BLm)을 통해 읽기 및 쓰기 회로(123)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 메모리 셀들을 포함한다. 실시 예로서, 복수의 메모리 셀들은 불휘발성 메모리 셀들이다. 복수의 메모리 셀들 중 동일 워드

라인에 연결된 메모리 셀들은 하나의 물리 페이지로 정의된다. 즉 메모리 셀 어레이(110)는 다수의 물리 페이지들로 구성된다. 본 발명의 실시 예에 따르면, 메모리 셀 어레이(110)에 포함된 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 더미 셀들을 포함할 수 있다. 더미 셀들은 드레인 셀렉트 트랜지스터와 메모리 셀들 사이와 소스 셀렉트 트랜지스터와 메모리 셀들 사이에 적어도 하나 이상 직렬로 연결될 수 있다.

- [0049] 메모리 장치(100)의 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0050] 주변 회로(120)는 어드레스 디코더(121), 전압 생성부(122), 읽기 및 쓰기 회로(123), 데이터 입출력 회로(124) 및 센싱 회로(125)를 포함할 수 있다.
- [0051] 주변 회로(120)는 메모리 셀 어레이(110)를 구동한다. 예를 들어 주변 회로(120)는 프로그램 동작, 리드 동작 및 소거 동작을 수행하도록 메모리 셀 어레이(110)를 구동할 수 있다.
- [0052] 어드레스 디코더(121)는 행 라인들(RL)을 통해 메모리 셀 어레이(110)에 연결된다. 행 라인들(RL)은 드레인 셀렉트 라인들, 워드라인들, 소스 셀렉트 라인들 및 공통 소스 라인을 포함할 수 있다. 본 발명의 실시 예에 따르면, 워드라인들은 노멀 워드라인들과 더미 워드라인들을 포함할 수 있다. 본 발명의 실시 예에 따르면, 행 라인들(RL)은 파이프 셀렉트 라인을 더 포함할 수 있다.
- [0053] 실시 예에서 행 라인들(RL)은 로컬 라인 그룹들에 포함된 로컬 라인들일 수 있다. 로컬 라인 그룹은 하나의 메모리 블록에 대응될 수 있다. 로컬 라인 그룹은 드레인 셀렉트 라인, 로컬 워드라인들 및 소스 셀렉트 라인을 포함할 수 있다.
- [0054] 어드레스 디코더(121)는 제어 로직(130)의 제어에 응답하여 동작하도록 구성된다. 어드레스 디코더(121)는 제어 로직(130)으로부터 로우 어드레스(RADD)를 수신한다.
- [0055] 어드레스 디코더(121)는 수신된 로우 어드레스(RADD) 중 블록 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(121)는 블록 어드레스에 따라 메모리 블록들(BLK1~BLKz) 중 적어도 하나의 메모리 블록을 선택한다. 어드레스 디코더(121)는 로우 어드레스(RADD)에 따라 전압 생성부(122)로부터 제공받은 전압들을 적어도 하나의 워드라인(WL)에 인가하여 선택된 메모리 블록의 적어도 하나의 워드라인을 선택할 수 있다.
- [0056] 프로그램 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 프로그램 전압을 인가하고 비선택된 워드라인들에 프로그램 전압보다 낮은 레벨의 패스 전압을 인가할 것이다. 프로그램 검증 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 검증 전압을 인가하고 비선택된 워드라인들에 검증 전압보다 높은 레벨의 검증 패스 전압을 인가할 것이다.
- [0057] 리드 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 읽기 전압을 인가하고, 비선택된 워드라인들에 읽기 전압보다 높은 레벨의 읽기 패스 전압을 인가할 것이다.
- [0058] 본 발명의 실시 예에 따르면, 메모리 장치(100)의 소거 동작은 메모리 블록 단위로 수행된다. 소거 동작 시에 메모리 장치(100)에 입력되는 어드레스(ADDR)는 블록 어드레스를 포함한다. 어드레스 디코더(121)는 블록 어드레스를 디코딩하고, 디코딩된 블록 어드레스에 따라 하나의 메모리 블록을 선택할 수 있다. 소거 동작 시, 어드레스 디코더(121)는 선택된 메모리 블록에 입력되는 워드라인들에 접지 전압을 인가할 수 있다.
- [0059] 전압 생성부(122)는 메모리 장치(100)에 공급되는 외부 전원 전압을 이용하여 복수의 동작 전압(Vop)들을 발생하도록 구성된다. 전압 생성부(122)는 제어 로직(130)의 제어에 응답하여 동작한다.
- [0060] 실시 예로서, 전압 생성부(122)는 외부 전원 전압을 레귤레이팅하여 내부 전원 전압을 생성할 수 있다. 전압 생성부(122)에서 생성된 내부 전원 전압은 메모리 장치(100)의 동작전압으로서 사용된다.
- [0061] 실시 예로서, 전압 생성부(122)는 외부 전원 전압 또는 내부 전원 전압을 이용하여 복수의 동작 전압(Vop)들을 생성할 수 있다. 전압 생성부(122)는 메모리 장치(100)에서 요구되는 다양한 전압들을 생성하도록 구성될 수 있다. 예를 들어, 전압 생성부(122)는 복수의 소거 전압들, 복수의 프로그램 전압들, 복수의 패스 전압들, 복수의 선택 읽기 전압들, 복수의 비선택 읽기 전압들을 생성할 수 있다.
- [0062] 전압 생성부(122)는 다양한 전압 레벨들을 갖는 복수의 동작 전압(Vop)들을 생성하기 위해서, 내부 전원 전압을 수신하는 복수의 펌핑 커패시터들을 포함하고, 제어 로직(130)의 제어에 응답하여 복수의 펌핑 커패시터들을 선

택적으로 활성화하여 복수의 동작 전압(Vop)들을 생성할 것이다.

- [0063] 생성된 복수의 동작 전압(Vop)들은 어드레스 디코더(121)에 의해 메모리 셀 어레이(110)에 공급될 수 있다.
- [0064] 읽기 및 쓰기 회로(123)는 제1 내지 제 m 페이지 버퍼들(PB1~PBm)을 포함한다. 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 각각 제1 내지 제 m 비트라인들(BL1~BLm)을 통해 메모리 셀 어레이(110)에 연결된다. 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 제어 로직(130)의 제어에 응답하여 동작한다.
- [0065] 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 데이터 입출력 회로(124)와 데이터(DATA)를 통신한다. 프로그램 시에, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 데이터 입출력 회로(124) 및 데이터 라인들(DL)을 통해 저장될 데이터(DATA)를 수신한다.
- [0066] 프로그램 동작 시, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 선택된 워드라인에 프로그램 펄스가 인가될 때, 저장될 데이터(DATA)를 데이터 입출력 회로(124)를 통해 수신한 데이터(DATA)를 비트라인들(BL1~BLm)을 통해 선택된 메모리 셀들에 전달할 것이다. 전달된 데이터(DATA)에 따라 선택된 페이지의 메모리 셀들은 프로그램된다. 프로그램 허용 전압(예를 들면, 접지 전압)이 인가되는 비트라인과 연결된 메모리 셀은 상승된 문턱전압을 가질 것이다. 프로그램 금지 전압(예를 들면, 전원 전압)이 인가되는 비트라인과 연결된 메모리 셀의 문턱전압은 유지될 것이다. 프로그램 검증 동작 시에, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 선택된 메모리 셀들로부터 비트라인들(BL1~BLm)을 통해 메모리 셀들에 저장된 데이터(DATA)를 읽는다.
- [0067] 리드 동작 시, 읽기 및 쓰기 회로(123)는 선택된 페이지의 메모리 셀들로부터 비트라인들(BL)을 통해 데이터(DATA)를 읽고, 읽어진 데이터(DATA)를 제1 내지 제 m 페이지 버퍼들(PB1~PBm)에 저장할 수 있다.
- [0068] 소거 동작 시에, 읽기 및 쓰기 회로(123)는 비트라인들(BL)을 플로팅(floating) 시킬 수 있다. 실시 예로서, 읽기 및 쓰기 회로(123)는 열 선택 회로를 포함할 수 있다.
- [0069] 데이터 입출력 회로(124)는 데이터 라인들(DL)을 통해 제1 내지 제 m 페이지 버퍼들(PB1~PBm)에 연결된다. 데이터 입출력 회로(124)는 제어 로직(130)의 제어에 응답하여 동작한다.
- [0070] 데이터 입출력 회로(124)는 입력되는 데이터(DATA)를 수신하는 복수의 입출력 버퍼들(미도시)을 포함할 수 있다. 프로그램 동작 시, 데이터 입출력 회로(124)는 외부 컨트롤러(미도시)로부터 저장될 데이터(DATA)를 수신한다. 데이터 입출력 회로(124)는 리드 동작 시, 읽기 및 쓰기 회로(123)에 포함된 제1 내지 제 m 페이지 버퍼들(PB1~PBm)로부터 전달된 데이터(DATA)를 외부 컨트롤러로 출력한다.
- [0071] 센싱 회로(125)는 리드 동작 또는 검증 동작 시, 제어 로직(130)이 생성한 허용 비트(VRYBIT) 신호에 응답하여 기준 전류를 생성하고, 읽기 및 쓰기 회로(123)로부터 수신된 센싱 전압(VPB)과 기준 전류에 의해 생성된 기준 전압을 비교하여 패스 신호 또는 페일 신호를 제어 로직(130)으로 출력할 수 있다.
- [0072] 제어 로직(130)은 어드레스 디코더(121), 전압 생성부(122), 읽기 및 쓰기 회로(123), 데이터 입출력 회로(124) 및 센싱 회로(125)에 연결될 수 있다. 제어 로직(130)은 메모리 장치(100)의 제반 동작을 제어하도록 구성될 수 있다. 제어 로직(130)은 외부 장치로부터 전달되는 커맨드(CMD)에 응답하여 동작할 수 있다.
- [0073] 제어 로직(130)은 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 여러 가지 신호를 생성하여 주변 회로(120)를 제어할 수 있다. 예를 들면, 제어 로직(130)은 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 동작 신호(OPSIG), 로우 어드레스(RADD), 읽기 및 쓰기 회로 제어신호(PBSIGNALS) 및 허용 비트(VRYBIT)를 생성할 수 있다. 제어 로직(130)은 동작 신호(OPSIG)는 전압 생성부(122)로 출력하고, 로우 어드레스(RADD)는 어드레스 디코더(121)로 출력하고, 읽기 및 쓰기 제어신호는 읽기 및 쓰기 회로(123)로 출력하고, 허용 비트(VRYBIT)는 센싱 회로(125)로 출력할 수 있다. 또한, 제어 로직(130)은 센싱 회로(125)가 출력한 패스 또는 페일 신호(PASS/FAIL)에 응답하여 검증 동작이 패스 또는 페일 되었는지를 판단할 수 있다.
- [0074] 실시 예에서 제어 로직(130)은 셀렉트 전압 관리부(150)를 포함할 수 있다.
- [0075] 셀렉트 전압 관리부(150)는 메모리 컨트롤러(200)가 제공하는 어드레스(ADDR) 및 데이터(DATA)에 응답하여 셀렉트 전압 정보를 생성할 수 있다. 셀렉트 전압 정보는 셀렉트 전압 레벨 및 전압 인가 타이밍에 관한 정보를 포함할 수 있다.
- [0076] 셀렉트 전압의 전압 레벨은 비선택 스트링의 개수 또는 셀렉트 라인과 선택 워드라인 간의 라인 거리를 기반으로 결정될 수 있다. 예를 들어, 비선택 스트링의 개수가 기준 개수보다 많으면 목표 전압 레벨인 제2 셀렉트 전압보다 낮은 전압 레벨을 갖는 제1 셀렉트 전압이 인가될 수 있다. 실시 예에서, 비선택 스트링의 개수가 기준

개수보다 적으면 제1 셀렉트 전압보다 높고, 제2 셀렉트 전압보다 낮은 전압 레벨을 갖은 제3 셀렉트 전압이 인가될 수 있다.

- [0077] 실시 예에서, 선택된 워드라인인 선택 워드라인과 셀렉트 라인간의 거리가 미리 설정된 기준 거리보다 짧으면 목표 전압 레벨인 제2 셀렉트 전압 보다 낮은 전압 레벨을 갖는 제1 셀렉트 전압이 인가될 수 있다. 또는 선택 워드라인과 셀렉트 라인 간의 거리가 미리 설정된 기준 거리보다 길거나 같으면 제1 셀렉트 전압보다 높고, 제2 셀렉트 전압보다 낮은 전압 레벨을 갖은 제3 셀렉트 전압이 인가될 수 있다. 다양한 실시 예에서, 셀렉트 라인에는 제1 셀렉트 전압 또는 제3 셀렉트 전압이 인가되고, 제2 셀렉트 전압까지 단계적으로 증가하는 전압이 인가될 수 있다.
- [0078] 셀렉트 전압이 인가되는 타이밍은 비선택 셀 스트링의 채널이 부스팅되는 시점을 기반으로 결정될 수 있다. 예를 들어, 패스 전압을 인가하는 시점 또는 프로그램 전압을 인가하는 시점을 기준으로, 단계적으로 높아지는 전압을 셀렉트 라인에 인가할 수 있다.
- [0079] 메모리 장치(100)는 셀렉트 전압의 전압 레벨과 인가 타이밍을 관리함으로써, 셀렉트 라인에 인가되는 전압이 목표 전압 레벨에 도달하는 과정에서 발생하는 오버슈트를 감소시킬 수 있고, 셀렉트 전압이 목표 전압 레벨까지 도달하는 데 걸리는 상승 시간을 단축시킬 수 있다.
- [0081] 도 3은 도 2의 메모리 셀 어레이의 일 실시 예를 나타낸 도면이다.
- [0082] 도 3을 참조하면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 각 메모리 블록은 3차원 구조를 갖는다. 각 메모리 블록은 기판 위에 적층된 복수의 메모리 셀들을 포함한다. 이러한 복수의 메모리 셀들은 +X 방향, +Y 방향 및 +Z 방향을 따라 배열된다. 각 메모리 블록의 구조는 도 4 및 도 5를 참조하여 더 상세히 설명된다.
- [0084] 도 4는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKa)을 보여주는 회로도이다.
- [0085] 도 4를 참조하면 메모리 블록(BLKa)은 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m)을 포함한다. 실시 예로서, 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m) 각각은 'U'자형으로 형성될 수 있다. 메모리 블록(BLKa) 내에서, 행 방향(즉 +X 방향)으로 m개의 셀 스트링들이 배열된다. 도 4에서, 열 방향(즉 +Y 방향)으로 2개의 셀 스트링들이 배열되는 것으로 도시되었다. 하지만 이는 설명의 편의를 위한 것으로서 열 방향으로 3개 이상의 셀 스트링들이 배열될 수 있음이 이해될 것이다.
- [0086] 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m) 각각은 적어도 하나의 소스 셀렉트 트랜지스터(SST), 제1 내지 제 n 메모리 셀들(MC1~MCn), 파이프 트랜지스터(PT), 그리고 적어도 하나의 드레인 셀렉트 트랜지스터(DST)를 포함한다.
- [0087] 셀렉트 트랜지스터들(SST, DST) 및 메모리 셀들(MC1~MCn) 각각은 유사한 구조를 가질 수 있다. 실시 예로서, 셀렉트 트랜지스터들(SST, DST) 및 메모리 셀들(MC1~MCn) 각각은 채널층, 터널링 절연막, 전하 저장막 및 블로킹 절연막을 포함할 수 있다. 실시 예로서, 채널층을 제공하기 위한 필라(pillar)가 각 셀 스트링(each cell string)에 제공될 수 있다. 실시 예로서, 채널층, 터널링 절연막, 전하 저장막 및 블로킹 절연막 중 적어도 하나를 제공하기 위한 필라가 각 셀 스트링에 제공될 수 있다.
- [0088] 각 셀 스트링의 소스 셀렉트 트랜지스터(SST)는 공통 소스 라인(CSL)과 메모리 셀들(MC1~MCp) 사이에 연결된다.
- [0089] 실시 예로서, 동일한 행에 배열된 셀 스트링들의 소스 셀렉트 트랜지스터들은 행 방향으로 신장되는 소스 셀렉트 라인에 연결되고, 상이한 행에 배열된 셀 스트링들의 소스 셀렉트 트랜지스터들은 상이한 소스 셀렉트 라인들에 연결된다. 도 4에서, 제1 행의 셀 스트링들(CS11~CS1m)의 소스 셀렉트 트랜지스터들은 제1 소스 셀렉트 라인(SSL1)에 연결되어 있다. 제 2 행의 셀 스트링들(CS21~CS2m)의 소스 셀렉트 트랜지스터들은 제 2 소스 셀렉트 라인(SSL2)에 연결되어 있다.
- [0090] 다른 실시 예로서, 셀 스트링들(CS11~CS1m, CS21~CS2m)의 소스 셀렉트 트랜지스터들은 하나의 소스 셀렉트 라인에 공통 연결될 수 있다.
- [0091] 각 셀 스트링의 제1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST) 사이에 연결된다.
- [0092] 제1 내지 제 n 메모리 셀들(MC1~MCn)은 제1 내지 제 p 메모리 셀들(MC1~MCp)과 제 p+1 내지 제 n 메모리 셀들(MCp+1~MCn)로 구분될 수 있다. 제1 내지 제 p 메모리 셀들(MC1~MCp)은 +Z 방향과 역방향으로 순차적으로 배열

되며, 소스 셀렉트 트랜지스터(SST)와 파이프 트랜지스터(PT) 사이에서 직렬 연결된다. 제 p+1 내지 제 n 메모리 셀들(MC_{p+1}~MC_n)은 +Z 방향으로 순차적으로 배열되며, 파이프 트랜지스터(PT)와 드레인 셀렉트 트랜지스터(DST) 사이에서 직렬 연결된다. 제1 내지 제 p 메모리 셀들(MC₁~MC_p)과 제 p+1 내지 제 n 메모리 셀들(MC_{p+1}~MC_n)은 파이프 트랜지스터(PT)를 통해 연결된다. 각 셀 스트링의 제1 내지 제 n 메모리 셀들(MC₁~MC_n)의 게이트들은 각각 제1 내지 제 n 워드라인들(WL₁~WL_n)에 연결된다.

- [0093] 각 셀 스트링의 파이프 트랜지스터(PT)의 게이트는 파이프 라인(PL)에 연결된다.
- [0094] 각 셀 스트링의 드레인 셀렉트 트랜지스터(DST)는 해당 비트라인과 메모리 셀들(MC_{p+1}~MC_n) 사이에 연결된다. 행 방향으로 배열되는 셀 스트링들은 행 방향으로 신장되는 드레인 셀렉트 라인에 연결된다. 제1 행의 셀 스트링들(CS₁₁~CS_{1m})의 드레인 셀렉트 트랜지스터들은 제1 드레인 셀렉트 라인(DSL₁)에 연결된다. 제 2 행의 셀 스트링들(CS₂₁~CS_{2m})의 드레인 셀렉트 트랜지스터들은 제 2 드레인 셀렉트 라인(DSL₂)에 연결된다.
- [0095] 열 방향으로 배열되는 셀 스트링들은 열 방향으로 신장되는 비트라인에 연결된다. 도 4에서, 제1 열의 셀 스트링들(CS₁₁, CS₂₁)은 제1 비트라인(BL₁)에 연결되어 있다. 제 m 열의 셀 스트링들(CS_{1m}, CS_{2m})은 제 m 비트라인(BL_m)에 연결되어 있다.
- [0096] 행 방향으로 배열되는 셀 스트링들 내에서 동일한 워드라인에 연결되는 메모리 셀들은 하나의 페이지를 구성한다. 예를 들면, 제1 행의 셀 스트링들(CS₁₁~CS_{1m}) 중 제1 워드라인(WL₁)과 연결된 메모리 셀들은 하나의 페이지를 구성한다. 제 2 행의 셀 스트링들(CS₂₁~CS_{2m}) 중 제1 워드라인(WL₁)과 연결된 메모리 셀들은 다른 하나의 페이지를 구성한다. 드레인 셀렉트 라인들(DSL₁, DSL₂) 중 어느 하나가 선택됨으로써 하나의 행 방향으로 배열되는 셀 스트링들이 선택될 것이다. 워드라인들(WL₁~WL_n) 중 어느 하나가 선택됨으로써 선택된 셀 스트링들 중 하나의 페이지가 선택될 것이다.
- [0097] 다른 실시 예로서, 제1 내지 제 m 비트라인들(BL₁~BL_m) 대신 이븐 비트라인들 및 오드 비트라인들이 제공될 수 있다. 그리고 행 방향으로 배열되는 셀 스트링들(CS₁₁~CS_{1m} 또는 CS₂₁~CS_{2m}) 중 짝수 번째 셀 스트링들은 이븐 비트라인들에 각각 연결되고, 행 방향으로 배열되는 셀 스트링들(CS₁₁~CS_{1m} 또는 CS₂₁~CS_{2m}) 중 홀수 번째 셀 스트링들은 오드 비트라인들에 각각 연결될 수 있다.
- [0098] 실시 예로서, 제1 내지 제 n 메모리 셀들(MC₁~MC_n) 중 적어도 하나 이상은 더미 메모리 셀로서 이용될 수 있다. 예를 들어, 적어도 하나 이상의 더미 메모리 셀들은 소스 셀렉트 트랜지스터(SST)와 메모리 셀들(MC₁~MC_p) 사이의 전계(electric field)를 감소시키기 위해 제공된다. 또는, 적어도 하나 이상의 더미 메모리 셀들은 드레인 셀렉트 트랜지스터(DST)와 메모리 셀들(MC_{p+1}~MC_n) 사이의 전계를 감소시키기 위해 제공된다. 더 많은 더미 메모리 셀들이 제공될수록, 메모리 블록(BLK_a)에 대한 동작의 신뢰성이 향상되는 반면, 메모리 블록(BLK_a)의 크기는 증가한다. 더 적은 메모리 셀들이 제공될수록, 메모리 블록(BLK_a)의 크기는 감소하는 반면 메모리 블록(BLK_a)에 대한 동작의 신뢰성은 저하될 수 있다.
- [0099] 적어도 하나 이상의 더미 메모리 셀들을 효율적으로 제어하기 위해, 더미 메모리 셀들 각각은 요구되는 문턱전압을 가질 수 있다. 메모리 블록(BLK_a)에 대한 소거 동작 이전 또는 이후에, 더미 메모리 셀들 중 전부 혹은 일부에 대한 프로그램 동작들이 수행될 수 있다. 프로그램 동작이 수행된 뒤에 소거 동작이 수행되는 경우, 더미 메모리 셀들의 문턱전압은 각각의 더미 메모리 셀들에 연결된 더미 워드라인들에 인가되는 전압을 제어함으로써 더미 메모리 셀들은 요구되는 문턱전압을 가질 수 있다.
- [0101] 도 5는 도 3의 메모리 블록들(BLK₁~BLK_z) 중 어느 하나의 메모리 블록(BLK_b)의 다른 실시 예를 보여주는 회로도이다.
- [0102] 도 5를 참조하면 메모리 블록(BLK_b)은 복수의 셀 스트링들(CS_{11'}~CS_{1m'}, CS_{21'}~CS_{2m'})을 포함한다. 복수의 셀 스트링들(CS_{11'}~CS_{1m'}, CS_{21'}~CS_{2m'}) 각각은 +Z 방향을 따라 신장된다. 복수의 셀 스트링들(CS_{11'}~CS_{1m'}, CS_{21'}~CS_{2m'}) 각각은, 메모리 블록(BLK_{1'}) 하부의 기관(미도시) 위에 적층된, 적어도 하나의 소스 셀렉트 트랜지스터(SST), 제1 내지 제 n 메모리 셀들(MC₁~MC_n) 그리고 적어도 하나의 드레인 셀렉트 트랜지스터(DST)를 포함한다.
- [0103] 각 셀 스트링의 소스 셀렉트 트랜지스터(SST)는 공통 소스 라인(CSL)과 메모리 셀들(MC₁~MC_n) 사이에 연결된다. 동일한 행에 배열된 셀 스트링들의 소스 셀렉트 트랜지스터들은 동일한 소스 셀렉트 라인에 연결된다. 제1 행에 배열된 셀 스트링들(CS_{11'}~CS_{1m'})의 소스 셀렉트 트랜지스터들은 제1 소스 셀렉트 라인(SSL₁)에 연결된다. 제 2 행에 배열된 셀 스트링들(CS_{21'}~CS_{2m'})의 소스 셀렉트 트랜지스터들은 제 2 소스 셀렉트 라인(SSL₂)에 연결된다. 다른 실시 예로서, 셀 스트링들(CS_{11'}~CS_{1m'}, CS_{21'}~CS_{2m'})의 소스 셀렉트 트랜지스터들은 하나의 소

스 셀렉트 라인에 공통 연결될 수 있다.

- [0104] 각 셀 스트링의 제1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST) 사이에서 직렬 연결된다. 제1 내지 제 n 메모리 셀들(MC1~MCn)의 게이트들은 각각 제1 내지 제 n 워드 라인들(WL1~WLn)에 연결된다.
- [0105] 각 셀 스트링의 드레인 셀렉트 트랜지스터(DST)는 해당 비트라인과 메모리 셀들(MC1~MCn) 사이에 연결된다. 행 방향으로 배열되는 셀 스트링들의 드레인 셀렉트 트랜지스터들은 행 방향으로 신장되는 드레인 셀렉트 라인에 연결된다. 제1 행의 셀 스트링들(CS11'~CS1m')의 드레인 셀렉트 트랜지스터들은 제1 드레인 셀렉트 라인(DSL1)에 연결된다. 제 2 행의 셀 스트링들(CS21'~CS2m')의 드레인 셀렉트 트랜지스터들은 제 2 드레인 셀렉트 라인(DSL2)에 연결된다.
- [0106] 결과적으로, 각 셀 스트링에 파이프 트랜지스터(PT)가 제외된 것을 제외하면 도 5의 메모리 블록(BLKb)은 도 4의 메모리 블록(BLKa)과 유사한 등가 회로를 갖는다.
- [0107] 다른 실시 예로서, 제1 내지 제 m 비트라인들(BL1~BLm) 대신 이븐 비트라인들 및 오드 비트라인들이 제공될 수 있다. 그리고 행 방향으로 배열되는 셀 스트링들(CS11'~CS1m' 또는 CS21'~CS2m') 중 짝수 번째 셀 스트링들은 이븐 비트라인들에 각각 연결되고, 행 방향으로 배열되는 셀 스트링들(CS11'~CS1m' 또는 CS21'~CS2m') 중 홀수 번째 셀 스트링들은 오드 비트라인들에 각각 연결될 수 있다.
- [0108] 실시 예로서, 제1 내지 제 n 메모리 셀들(MC1-MCn) 중 적어도 하나 이상은 더미 메모리 셀로서 이용될 수 있다. 예를 들어, 적어도 하나 이상의 더미 메모리 셀들은 소스 셀렉트 트랜지스터(SST)와 메모리 셀들(MC1~MCn) 사이의 전계(electric field)를 감소시키기 위해 제공된다. 또는, 적어도 하나 이상의 더미 메모리 셀들은 드레인 셀렉트 트랜지스터(DST)와 메모리 셀들(MC1~MCn) 사이의 전계를 감소시키기 위해 제공된다. 더 많은 더미 메모리 셀들이 제공될수록, 메모리 블록(BLKb)에 대한 동작의 신뢰성이 향상되는 반면, 메모리 블록(BLKb)의 크기는 증가한다. 더 적은 메모리 셀들이 제공될수록, 메모리 블록(BLKb)의 크기는 감소하는 반면 메모리 블록(BLKb)에 대한 동작의 신뢰성은 저하될 수 있다.
- [0109] 적어도 하나 이상의 더미 메모리 셀들을 효율적으로 제어하기 위해, 더미 메모리 셀들 각각은 요구되는 문턱전압을 가질 수 있다. 메모리 블록(BLKb)에 대한 소거 동작 이전 또는 이후에, 더미 메모리 셀들 중 전부 혹은 일부에 대한 프로그램 동작들이 수행될 수 있다. 프로그램 동작이 수행된 뒤에 소거 동작이 수행되는 경우, 더미 메모리 셀들의 문턱전압은 각각의 더미 메모리 셀들에 연결된 더미 워드라인들에 인가되는 전압을 제어함으로써 더미 메모리 셀들은 요구되는 문턱전압을 가질 수 있다.
- [0111] 도 6은 프로그램 사이클을 설명하기 위한 도면이다.
- [0112] 도 6을 참조하면, 프로그램 사이클은 복수의 프로그램 루프를 포함하는 ISPP(Incremental Step Program Pulse) 방식으로 수행될 수 있다. ISPP 방식은 선택 워드라인에 단계적으로 증가하는 프로그램 펄스를 인가하는 방식일 수 있다. 각 프로그램 루프는 서로 다른 프로그램 전압을 사용하는 프로그램 동작을 포함할 수 있다. 예를 들어, 프로그램 루프1은 제1 프로그램 전압을 선택 워드라인에 인가하는 프로그램 동작을 포함할 수 있고, 프로그램 루프2는 제1 프로그램 전압보다 스텝 전압만큼 높은 제2 프로그램 전압을 선택 워드라인에 인가하는 프로그램 동작을 포함할 수 있다.
- [0113] 각 프로그램 루프는 메모리 셀에 데이터를 저장하기 위한 프로그램 동작 및 저장된 데이터를 검증하는 검증 동작을 포함할 수 있다. 프로그램 동작은 셀 스트링들과 연결된 비트라인에 전압을 인가하는 프리 차지 구간, 선택 워드라인에 프로그램 전압을 인가하는 프로그램 전압 인가 구간, 워드라인들과 비트라인들에 인가된 전압들을 디스 차지하는 디스 차지 구간을 포함할 수 있다.
- [0114] 프리 차지 구간은 드레인 셀렉트 라인에 셀렉트 전압을 인가하는 초기 셀렉트 전압 인가 구간 및 비선택 워드라인에 패스 전압을 인가하는 패스 전압 인가 구간을 포함할 수 있다. 드레인 셀렉트 라인에 셀렉트 전압을 인가함으로써 비트라인에 프리 차지된 전압은 셀 스트링의 채널로 전달될 수 있다. 비선택 워드라인에 패스 전압을 인가함으로써 비선택 셀 스트링의 채널 전압은 상승할 수 있다.
- [0115] 프로그램 전압 인가 구간 동안, 선택 워드라인에 프로그램 전압이 인가될 수 있다. 프로그램 전압은 선택된 메모리 셀의 문턱 전압이 원하는 문턱 전압 분포 내에 포함되도록 선택 워드라인에 인가되는 전압일 수 있다. 프로그램 루프가 순차적으로 수행될 때마다 프로그램 전압은 스텝 전압만큼 단계적으로 증가할 수 있다.
- [0116] 디스 차지 구간 동안, 비트라인, 워드라인 또는 셀렉트 라인에 인가되어 있는 전압들을 디스 차지하는 동작이

수행될 수 있다.

- [0118] 도 7은 프리 차지 구간 및 프로그램 전압 인가 구간을 설명하는 도면이다.
- [0119] 도 7을 참조하면, 프리 차지 구간은 초기 셀렉트 전압 인가 구간, 패스 전압 인가 구간을 포함할 수 있다.
- [0120] 초기 셀렉트 전압 인가 구간에서, 목표 셀렉트 전압(Vsel2)이 셀렉트 라인에 인가될 수 있다. 목표 셀렉트 전압(Vsel2)은 비선택 스트링과 연결된 비트라인에 인가된 금지 전압과 동일한 전압 레벨일 수 있다. 셀렉트 라인의 전압 레벨은 셀렉트 전압을 인가한 시점부터 상승 시간(tr1)이 지난 후에 목표 셀렉트 전압(Vsel2)에 도달할 수 있다. 셀렉트 라인에 인가된 목표 셀렉트 전압(Vsel2)은 프로그램 전압 인가 구간까지 유지될 수 있다.
- [0121] 패스 전압 인가 구간에서, 패스 전압(Vpass)이 비선택 워드라인에 인가될 수 있다. 패스 전압(Vpass)은 선택 스트링에 포함된 비선택 메모리 셀들의 채널을 전도 상태로 만들기 위한 전압일 수 있다. 비선택 메모리 셀들의 채널이 전도 상태가 되면, 선택 스트링과 연결된 비트라인에 프리 차지된 전압이 선택 메모리 셀의 채널까지 전달될 수 있다. 패스 전압(Vpass)이 비선택 워드라인에 인가되면, 비선택 셀 스트링의 채널은 플로팅 상태가 될 수 있다. 또한, 패스 전압(Vpass)이 비선택 워드라인에 인가되면, 셀프 부스팅 방식(Self-boosting scheme)를 통해서 비선택 스트링의 채널 전압이 상승할 수 있다. 채널 전압 상승으로 인해 셀렉트 라인의 전압은 목표 셀렉트 전압(Vsel2)으로 유지되지 않고 일정 시간 동안 제1 패스 오버슈트(ΔVos_{pass1})가 발생할 수 있다.
- [0122] 프로그램 전압 인가 구간에서, 선택 워드라인에 프로그램 전압(Vpgm)이 인가될 수 있다. 프로그램 전압(Vpgm)은 선택된 메모리 셀들의 문턱 전압이 원하는 문턱 전압 분포에 포함되도록 만들기 위한 전압일 수 있다. 프로그램 전압(Vpgm)은 패스 전압(Vpass)보다 높은 전압일 수 있다. 프로그램 전압(Vpgm)이 선택 워드라인에 인가되면, 셀프 부스팅 방식을 통해서 비선택 스트링의 채널 전압이 상승할 수 있다. 채널 전압의 상승으로 인해 셀렉트 라인의 전압은 목표 셀렉트 전압(Vsel2)으로 유지되지 않고 일정 시간 동안 제1 프로그램 오버슈트(ΔVos_{pgm1})가 발생할 수 있다.
- [0123] 셀렉트 라인의 전압 레벨을 그라운드 레벨(GND)에서 목표 셀렉트 전압(Vsel2)까지 상승시키기 위해 제1 상승 시간(tr1)이 소요될 수 있다.
- [0125] 도 8은 실시 예에 따른 셀렉트 전압 인가 방법을 설명하기 위한 도면이다.
- [0126] 도 8을 참조하면, 초기 셀렉트 전압 인가 구간 동안, 초기 셀렉트 전압(Vsel1)이 셀렉트 라인에 인가될 수 있다. 프로그램 전압 인가 구간 동안, 프로그램 전압(Vpgm)이 선택 워드라인에 인가되고, 목표 셀렉트 전압(Vsel2)이 셀렉트 라인에 인가될 수 있다. 초기 셀렉트 전압(Vsel1)은 0이 아닌 양의 전압 레벨일 수 있다. 초기 셀렉트 전압(Vsel1)은 목표 셀렉트 전압(Vsel2)보다 낮은 전압 레벨일 수 있다.
- [0127] 셀렉트 라인에 초기 셀렉트 전압(Vsel1)이 인가된 상태에서 선택 워드라인에 프로그램 전압(Vpgm)이 인가되면 프로그램 오버슈트가 발생할 수 있다. 오버슈트가 발생하는 도중에 셀렉트 라인에 인가되는 전압을 목표 셀렉트 전압(Vsel2)으로 상승시킴으로써 도 7에서 도시된 제1 프로그램 오버슈트(ΔVos_{pgm1})와 비교할 때, 상대적으로 작은 크기의 제2 프로그램 오버슈트(ΔVos_{pgm2})가 발생할 수 있다.
- [0128] 또한, 오버슈트가 발생하는 도중에 셀렉트 라인에 인가되는 전압을 목표 셀렉트 전압(Vsel2)으로 상승시킴으로써, 셀렉트 라인의 전압 레벨을 목표 셀렉트 전압(Vsel2)까지 상승시키기 위해 소요되는 시간을 줄일 수 있다. 즉, 오버슈트로 인해 전압 레벨이 상승하는 것을 이용하여 셀렉트 전압의 레벨을 목표 셀렉트 전압(Vsel2)까지 빠르게 상승시킬 수 있다. 예를 들어, 셀렉트 라인의 전압 레벨을 그라운드(GND) 레벨에서 초기 셀렉트 전압(Vsel1)까지 상승시키기 위해 소요되는 시간인 제2 상승 시간(tr2)과 초기 셀렉트 전압(Vsel1)에서 목표 셀렉트 전압(Vsel2)까지 상승시키기 위해 소요되는 시간인 제3 상승 시간(tr3)의 합은 도 7에서 설명한 제1 상승 시간(tr1)보다 작을 수 있다.
- [0129] 설명의 편의를 위하여, 프로그램 전압(Vpgm)과 목표 셀렉트 전압(Vsel2)이 동시에 인가되는 것으로 도시하였으나, 의한 오버슈트가 존재하는 임의의 시점에 목표 셀렉트 전압(Vsel2)은 프로그램 전압(Vpgm)이 인가될 수 있다. 예를 들어, 목표 셀렉트 전압(Vsel2)은 프로그램 전압(Vpgm)의 상승 시간(rising time) 중에 인가될 수 있다.
- [0131] 도 9는 실시 예에 따른 셀렉트 전압 인가 방법을 설명하기 위한 도면이다.
- [0132] 도 9를 참조하면, 초기 셀렉트 전압 인가 구간 동안, 초기 셀렉트 전압(Vsel1)이 셀렉트 라인에 인가될 수 있다. 패스 전압 인가 구간 동안, 패스 전압 Vpass가 비선택 워드라인에 인가되고, 중간 셀렉트 전압(Vsel3)이

셀렉트 라인에 인가될 수 있다. 프로그램 전압 인가 구간 동안, 프로그램 전압 V_{pgm} 이 선택 워드라인에 인가되고, 목표 셀렉트 전압(V_{sel2})이 셀렉트 라인에 인가될 수 있다. 목표 셀렉트 전압(V_{sel2})은 비선택 스트링과 연결된 비트라인에 프리 차지된 금지 전압과 동일한 전압 레벨일 수 있다. 초기 셀렉트 전압(V_{sel1})은 0보다 큰 전압 레벨일 수 있다. 중간 셀렉트 전압(V_{sel3})은 초기 셀렉트 전압(V_{sel1})과 중간 셀렉트 전압(V_{sel3})의 중간 전압 레벨일 수 있다.

[0133] 셀렉트 라인에 초기 셀렉트 전압(V_{sel1})이 인가된 상태에서 선택 워드라인에 패스 전압(V_{pass})이 인가되면 오버슈트가 발생할 수 있다. 오버슈트가 발생하는 도중에 셀렉트 라인에 인가되는 전압을 중간 셀렉트 전압(V_{sel3})으로 상승시킴으로써 도 7에서 도시된 제1 패스 오버슈트(ΔV_{os_pass1})와 비교할 때, 상대적으로 작은 크기의 제2 패스 오버슈트(ΔV_{os_pass2})가 발생할 수 있다.

[0134] 설명의 편의를 위하여, 패스 전압(V_{pass})과 중간 셀렉트 전압(V_{sel3})이 동시에 인가되는 것으로 도시하였으나, 패스 전압(V_{pass})에 의한 오버슈트가 존재하는 임의의 시점에 중간 셀렉트 전압(V_{sel3})이 인가될 수 있다. 예를 들어, 중간 셀렉트 전압(V_{sel3})은 패스 전압(V_{pass})의 상승 시간(rising time) 중에 인가될 수 있다.

[0135] 셀렉트 라인에 중간 셀렉트 전압(V_{sel3})이 인가된 상태에서 선택 워드라인에 프로그램 전압(V_{pgm})이 인가되면 프로그램 오버슈트가 발생할 수 있다. 오버슈트가 발생하는 도중에 셀렉트 라인에 인가되는 전압을 목표 셀렉트 전압(V_{sel2})으로 상승시킴으로써 도 7에서 도시된 제1 프로그램 오버슈트(ΔV_{os_pgm1})와 비교할 때, 상대적으로 작은 크기의 제3 프로그램 오버슈트(ΔV_{os_pgm3})가 발생할 수 있다.

[0136] 설명의 편의를 위하여, 프로그램 전압(V_{pgm})과 목표 셀렉트 전압(V_{sel2})이 동시에 인가되는 것으로 도시하였으나, 프로그램 전압(V_{pgm})에 의한 오버슈트가 존재하는 임의의 시점에 목표 셀렉트 전압(V_{sel2})이 인가될 수 있다. 예를 들어, 목표 셀렉트 전압(V_{sel2})은 프로그램 전압(V_{pgm})의 상승 시간(rising time) 중에 인가될 수 있다.

[0138] 도 10은 더미 워드라인을 통한 오버슈트 관리 방법을 설명하기 위한 도면이다.

[0139] 도 10을 참조하면, 셀렉트 라인에 초기 셀렉트 전압(V_{sel1})을 인가하기 전에 더미 워드라인에 목표 더미 전압(V_d)을 인가할 수 있다. 더미 워드라인은 셀렉트 라인에서 발생하는 오버슈트를 감소시키기 위해 셀렉트 라인과 선택 워드라인 사이 또는 셀렉트 라인과 비선택 워드라인 사이에 위치하는 워드라인일 수 있다. 선택 워드라인에 인가되는 프로그램 전압 또는 비선택 워드라인에 인가되는 패스 전압에 의해 채널이 부스팅되는 경우, 셀렉트 라인에 미치는 부스팅의 영향은 더미 워드라인과 연결된 더미 메모리 셀들에 의해 감소될 수 있다.

[0140] 즉, 더미 워드라인에 목표 더미 전압(V_d)을 미리 인가함으로써, 도 9에 도시된 제2 패스 오버슈트(ΔV_{os_pass2}) 및 제3 프로그램 오버슈트(ΔV_{os_pgm3})와 비교할 때, 상대적으로 작은 크기의 제3 패스 오버슈트(ΔV_{os_pass3}) 및 제4 프로그램 오버슈트(ΔV_{os_pgm4})가 발생할 수 있다.

[0141] 설명의 편의를 위하여, 패스 전압(V_{pass})과 중간 셀렉트 전압(V_{sel3})이 동시에 인가되는 것으로 도시하였으나, 패스 전압(V_{pass})에 의한 오버슈트가 임의의 시점에 중간 셀렉트 전압(V_{sel3})이 인가될 수 있다. 예를 들어, 중간 셀렉트 전압(V_{sel3})은 패스 전압(V_{pass})의 상승 시간(rising time) 중에 인가될 수 있다.

[0142] 또한, 프로그램 전압(V_{pgm})과 목표 셀렉트 전압(V_{sel2})이 동시에 인가되는 것으로 도시하였으나, 프로그램 전압(V_{pgm})에 의한 오버슈트가 존재하는 임의의 시점에 목표 셀렉트 전압(V_{sel2})이 인가될 수 있다. 예를 들어, 목표 셀렉트 전압(V_{sel2})은 프로그램 전압(V_{pgm})의 상승 시간(rising time) 중에 인가될 수 있다.

[0144] 도 11은 실시 예에 따른 프로그램 동작 제어부를 설명하기 위한 도면이다.

[0145] 도 11을 참조하면, 제어 로직(130)은 프로그램 동작 제어부를 포함할 수 있다. 프로그램 동작 제어부는 커맨드(CMD), 어드레스(ADDR) 및 데이터(DATA)를 메모리 컨트롤러로부터 전달받고, 동작 전압 정보를 전압 생성부(122)에 전달한다. 동작 전압 정보는 도 2에서 설명한 동작 신호(OPSIG)에 포함될 수 있다. 프로그램 동작 제어부는 워드라인 전압 관리부와 셀렉트 전압 관리부(150)를 포함할 수 있다. 워드라인 전압 관리부는 워드라인에 인가되는 전압 및 전압 인가 타이밍과 관련된 정보를 생성하여 전압 생성부(122)에 전달한다. 셀렉트 전압 관리부(150)는 셀렉트 라인에 인가되는 전압 및 전압 인가 타이밍과 관련된 정보를 생성하여 전압 생성부(122)에 전달한다. 도 8 및 도9에 도시된 셀렉트 전압 인가 방법은 셀렉트 전압 관리부(150)를 통해 수행될 수 있다.

[0147] 도 12는 실시 예에 따른 셀렉트 전압 관리부(150)를 설명하기 위한 도면이다.

[0148] 도 12를 참조하면, 셀렉트 전압 관리부(150)는 비선택 스트링 카운터(152) 및 셀렉트 전압 제어부(151)를 포함

할 수 있다. 비선택 스트링 카운터(152)는 어드레스(ADDR) 및 데이터(DATA)를 기반으로 비선택 셀 스트링의 개수를 카운트할 수 있다. 셀렉트 전압 제어부(151)는 비선택 스트링 개수 정보를 전달받고, 비선택 스트링 개수 정보를 기반으로 셀렉트 전압 정보를 획득할 수 있다. 일 실시 예에서, 셀렉트 전압 제어부(151)는 셀렉트 전압 정보 저장부(111)에 요청하여 셀렉트 전압 정보를 획득할 수 있다. 일 실시 예에서, 셀렉트 전압 제어부(151)는 비선택 스트링 개수 정보를 기반으로 셀렉트 전압 정보를 직접 계산하여 획득할 수 있다. 셀렉트 전압 제어부(151)는 획득한 셀렉트 전압 정보를 전압 생성부(122)에 전달할 수 있다.

[0149] 일 실시 예에서, 비선택 스트링 카운터(152)는 어드레스 중 컬럼 어드레스(CADD)를 기반으로 비선택 스트링 개수를 카운트할 수 있다. 컬럼 어드레스(CADD)는 선택된 메모리 셀들을 포함하는 셀 스트링들의 위치를 나타내고 있으므로, 컬럼 어드레스(CADD)를 기반으로 선택 스트링의 개수 및 비선택 스트링의 개수를 카운트할 수 있다.

[0150] 일 실시 예에서, 비선택 스트링 카운터(152)는 데이터(DATA)를 기반으로 비선택 스트링 개수를 카운트할 수 있다. 예를 들어, 데이터(DATA)가 나타내는 1의 개수를 카운트하고 비선택 스트링 개수라고 결정할 수 있다.

[0151] 일 실시 예에서, 셀렉트 전압 제어부(151)는 비선택 스트링 개수 정보를 기반으로 셀렉트 전압 정보를 획득할 수 있다. 셀렉트 전압 정보는 셀렉트 전압 레벨 및 전압 인가 타이밍을 나타낼 수 있다. 셀렉트 전압 제어부(151)는 비선택 스트링의 개수와 기준 개수를 비교하고, 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 인가될 전압을 결정할 수 있다. 예를 들어, 비선택 스트링의 개수가 기준 개수보다 크다면, 초기 셀렉트 전압 인가 구간 동안 목표 셀렉트 전압(Vsel2)보다 낮은 초기 셀렉트 전압(Vsel1)을 셀렉트 라인에 인가하도록 주변 회로를 제어할 수 있다. 실시 예에서, 셀렉트 전압 제어부(151)는 비선택 스트링의 개수가 많아질수록 초기 셀렉트 전압 인가 구간 동안 더 낮은 초기 셀렉트 전압을 인가하도록 주변 회로를 제어할 수 있다. 예를 들어, 비선택 스트링의 개수가 3개, 9개 및 12개일 때, 각각 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 1.3V, 1.2V 및 1.1V를 인가하도록 주변 회로를 제어할 수 있다. 셀렉트 전압 제어부(151)는 프로그램 전압 인가 구간 동안 셀렉트 라인에 목표 셀렉트 전압(Vsel2)을 인가하도록 주변 회로를 제어할 수 있다.

[0152] 일 실시 예에서, 셀렉트 전압 제어부(151)는 셀렉트 전압 정보 저장부(111)로부터 셀렉트 전압 정보를 획득할 수 있다. 셀렉트 전압 제어부(151)는 셀렉트 전압 정보 저장부(111)에서 비선택 스트링 개수 정보에 대응하는 셀렉트 전압 정보가 저장된 위치를 계산할 수 있다. 셀렉트 전압 제어부(151)는 해당 위치의 셀렉트 전압 정보를 읽어와서 전압 생성부(122)에 전달할 수 있다.

[0153] 셀프 부스팅되는 셀 스트링이 많아질수록 셀렉트 라인에 유발되는 오버슈트가 커질 수 있다. 이미 인가되어 있는 셀렉트 전압이 낮을수록 프로그램 전압 또는 패스 전압을 인가할 때 셀렉트 라인의 오버슈트가 작아질 수 있다. 따라서, 셀프 부스팅되는 셀 스트링의 개수가 많아질수록 더 낮은 레벨의 초기 셀렉트 전압을 인가한다면 셀렉트 라인의 오버슈트가 커지는 것을 방지할 수 있다.

[0155] 도 13은 다른 실시 예에 따른 셀렉트 전압 관리부(150)를 설명하기 위한 도면이다.

[0156] 도 13을 참조하면, 셀렉트 전압 관리부(150)는 라인 거리 획득부(153) 및 셀렉트 전압 제어부(151)를 포함할 수 있다. 라인 거리 획득부(153)는 어드레스(ADDR)를 기반으로 라인 거리 정보를 획득할 수 있다. 셀렉트 전압 제어부(151)는 라인 거리 정보를 전달 받아 셀렉트 전압 정보를 획득할 수 있다. 일 실시 예에서, 셀렉트 전압 제어부(151)는 셀렉트 전압 정보 저장부(111)에 요청하여 셀렉트 전압 정보를 획득할 수 있다. 일 실시 예에서, 셀렉트 전압 제어부(151)는 선택 워드라인과 셀렉트 라인간의 거리인 라인 거리를 기반으로 셀렉트 전압 정보를 직접 계산하여 획득할 수 있다. 셀렉트 전압 제어부(151)는 획득한 셀렉트 전압 정보를 전압 생성부(122)에 전달할 수 있다.

[0157] 실시 예에서, 라인거리 획득부(153)는 어드레스(ADDR) 중 로우 어드레스(RADD)가 나타내는 셀렉트 라인 및 선택 워드라인의 위치를 기반으로 셀렉트 라인과 선택 워드라인 간의 라인 거리를 획득할 수 있다. 예를 들어, 라인 거리는 셀렉트 라인과 선택 워드라인 사이에 포함된 비선택 워드라인의 개수일 수 있다.

[0158] 일 실시 예에서, 셀렉트 전압 제어부(151)는 라인 거리 정보를 기반으로 셀렉트 전압 정보를 획득할 수 있다. 셀렉트 전압 정보는 셀렉트 전압 레벨 및 전압 인가 타이밍을 나타내는 정보일 수 있다. 셀렉트 전압 제어부(151)는 라인 거리를 기준 거리와 비교하고, 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 인가될 전압을 결정할 수 있다. 예를 들어, 라인 거리가 기준 거리보다 짧다면, 초기 셀렉트 전압 인가 구간 동안 목표 셀렉트 전압(Vsel2)보다 낮은 초기 셀렉트 전압(Vsel1)을 인가할 수 있다. 실시 예에서, 셀렉트 전압 제어부(151)는 라인 거리가 짧아질수록 초기 셀렉트 전압 인가 구간 동안 더 낮은 초기 셀렉트 전압을 인가할 수 있다. 예를 들어, 셀렉트 라인과 선택 워드라인 사이에 존재하는 비선택 워드라인의 개수가 9개, 8개 및 7개일 때, 각각 초기

셀렉트 전압 인가 구간 동안 셀렉트 라인에 1.3V, 1.2V 및 1.1V를 인가할 수 있다. 셀렉트 전압 제어부(151)는 목표 셀렉트 전압 인가 구간 동안 목표 셀렉트 전압(Vsel2)을 셀렉트 라인에 인가할 수 있다.

- [0159] 일 실시 예에서, 셀렉트 전압 제어부(151)는 셀렉트 전압 정보 저장부(111)로부터 셀렉트 전압 정보를 획득할 수 있다. 셀렉트 전압 제어부(151)는 셀렉트 전압 정보 저장부(111)에서 라인 거리에 대응하는 셀렉트 전압 정보가 저장된 위치를 계산할 수 있다. 셀렉트 전압 제어부(151)는 해당 위치의 셀렉트 전압 정보를 읽어와서 전압 생성부(122)에 전달할 수 있다.
- [0160] 라인 거리가 짧을수록 셀렉트 라인에서 발생하는 오버슈트가 커질 수 있다. 이미 인가되어 있는 셀렉트 전압이 낮을수록 프로그램 전압 또는 패스 전압을 인가할 때 셀렉트 라인의 오버슈트가 작아질 수 있다. 따라서, 라인 거리가 짧아질수록 더 낮은 레벨의 초기 셀렉트 전압을 인가한다면 셀렉트 라인의 오버슈트가 커지는 것을 방지할 수 있다.
- [0162] 도 14는 비선택 스트링의 개수를 기반으로 초기 셀렉트 전압을 결정하는 방법을 설명하기 위한 표이다.
- [0163] 도 14를 참조하면, 비선택 스트링 카운터(152)는 데이터(D1 내지 Dm)를 입력 받고 데이터에 포함된 1의 개수(X1 내지 Xm)를 카운트할 수 있다. 카운트한 1의 개수를 셀렉트 전압 제어부(151)에 전달할 수 있다. 셀렉트 전압 제어부(151)는 1의 개수(X1 내지 Xm)를 기준 개수 Xref와 비교할 수 있다. 1의 개수가 Xref보다 많은 경우, 오버슈트를 줄이기 위해 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 초기 셀렉트 전압(Vsel1)을 인가하도록 주변 회로를 제어할 수 있다. 초기 셀렉트 전압(Vsel1)은 목표 셀렉트 전압(Vsel2)보다 낮은 전압 레벨일 수 있다. 셀렉트 전압 제어부(151)는 프로그램 전압 인가 구간 동안 목표 셀렉트 전압(Vsel2)이 셀렉트 라인에 인가되도록 주변 회로를 제어할 수 있다.
- [0164] 도 14의 실시 예에서는 하나의 기준 개수와 1의 개수를 비교하였으나, 셀렉트 전압 제어부(151)는 여러 개의 기준 개수와 1의 개수를 비교하여 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 인가될 초기 셀렉트 전압의 전압 레벨을 결정할 수 있다. 예를 들어, 1의 개수가 제1 기준 개수 Xref1 이상이면 초기 셀렉트 전압 인가 구간에 초기 셀렉트 전압(Vsel1)을 인가하고, 1의 개수가 제1 기준 개수 Xref1 미만 제2 기준 개수 Xref2 이상이면 초기 셀렉트 전압 인가 구간에 중간 셀렉트 전압(Vsel3)을 인가하고, 1의 개수가 제2 기준 개수 Xref2 미만이면 초기 셀렉트 전압 인가 구간에 목표 셀렉트 전압(Vsel2)을 인가하도록 주변 회로를 제어할 수 있다. 초기 셀렉트 전압(Vsel1)은 중간 셀렉트 전압(Vsel3)보다 낮은 전압 레벨이고, 중간 셀렉트 전압(Vsel3)은 목표 셀렉트 전압(Vsel2)보다 낮은 전압 레벨일 수 있다.
- [0165] 일 실시 예에서 비선택 스트링 카운터(152)는 컬럼 어드레스(CADD)를 입력 받고 컬럼 어드레스를 기반으로 비선택 스트링의 개수를 카운트할 수 있다. 셀렉트 전압 제어부(151)는 도 14에 도시된 방법을 사용하여 비선택 스트링의 개수와 기준 개수를 비교하고 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 인가될 셀렉트 전압을 결정할 수 있다.
- [0167] 도 15는 라인 거리를 기반으로 초기 셀렉트 전압을 결정하는 방법을 설명하기 위한 표이다.
- [0168] 도 15를 참조하면, 라인 거리 획득부(153)는 어드레스(A1 내지 Am)를 입력 받고 선택 워드라인과 셀렉트 라인 간의 라인 거리(DSTC1 내지 DSTCm)를 획득할 수 있다. 라인 거리 획득부(153)는 획득한 라인 거리를 셀렉트 전압 제어부(151)에 전달할 수 있다. 셀렉트 전압 제어부(151)는 라인 거리(DSTC1 내지 DSTCm)를 기준 거리(DSTCref)와 비교할 수 있다. 라인 거리가 기준 거리보다 짧은 경우, 셀렉트 전압 제어부(151)는 오버슈트를 줄이기 위해 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 초기 셀렉트 전압(Vsel1)을 인가하도록 주변 회로를 제어할 수 있다. 초기 셀렉트 전압(Vsel1)은 목표 셀렉트 전압(Vsel2)보다 낮은 전압 레벨일 수 있다. 셀렉트 전압 제어부(151)는 프로그램 전압 인가 구간 동안 목표 셀렉트 전압(Vsel2)이 셀렉트 라인에 인가되도록 주변 회로를 제어할 수 있다.
- [0169] 도 15의 실시 예에서는 하나의 기준 거리와 라인 거리를 비교하였으나, 셀렉트 전압 제어부(151)는 여러 개의 기준 거리와 라인 거리를 비교하여 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 인가될 셀렉트 전압의 전압 레벨을 결정할 수 있다. 예를 들어, 라인 거리가 제1 기준 거리(DSTCref1) 이하이면 초기 셀렉트 전압 인가 구간에 초기 셀렉트 전압(Vsel1)을 인가하고, 라인 거리가 제1 기준 거리(DSTCref1) 초과 제2 기준 거리(DSTCref2) 이하이면 초기 셀렉트 전압 인가 구간에 중간 셀렉트 전압(Vsel3)을 인가하고, 라인 거리가 제2 기준 거리(DSTCref2) 초과이면 초기 셀렉트 전압 인가 구간에 목표 셀렉트 전압(Vsel2)을 인가하도록 주변 회로를 제어할 수 있다. 초기 셀렉트 전압(Vsel1)은 중간 셀렉트 전압(Vsel3)보다 낮은 전압 레벨이고, 중간 셀렉트 전압(Vsel3)은 목표 셀렉트 전압(Vsel2)보다 낮은 전압 레벨일 수 있다.

- [0171] 도 16은 비선택 스트링의 개수를 기반으로 셀렉트 전압을 인가하는 방법을 설명하기 위한 순서도이다.
- [0172] 도 16을 참조하면, S1601 단계에서, 비선택 스트링 카운터(152)는 데이터(DATA) 또는 어드레스(ADDR)를 기반으로 비선택 스트링의 개수를 카운트하고, 셀렉트 전압 제어부(151)는 비선택 스트링의 개수를 기반으로 셀렉트 라인에 인가할 셀렉트 전압 레벨 및 전압 인가 타이밍을 결정할 수 있다. 예를 들어, 비선택 스트링의 개수가 기준 개수보다 많은 경우, 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 인가될 전압은 1V, 프로그램 전압 인가 구간 동안 셀렉트 라인에 인가될 전압은 1.2V라고 결정할 수 있다. 비선택 스트링의 개수가 기준 개수보다 적은 경우, 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 인가될 전압 및 프로그램 전압 인가 구간 동안 셀렉트 라인에 인가될 전압은 1.2V라고 결정할 수 있다.
- [0173] S1603 단계에서, 셀렉트 전압 제어부(151)는 결정된 셀렉트 전압 레벨 및 전압 인가 타이밍에 따라 셀렉트 라인에 전압을 인가하도록 주변 회로를 제어할 수 있다. 비선택 스트링의 개수가 기준 개수보다 많은 경우, 셀렉트 전압 제어부(151)는 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 초기 셀렉트 전압(Vsel1)을 인가하도록 주변 회로를 제어할 수 있다. 초기 셀렉트 전압(Vsel1)은 비선택 스트링과 연결된 비트라인에 프리 차지된 금지 전압보다 낮은 전압 레벨일 수 있다.
- [0174] S1605 단계에서, 셀렉트 전압 제어부(151)는 프로그램 전압 인가 구간 동안, 선택된 메모리 셀에 데이터를 저장하기 위해서 선택 워드라인에 프로그램 전압 Vp_{gm}을 인가하도록 주변 회로를 제어할 수 있다.
- [0175] S1607 단계에서, 셀렉트 전압 제어부(151)는 선택 워드라인에 Vp_{gm}을 인가하는 프로그램 전압 인가 구간 동안 셀렉트 라인에 목표 셀렉트 전압(Vsel2)이 인가되도록 주변 회로를 제어할 수 있다. 목표 셀렉트 전압(Vsel2)은 초기 셀렉트 전압(Vsel1)보다 높은 전압 레벨일 수 있다. 목표 셀렉트 전압(Vsel2)은 비선택 스트링과 연결된 비트라인에 프리 차지된 금지 전압과 동일한 전압 레벨일 수 있다.
- [0177] 도 17은 라인 거리를 기반으로 셀렉트 전압을 인가하는 방법을 설명하기 위한 순서도이다.
- [0178] 도 17을 참조하면, S1701 단계에서, 라인 거리 획득부(153)는 어드레스(ADDR)를 기반으로 선택 워드라인과 셀렉트 라인 간의 라인 거리를 획득할 수 있다. 셀렉트 전압 제어부(151)는 라인 거리를 기반으로 셀렉트 라인에 인가할 셀렉트 전압 레벨 및 전압 인가 타이밍을 결정할 수 있다. 예를 들어, 라인 거리가 기준 거리보다 짧은 경우, 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 인가될 전압은 1V, 프로그램 전압 인가 구간 동안 셀렉트 라인에 인가될 전압은 1.2V라고 결정할 수 있다.
- [0179] S1703 단계에서, 셀렉트 전압 제어부(151)는 결정된 셀렉트 전압 레벨 및 전압 인가 타이밍에 따라 셀렉트 라인에 전압을 인가하도록 주변 회로를 제어할 수 있다. 라인 거리가 기준 거리보다 짧은 경우, 셀렉트 전압 제어부(151)는 초기 셀렉트 전압 인가 구간 동안 셀렉트 라인에 초기 셀렉트 전압(Vsel1)을 인가하도록 주변 회로를 제어할 수 있다. 초기 셀렉트 전압(Vsel1)은 비선택 스트링과 연결된 비트라인에 프리 차지된 금지 전압보다 낮은 전압 레벨일 수 있다.
- [0180] S1705 단계에서, 셀렉트 전압 제어부(151)는 프로그램 전압 인가 구간 동안, 선택된 메모리 셀에 데이터를 저장하기 위해서 선택 워드라인에 프로그램 전압 Vp_{gm}을 인가하도록 주변 회로를 제어할 수 있다.
- [0181] S1707 단계에서, 셀렉트 전압 제어부(151)는 선택 워드라인에 Vp_{gm}을 인가하는 프로그램 전압 인가 구간 동안 셀렉트 라인에 목표 셀렉트 전압(Vsel2)이 인가되도록 주변 회로를 제어할 수 있다. 목표 셀렉트 전압(Vsel2)은 초기 셀렉트 전압(Vsel1)보다 높은 전압 레벨일 수 있다. 목표 셀렉트 전압(Vsel2)은 비선택 스트링과 연결된 비트라인에 프리 차지된 금지 전압과 동일한 전압 레벨일 수 있다.
- [0183] 도 18은 비선택 스트링의 개수를 기반으로 셀렉트 전압을 인가하는 방법을 설명하기 위한 순서도이다.
- [0184] 도 18을 참조하면, S1801 단계에서, 비선택 스트링 카운터(152)는 데이터 입출력 회로(124)를 통해 데이터(DATA)를 수신할 수 있다.
- [0185] S1803 단계에서, 비선택 스트링 카운터(152)는 데이터를 기반으로 비선택 스트링의 개수를 카운트할 수 있다. 예를 들어, 데이터에 포함된 1의 개수를 카운트하여 비선택 스트링의 개수라고 결정할 수 있다. 도 17에 도시되지는 않았으나 비선택 스트링 카운터(152)는 어드레스(ADDR)를 수신하고, 컬럼 어드레스(CAAD)를 기반으로 비선택 스트링의 개수를 카운트할 수 있다.
- [0186] S1805 단계에서, 셀렉트 전압 제어부(151)는 비선택 스트링의 개수와 기준 개수를 비교할 수 있다. 비선택 스트링의 개수가 기준 개수보다 작으면 S1707 단계로 진행하고, 비선택 스트링의 개수가 기준 개수보다 크면 S1809

단계로 진행한다.

- [0187] S1807 단계에서, 셀렉트 전압 제어부(151)는 초기 셀렉트 전압 인가 구간 동안 목표 셀렉트 전압(Vsel2)을 인가하도록 주변 회로를 제어할 수 있다.
- [0188] S1809 단계에서, 셀렉트 전압 제어부(151)는 초기 셀렉트 전압 인가 구간 동안 초기 셀렉트 전압(Vsel1)을 인가하도록 주변 회로를 제어할 수 있다. 목표 셀렉트 전압(Vsel2)은 목표 셀렉트 전압으로서 비선택 스트링과 연결된 비트라인에 프리 차지된 금지 전압과 동일한 전압 레벨일 수 있다. 초기 셀렉트 전압(Vsel1)은 목표 셀렉트 전압(Vsel2)보다 낮고 0보다 높은 전압 레벨일 수 있다.
- [0189] S1811 단계에서, 셀렉트 전압 제어부(151)는 비선택 스트링의 개수와 관계 없이 초기 셀렉트 전압 인가 구간에 후속하는 프로그램 전압 인가 구간 동안 셀렉트 라인에 목표 셀렉트 전압(Vsel2)을 인가하도록 주변 회로를 제어할 수 있다.
- [0191] 도 19는 라인 거리를 기반으로 셀렉트 전압을 인가하는 방법을 설명하기 위한 순서도이다.
- [0192] 도 19를 참조하면, S1901 단계에서, 라인 거리 획득부(153)는 메모리 컨트롤러로부터 어드레스(ADDR)를 수신할 수 있다.
- [0193] S1903 단계에서, 라인 거리 획득부(153)는 어드레스를 기반으로 선택 워드라인과 셀렉트 라인 간의 라인 거리를 획득할 수 있다. 예를 들어,로우 어드레스(RADD)가 나타내고 있는 선택된 페이지의 물리 주소를 사용하여 셀렉트 라인과의 라인 거리를 계산할 수 있다.
- [0194] S1905 단계에서, 셀렉트 전압 제어부(151)는 라인 거리와 기준 거리를 비교할 수 있다. 라인 거리가 기준 거리보다 길다면 S1907 단계로 진행하고, 라인 거리가 기준 거리보다 짧다면 S1909 단계로 진행할 수 있다.
- [0195] S1907 단계에서, 셀렉트 전압 제어부(151)는 초기 셀렉트 전압 인가 구간 동안 목표 셀렉트 전압(Vsel2)을 인가하도록 주변 회로를 제어할 수 있다.
- [0196] S1909 단계에서, 셀렉트 전압 제어부(151)는 초기 셀렉트 전압 인가 구간 동안 초기 셀렉트 전압(Vsel1)을 인가하도록 주변 회로를 제어할 수 있다. 목표 셀렉트 전압(Vsel2)은 목표 셀렉트 전압으로서 비선택 스트링과 연결된 비트라인에 프리 차지된 금지 전압과 동일한 전압 레벨일 수 있다. 초기 셀렉트 전압(Vsel1)은 목표 셀렉트 전압(Vsel2)보다 낮고 0보다 높은 전압 레벨일 수 있다.
- [0197] S1911 단계에서, 셀렉트 전압 제어부(151)는 라인 거리와 관계 없이 초기 셀렉트 전압 인가 구간에 후속하는 프로그램 전압 인가 구간 동안 셀렉트 라인에 목표 셀렉트 전압(Vsel2)을 인가하도록 주변 회로를 제어할 수 있다.
- [0199] 도 20은 도 1의 메모리 컨트롤러의 다른 실시 예를 설명하기 위한 도면이다.
- [0200] 도 20을 참조하면, 메모리 컨트롤러(1000)는 호스트(Host) 및 메모리 장치에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 메모리 컨트롤러(1000)는 메모리 장치를 액세스하도록 구성된다. 예를 들면, 메모리 컨트롤러(1000)는 메모리 장치의 쓰기, 읽기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 메모리 컨트롤러(1000)는 메모리 장치 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(1000)는 메모리 장치를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0201] 메모리 컨트롤러(1000)는 프로세서부(Processor; 1010), 메모리 버퍼부(Memory Buffer; 1020), 에러 정정부(ECC; 1030), 호스트 인터페이스(Host Interface; 1040), 버퍼 제어부(Buffer Control Circuit; 1050), 메모리 인터페이스(Memory Interface; 1060) 그리고 버스(Bus; 1070)를 포함할 수 있다.
- [0202] 버스(1070)는 메모리 컨트롤러(1000)의 구성 요소들 사이에 채널(channel)을 제공하도록 구성될 수 있다.
- [0203] 프로세서부(1010)는 메모리 컨트롤러(1000)의 제반 동작을 제어하고, 논리 연산을 수행할 수 있다. 프로세서부(1010)는 호스트 인터페이스(1040)를 통해 외부의 호스트와 통신하고, 메모리 인터페이스(1060)를 통해 메모리 장치와 통신할 수 있다. 또한 프로세서부(1010)는 버퍼 제어부(1050)를 통해 메모리 버퍼부(1020)와 통신할 수 있다. 프로세서부(1010)는 메모리 버퍼부(1020)를 동작 메모리, 캐시 메모리(cache memory) 또는 버퍼 메모리(buffer memory)로 사용하여 저장 장치의 동작을 제어할 수 있다.
- [0204] 프로세서부(1010)는 플래시 변환 계층(FTL)의 기능을 수행할 수 있다. 프로세서부(1010)는 플래시 변환 계층(FTL)을 통해 호스트가 제공한 논리 블록 어드레스(logical block address, LBA)를 물리 블록 어드레스

(physical block address, PBA)로 변환할 수 있다. 플래시 변환 계층(FTL)은 맵핑 테이블을 이용하여 논리 블록 어드레스(LBA)를 입력 받아, 물리 블록 어드레스(PBA)로 변환시킬 수 있다. 플래시 변환 계층의 주소 맵핑 방법에는 맵핑 단위에 따라 여러 가지가 있다. 대표적인 어드레스 맵핑 방법에는 페이지 맵핑 방법(Page mapping method), 블록 맵핑 방법(Block mapping method), 그리고 혼합 맵핑 방법(Hybrid mapping method)이 있다.

- [0205] 프로세서부(1010)는 호스트(Host)로부터 수신된 데이터를 랜더마이징하도록 구성된다. 예를 들면, 프로세서부(1010)는 랜더마이징 시드(seed)를 이용하여 호스트(Host)로부터 수신된 데이터를 랜더마이징할 것이다. 랜더마이징된 데이터는 저장될 데이터로서 메모리 장치에 제공되어 메모리 셀 어레이에 프로그램된다.
- [0206] 프로세서부(1010)는 리드 동작 시 메모리 장치로부터 수신된 데이터를 디랜더마이징하도록 구성된다. 예를 들면, 프로세서부(1010)는 디랜더마이징 시드를 이용하여 메모리 장치로부터 수신된 데이터를 디랜더마이징할 것이다. 디랜더마이징된 데이터는 호스트(Host)로 출력될 것이다.
- [0207] 실시 예로서, 프로세서부(1010)는 소프트웨어(software) 또는 펌웨어(firmware)를 구동함으로써 랜더마이징 및 디랜더마이징을 수행할 수 있다.
- [0208] 메모리 버퍼부(1020)는 프로세서부(1010)의 동작 메모리, 캐시 메모리 또는 버퍼 메모리로 사용될 수 있다. 메모리 버퍼부(1020)는 프로세서부(1010)가 실행하는 코드들 및 커맨드들을 저장할 수 있다. 메모리 버퍼부(1020)는 프로세서부(1010)에 의해 처리되는 데이터를 저장할 수 있다. 메모리 버퍼부(1020)는 SRAM(Static RAM), 또는 DRAM(Dynamic RAM)을 포함할 수 있다.
- [0209] 에러 정정부(1030)는 에러 정정을 수행할 수 있다. 에러 정정부(1030)는 메모리 인터페이스(1060)를 통해 메모리 장치에 기입될 데이터에 기반하여 에러 정정 인코딩(ECC encoding)을 수행할 수 있다. 에러 정정 인코딩된 데이터는 메모리 인터페이스(1060)를 통해 메모리 장치로 전달될 수 있다. 에러 정정부(1030)는 메모리 장치로부터 메모리 인터페이스(1060)를 통해 수신되는 데이터에 대해 에러 정정 디코딩(ECC decoding)을 수행할 수 있다. 예시적으로, 에러 정정부(1030)는 메모리 인터페이스(1060)의 구성 요소로서 메모리 인터페이스(1060)에 포함될 수 있다.
- [0210] 호스트 인터페이스(1040)는 프로세서부(1010)의 제어에 따라, 외부의 호스트와 통신하도록 구성된다. 호스트 인터페이스(1040)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC), DIMM (Dual In-line Memory Module), RDIMM (Registered DIMM), LRDIMM (Load Reduced DIMM) 등과 같은 다양한 통신 방식들 중 적어도 하나를 이용하여 통신하도록 구성될 수 있다.
- [0211] 버퍼 제어부(1050)는 프로세서부(1010)의 제어에 따라, 메모리 버퍼부(1020)를 제어하도록 구성된다.
- [0212] 메모리 인터페이스(1060)는 프로세서부(1010)의 제어에 따라, 메모리 장치와 통신하도록 구성된다. 메모리 인터페이스(1060)는 채널을 통해 커맨드, 어드레스 및 데이터를 메모리 장치와 통신할 수 있다.
- [0213] 예시적으로, 메모리 컨트롤러(1000)는 메모리 버퍼부(1020) 및 버퍼 제어부(1050)를 포함하지 않을 수 있다.
- [0214] 예시적으로, 프로세서부(1010)는 코드들을 이용하여 메모리 컨트롤러(1000)의 동작을 제어할 수 있다. 프로세서부(1010)는 메모리 컨트롤러(1000)의 내부에 제공되는 비휘발성 메모리 장치(예를 들어, Read Only Memory)로부터 코드들을 로드할 수 있다. 다른 예로서, 프로세서부(1010)는 메모리 장치로부터 메모리 인터페이스(1060)를 통해 코드들을 로드(load)할 수 있다.
- [0215] 예시적으로, 메모리 컨트롤러(1000)의 버스(1070)는 제어 버스(control bus) 및 데이터 버스(data bus)로 구분될 수 있다. 데이터 버스는 메모리 컨트롤러(1000) 내에서 데이터를 전송하고, 제어 버스는 메모리 컨트롤러(1000) 내에서 커맨드, 어드레스와 같은 제어 정보를 전송하도록 구성될 수 있다. 데이터 버스와 제어 버스는 서로 분리되며, 상호간에 간섭하거나 영향을 주지 않을 수 있다. 데이터 버스는 호스트 인터페이스(1040), 버퍼 제어부(1050), 에러 정정부(1030) 및 메모리 인터페이스(1060)에 연결될 수 있다. 제어 버스는 호스트 인터페이스(1040), 프로세서부(1010), 버퍼 제어부(1050), 메모리 버퍼부(1020) 및 메모리 인터페이스(1060)에 연결될 수 있다.

- [0217] 도 21은 본 발명의 실시 예에 따른 저장 장치가 적용된 메모리 카드 시스템을 보여주는 블록도이다.
- [0218] 도 21을 참조하면, 메모리 카드 시스템(2000)은 메모리 컨트롤러(2100), 메모리 장치(2200), 및 커넥터(2300)를 포함한다.
- [0219] 메모리 컨트롤러(2100)는 메모리 장치(2200)와 연결된다. 메모리 컨트롤러(2100)는 메모리 장치(2200)를 액세스하도록 구성된다. 예를 들어, 메모리 컨트롤러(2100)는 메모리 장치(2200)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성될 수 있다. 메모리 컨트롤러(2100)는 메모리 장치(2200) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(2100)는 메모리 장치(2200)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다. 메모리 컨트롤러(2100)는 도 1을 참조하여 설명된 메모리 컨트롤러(200)와 동일하게 구현될 수 있다.
- [0220] 예시적으로, 메모리 컨트롤러(2100)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 메모리 인터페이스(memory interface), 에러 정정부와 같은 구성 요소들을 포함할 수 있다.
- [0221] 메모리 컨트롤러(2100)는 커넥터(2300)를 통해 외부 장치와 통신할 수 있다. 메모리 컨트롤러(2100)는 특정한 통신 규격에 따라 외부 장치(예를 들어, 호스트)와 통신할 수 있다. 예시적으로, 메모리 컨트롤러(2100)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer small interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), WIFI, Bluetooth, NVMe 등과 같은 다양한 통신 규격들 중 적어도 하나를 통해 외부 장치와 통신하도록 구성된다. 예시적으로, 커넥터(2300)는 상술된 다양한 통신 규격들 중 적어도 하나에 의해 정의될 수 있다.
- [0222] 예시적으로, 메모리 장치(2200)는 EEPROM (Electrically Erasable and Programmable ROM), 낸드 플래시 메모리, 노어 플래시 메모리, PRAM (Phase-change RAM), ReRAM (Resistive RAM), FRAM (Ferroelectric RAM), STT-MRAM(Spin-Torque Magnetic RAM) 등과 같은 다양한 비휘발성 메모리 소자들로 구성될 수 있다.
- [0223] 메모리 컨트롤러(2100) 및 메모리 장치(2200)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 메모리 컨트롤러(2100) 및 메모리 장치(2200)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro, eMMC), SD 카드(SD, miniSD, microSD, SDHC), 범용 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.
- [0225] 도 22는 본 발명의 실시 예에 따른 저장 장치가 적용된 SSD(Solid State Drive) 시스템을 보여주는 블록도이다.
- [0226] 도 22를 참조하면, SSD 시스템(3000)은 호스트(3100) 및 SSD(3200)를 포함한다. SSD(3200)는 신호 커넥터(3001)를 통해 호스트(3100)와 신호(SIG)를 주고 받고, 전원 커넥터(3002)를 통해 전원(PWR)을 입력 받는다. SSD(3200)는 SSD 컨트롤러(3210), 복수의 플래시 메모리들(3221~322n), 보조 전원 장치(3230), 및 버퍼 메모리(3240)를 포함한다.
- [0227] 본 발명의 실시 예에 따르면, SSD 컨트롤러(3210)는 도 1을 참조하여 설명된 메모리 컨트롤러(200)의 기능을 수행할 수 있다.
- [0228] SSD 컨트롤러(3210)는 호스트(3100)로부터 수신된 신호(SIG)에 응답하여 복수의 플래시 메모리들(3221~322n)을 제어할 수 있다. 예시적으로, 신호(SIG)는 호스트(3100) 및 SSD(3200)의 인터페이스에 기반된 신호들일 수 있다. 예를 들어, 신호(SIG)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer small interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), WIFI, Bluetooth, NVMe 등과 같은 인터페이스들 중 적어도 하나에 의해 정의된 신호일 수 있다.
- [0229] 보조 전원 장치(3230)는 전원 커넥터(3002)를 통해 호스트(3100)와 연결된다. 보조 전원 장치(3230)는 호스트(3100)로부터 전원(PWR)을 입력 받고, 충전할 수 있다. 보조 전원 장치(3230)는 호스트(3100)로부터의 전원 공급이 원활하지 않을 경우, SSD(3200)의 전원을 제공할 수 있다. 예시적으로, 보조 전원 장치(3230)는 SSD(3200) 내에 위치할 수도 있고, SSD(3200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(3230)는 메인 보드에 위

치하며, SSD(3200)에 보조 전원을 제공할 수도 있다.

- [0230] 버퍼 메모리(3240)는 SSD(3200)의 버퍼 메모리로 동작한다. 예를 들어, 버퍼 메모리(3240)는 호스트(3100)로부터 수신된 데이터 또는 복수의 플래시 메모리들(3221~322n)로부터 수신된 데이터를 임시 저장하거나, 플래시 메모리들(3221~322n)의 메타 데이터(예를 들어, 매핑 테이블)를 임시 저장할 수 있다. 버퍼 메모리(3240)는 DRAM, SDRAM, DDR SDRAM, LPDDR SDRAM, GRAM 등과 같은 휘발성 메모리 또는 FRAM, ReRAM, STT-MRAM, PRAM 등과 같은 비휘발성 메모리들을 포함할 수 있다.
- [0232] 도 23은 본 발명의 실시 예에 따른 저장 장치가 적용된 사용자 시스템을 보여주는 블록도이다.
- [0233] 도 23을 참조하면, 사용자 시스템(4000)은 애플리케이션 프로세서(4100), 메모리 모듈(4200), 네트워크 모듈(4300), 스토리지 모듈(4400), 및 사용자 인터페이스(4500)를 포함한다.
- [0234] 애플리케이션 프로세서(4100)는 사용자 시스템(4000)에 포함된 구성 요소들, 운영체제(OS; Operating System), 또는 사용자 프로그램 등을 구동시킬 수 있다. 예시적으로, 애플리케이션 프로세서(4100)는 사용자 시스템(4000)에 포함된 구성 요소들을 제어하는 컨트롤러들, 인터페이스들, 그래픽 엔진 등을 포함할 수 있다. 애플리케이션 프로세서(4100)는 시스템-온-칩(SoC; System-on-Chip)으로 제공될 수 있다.
- [0235] 메모리 모듈(4200)은 사용자 시스템(4000)의 주 메모리, 동작 메모리, 버퍼 메모리, 또는 캐쉬 메모리로 동작할 수 있다. 메모리 모듈(4200)은 DRAM, SDRAM, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, LPDDR SDRAM, LPDDR2 SDRAM, LPDDR3 SDRAM 등과 같은 휘발성 랜덤 액세스 메모리 또는 PRAM, ReRAM, MRAM, FRAM 등과 같은 비휘발성 랜덤 액세스 메모리를 포함할 수 있다. 예시적으로 애플리케이션 프로세서(4100) 및 메모리 모듈(4200)은 POP(Package on Package)를 기반으로 패키징되어 하나의 반도체 패키지로 제공될 수 있다.
- [0236] 네트워크 모듈(4300)은 외부 장치들과 통신을 수행할 수 있다. 예시적으로, 네트워크 모듈(4300)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), WCDMA(wideband CDMA), CDMA-2000, TDMA(Time Division Multiple Access), LTE(Long Term Evolution), Wimax, WLAN, UWB, 블루투스, Wi-Fi 등과 같은 무선 통신을 지원할 수 있다. 예시적으로, 네트워크 모듈(4300)은 애플리케이션 프로세서(4100)에 포함될 수 있다.
- [0237] 스토리지 모듈(4400)은 데이터를 저장할 수 있다. 예를 들어, 스토리지 모듈(4400)은 애플리케이션 프로세서(4100)로부터 수신한 데이터를 저장할 수 있다. 또는 스토리지 모듈(4400)은 스토리지 모듈(4400)에 저장된 데이터를 애플리케이션 프로세서(4100)로 전송할 수 있다. 예시적으로, 스토리지 모듈(4400)은 PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), NAND flash, NOR flash, 3차원 구조의 NAND 플래시 등과 같은 비휘발성 반도체 메모리 소자로 구현될 수 있다. 예시적으로, 스토리지 모듈(4400)은 사용자 시스템(4000)의 메모리 카드, 외장형 드라이브 등과 같은 탈착식 저장 매체(removable drive)로 제공될 수 있다.
- [0238] 예시적으로, 스토리지 모듈(4400)은 복수의 비휘발성 메모리 장치들을 포함할 수 있고, 복수의 비휘발성 메모리 장치들은 도 1을 참조하여 설명된 메모리 장치(100)와 동일하게 동작할 수 있다. 스토리지 모듈(4400)은 도 1을 참조하여 설명된 저장 장치(50)와 동일하게 동작할 수 있다.
- [0239] 사용자 인터페이스(4500)는 애플리케이션 프로세서(4100)에 데이터 또는 명령어를 입력하거나 또는 외부 장치로 데이터를 출력하는 인터페이스들을 포함할 수 있다. 예시적으로, 사용자 인터페이스(4500)는 키보드, 키패드, 버튼, 터치 패널, 터치 스크린, 터치 패드, 터치 볼, 카메라, 마이크, 자이로스코프 센서, 진동 센서, 압전 소자 등과 같은 사용자 입력 인터페이스들을 포함할 수 있다. 사용자 인터페이스(4500)는 LCD (Liquid Crystal Display), OLED (Organic Light Emitting Diode) 표시 장치, AMOLED (Active Matrix OLED) 표시 장치, LED, 스피커, 모터 등과 같은 사용자 출력 인터페이스들을 포함할 수 있다.
- [0241] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.
- [0242] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0243] 그러므로, 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니

라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

[0244] 상술한 실시 예들에서, 모든 단계는 선택적으로 수행의 대상이 되거나 생략의 대상이 될 수 있다. 또한 각 실시 예에서 단계들은 반드시 순서대로 일어날 필요는 없으며, 뒤바뀔 수 있다. 한편, 본 명세서와 도면에 개시된 본 명세서의 실시 예들은 본 명세서의 기술 내용을 쉽게 설명하고 본 명세서의 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 명세서의 범위를 한정하고자 하는 것은 아니다. 즉 본 명세서의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 명세서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

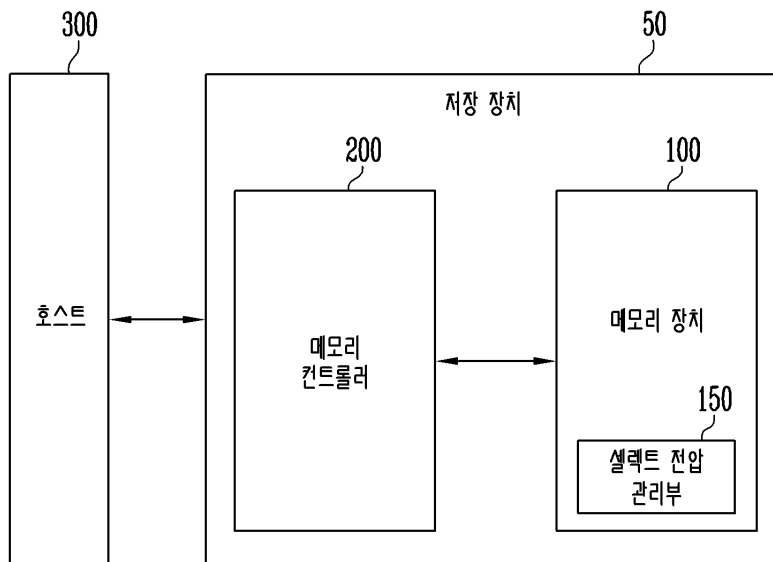
[0245] 한편, 본 명세서와 도면에는 본 발명의 바람직한 실시 예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시 예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

부호의 설명

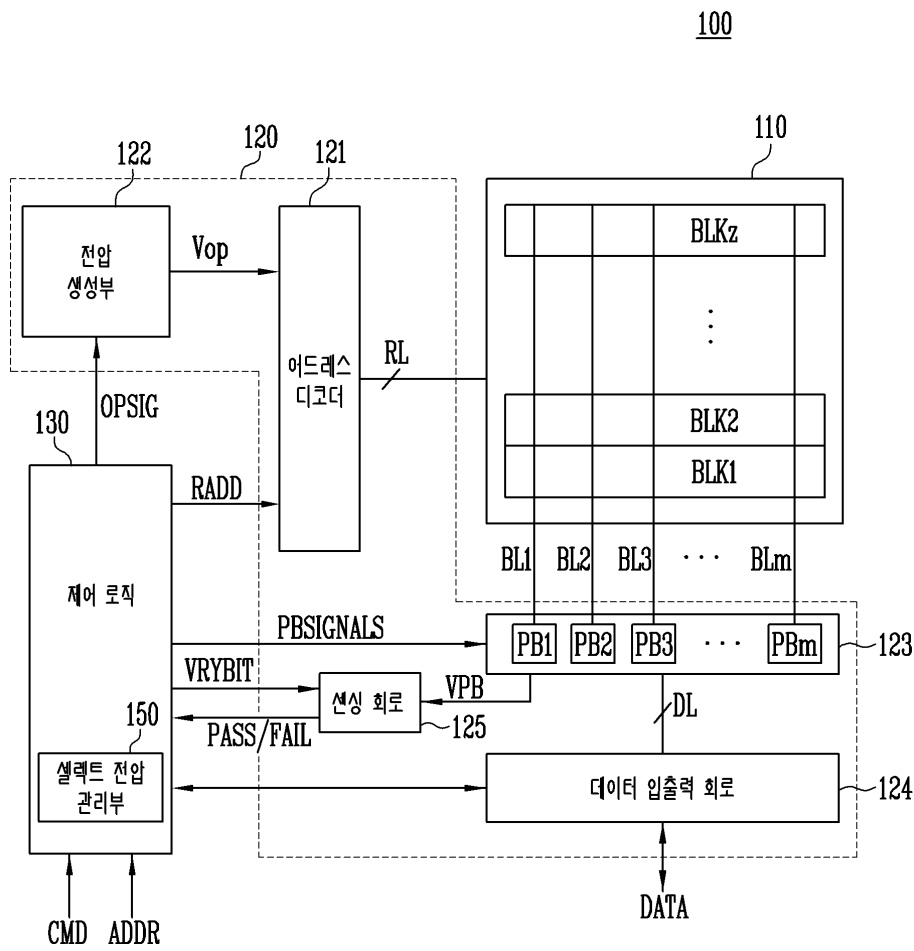
- [0246] 50: 저장 장치
- 100: 메모리 장치
- 150: 셀렉트 전압 관리부
- 200: 메모리 컨트롤러
- 300: 호스트

도면

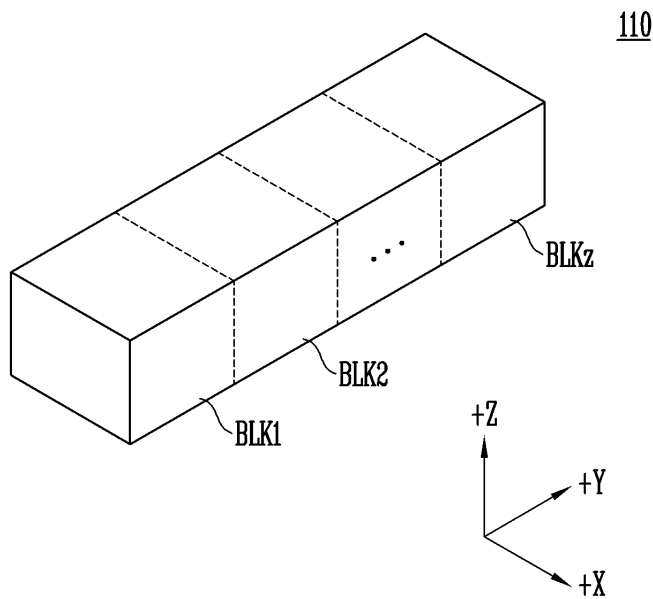
도면1



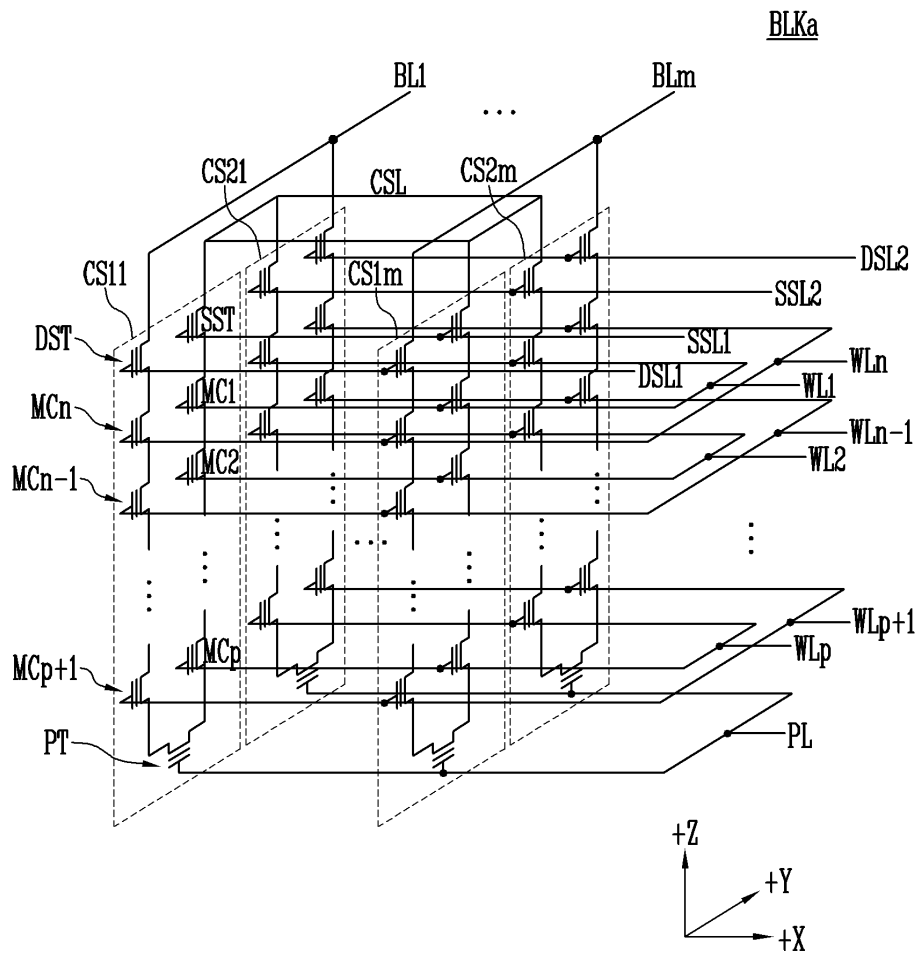
도면2



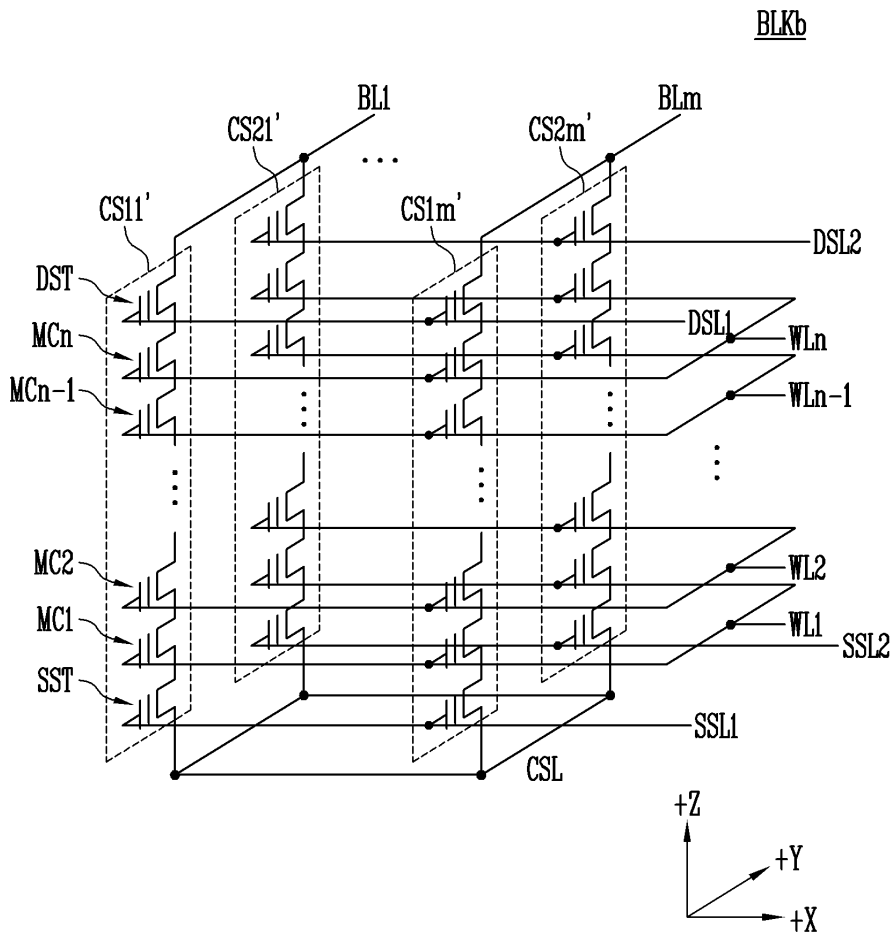
도면3



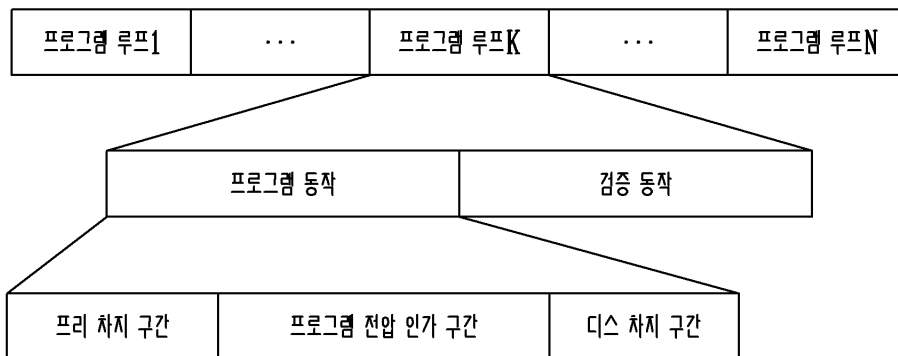
도면4



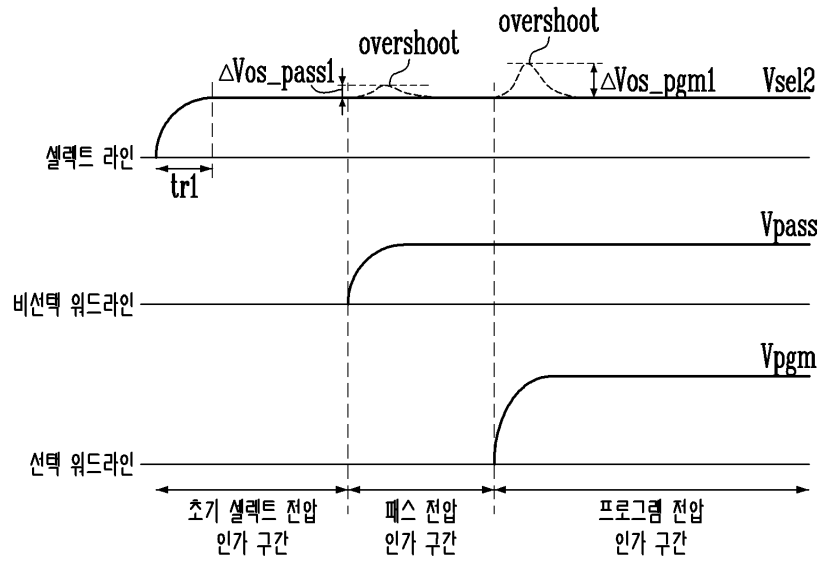
도면5



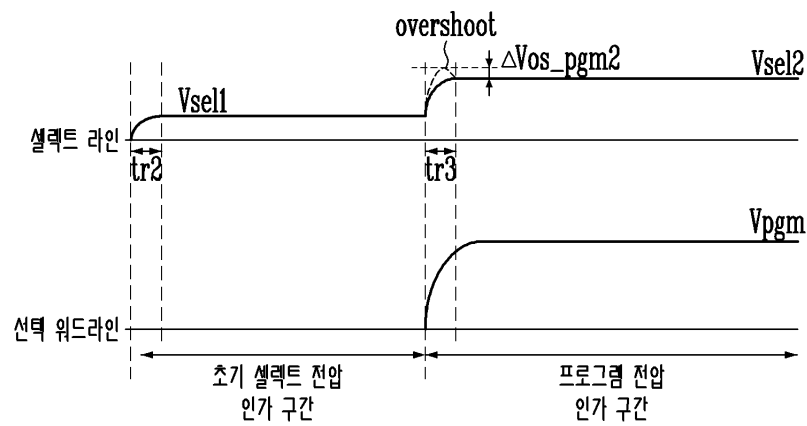
도면6



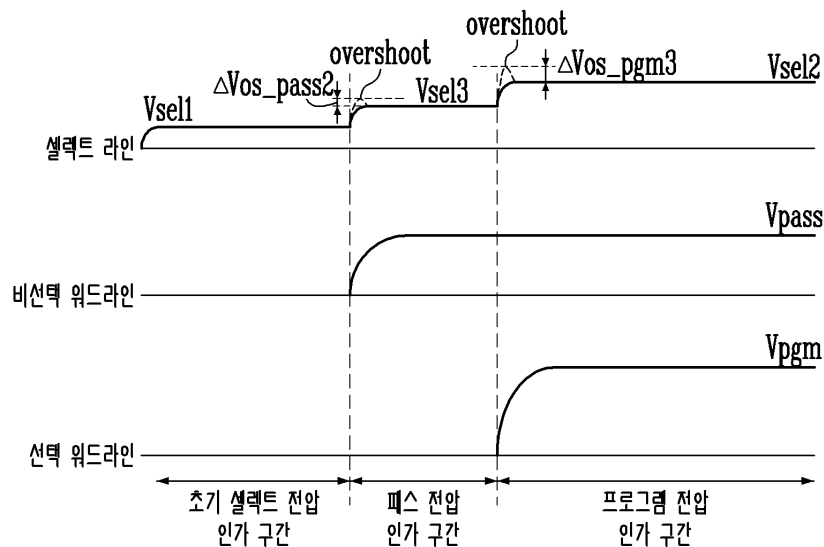
도면7



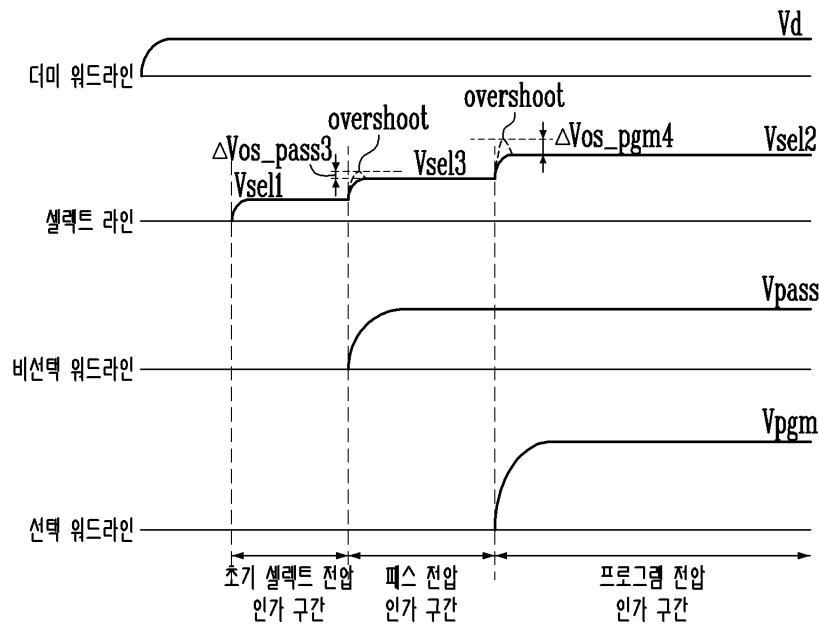
도면8



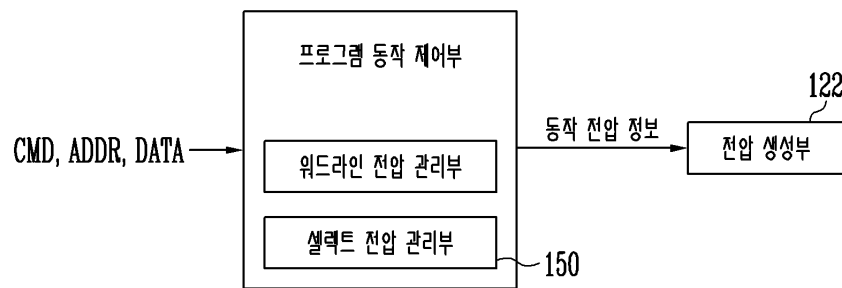
도면9



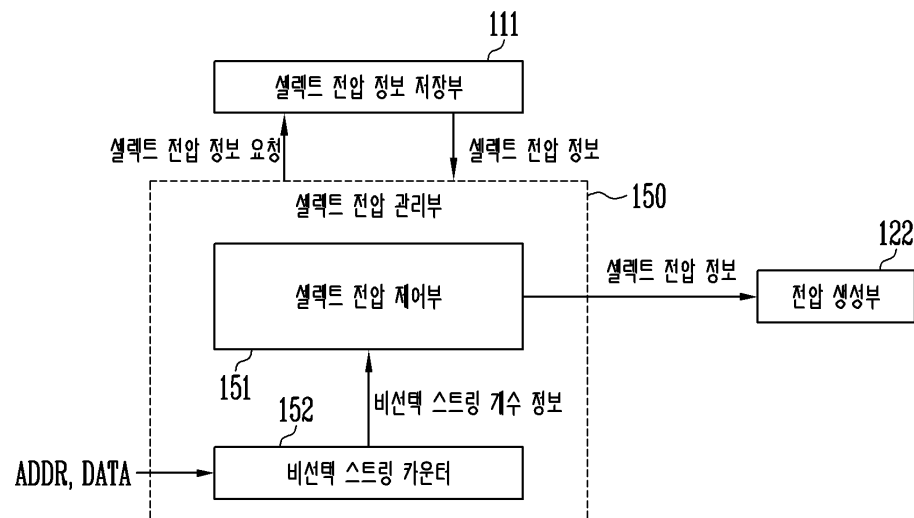
도면10



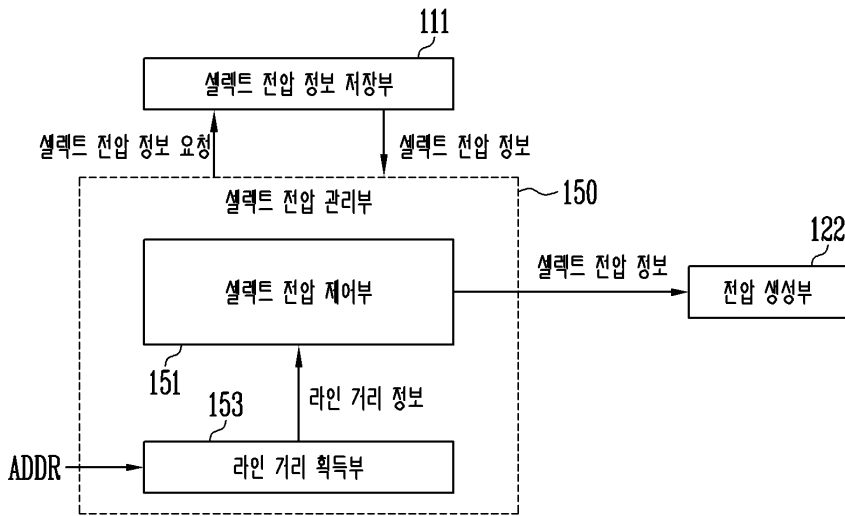
도면11



도면12



도면13



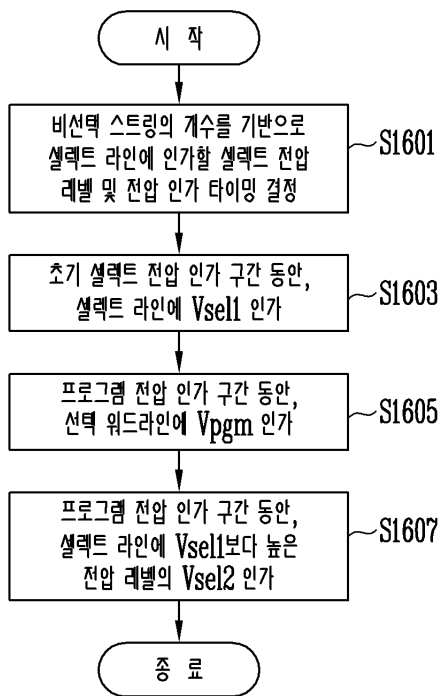
도면14

DATA	1의 개수	기준 개수와 비교	선택트 전압	
			초기 선택트 전압 인가 구간	프로그램 전압 인가 구간
D1	X1	$X1 < Xref$	Vsel2	
D2	X2	$X2 > Xref$	Vsel1	Vsel2
⋮	⋮	⋮	⋮	
Dk	Xk	$Xk < Xref$	Vsel2	
⋮	⋮	⋮	⋮	
Dm-1	Xm-1	$Xm-1 > Xref$	Vsel1	Vsel2
Dm	Xm	$Xm < Xref$	Vsel2	

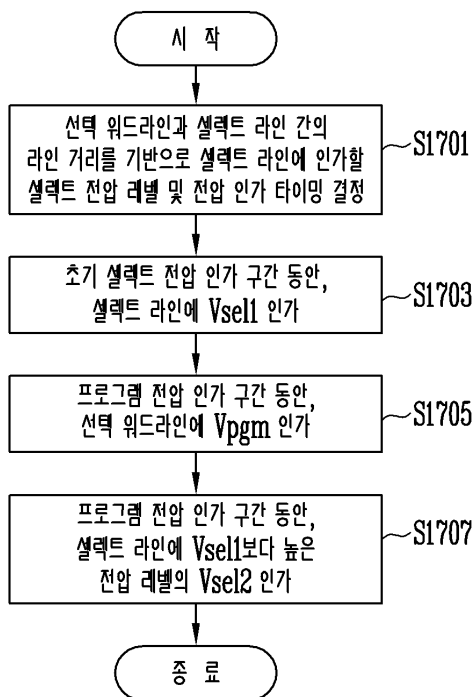
도면15

ADDR	라인 거리	기준 거리와 비교	선택트 전압	
			초기 선택트 전압 인가 구간	프로그램 전압 인가 구간
A1	DSTC1	$DSTC1 < DSTCref$	Vsel1	Vsel2
A2	DSTC2	$DSTC2 > DSTCref$	Vsel2	
⋮	⋮	⋮	⋮	
Ak	DSTCk	$DSTCk < DSTCref$	Vsel1	Vsel2
⋮	⋮	⋮	⋮	
Am-1	DSTCm-1	$DSTCm-1 > DSTCref$	Vsel2	
Am	DSTCm	$DSTCm < DSTCref$	Vsel1	Vsel2

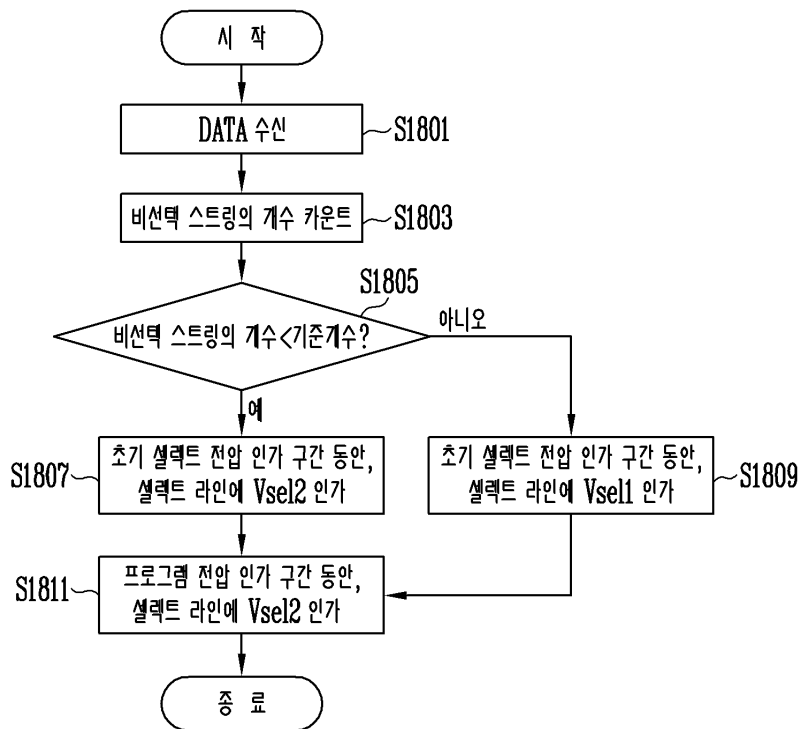
도면16



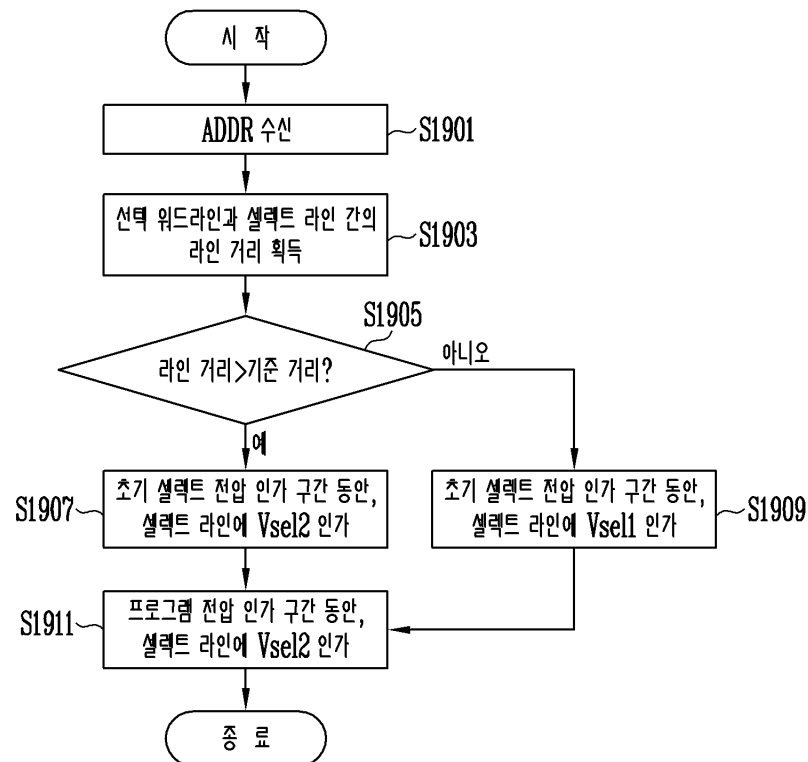
도면17



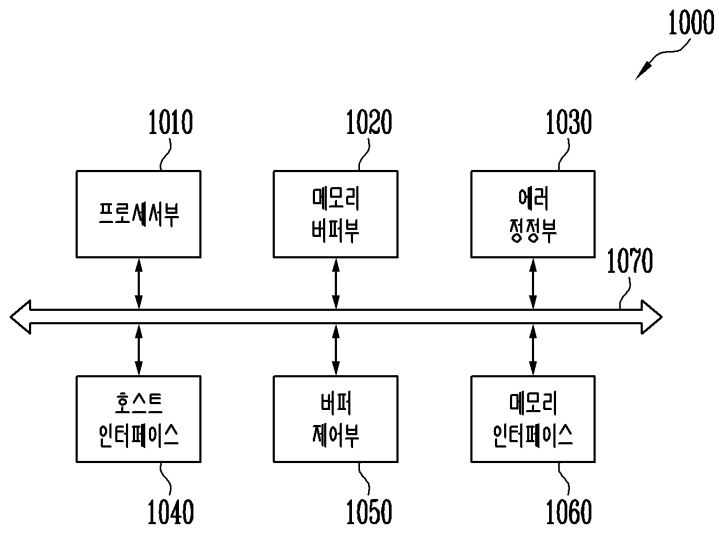
도면18



도면19

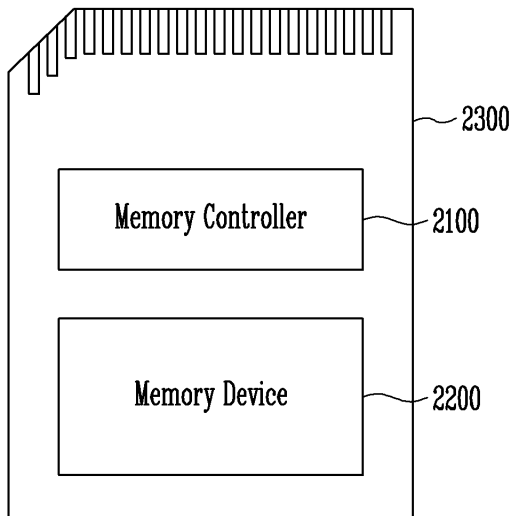


도면20

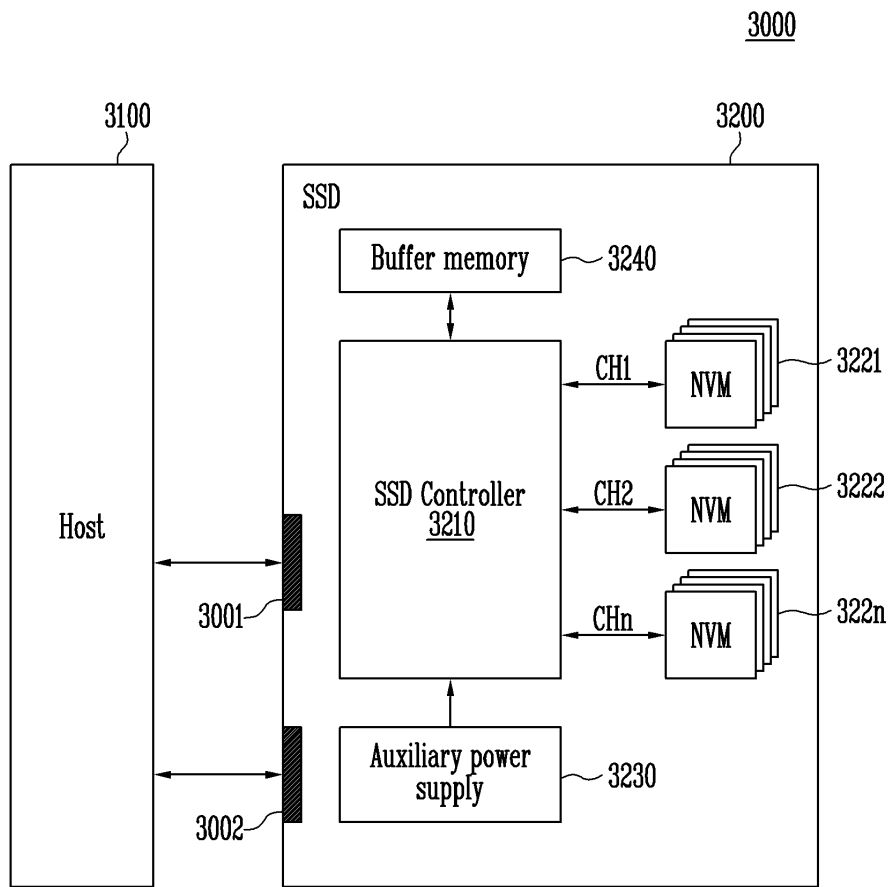


도면21

2000



도면22



도면23

