



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년08월08일  
 (11) 등록번호 10-1766585  
 (24) 등록일자 2017년08월02일

(51) 국제특허분류(Int. Cl.)  
 H01L 31/0687 (2012.01) H01L 31/0725 (2012.01)  
 H01L 31/078 (2006.01) H01L 31/109 (2006.01)  
 (52) CPC특허분류  
 H01L 31/0687 (2013.01)  
 H01L 31/0725 (2013.01)  
 (21) 출원번호 10-2016-0071801  
 (22) 출원일자 2016년06월09일  
 심사청구일자 2016년06월09일  
 (65) 공개번호 10-2016-0146556  
 (43) 공개일자 2016년12월21일  
 (30) 우선권주장  
 10 2015 007 326.5 2015년06월12일 독일(DE)  
 (56) 선행기술조사문헌  
 US20150162478 A1\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 아주르 스페이스 솔라 파워 게엠베하  
 독일 헤일브론 74072 테레시엔스트라세 2  
 (72) 발명자  
 구터, 볼프강  
 독일 70190 스투트가르트 란드하우스스트라세 56  
 푸어만, 다니엘  
 독일 74081 헤일브론 베이 템 슈로스 16  
 코렌코, 빅토르  
 독일 74196 노이엔스타트 에이. 케이. 본-티어바  
 츠스트라세 19  
 (74) 대리인  
 양영준, 백만기, 정은진

전체 청구항 수 : 총 29 항

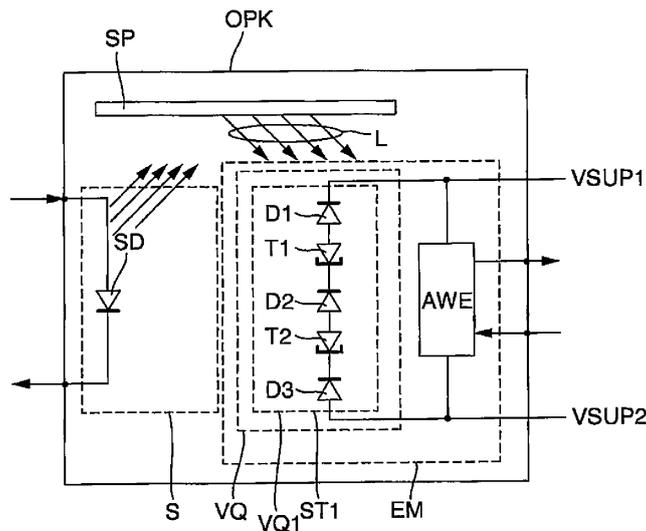
심사관 : 안지현

(54) 발명의 명칭 **옴토 커플러**

(57) 요약

본 발명은, 하나의 송신기 모듈 및 하나의 수신기 모듈을 구비한 옴토 커플러에 관한 것으로, 상기 송신기 모듈과 수신기 모듈은 전기적으로는 상호 절연되어 있고 광학적으로는 상호 결합되어 있고, 상기 두 모듈은 하나의 공통 하우징 내부에 집적되며, 상기 수신기 모듈은 하나의 전압원을 포함하고, 이 전압원은 반도체 다이오드로서 (뒷면에 계속)

대표도 - 도1



형성되어 서로 직렬로 접속된 N개의 부분 전압원을 포함하며, 상기 각각의 부분 전압원은 p-n 접합을 갖는 반도체 다이오드를 구비하고, 개별 부분 전압원의 부분 소스 전압들은 서로에 대해 20% 미만의 편차를 가지며, 각각 2개의 연속하는 부분 전압원 사이에는 하나의 터널 다이오드가 형성되고, 부분 전압원들과 터널 다이오드는 함께 모놀리식 방식으로 집적되어 상부측 및 하부측을 갖는 하나의 제1 스택을 형성하며, 부분 전압원의 개수(N)는 3보다 크거나 같고, 상부측에서 제1 스택 상에 광이 투사되고, 스택 상부측에서의 조명 면적의 크기는 상부측에서의 제1 스택의 면의 크기에 실질적으로 상응하며, 제1 스택의 총 두께는 12 $\mu$ m 미만이고, 제1 스택이 특정 파장을 갖는 광자선속으로 조사되는 한, 300K에서 제1 스택은 3볼트보다 큰 소스 전압을 가지며, 이 경우 스택의 상부측으로부터 스택의 하부측으로의 광 입사 방향으로 볼 때, 하나의 반도체 다이오드의 p-흡수층 및 n-흡수층의 총 두께는 최상부 다이오드로부터 최하부 다이오드로 가면서 점차 증가한다.

(52) CPC특허분류

*H01L 31/078* (2013.01)

*H01L 31/109* (2013.01)

*Y02E 10/544* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

하나의 송신기 모듈(S) 및 하나의 수신기 모듈(EM)을 구비한 옵토 커플러(OPK)로서, 상기 송신기 모듈(S)과 수신기 모듈(EM)은 전기적으로는 상호 절연되어 있고 광학적으로는 상호 결합되어 있으며, 상기 두 모듈(S, EM)이 하나의 공통 하우징 내부에 집적되며,

상기 수신기 모듈(EM)은, 반도체 다이오드로서 형성되어 서로 직렬로 접속된 N개의 부분 전압원을 가지고, 상기 각각의 부분 전압원은 p-n 접합을 갖는 반도체 다이오드(D1, D2, D3, D4, D5)를 구비하며,

상기 반도체 다이오드(D1, D2, D3, D4, D5)는 p-도핑된 흡수층을 가지며,

상기 반도체 다이오드(D1, D2, D3, D4, D5)는 n-흡수층을 구비하며, n-흡수층은 상기 n-흡수층의 밴드 갭보다 큰 밴드 갭을 갖는 n-도핑된 패시베이션 층에 의해서 패시베이션 처리되고, 개별 부분 전압원의 부분 소스 전압들은 서로에 대해 20% 미만의 편차를 가지며, 각각 2개의 연속하는 부분 전압원 사이에는 하나의 터널 다이오드(T1, T2; T3, T4)가 형성되며, 상기 터널 다이오드(T1, T2, T3, T4)는 p/n 흡수층들의 밴드 갭보다 큰 밴드 갭을 갖는 복수의 반도체 층을 가지며, 더 큰 밴드 갭을 갖는 상기 반도체 층들은 각각 반도체 다이오드(D1, D2, D3, D4, D5)의 p/n 흡수층들과 다른 원소 조성 및/또는 변경된 화학량을 갖는 재료로 형성되며,

상기 부분 전압원들과 상기 터널 다이오드들(T1, T2, T3, T4)은 함께 모놀리식 방식으로 집적되고, 함께 상부측 및 하부측을 갖는 하나의 제1 스택(ST1)을 형성하며, 상기 부분 전압원의 개수(N)는 3보다 크거나 같으며,

- 상기 제1 스택(ST1) 상에 광(L)이 상부측에서 제1 스택(ST1)의 표면(OB)에 투사되고, 스택 상부측에서 조명된 표면(OB)의 크기는 실질적으로 또는 적어도, 상부측에서의 제1 스택(ST1)의 면의 크기에 상응하며, 상기 제1 스택(ST1)의 총 두께는 12 $\mu$ m 미만이며,

- 제1 스택(ST1)에 광(L)이 조사되는 한, 300 K에서 상기 제1 스택(ST1)은 3볼트보다 큰 소스 전압(VQ1)을 가지며, 제1 스택(ST1)의 상부측으로부터 스택의 하부측으로의 광 입사 방향으로 볼 때, 하나의 반도체 다이오드의 p-흡수층 및 n-흡수층의 총 두께는 최상부 다이오드(D1)로부터 최하부 다이오드(D3 내지 D5)로 가면서 점차 증가하며, 상기 반도체 다이오드(D1, D2, D3, D4)의 각각의 p-흡수층은 상기 p-흡수층의 밴드 갭보다 큰 밴드 갭을 갖는 p-도핑된 패시베이션 층에 의해 패시베이션 처리되고, 전압원은 상기 스택의 상부측 보다 상기 스택의 하부측에 더 가까운 둘레를 둘러싸는 건부 형태의 에지부를 갖는, 옵토 커플러(OPK).

#### 청구항 2

제1항에 있어서, 수신기 모듈(EM)의 부분 전압원들의 부분 소스 전압들이 서로에 대해 10% 미만의 편차를 갖는 것을 특징으로 하는, 옵토 커플러(OPK).

#### 청구항 3

제1항 또는 제2항에 있어서, 수신기 모듈(EM)의 반도체 다이오드(D1, D2, D3, D4, D5)가 각각 동일한 반도체 재료를 갖는 것을 특징으로 하는, 옵토 커플러(OPK).

#### 청구항 4

제1항 또는 제2항에 있어서, 제1 스택(ST1)이 기판(SUB) 상에 배치되고, 상기 기판(SUB)은 반도체 재료를 포함하는 것을 특징으로 하는, 옵토 커플러(OPK).

#### 청구항 5

제1항 또는 제2항에 있어서, 제1 스택(ST1)이 2mm<sup>2</sup> 미만의 또는 1mm<sup>2</sup> 미만의 바닥면을 갖는 것을 특징으로 하는, 옵토 커플러(OPK).

#### 청구항 6

제1항 또는 제2항에 있어서, 수신기 모듈(EM)의 제1 스택(ST1)의 상부측에서 제1 전압 단자(VSUP1)가 상기 에지부 둘레를 둘러싸는 금속성 콘택으로서 형성되거나, 상기 에지부(R)에 단일 콘택 면(K1)으로서 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 7**

제1항 또는 제2항에 있어서, 수신기 모듈(EM)의 제1 스택(ST1)의 하부측에 제2 전압 단자(VSUP2)가 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 8**

제7항에 있어서, 수신기 모듈(EM)의 제2 전압 단자(VSUP2)가 기판을 관통하여 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 9**

제1항 또는 제2항에 있어서, 수신기 모듈(EM) 내에 제1 스택(ST2)이 형성되고, 제1 스택(ST1)과 제2 스택(ST2)이 하나의 공통 캐리어 상에 서로 나란히 배치되며, 상기 두 스택(ST1, ST2)이 서로 직렬로 연결됨으로써 제1 스택(ST1)의 소스 전압(VQ1)과 제2 스택(ST2)의 소스 전압(VQ2)이 가산되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 10**

제1항 또는 제2항에 있어서, 수신기 모듈(EM)의 개별 다이오드의 p-흡수층과 n-흡수층 사이에 진성층(intrinsic layer)이 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 11**

제1항 또는 제2항에 있어서, 반도체 재료 및/또는 수신기 모듈(EM)의 기판이 III-V족 재료로 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 12**

제1항 또는 제2항에 있어서, 수신기 모듈(EM)의 기판이 게르마늄 또는 갈륨비소를 포함하는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 13**

제1항 또는 제2항에 있어서, 하우징 내부에 평가 회로(AWE)가 집적되고, 전압원이 상기 평가 회로(AWE)와 전기적으로 작용 연결되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 14**

제1항 또는 제2항에 있어서, 수신기 모듈(EM)의 스택(ST1)의 최하부 반도체 다이오드 아래에 반도체 미리가 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 15**

제1항 또는 제2항에 있어서, 수신기 모듈(EM)의 스택(ST1)의 반도체 층들이 비소 함유 층들과 인 함유 층들을 동시에 포함하는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 16**

제1항 또는 제2항에 있어서, 상기 에지부의 모서리가 바로 인접하는 스택 측면으로부터 최소 5 $\mu$ m 및 최대 500 $\mu$ m 만큼 떨어져 있는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 17**

제3항에 있어서, 제1 스택(ST1)이 기판(SUB) 상에 배치되고, 상기 기판(SUB)은 반도체 재료를 포함하는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 18**

제3항에 있어서, 제1 스택(ST1)이 2mm<sup>2</sup> 미만의 또는 1mm<sup>2</sup> 미만의 바닥면을 갖는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 19**

제3항에 있어서, 수신기 모듈(EM)의 제1 스택(ST1)의 상부측에서 제1 전압 단자(VSUP1)가 상기 에지부 둘레를 둘러싸는 금속성 콘택으로서 형성되거나, 상기 에지부(R)에 단일 콘택 면(K1)으로서 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 20**

제3항에 있어서, 수신기 모듈(EM)의 제1 스택(ST1)의 하부측에 제2 전압 단자(VSUP2)가 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 21**

제20항에 있어서, 수신기 모듈(EM)의 제2 전압 단자(VSUP2)가 기판을 관통하여 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 22**

제3항에 있어서, 수신기 모듈(EM) 내에 제1 스택(ST2)이 형성되고, 제1 스택(ST1)과 제2 스택(ST2)이 하나의 공통 캐리어 상에 서로 나란히 배치되며, 상기 두 스택(ST1, ST2)이 서로 직렬로 연결됨으로써 제1 스택(ST1)의 소스 전압(VQ1)과 제2 스택(ST2)의 소스 전압(VQ2)이 가산되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 23**

제3항에 있어서, 수신기 모듈(EM)의 개별 다이오드의 p-흡수층과 n-흡수층 사이에 진성층(intrinsic layer)이 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 24**

제3항에 있어서, 반도체 재료 및/또는 수신기 모듈(EM)의 기판이 III-V족 재료로 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 25**

제3항에 있어서, 수신기 모듈(EM)의 기판이 게르마늄 또는 갈륨비소를 포함하는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 26**

제3항에 있어서, 하우징 내부에 평가 회로(AWE)가 집적되고, 전압원이 상기 평가 회로(AWE)와 전기적으로 작용 연결되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 27**

제3항에 있어서, 수신기 모듈(EM)의 스택(ST1)의 최하부 반도체 다이오드 아래에 반도체 미러가 형성되는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 28**

제3항에 있어서, 수신기 모듈(EM)의 스택(ST1)의 반도체 층들이 비소 함유 층들과 인 함유 층들을 동시에 포함하는 것을 특징으로 하는, 오픈 커플러(OPK).

**청구항 29**

제3항에 있어서, 상기 에지부의 모서리가 바로 인접하는 스택 측면으로부터 최소 5μm 및 최대 500μm만큼 떨어져

있는 것을 특징으로 하는, 옴토 커플러(OPK).

**발명의 설명**

**기술 분야**

[0001] 본 발명은 옴토 커플러에 관한 것이다.

**배경 기술**

[0002] 옴토 커플러는 충분히 공지되어 있다. 간단한 옴토 커플러는 하나의 송신기 모듈 및 하나의 수신기 모듈을 구비하며, 상기 두 모듈은 전기적으로는 절연되어 있지만, 광학적으로는 결합되어 있다. 이와 같은 부품들은 US 4 996 577호에 공지되어 있다. US 2006/0048811 A1호, US 8 350 208 B1호 및 WO 2013/067969 A1호에도 광학 부품들이 공지되어 있다.

[0003] 또한, US 4 127 862호, US 6 239 354 B1호, DE 10 2010 001 420 A1호에는, Nader M. Kalkhoran 외 공저, "Cobalt disilicide intercell ohmic contacts for multijunction photovoltaic energy converters", Appl. Phys. Lett. 64, 1980 (1994) 및 A. Bett 외 공저, "III-V Solar cells under monochromatic illumination", Photovoltaic Specialists Conference, 2008, PVSC '08. 33rd IEEE, 1-5 페이지, ISBN:978-1-4244-1640-0로부터, 확장성(scalable) 전압원 또는 III-V족 재료로 이루어진 태양 전지도 공지되어 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 이에 근거하여 본 발명의 과제는 선행 기술을 개선하는 장치를 제공하는 것이다.

**과제의 해결 수단**

[0005] 상기 과제는, 특히 청구항 1의 특징들을 갖는 옴토 커플러에 의해 해결된다. 본 발명의 바람직한 실시예들은 종속 청구항들의 대상이다.

[0006] 본 발명의 대상에 따라, 하나의 송신기 모듈 및 하나의 수신기 모듈을 구비한 옴토 커플러가 제공되며, 상기 송신기 모듈과 수신기 모듈은 전기적으로는 상호 절연되어 있고 광학적으로는 상호 결합되어 있으며, 상기 두 모듈은 하나의 공통 하우징 내부에 집적되고, 상기 수신기 모듈은 하나의 전압원을 포함하며, 이 전압원은 반도체 다이오드로서 형성되어 서로 직렬로 접속된 N개의 부분 전압원을 포함하며, 상기 각각의 부분 전압원은 p-n 접합을 갖는 반도체 다이오드를 구비하고, 각각의 반도체 다이오드는 p-도핑된 흡수층을 가지며, 이 경우 p-흡수층은 상기 p-흡수층의 밴드 갭보다 큰 밴드 갭을 갖는 p-도핑된 패시베이션 층에 의해서 패시베이션 처리되고, 상기 반도체 다이오드는 n-흡수층을 가지며, 이 경우 n-흡수층은 상기 n-흡수층의 밴드 갭보다 큰 밴드 갭을 갖는 n-도핑된 패시베이션 층에 의해서 패시베이션 처리되며, 개별 부분 전압원의 부분 소스 전압들은 서로에 대해 20% 미만의 편차를 가지며, 각각 2개의 연속하는 부분 전압원 사이에는 하나의 터널 다이오드가 형성되며, 상기 터널 다이오드는 p/n 흡수층들의 밴드 갭보다 큰 밴드 갭을 갖는 복수의 반도체 층을 가지며, 더 큰 밴드 갭을 갖는 이들 반도체 층은 각각 반도체 다이오드의 p/n 흡수층들과 다른 원소 조성 및/또는 변경된 화학량을 갖는 재료로 형성되며, 부분 전압원들과 터널 다이오드들은 함께 모놀리식 방식으로(monolithically) 집적되고, 함께 상부측 및 하부측을 갖는 하나의 제1 스택을 형성하며, 부분 전압원의 개수(N)는 3보다 크거나 같고, 상부측에서 제1 스택 상에 광이 투사되고, 스택 상부측에서의 조명면의 크기는 실질적으로, 상부측에서의 제1 스택의 면의 크기에 상응하며, 제1 스택의 총 두께는 12 $\mu$ m 미만이며, 제1 스택에 광자선속(photon flux)이 조사되는 한, 300K에서 제1 스택은 3볼트보다 큰 소스 전압을 가지며, 이 경우 스택 상부측으로부터 제1 스택의 하부측으로의 광 입사 방향으로 볼 때, 하나의 반도체 다이오드의 p-흡수층 및 n-흡수층의 총 두께는 최상부 다이오드로부터 최하부 다이오드로 가면서 점차 증가하고, 이 스택의 하부측 근처에 있는 전압원은 둘레를 둘러싸는 견부 형태의 에지부를 갖는다.

[0007] 주목할 점은, 상부측에서의 제1 스택의 면의 크기와 스택 상부측에서의 조명 면적의 비교와 관련하여 "실질적으로"이라는 표현은, 면적 차가 특히 20% 미만 또는 바람직하게 10% 미만 또는 바람직하게 5% 미만이거나, 최고로 바람직하게는 상기 두 면적이 같음을 의미한다는 것이다.

[0008] 또한, 스택 상부측에 조사하기 위한 "광"이라는 표현은, 흡수층의 흡수 범위 내 파장들에서 스펙트럼을 갖는

광을 의미한다. 특정 파장, 다시 말해 흡수하는 파장, 즉 흡수층의 흡수 범위 내 파장을 갖는 단색 광도 적합하다.

- [0009] 송신기 모듈 내에서의 광자 방출이 변조되는 한, 이 변조가 교류 전압을 야기한다는 것, 달리 표현해서 소스 전압의 레벨이 시간에 따라 변동한다는 것은 자명하다. 또한, 바람직하게 제1 스택의 전체 상부층, 다시 말해 전체 상부면 또는 거의 전체의 상부면이 특정 파장의 광으로 조사된다는 것이다.
- [0010] 더 나아가, 특정 파장을 갖는 광이라는 지칭은 특히 LED 광을 의미하며, 이 경우 방출 스펙트럼은 일반적으로 가우스 형태라는 것 그리고 예를 들어 통상의 850nm LED에서는 20 내지 30nm의 반치폭(halfwidth)을 갖는다는 사실도 자명하다. 또한, 광의 파장이 적어도 반도체 다이오드의 흡수층의 밴드 갭 에너지보다 크거나 같다는 사실도 자명하다.
- [0011] 주목할 점은, 정밀 검사에서 놀랍게도, 선행 기술과 달리 바람직하게 본 발명에 따른 모놀리식 방식의 스택 건부에 의해 3V를 초과하는 소스 전압이 도출되었다는 점이다.
- [0012] 부분 전압원의 개수(N)는 바람직하게 10개 미만이고, 제1 스택의 소스 전압의 레벨은 주로 부분 소스 전압들의 가산을 통해 산출된다.
- [0013] 본 발명에 따른 장치의 한 가지 장점은, 복수의 부분 전압원의 직렬 연결에 의해 4볼트 이상의 전압값을 갖는 전압원도 실현될 수 있고, 모놀리식 방식으로 집적된 구조에 의해 간단하고도 비용 효율적이며 신뢰성 있는 전압원이 제조될 수 있다는 점이다. 또 다른 장점은, 스택 형태의 배열에 의해 기존의 실리콘 다이오드들의 횡방향 배열에 비해 큰 면적 절약이 달성된다는 것이다. 특히, 송신 다이오드 또는 광원에 의해 수신기 모듈의 제1 스택의 훨씬 더 작은 수신 면적만 조명되면 된다.
- [0014] 제1 스택이 특정 파장을 갖는 광자선속으로 조사되는 한, 부분 전압원의 개수(N)는 3보다 크거나 같고, 제1 스택은 300K에서 3볼트보다 큰 소스 전압을 갖는 것이 바람직하다.
- [0015] 한 개선예에서는, 상하로 적층된 개별 부분 전압원의 소스 전압들이 서로 10% 미만만큼 차이가 난다. 그럼으로써, 확장성 전압원로서의 사용 가능성, 특히 기준 전압원으로서의 사용 가능성이 훨씬 개선된다. "확장성"이라는 용어가 전체 스택의 소스 전압의 레벨과 관련이 있음은 자명하다.
- [0016] 또 다른 한 개선예에서, 반도체 다이오드들은 각각 동일한 반도체 재료를 가지며, 이 경우 다이오드의 반도체 재료는 동일한 결정질 조성을 갖고, 바람직하게는 화학량이 거의 동일하거나, 바람직하게는 정확히 동일하다. 또한, 제1 스택을 기판상에 배치하는 것도 바람직하다. 한 실시예에서는, 반도체 재료 및/또는 기판이 III-V족 재료로 형성된다. 특히, 기판은 게르마늄 또는 갈륨 비소를 포함하고, 그리고/또는 기판상에 있는 반도체 층들은 비소 및/또는 인을 포함하는 것이 바람직하다. 달리 표현하면, 반도체 층들은 As 함유 층 및 P 함유 층, 다시 말해 비소화물 층에 대한 예로서 GaAs 또는 AlGaAs 또는 InGaAs로 이루어진 층과, 인화물 층에 대한 예로서 InGaP로 이루어진 층을 포함한다.
- [0017] 제1 스택의 하부층에 제2 전압 단자를 형성하고 특히, 제2 전압 단자는 기판을 관통하여 형성되는 것이 바람직하다.
- [0018] 다른 한 실시예에서, 반도체 다이오드는 기판과 동일한 재료로 형성된다. 한 가지 장점은, 특히 상기 두 부재의 팽창 계수가 동일하다는 것이다. 반도체 다이오드들은 원칙적으로 III-V족 재료로 형성되는 것이 바람직하다. 특히, 반도체 다이오드들은 각각 동일한 반도체 재료를 갖는 것이 바람직하다. 특히, GaAs를 사용하는 것이 바람직하다.
- [0019] 한 바람직한 실시예에서, 제1 스택의 상부층에는 제1 전압 단자가 에지부 근처에 둘레를 둘러싸는 금속 콘택으로서 또는 에지부에 있는 개별 콘택 면으로서 형성된다.
- [0020] 또한, 제1 스택은 2mm 미만의 또는 1mm 미만의 바닥면을 갖는 것이 바람직하다. 실험을 통해 바닥면을 4각형으로 형성하는 것이 바람직한 것으로 밝혀졌다. 바람직하게는 스택의 바닥면이 정방형으로 형성된다.
- [0021] 또 다른 실험에서는, 훨씬 더 높은 전압에 도달하기 위해, 제2 스택을 형성하고, 이들 두 스택을 서로 직렬 접속함으로써 제1 스택의 소스 전압과 제2 스택의 소스 전압이 가산되는 것이 바람직한 것으로 밝혀졌다. 바람직하게는 제1 스택과 제2 스택이 하나의 공통 캐리어 상에 서로 나란히 배열된다.
- [0022] 한 개선예에서, 제1 스택의 소스 전압은 제2 스택의 소스 전압으로부터 15% 미만만큼 차이가 난다.

- [0023] 실험들을 통해, 하우스징 내에 평가 회로를 집적하고, 전압원이 평가 회로와 전기적으로 작용 연결되는 것이 바람직한 것으로 밝혀졌다. 한 바람직한 실시예에서, 수신기 모듈은 집적 반도체 미러를 포함하며, 이 경우 반도체 미러는 바람직하게 모놀리식 방식으로 그리고 최고로 바람직하게는 각각의 스택 내부에 집적된다.
- [0024] 또한, 스택의 최하부 반도체 다이오드 아래에 반도체 미러가 형성되는 것이 바람직하다. 실험을 통해, 표면 전체적으로, 바람직하게는 에피택셜 방식으로 층을 제조한 후 소위 메사 에칭(mesa etching)을 수행함으로써, 반도체 웨이퍼 또는 반도체 기판 상에 복수의 스택이 서로 나란히 형성될 수 있는 점이 확인되었다. 이를 위해, 마스크 공정을 이용해서 래커 마스크가 생성되고, 이어서 바람직하게 메사 트렌치를 형성하기 위한 습식 화학 에칭이 실시된다. 메사 에칭은 바람직하게 기판 내에서 또는 기판상에서 멈춘다.
- [0025] 한 실시예에서, 개별 다이오드의 p-흡수층과 n-흡수층 사이에 진성층(intrinsic layer)이 형성된다. 여기서 진성층이란,  $1E16 \text{ 1/cm}^3$  미만으로, 바람직하게는  $5E15 \text{ 1/cm}^3$  미만으로, 최고로 바람직하게는  $1.5E15 \text{ 1/cm}^3$  미만으로 도핑된 반도체 층을 의미한다.
- [0026] 한 개선예에서는, 각각의 스택이 하부측 근처에서 둘레를 둘러싸는 건부 형태의 에지부를 갖는 것이 바람직하며, 이때 2개의 스택이 스택 형성체의 외부측에 바로 인접하는 경우에는, 둘레를 둘러싸는 상기 에지부가 둘레를 둘러싸는 하나의 공통 에지부로서 형성되고, 그 결과 전압원이 둘레를 둘러싸는 에지부를 구비하게 된다.
- [0027] 바람직하게, 에지부는 단차부 형태로 또는 단차부로서 형성된다. 이 경우, 에지부 또는 단차부의 표면은 바람직하게 대부분 평탄한 면을 가지며, 이 경우 에지부 또는 단차부의 표면의 법선은 제1 스택의 표면의 법선에 대해 또는 개별 스택의 표면의 법선에 대해 평행하게, 혹은 거의 평행하게 형성된다. 주목할 점은, 에지부 또는 단차부의 측면들이 에지부 또는 단차부의 표면들에 대해 현저히 또는 정확히 수직으로 형성된다는 것이다.
- [0028] 에지부 또는 단차부의 모서리는 제1 스택의 4개 측면 각각으로부터 또는 복수의 스택의 측면들로부터 각각 최소  $5\mu\text{m}$  및 최대  $500\mu\text{m}$ 만큼 떨어져 있다. 바람직하게는 바로 인접하는 측면들로부터 각각의 모서리까지의 이격 범위는  $10\mu\text{m}$  내지  $300\mu\text{m}$ 이다. 특히 상기 이격 범위는  $50\mu\text{m}$  내지  $250\mu\text{m}$ 이다.
- [0029] 바람직하게는, 제1 스택의 측면들 및 특히 상기 스택의 모든 측면은 평탄하며, 특히 수직으로 또는 거의 수직으로 형성된다. 특히, 측면 상에서의 법선은 인접하는 에지 면의 법선 또는 스택 표면의 법선에 비해  $80^\circ$  내지  $110^\circ$  의 각도 범위 내에 놓이며, 다시 말해 하나의 측면과 바로 인접하는 에지 면들의 법선들은 서로에 대해 실질적으로 직교한다. 바람직하게 상기 각도 범위는  $85^\circ$  내지  $105^\circ$  이다.

**도면의 간단한 설명**

- [0030] 본 발명은 이하에서 도면을 참조하여 상세하게 설명될 것이다. 이때, 동종의 부재들은 동일한 명칭으로 기재되어 있다. 도면에 도시된 실시예들은 매우 개략적이며, 다시 말해 간격 및 횡방향 길이 및 종방향 길이가 척도에 맞지 않으며, 달리 언급되지 않는 한, 서로에 대해 추론 가능한 기하학적 관계도 갖지 않는다.
- 도 1은 하나의 스택을 갖는 확장성 전압원을 구비한 오피도 커플러의 본 발명에 따른 제1 실시예를 도시하며,
- 도 2는 복수의 스택을 갖는 확장성 전압원을 구비한 오피도 커플러의 제2 실시예를 도시하고,
- 도 3은 흡수 영역의 두께가 상이한 총 5개의 다이오드를 포함하는 실시예를 도시하며,
- 도 4는 둘레를 둘러싸는 건부 형태의 단차부를 갖는 스택을 도시하고,
- 도 5a는 송신기 모듈 및 수신기 모듈의 수직 배열에 대한 단면도를 도시하며,
- 도 5b는 송신기 모듈 및 수신기 모듈의 횡방향 배열에 대한 단면도를 도시한다.

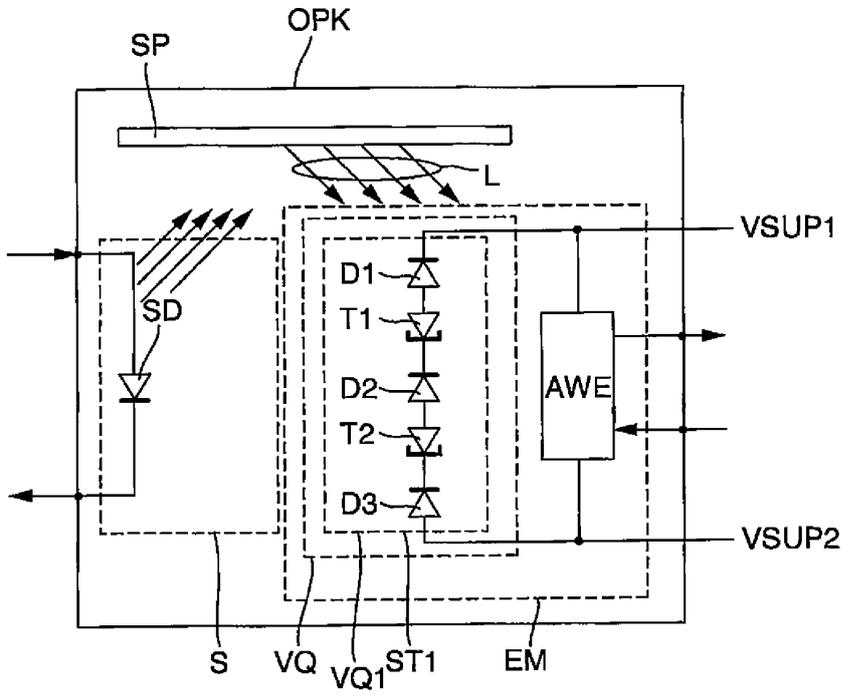
**발명을 실시하기 위한 구체적인 내용**

- [0031] 도 1의 도해는, 송신 다이오드(SD)를 갖춘 하나의 송신기 모듈(S) 및 하나의 수신기 모듈(EM)을 구비한 오피도 커플러(OPK)를 가진 제1 실시예의 개략도를 보여준다. 수신기 모듈(EM)은 확장성 전압원(VQ) 및 평가 유닛(AWE)을 구비한다. "확장성(scalability)"이라는 용어가 전체 스택의 소스 전압의 레벨과 관련이 있다는 것은 자명하다. 미러(SP)를 이용해서, 송신 다이오드(SD)의 광(L)이 확장성 전압원(VQ)의 표면으로 안내된다. 여기서 오피도 커플러(OPK)가 패키징되어 있는 점, 다시 말해 전술한 부품들이 공통의 하우스징 내에 집적되어 있음을 알 수 있다.

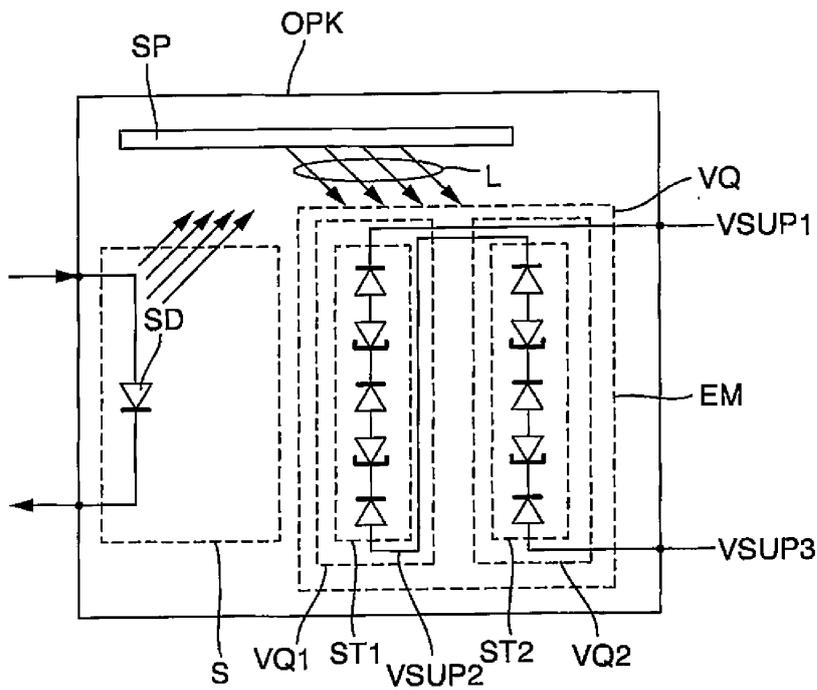
- [0032] 전압원(VQ)은, N=3개의 다이오드를 구비하며 상부측 및 하부측을 갖는 제1 스택(ST1)을 포함한다. 제1 스택(ST1)은, 제1 다이오드(D1), 제1 터널 다이오드(T1), 제2 다이오드(D2), 제2 터널 다이오드(T2) 및 제3 다이오드(D3)로 구성된 직렬 회로를 갖는다. 제1 스택(ST1)의 상부측에는 제1 전압 단자(VSUP1)가 형성되어 있고, 제1 스택(ST1)의 하부측에는 제2 전압 단자(VSUP2)가 형성되어 있다. 본 실시예에서, 소스 전압은 개별 다이오드(D1 내지 D3)의 부분 전압들로 구성된다. 이를 위해, 제1 스택(ST1)이 송신 다이오드(SD)의 광자전속(L)에 노출된다. 송신 다이오드(SD)가 변조된 광자전속을 송출하는 한, 제1 스택(ST1) 내에서는 제1 스택(ST1)의 소스 전압(VQ1)도 마찬가지로 변조된다.
- [0033] 다이오드(D1 내지 D3) 및 터널 다이오드(T1 및 T2)를 포함하는 제1 스택(ST1)은 모놀리식 방식으로 형성된 블록으로서 구현되어 있다. 평가 유닛(AWE)은 하나의 집적 회로(도시되지 않음)를 포함한다. 송신기 모듈(S) 및 수신기 모듈(EM)은 각각 서로 전기적으로 절연된 2개의 단자를 갖는다.
- [0034] 도 2의 도면에서는, 제1 스택(ST1)과 제2 스택(ST2)이 바람직하게 나란히 연결되어 있는, 도 1에 따른 오프 커플러의 또 다른 한 실시예가 형성되어 있다. 하기에서는 도 1의 도해와의 차이점들만 설명한다. 제2 스택(ST2)은 제1 스택(ST1)과 마찬가지로 3개의 다이오드로 이루어진 직렬 회로를 구비하며, 이때 3개의 다이오드들 사이에는 터널 다이오드들이 형성되어 있다. 양측 스택(ST1 및 ST2)이 서로 직렬로 접속됨으로써, 상기 두 스택(ST1 및 ST2)이 송신 다이오드(SD)의 광자전속(L)에 노출되어 있는 한, 제1 스택(ST1)의 소스 전압(VQ1)과 제2 스택(ST2)의 소스 전압(VQ2)이 합산된다. 본 경우에는, 수신기 모듈(EM)이 평가 회로를 구비하지 않으므로, 제1 전압 단자(VSUP1) 및 제2 전압 단자(VSUP2)가 직접 외부로 리드된다.
- [0035] 도면에 도시되지 않은 한 실시예에서는, 2개의 스택(ST1 및 ST2)이 서로에 대해, 각각 하나의 직렬 회로 내에서 연결된 상이한 개수의 다이오드를 갖는다. 도면에 도시되지 않은 또 다른 한 실시예에서는, 적어도 제1 스택(ST1) 및/또는 제2 스택(ST2)이 하나의 직렬 회로 내에서 연결된 3개 이상의 다이오드를 갖는다. 그럼으로써, 전압원(VQ)의 전압 레벨이 조정(scaling)될 수 있다. 바람직하게, 상기 개수(N)는 4 내지 8의 범위 내에 놓인다.
- [0036] 도 3의 도면에는, 반도체 층들이 바람직하게 연달아 결합되어 제1 스택(ST1)을 형성하는 한 실시예가 도시되어 있다. 하기에서는 도 1의 도해와의 차이점들만 설명한다. 제1 스택(ST1)은, 다이오드(D1 내지 D5)로서 형성되고 직렬로 접속된 총 5개의 부분 전압원을 포함한다. 제1 다이오드(D1)의 표면(OB) 위로 광(L)이 투사된다. 표면(OB)은 거의 또는 전체가 조명된다. 연속하는 2개의 다이오드(D1 내지 D5) 사이에는 터널 다이오드(T1 내지 T4)가 각각 하나씩 형성되어 있다. 표면(OB)으로부터 개별 다이오드(D1 내지 D5)까지의 거리가 멀어짐에 따라 흡수 영역의 두께가 증가함으로써, 최하부 다이오드(D5)가 가장 두꺼운 흡수 영역을 갖게 된다. 전체적으로, 제1 스택(ST1)의 총 두께는 12 $\mu$ m 이하이다. 최하부 다이오드(D5) 아래에는 기판(SUB)이 형성되어 있다.
- [0037] 도 4의 도면에는, 반도체 층들이 바람직하게 연달아 결합되어, 건부 형태의 단차부가 둘레에 형성된 제1 스택(ST1)을 형성하는 한 실시예가 도시되어 있다. 하기에서는 도 3의 도해와의 차이점들만 설명한다. 제1 스택(ST1)의 표면(OB)상에서 에지부(R) 측에 제1 금속 접속 콘택(K1)이 형성되어 있다. 제1 금속 접속 콘택(K1)은 제1 전압 단자(VSUP1)(도시되지 않음)와 접속되어 있다. 기판(SUB)은 상부측(OS)을 가지며, 이때 기판(SUB)의 상부측(OS)은 최하부 다이오드, 즉 제5 다이오드(D5)와 재료 결합 방식으로 연결되어 있다. 이 경우, 기판상에 제5 다이오드가 배치되어 기판의 상부측(OS)과 재료 결합 방식으로 연결되기 전에, 기판상에 얇은 핵형성 층(nucleation layer) 및 버퍼 층(buffer layer)이 에피택셜 방식으로 생성된다. 기판(SUB)의 상부측(OS)은 제1 스택(ST1)의 하부측에 있는 면보다 더 큰 표면을 갖는다. 그럼으로써, 단차부(STU)가 둘레에 형성된다. 단차부(STU)의 에지부는 이 단차부에 직접 접해 있는 제1 스택(ST1)의 측면으로부터, 도면 부호 STU의 길이로서 도시된, 5 $\mu$ m 초과 500 $\mu$ m 미만만큼 떨어져 있다. 기판(SUB)의 하부측에는 표면 전체에 제2 금속 콘택(K2)이 형성되어 있다. 제2 금속 콘택(K2)은 제2 전압 단자(VSUP2)(도시되지 않음)와 접속되어 있다.
- [0038] 도 5a 및 도 5b의 도면에는, 송신기 모듈(S)과 수신기 모듈(EM)의 수직 배열에 대한 단면도 및 송신기 모듈(S)과 수신기 모듈(EM)의 횡방향 배열에 대한 단면도가 도시되어 있으며, 이 경우 각각 제1 스택(ST1)을 갖는 송신기 모듈(S)은 그 둘레에 형성된 건부 형태의 단차부를 포함한다. 하기에서는 이전 도면들에 도시된 실시예들과의 차이점들만 설명한다. 수직 배치에서는 미러(SP)가 불필요하다는 점이 드러난다. 도면에 도시된 바와 같은 광(L)의 평행 광선들으로써는 광(L)의 기본 파형만이 표시된다. 일반적으로 송신기 모듈의 광은 발산성 광다발을 갖는다.

도면

도면1

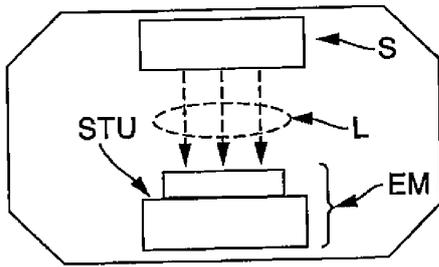


도면2





도면5a



도면5b

