



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년05월15일
 (11) 등록번호 10-0897825
 (24) 등록일자 2009년05월08일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2007-0088250
 (22) 출원일자 2007년08월31일
 심사청구일자 2007년08월31일
 (65) 공개번호 10-2009-0022688
 (43) 공개일자 2009년03월04일

(56) 선행기술조사문헌

KR1020000025576 A*

KR1020070041374 A

JP08017946 A

KR1020040107967 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

박찬혁

서울 강남구 개포동 우성아파트 3동 701호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 5 항

심사관 : 김기현

(54) 비휘발성 메모리 및 그 제조방법

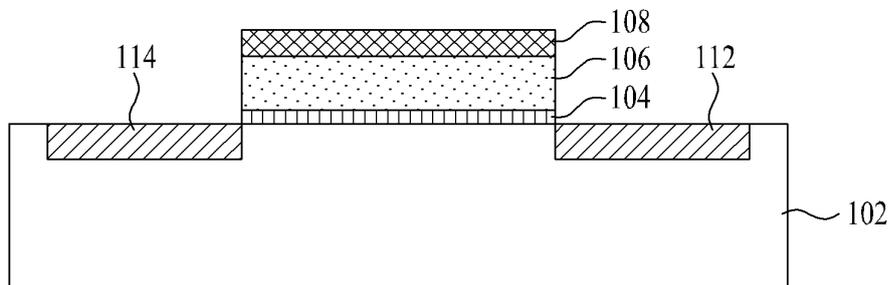
(57) 요약

본 발명은 구현이 쉽고, 제조 공정에 의한 오염을 방지 및 고집적화 시킬 수 있는 비휘발성 메모리 및 그 제조방법에 관한 것이다.

본 발명에 비휘발성 메모리는 기판과, 상기 기판의 활성화 영역에 형성된 쇼트키 베리어막, 질화막, 산화막, 및 게이트 전극이 순차적으로 적층된 게이트 패턴과, 상기 기판에 불순물 이온이 선택적으로 주입되어 형성된 소스 및 드레인 영역을 포함하며, 상기 쇼트키 베리어막은 일함수가 4.0eV 이상인 금속 물질로 형성되는 것을 특징으로 한다.

이러한 구성에 의하여 본 발명은 ONO 구조의 하부 베리어층을 일함수가 높은 백금 및 팔라듐으로 형성하여 금속과 반도체가 접합시 자연적으로 형성되는 쇼트키 터널 장벽(Schottky tunnel barrier)을 터널 장벽으로 이용함으로써, 재현성 및 균일성 구현이 쉬워 고집적화가 가능하다. 또한, 제조 공정 진행 중 하부 산화막에 이온들이 외부확산되어 발생하는 오염을 방지할 수 있다.

대표도 - 도2d



특허청구의 범위

청구항 1

기관과;

상기 기관의 활성화 영역에 형성된 쇼트키 베리어막, 질화막, 산화막, 및 게이트 전극이 순차적으로 적층된 게이트 패턴;

상기 기관에 불순물 이온이 선택적으로 주입되어 형성된 소스 영역 및 드레인 영역을 포함하며,

상기 쇼트키 베리어막은 상기 소스 및 드레인 영역 사이의 반도체 기관 상에 형성되고, 일함수가 4.0eV이상인 금속 물질로 형성되는 것을 특징으로 하는 비휘발성 메모리.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 금속 물질은 플래티늄(platinum) 및 팔라듐(palladium) 중에서 선택된 어느 하나 또는 이들의 합금으로 구성되는 것을 특징으로 하는 비휘발성 메모리.

청구항 4

기관 상에 일함수가 4.0eV이상인 금속물질 또는 비금속 물질을 이용하여 쇼트키 베리어막을 형성하는 단계와;

상기 쇼트키 베리어막 상에 질화막 및 산화막을 형성하는 단계와;

상기 산화막, 질화막 및 쇼트키 베리어막을 식각하여 활성화 영역을 형성하는 단계와;

상기 기관에 불순물 이온을 선택적으로 주입하여 상기 기관 내의 비활성화 영역에 소스 및 드레인 영역을 형성하는 단계를 포함하여 구성하는 것을 특징으로 하는 비휘발성 메모리의 제조방법.

청구항 5

제 4 항에 있어서,

상기 쇼트키 베리어 막은 CVD로 형성되는 것을 특징으로 하는 비휘발성 메모리의 제조방법.

청구항 6

삭제

청구항 7

제 4 항에 있어서,

상기 금속 물질은 플래티늄(platinum) 및 팔라듐(palladium) 중에서 선택된 어느 하나 또는 이들의 합금으로 구성되는 것을 특징으로 하는 비휘발성 메모리의 제조방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 구현이 쉽고, 제조 공정에 의한 오염을 방지 및 고집적화시킬 수 있는 비휘발성 메모리 및 그 제조방법에 관한 것이다.

배경기술

- <2> 일반적으로, 반도체 메모리 장치는 크게 휘발성 메모리(volatile memory)와 비휘발성 메모리(non-volatile memory)로 구분된다. 휘발성 메모리의 대부분은 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 RAM이 차지하고 있으며, 전원 인가시 데이터의 입력 및 보존이 가능하지만, 전원 제거시 데이터가 휘발되어 보존이 불가능한 특징을 가진다. 반면에, ROM(Read Only Memory)이 대부분을 차지하고 있는 비휘발성 메모리는 전원이 인가되지 않아도 데이터가 보존되는 특징을 가진다.
- <3> 현재, 공정기술 측면에서 비휘발성 메모리장치는 플로팅 게이트(floating gate) 계열과 두 종류 이상의 유전막이 2중, 혹은 3중으로 적층된 MIS(Metal Insulator Semiconductor) 계열로 구분된다.
- <4> 플로팅 게이트 계열의 메모리 장치는 전위 우물(potential well)을 이용하여 기억 특성을 구현하며, 현재 플래시 EEPROM(Electrically Erasable Programmable Read Only Memory)으로 가장 널리 응용되고 있는 ETOX(EPROM Tunnel Oxide) 구조가 대표적이다.
- <5> 반면에 MIS 계열은 유전막 벌크, 유전막-유전막 계면 및 유전막-반도체 계면에 존재하는 트랩(trap)을 이용하여 기억 기능을 수행한다. 현재 플래시 EEPROM으로 주로 응용되고 있는 MONOS/SONOS(Metal/Silicon ONO Semiconductor)구조가 대표적인 예이다.
- <6> 도 1은 종래 기술에 의한 SONOS 구조의 비휘발성 메모리의 간략 구조를 나타낸 수직 단면도이다. 도 1을 참조하면, SONOS 구조의 메모리 소자는 반도체 기판(10)의 활성 영역 상부에 순차적으로 적층된 터널링 절연막(tunneling dielectric layer)(20) 전하 저장용 절연막(charging dielectric layer)(30), 블록킹 절연막(blocking layer)(40)으로 이루어진 ONO막이 형성되어 있으며 ONO(Oxide/nitride/Oxide)막 상부에 도시되지 않은 게이트 전극이 형성될 수 있다. 게이트 전극 양쪽 활성 영역의 기판내에 소오스/드레인 접합(50, 60)이 형성되어 있다. ONO막의 터널링 절연막(30) 및 블록킹 절연막(40)은 실리콘 산화막(SiO₂)으로 형성되고 그 가운데 전하 저장용 절연막(30)은 질화막으로 형성된다.
- <7> 이와 같은 종래 기술에 의해 완성된 SONOS 구조의 메모리 소자는 게이트 전극에 프로그래밍 전압이 인가되면, 터널링 절연막(20)을 통하여 전자가 터널링되어 전하 저장용 절연막(40)인 질화막내에 트랩(trap)된다. 전하 저장용 절연막(30) 내에 전자가 충전됨에 따라 문턱 전압(threshold voltage)이 높아진다. 이러한 동작을 데이터 프로그램 상태 (program state)로 일컫는다.
- <8> 이와 반대로 게이트 전극에 소거 전압이 인가되면, 전하 저장용 절연막(30)에 트랩된 전자가 하부의 터널링 절연막(20)을 통하여 반도체 기판(10)으로 빠져나가고 동시에, 기판(10)으로부터 정공(hole)이 터널링 절연막(20)을 통과하여 전하 저장용 절연막(30)에 트랩되어 문턱 전압이 낮아진다. 이러한 동작을 데이터 소거 상태 (erase state)로 일컫는다.
- <9> 이러한, 종래 기술에 의한 SONOS 구조의 비휘발성 메모리 소자는 터널링 절연막(20)에서 터널링 방법이나 핫 캐리어 주입(hot carrier injection)에 의해서 프로그램되고 지워지고 있다.
- <10> 따라서, ONO구조의 터널링 절연막(20)은 비휘발성 메모리 소자의 특성을 결정짓는 아주 중요한 요소이다. 하지만, 터널링 절연막(20)은 환경에 따른 두께의 변화로 구현이 어려워 고집적화가 될 수록 이를 조절 하는데 어려운 문제점이 발생하게 된다.

발명의 내용

해결 하고자하는 과제

- <11> 상기와 같은 문제점을 해결하기 위하여, 본 발명은 구현이 쉽고, 제조 공정에 의한 오염을 방지 및 고집적화 시킬 수 있는 비휘발성 메모리 및 그 제조방법을 제공하는데 있다.

과제 해결수단

- <12> 본 발명에 비휘발성 메모리는 기판과, 상기 기판의 활성화 영역에 형성된 쇼트키 베리어막, 질화막, 산화막, 및 게이트 전극이 순차적으로 적층된 게이트 패턴과, 상기 기판에 불순물 이온이 선택적으로 주입되어 형성된 소스 및 드레인 영역을 포함하며, 상기 쇼트키 베리어막은 일함수가 4.0eV이상인 금속 물질로 형성되는 것을 특징으로 한다.
- <13> 본 발명에 따른 비휘발성 메모리의 제조방법은 기판 상에 일함수가 4.0eV이상인 금속물질 또는 비금속 물질을 이용하여 쇼트키 베리어막을 형성하는 단계와, 상기 쇼트키 베리어막 상에 질화막 및 산화막을 형성하는

단계와, 상기 산화막, 질화막 및 쇼트키 베리어막을 식각하여 활성화 영역을 형성하는 단계와, 상기 기판에 불순물 이온을 선택적으로 주입하여 소스 및 드레인 영역을 형성하는 단계를 포함하여 구성하는 것을 특징으로 한다.

효 과

<14> 본 발명에 따른 비휘발성 메모리의 제조방법은 ONO 구조의 하부 베리어층을 일함수가 높은 백금 및 팔라듐으로 형성하여 금속과 반도체가 접합시 자연적으로 형성되는 쇼트키 터널 장벽(Schottky tunnel barrier)을 터널 장벽으로 이용함으로써, 재현성 및 균일성 구현이 쉬워 고집적화가 가능하다. 또한, 제조 공정 진행 중 하부 산화막에 이온들이 외부확산되어 발생하는 오염을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

<15> 이하, 첨부된 도면 및 실시 예를 통해 본 발명의 실시 예를 구체적으로 살펴보면 다음과 같다.

<16> 도 2a 내지 도 2d는 본 발명의 실시 예에 따른 SONOS 구조의 비휘발성 메모리를 나타낸 단면도이다.

<17> 먼저, 도 2a를 참조하면, 기판(102)상에 쇼트키 베리어막(104)이 형성된다. 여기서, 쇼트키 베리어막(104)은 CVD방법 등으로 기판(102)의 전면에 형성한다. 이때, 쇼트키 베리어막(104)은 쇼트키 베리어막(104)의 일함수는 4.0eV이상인 금속 또는 비금속 물질로 형성된다. 또한, 쇼트키 베리어막(104)은 백금(Pt), 팔라듐(Pd) 및 적어도 어느 하나 또는 이들의 합금으로 형성된다.

<18> 이어, 쇼트키 베리어막(104)의 상부 전면에 질화막(106) 및 산화막(108)이 형성된다. 여기서 질화막(106) 및 산화막(108)은 LPCVD(Low Pressure Chemical Vapor Deposition) CVD(Chemical Vapor Deposition, CVD) 또는 PECVD(Plasma Enhanced Chemical Vapor Deposition, PECVD) 등의 방법으로 형성한다.

<19> 도 2b 및 도 2c에 도시된 바와 같이, 쇼트키 베리어막(104), 질화막(106) 및 산화막(108)을 포토레지스트(110)를 이용한 포토 및 식각 공정을 이용하여 게이트 전극이 형성될 아일랜드 형태의 활성화 영역을 마련한다.

<20> 도 2d에 도시된 바와 같이, 반도체 기판(102)에 채널을 설정하는 소스 및 드레인 영역(114, 112)이 형성된다. 여기서 소스 및 드레인 영역(114, 112)은 비활성화 영역에 불순물을 선택적으로 이온 주입하여 형성한다. 이후, 소스 및 드레인 영역(114, 112)을 활성화 시키기 위한 어닐링 공정이 수행 될 수 있다.

<21> 도 3a 내지 도 3b는 쇼키트 베리어막을 통해 전자가 이동되는 것을 나타낸 도면이다.

<22> 도 3a를 참조하면, 실리콘 기판(102)상에 금속물질인 4.0eV이상의 일함수가 높은 쇼트키 베리어막(104)을 형성하여 전자가 이동할 수 있도록 채널을 오픈(open)하기 위해 산화막(108)의 상부에 형성되는 게이트 전극(미도시)에 양전압이 인가되면 반도체와 금속 접합시 자연적으로 형성되는 쇼트키 터널 장벽(schottky tunnel barrier)을 터널 장벽으로 이용하여 전자는 가속화되어서 핫 캐리어 접합(hot carrier injection)으로 질화막(106)에 전자(116)가 트랩(trap)되어 프로그램 상태가 된다.

<23> 또한, 도 3b를 참조하면, 산화막(108)의 상부에 형성되는 게이트 전극(미도시)에 음전압이 인가되면 질화막(106)에 트랩된 전자(116)가 쇼트키 베리어막(104)에 의해 형성된 쇼트키 터널 장벽(schottky tunnel barrier)을 통해 기판(102)으로 전자가 이동하는 소거 상태가 된다.

<24> 이러한, 비휘발성 메모리의 하부 베리어층을 일함수가 높은 백금 및 팔라듐으로 형성하여 금속과 반도체가 접합시 자연적으로 형성되는 쇼트키 터널 장벽(Schottky tunnel barrier)을 터널 장벽으로 이용함으로써, 재현성 및 균일성 구현이 쉬워 고집적화가 가능하다. 또한, 제조 공정 중 하부 산화막에 이온들이 외부확산되어 발생하는 오염을 방지할 수 있다.

<25> 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

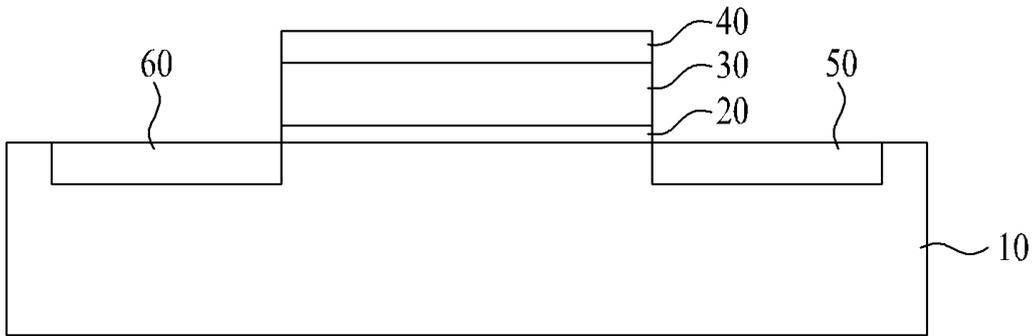
<26> 도 1은 종래의 비휘발성 메모리의 단면도.

<27> 도 2a 내지 도 2b는 본 발명의 실시 예에 따른 비휘발성 메모리의 제조과정을 나타낸 단면도.

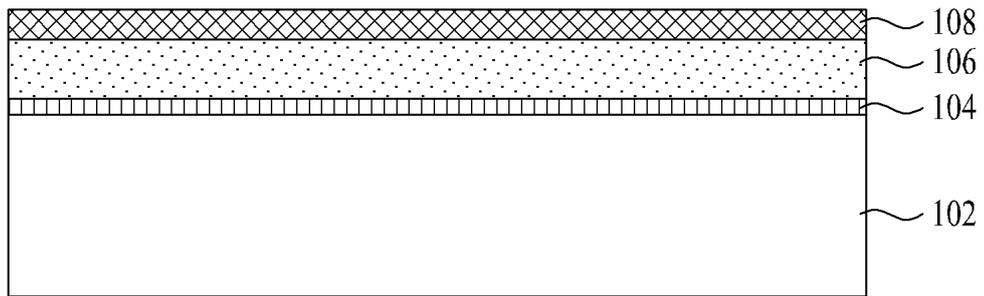
<28> 도 3a 내지 도 3b는 쇼키트 베리어막을 통해 전자가 이동되는 것을 나타낸 도면.

도면

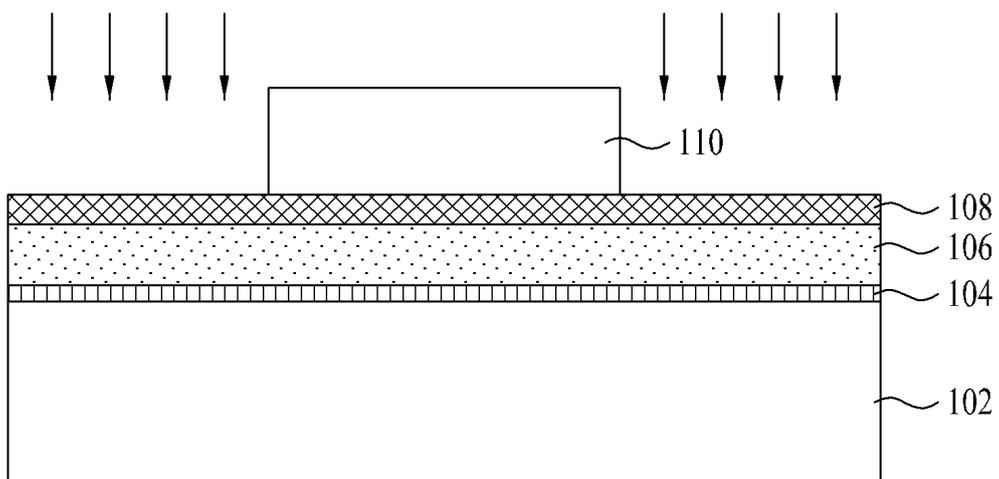
도면1



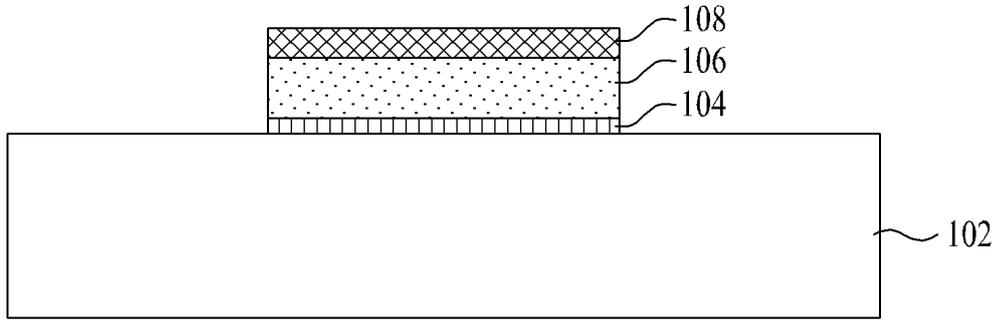
도면2a



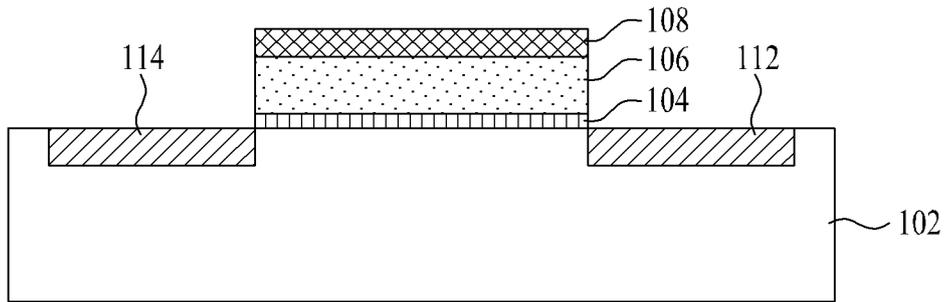
도면2b



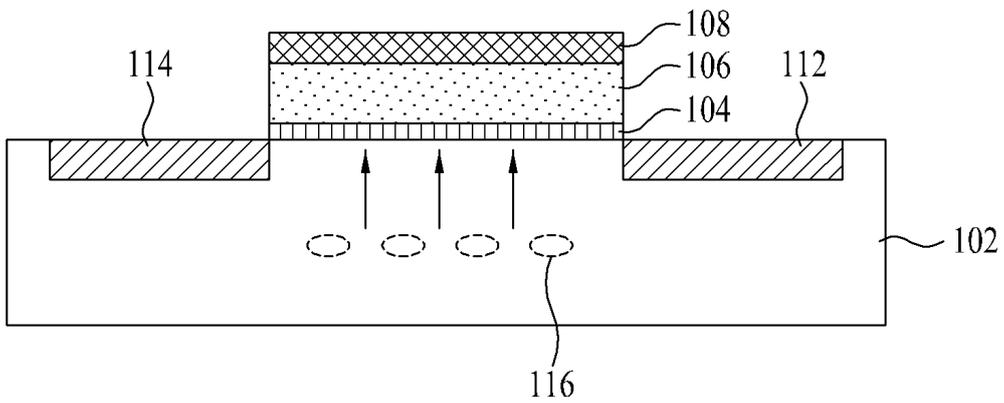
도면2c



도면2d



도면3a



도면3b

