



(12)发明专利

(10)授权公告号 CN 104347715 B

(45)授权公告日 2017.08.11

(21)申请号 201410370323.X

(22)申请日 2014.07.30

(65)同一申请的已公布的文献号
申请公布号 CN 104347715 A

(43)申请公布日 2015.02.11

(30)优先权数据
13/955,681 2013.07.31 US

(73)专利权人 英飞凌科技奥地利有限公司
地址 奥地利菲拉赫

(72)发明人 H·韦伯

(74)专利代理机构 北京市金杜律师事务所
11256
代理人 王茂华 张宁

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

H01L 21/336(2006.01)

(56)对比文件

CN 102386212 A,2012.03.21,

CN 102412260 A,2012.04.11,

CN 101908541 A,2010.12.08,

US 2009/0079002 A1,2009.03.26,

US 3772577 A,1973.11.13,

US 2006/0252219 A1,2006.11.09,

US 2005/0184336 A1,2005.08.25,

CN 101180737 A,2008.05.14,

审查员 宋晶晶

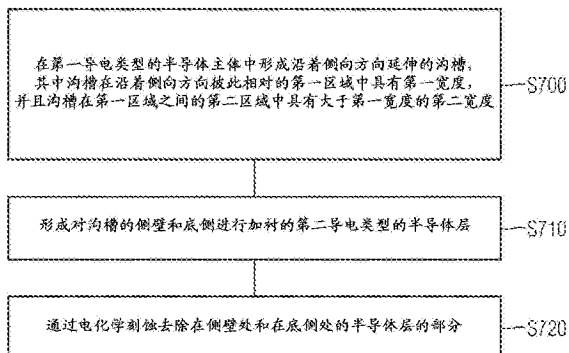
权利要求书1页 说明书8页 附图12页

(54)发明名称

包括边缘端接的半导体器件

(57)摘要

一种超结半导体器件,包括:超结结构,包括第一区域和第二区域,所述第一区域和所述第二区域沿着第一侧向方向交替地布置并且沿着第二侧向方向并行延伸。所述第一区域中的每一个包括第一导电类型的第一半导体区域。所述第二区域中的每一个沿着所述第一侧向方向包括与所述第一导电类型相反的第二导电类型的相对的第二半导体区域之间的内部区域。所述第一半导体区域在晶体管单元区域中的宽度 w_1 大于在边缘端接区域中的宽度,并且所述第二半导体区域的每一个在所述晶体管单元区域中的宽度 w_2 大于在所述边缘端接区域中的宽度。



1. 一种超结半导体器件,包括:

超结结构,包括第一区域和第二区域,所述第一区域和所述第二区域沿着第一侧向方向交替地布置并且沿着第二侧向方向并行延伸;所述第一区域中的每一个包括第一导电类型的第一半导体区域;所述第二区域中的每一个沿着所述第一侧向方向包括在相对的第二半导体区域之间的内部区域,所述第二半导体区域是与所述第一导电类型相反的第二导电类型的;以及其中

所述第一半导体区域的第一个的宽度 w_1 在晶体管单元区域中比在边缘端接区域中更大,并且所述第二半导体区域的每一个的宽度 w_2 在所述晶体管单元区域中比在所述边缘端接区域中更大。

2. 根据权利要求1所述的超结半导体器件,进一步包括在所述晶体管单元区域和所述边缘端接区域之间的转变区域,其中所述宽度 w_1 、 w_2 分别沿着所述第二侧向方向从所述晶体管单元区域中的第一值连续地变为所述边缘端接区域中的第二值。

3. 根据权利要求1所述的超结半导体器件,进一步包括在所述晶体管单元区域和所述边缘端接区域之间的转变区域,其中在所述交替布置的第一区域和第二区域的不同区域中的所述宽度 w_1 、 w_2 分别沿着所述第一侧向方向从所述晶体管单元区域中的第一值逐步地变为所述边缘端接区域中的第二值。

4. 根据权利要求1所述的超结半导体器件,其中所述第二半导体区域中的每一个在所述边缘端接区域中的所述宽度 w_2 的范围是在所述晶体管单元区域中的所述宽度 w_2 的30%到90%之间。

5. 根据权利要求1所述的超结半导体器件,其中所述内部区域包括本征半导体材料、轻掺杂半导体材料、电介质材料和空隙中的一种或组合。

6. 根据权利要求1所述的超结半导体器件,其中所述第一区域中的每一个是台面区域,并且所述第二区域中的每一个包括沟槽和对所述沟槽的相对侧壁进行加衬的所述第二半导体区域。

7. 根据权利要求1所述的超结半导体器件,进一步包括在所述晶体管单元区域和所述边缘端接区域之间的转变区域,其中所述第二半导体区域在所述第二区域的不同区域中的深度 d_2 沿着所述第一侧向方向从所述晶体管单元区域向所述转变区域中减小。

8. 根据权利要求1所述的超结半导体器件,进一步包括沟道停止层结构,所述沟道停止层结构包括电耦合到场板的掺杂半导体区域,其中沿着所述第二侧向方向从所述晶体管单元区域延伸通过所述边缘端接区域的所述第二半导体区域与所述场板交叠。

包括边缘端接的半导体器件

技术领域

[0001] 本公开涉及半导体器件,更具体而言涉及包括边缘端接的半导体器件。

背景技术

[0002] 诸如超结(SJ)半导体器件(例如SJ绝缘栅场效应晶体管(SJ IGFET))之类的半导体器件基于半导体主体中的n掺杂区域和p掺杂区域的相互空间电荷补偿,允许诸如源极和漏极之类的负载端子之间的高击穿电压 V_{br} 和低区域特定导态电阻 R_{onA} 之间的改进折衷。边缘端接目的在于将电击穿从边缘端接区域移位到晶体管单元区域中,用于避免由于边缘端接中的不希望的电击穿引起的阻挡电压的降级。

[0003] 期望改善半导体器件的阻挡电压和区域特定导态电阻之间的折衷。

发明内容

[0004] 根据一个实施例,一种超结半导体器件,包括:超结结构,包括第一区域和第二区域,所述第一区域和所述第二区域沿着第一侧向方向交替地布置并且沿着第二侧向方向并行延伸。所述第一区域中的每一个包括第一导电类型的第一半导体区域。所述第二区域中的每一个沿着所述第一侧向方向包括与所述第一导电类型相反的第二导电类型的、相对的第二半导体区域之间的内部区域。所述第一半导体区域在晶体管单元区域中的宽度 w_1 大于在边缘端接区域中的宽度。所述第二半导体区域的每一个在所述晶体管单元区域中的宽度 w_2 大于在所述边缘端接区域中的宽度。

[0005] 根据另一实施例,一种超结半导体器件,包括:超结结构,包括第一区域和第二区域,所述第一区域和所述第二区域沿着第一侧向方向交替地布置并且沿着第二侧向方向并行延伸。所述第一区域中的每一个包括第一导电类型的第一半导体区域。所述第二区域中的每一个沿着所述第一侧向方向包括与所述第一导电类型相反的第二导电类型的相对的第二半导体区域之间的内部区域。半导体器件进一步包括沟道停止层结构,沟道停止层结构包括电耦合到场板的掺杂半导体区域。沿着所述第二侧向方向从所述晶体管单元区域延伸通过所述边缘端接区域的所述第二半导体区域与所述场板交叠。

[0006] 根据又一实施例,一种半导体器件,包括:超结结构,包括第一区域和第二区域,所述第一区域和所述第二区域沿着第一侧向方向交替地布置并且沿着第二侧向方向并行延伸。所述第一区域中的每一个包括第一导电类型的第一半导体区域。所述第二区域中的每一个沿着所述第一侧向方向包括与所述第一导电类型相反的第二导电类型的相对的第二半导体区域之间的内部区域。半导体器件进一步包括在所述晶体管单元区域和所述边缘端接区域之间的转变区域。所述第二半导体区域在所述第二区域的不同区域中的深度 d_2 沿着所述第一侧向方向从所述晶体管单元区域向所述转变区域中减小。

[0007] 通过阅读下列详细描述以及查看附图,本领域技术人员将认识到附加特征和优势。

附图说明

[0008] 包括附图以提供对本发明的进一步理解,并且将附图并入在本说明书中并构成本说明书的一部分。附图图示本发明的实施例并且与描述一起用于说明本发明的原理。由于通过参照下列详细描述它们变得更好理解,所以将容易认识到本发明的其它实施例和预期优势。

[0009] 图1是根据半导体器件的实施例的与半导体主体的第一侧和第二侧平行并且定位于半导体主体的第一侧和第二侧之间的截平面的俯视图。

[0010] 图2是根据半导体器件的另一实施例的与半导体主体的第一侧和第二侧平行并且定位于半导体主体的第一侧和第二侧之间的截平面的俯视图。

[0011] 图3A是沿着图1所示半导体器件的单元区域中的线A-A'的示意性截面图。

[0012] 图3B是沿着图1所示半导体器件的边缘端接区域中的线B-B'的示意性截面图。

[0013] 图4是图示晶体管单元区域之间的转变区域的一个实施例的截面图,其中具有从晶体管单元区域到转变区域中减小的p掺杂补偿区域的深度d2。

[0014] 图5A是具有沟道停止层结构的半导体器件的一个实施例的截面图,该沟道停止层结构包括电耦合到场板的掺杂半导体区域。

[0015] 图5B是图5A所示半导体器件的俯视图。

[0016] 图6图示了沿着图1所示半导体器件的单元区域中的线A-A'的示意性截面图的一个实施例。

[0017] 图7是制造半导体器件的方法的工艺流程的示意性图示,包括对沟槽中的半导体层的一部分进行电化学刻蚀,该沟槽在彼此相对的第一区域中具有第一宽度并且在第一区域之间的第二区域中具有大于第一宽度的第二宽度。

[0018] 图8是制造包括沟道停止层结构的超结结构的工艺流程的示意性图示。

[0019] 图9是制造半导体器件的工艺流程的示意性图示,包括对沟槽中的半导体层的一部分进行刻蚀,该沟槽在彼此相对的第一区域中具有第一深度并且在第一区域之间的第二区域中具有小于第一深度的第二深度。

[0020] 图10A是用于图示根据一个实施例的制造SJ半导体器件的方法的半导体主体部分的示意性截面图。

[0021] 图10B图示在第一沟槽和第二沟槽形成之后图10A的半导体主体部分的示意性截面图的一个实施例。

[0022] 图10C是在外延半导体层形成之后图10B的半导体主体部分的示意性截面图的一个实施例。

[0023] 图10D图示在外延半导体层的电化学刻蚀期间的状态下图10C的半导体主体部分的示意性截面图的一个实施例。

[0024] 图10E图示在外延半导体层的电化学刻蚀结束时图10D的半导体主体部分的示意性截面图的一个实施例。

[0025] 图10F图示在半导体外延层的电化学刻蚀之后且在外延半导体层的各向异性刻蚀之后图10E的半导体主体部分的示意性截面图的一个实施例。

[0026] 图10G图示在利用材料填充第一沟槽和第二沟槽之后图10F的半导体主体部分的

示意性截面图的一个实施例。

具体实施方式

[0027] 在下面的详细描述中,参照附图,该附图构成其一部分并且在附图中通过图示的方式示出可以实施本发明的特定实施例。将理解的是,在不脱离本发明的范围的情况下,可以利用其它实施例并且可以进行结构或逻辑上的改变。例如,可以在其它实施例上或者结合其它实施例使用针对一个实施例图示或描述的特征,以产生又一个实施例。期望本发明包括这样的修改和变型。使用特定语言描述示例,该特定语言不应被认为是限制所附权利要求的范围。附图不按比例绘制并且仅用于图示的目的。为清晰起见,如果未另外陈述,则在不同附图中通过对应的参考标号标示相同的元件。

[0028] 术语“具有”、“含有”、“包括”、“包含”等是开放性的,并且该术语指示所述结构、元件或特征的存在,但并不排除附加元件或特征。除非上下文另外清晰指出,否则冠词“一个”、“一”和“该”旨在包括复数以及单数。术语“电连接”描述电连接元件之间的永久低欧姆连接,例如所关注的元件之间的直接接触或经由金属和/或高掺杂半导体的低欧姆连接。术语“电耦合”包括可以在电耦合元件之间设置适于信号传输的一个或多个中间元件,例如可控制用于临时提供第一状态中的低欧姆连接和第二状态中的高欧姆电耦合的元件。

[0029] 附图通过在掺杂类型“n”或“p”附近指示“-”或“+”图示了相关掺杂浓度。例如,“-”是指低于“n”掺杂区域的掺杂浓度的掺杂浓度,而“n+”掺杂区域具有比“n”掺杂区域更高的掺杂浓度。相同相关掺杂浓度的掺杂区域不一定具有相同的绝对掺杂浓度。例如,两个不同的“n”掺杂区域可以具有相同或不同的绝对掺杂浓度。

[0030] 图1图示了根据半导体器件的一个实施例的与半导体主体100的第一侧和第二侧平行并且位于半导体主体100的第一侧和第二侧之间的截平面的俯视图。半导体主体由例如硅(Si)、碳化硅(SiC)、锗(Ge)、锗硅(SiGe)、氮化镓(GaN)或砷化镓(GeAs)之类的单晶半导体材料提供。第一侧和第二侧之间的距离可以在例如20 μm 和300 μm 之间的范围内,第一侧和第二侧之间的距离即半导体主体的厚度。第一侧和第二侧的法线限定垂直方向,并且与法线方向正交的方向是侧向方向。

[0031] 半导体器件的超结结构102包括第一区域103和第二区域104,第一区域103和第二区域104沿着第一侧向方向 x_1 交替布置并且沿着第二侧向方向 x_2 并行延伸。第一区域103中的每一个包括第一导电类型的第一半导体区域105,例如n型台面区域。第二区域104中的每一个沿着第一侧向方向 x_1 包括相反的第二导电类型的、在相对第二半导体区域107a、107b之间的内部区域106,第二导电类型例如在本示例中与作为第一导电类型的n型相反的p型。第一半导体区域105在晶体管单元区域109中的宽度 w_1 大于在边缘端接区域110中的宽度。转变区域111位于晶体管单元区域109和边缘端接区域110之间。在晶体管单元区域109中,晶体管单元被布置成包括去往负载/控制端子的接触,例如电连接到例如半导体主体中的半导体区域(诸如n+掺杂源极区域)的接触插塞或接触线。边缘端接区域110目的在于使电击穿移位到晶体管单元区域109中,用于避免由于边缘端接中的不希望的电击穿引起的阻挡电压的降级,该不希望的电击穿可能是由于本区域中等势线的曲率引起的。

[0032] 根据一个实施例,第一半导体区域105在边缘端接区域110中的宽度 w_1 的范围是半导体区域105在晶体管单元区域109中的宽度 w_1 的30%至90%之间或者40%至80%之间。

[0033] 内部区域106在晶体管单元区域109中的宽度 w_3 小于在边缘端接区域110中的宽度。根据图1所示的实施例,宽度 w_1 、 w_2 、 w_3 在转变区域111中持续地改变,即,沿着第二侧向方向 x_2 从晶体管单元区域109中的第一值减小到边缘端接区域110中的第二值。

[0034] 根据一个实施例,第二区域107a、107b的每一个中的掺杂浓度大于在第一半导体区域105的每一个中的掺杂浓度。对于由硅制成的半导体主体而言,第一半导体区域105中的掺杂浓度可以在 $1 \times 10^{15} \text{cm}^{-3}$ 和 $1.5 \times 10^{16} \text{cm}^{-3}$ 之间的范围内,而第二半导体区域107a、107b的每一个中的掺杂浓度可以在 $5 \times 10^{15} \text{cm}^{-3}$ 和 $1 \times 10^{17} \text{cm}^{-3}$ 之间的范围内。如磷(P)、砷(As)或锑(Sb)的N型掺杂剂可以在第一半导体区域105的每一个中限定n型。如硼(B)、铝(Al)、镧(In)或镓(Ga)的P型掺杂剂可以在第二半导体区域107a、107b的每一个中限定p型。第一半导体区域105在晶体管单元区域109中的宽度 w_1 可以例如在500nm和 $5 \mu\text{m}$ 的范围内。第二半导体区域107a、107b的宽度 w_2 可以例如在100nm和 $3 \mu\text{m}$ 的范围内。

[0035] 根据一个实施例,内部区域106包括未掺杂(即本征或轻掺杂)的半导体材料。内部区域106的半导体材料的掺杂浓度小于第一半导体区域105中的半导体材料的掺杂浓度。具有气体夹杂或不具有气体夹杂的空隙可以位于内部区域106中。根据一个实施例,空隙由处理半导体主体100引起。根据另一实施例,内部区域106由电介质材料制成或包括电介质材料,例如像 SiO_2 的氧化物和任选的具有或不具有气体夹杂的空隙。根据另一实施例,内部区域可以包括未掺杂或轻掺杂的半导体材料与含具有或不具有气体夹杂的任选空隙的电介质材料的组合。

[0036] 根据一个实施例,半导体器件为超结晶体管。半导体器件可以为超结绝缘栅场效应晶体管(SJ IGFET),例如SJ金属氧化物半导体场效应晶体管(SJ MOSFET)或超结绝缘栅双极晶体管(SJ IGBT)。根据一个实施例,半导体器件的阻挡电压在100V和5000V之间的范围内,并且可以进一步在200V和1000V之间的范围内。SJ晶体管可以是包括一个负载端子和另一负载端子的垂直SJ晶体管,该一个负载端子例如是在半导体主体100的前侧处的源极端子,该另一负载端子例如是在半导体主体100的后侧处的漏极端子。

[0037] 图2是根据半导体器件的另一实施例的与半导体主体100的第一侧和第二侧平行并且位于第一侧和第二侧之间的截平面的俯视图。在图1的俯视图中,沿着第二侧向方向 x_2 在晶体管单元区域109和边缘端接区域110之间图示第一区域103和第二区域104的形状。在图2的示意性俯视图中,沿着第一侧向方向 x_1 在晶体管单元区域109和边缘端接区域110之间图示第一区域103和第二区域104的形状。

[0038] 在图2所示的实施例中,交替布置的第一区域103和第二区域104的不同区域中的宽度 w_1 、 w_2 、 w_3 分别沿着第一侧向方向 x_2 从晶体管单元区域109中的第一值逐步地变为边缘端接区域110中的第二值。在转变区域111中具有两个第一半导体区域105的图2所示实施例中,宽度 w_1 的示例性值可以对应于晶体管单元区域109中的参考值的100%、位于邻近晶体管单元区域109的转变区域111中的第一半导体区域105中的参考值的90%、位于邻近边缘端接区域110的转变区域111中的第一半导体区域105中的参考值的80%以及边缘端接区域110中的参考值的70%。这些值在其它实施例中可以不同,并且可以依赖于转变区域中的第一半导体区域105的数目。参照图1的描述给定的关于尺寸、掺杂浓度、材料等的示例性值同样适用于图2。

[0039] 晶体管单元区域109和边缘端接区域110之间的宽度 w_1 、 w_2 、 w_3 的特定变化允许如将

参照图3A和图3B的示意性截面图所描述的改进的超结结构。

[0040] 图3A是沿着图1所示半导体器件的单元区域109中的线A-A'的示意性截面图。

[0041] 在晶体管单元区域109中,击穿电压 V_{br} 处的电场矢量 $E_{crit,1}$ 包括侧向电场分量 $E_{hor,1}$ 和垂直电场分量 $E_{vert,1}$ 。

[0042] 图3B是图1所示半导体器件的边缘端接区域110中的线B-B'的示意性截面图。第一半导体区域105和第二半导体区域107a、107b在边缘端接区域110中的宽度 w_1 、 w_2 小于在晶体管单元区域109中的宽度,如图1中所示那样。因此,第一半导体区域105和第二半导体区域107a、107b在边缘端接区域110中的每单位长度的电荷容量小于在晶体管单元区域109中由第二半导体区域107a、107b在边缘端接区域110中的每单位长度的更小空间电荷引起的每单位长度的电荷容量。侧向电场分量 $E_{hor,2}$ 在边缘端接区域110中的量小于侧向电场分量 $E_{hor,1}$ 在晶体管单元区域109中的量。因此,垂直电场分量 $E_{vert,2}$ 在边缘端接区域110中的量可以超过垂直电场分量 $E_{vert,1}$ 在晶体管单元区域109中的量。由于垂直电场分量表示阻挡电压能力,所以图1和图2的实施例所示的第一半导体区域105的宽度 w_1 和第二半导体区域107a、107b的宽度 w_2 的特定设计允许与晶体管单元区域109相比电压阻挡能力在边缘端接区域110中的增加。由此,可以改进半导体器件的坚固性和可靠性。可以通过对例如图1和图2所示的第二区域104表示的沟槽中的第二半导体区域107a、107b的电化学刻蚀来实现第一半导体区域105的宽度 w_1 和第二半导体区域107a、107b的宽度 w_2 的特定设计。

[0043] 图4是图示晶体管单元区域109和边缘端接区域110之间的转变区域111的一个实施例的截面图。示例性截面图是沿着图1所示的半导体器件的线C-C'截取的。在所实施例中,第二半导体区域107b是沿着与第一侧113垂直延伸的垂直方向y具有深度 d_2 的p掺杂的。半导体主体100的n掺杂部分与第二半导体区域107b的底侧邻接。第二半导体区域107b的深度 d_2 从晶体管单元区域109中的第一值通过转变区域111减小到边缘端接区域110中的第二值。尽管半导体主体100的部分115整个布置在晶体管单元区域109中的第二半导体区域107b下方,但边缘端接区域110中的半导体主体100的对应部分沿着与图4的绘制平面垂直的方向与第二半导体区域107a、107b交替布置。出于如上面参照图3A和图3B所述的类似原因,这导致与晶体管单元区域109相比在边缘端接区域110中的电压阻挡能力的增加。同样,可以改善器件坚固性和器件可靠性。上述效应在主要具有垂直分量的边缘区域中,即在直接邻接晶体管单元区域109的边缘区域中特别有效。

[0044] 沟槽端部是奇异点并且构成连续单元设计的断点。作为示例,沟槽端部处的外延填充行为和外延生长行为不同于晶体管单元阵列。因而,与晶体管单元阵列内的沟槽的内部部分相比,包括沟槽的超结结构中的电荷补偿在沟槽端部处作用不同。

[0045] 图5A是具有沟道停止层结构的半导体器件的一个实施例的截面图,沟道停止层结构包括 n^+ 掺杂半导体区域117,该 n^+ 掺杂半导体区域117电耦合到场板118例如多晶硅和/或金属场板。电介质120(例如诸如 SiO_2 之类的氧化物和/或诸如 Si_3N_4 之类的氮化物)布置在场板118和半导体主体100之间。转变线122标示其中电介质120的厚度朝晶体管单元区域增加的位置或者场板弯曲的位置。

[0046] 图5B是图5A所示的半导体器件的俯视图。第二半导体区域107a、107b沿着第二侧向方向 x_2 延伸通过边缘端接区域110到无场区域124中。因而,当在沟槽中例如通过电化学刻蚀形成第二半导体区域107a、107b时,沟槽端部置于沟道停止层结构以外的无场区域124

中。由此,沟槽端部转移到如下区域中,在该区域中它们对电荷补偿的影响不会引起对器件坚固性和器件可靠性的伤害。

[0047] 图6图示了沿着图1所示半导体器件的晶体管单元区域109中的线D-D'的示意性截面图的一个实施例。在包括第一区域103和第二区域104的超结结构之上,邻接p掺杂主体区域126。P掺杂主体区域126经由 p^+ 掺杂主体接触区128电耦合到源极接触127。源极接触127的侧壁也电耦合到 n^+ 掺杂源极区域129。用于将主体126和源极区域129电耦合到源极接触127的其它接触机制可以类似地适用。在相对的源极区域129之间,沟槽130沿着垂直方向延伸到第一半导体区域105中。电介质结构131将沟槽130的上部部分中的栅极电极132与p掺杂主体区域126的周围部分电隔离,并且进一步将沟槽130的下部部分中的场电极134与第一半导体区域105的周围部分电隔离。通过向栅极电极132施加电压,可以通过场效应控制沿着沟道区域136的导电性。

[0048] 图6所示的半导体器件是包括第一负载端子和第二负载端子的垂直IGFET,该第一负载端子例如半导体主体100的第一侧113处的包括源极接触127的源极端子,该第二负载端子例如半导体主体100的与第一侧113相对的第二侧133处的包括漏极接触139的漏极端子。图1、图2和图5B中图示了图6的半导体器件的示例性俯视图。

[0049] 图7是制造超结半导体器件的方法的工艺流程的示意性图示。

[0050] 工艺特征S700包括在第一导电类型的半导体主体中形成沿着侧向方向延伸的沟槽,其中沟槽在沿着侧向方向彼此相对的第一区域中具有第一宽度,并且沟槽在第一区域之间的第二区域中具有比第一宽度更大的第二宽度。

[0051] 工艺特征S710包括形成对沟槽的侧壁和底侧进行加衬的第二导电类型的半导体层。

[0052] 工艺特征S720包括通过电化学刻蚀去除侧壁处和底侧处的半导体层的部分。

[0053] 可以利用本征半导体材料、轻掺杂半导体材料、电介质材料和空隙中的一种或组合填充沟槽。

[0054] 图8是制造超结半导体器件的另一方法的工艺流程的示意性图示。

[0055] 工艺特征S800包括形成包括第一区域和第二区域的超结结构,第一区域和第二区域沿着第一侧向方向交替布置并且沿着第二侧向方向并行延伸,其中第一区域中的每一个包括第一导电类型的第一半导体区域,并且第二区域中的每一个沿着第一侧向方向包括与第一导电类型相反的第二导电类型的相对第二半导体区域之间的内部区域。

[0056] 工艺特征S810包括形成沟道停止层结构,该沟道停止层结构包括电耦合到场板的掺杂半导体区域,其中沿着第二侧向方向从晶体管单元区域延伸通过边缘端接区域的第二半导体区域与场板交叠。

[0057] 图9是制造超结半导体器件的另一方法的工艺流程的示意性图示。

[0058] 工艺特征S900包括在第一导电类型的半导体主体中形成沿着侧向方向延伸的沟槽,其中沟槽在沿着侧向方向彼此相对的第一区域中具有第一深度并且该沟槽在第一区域之间的第二区域中具有小于第一深度的第二深度。

[0059] 工艺特征S910包括形成对沟槽的侧壁和底侧进行加衬的第二导电类型的半导体层。

[0060] 工艺特征S920包括通过电化学刻蚀去除在侧壁处和在底侧处的半导体层的部分。

[0061] 除了图7至图9所示的工艺特征外,在这些特征中的任意一个之前或之后或者在这些特征中的任意两个之间,可以与所示工艺特征中的任意一个一起形成其它器件元素。作为示例,这些方法还可以包括诸如源极区域、漏极区域、栅极结构、电耦合到半导体主体的有源区域内形成的半导体元素的导电结构之类的元素的形成。由此,可以在第二区域中形成晶体管单元区域并且可以在第一区域中形成边缘端接区域。

[0062] 图10A至图10G图示了根据实施例的在超结半导体器件的制造期间的不同工艺阶段处的半导体主体部分404的示意性截面图。作为示例,截面图可以指代图1所示实施例的线A-A'。

[0063] 参照图10A,设置包括 n^+ 掺杂衬底440和在其上形成的 n 掺杂外延层442的半导体主体404作为基础材料。

[0064] 可以根据在最终器件的操作模式中吸收阻挡电压的体积的目标厚度选择外延层442的厚度 d 。半导体层442内的掺杂剂的浓度可以对应于构成最终超结半导体器件的漂移区的 n 掺杂的柱的目标掺杂剂浓度。半导体层442的掺杂剂的浓度可以经受生产容限。这些生产容限可能是由在例如外延生长期间设置掺杂浓度时的有限准确度引起的。

[0065] 参照图10B的示意性截面图,在外延层442内形成从前表面406沿着垂直方向420延伸到半导体主体404的深度中的第一沟槽408a和第二沟槽408b。可以使用在半导体主体404的表面406上的刻蚀掩膜诸如硬掩膜444,在半导体主体404中刻蚀沟槽408a和408b。沟槽408a和408b的底侧可以布置在半导体层442内。沟槽408a和408b之间的台面区域可以限定漂移区402。

[0066] 参照图10C所示的半导体主体部分404的示意性截面图,在半导体主体404的前表面406上、在第一沟槽408a和第二沟槽408b中的每一个的侧壁处和底侧处形成外延 p 掺杂层415。

[0067] 参照图10D所示的半导体主体部分404的示意性截面图,外延半导体层415经历电化学刻蚀,诸如使用碱性溶液446的碱性湿法刻蚀。例如,当刻蚀硅时,碱性溶液可以包括KOH或TMAH。电压 V_1 施加在外延半导体层415和电化学碱性溶液446之间。碱性溶液446和外延半导体层415之间的结类似于肖特基势垒结。因此,在该界面处构建肖特基耗尽区域448。可以选择电压 V_1 ,使得将通过外延半导体层415和碱性溶液446之间的结形成的肖特基二极管短路或正向偏置。

[0068] 电压 V_2 施加在 p 掺杂外延半导体层415和 n 掺杂半导体主体404之间,使得这些区域之间的 pn 结反向偏置并且形成空间电荷区域,该空间电荷区域包括半导体主体404内的第一耗尽层450和外延半导体层415内的第二耗尽层452。可以选择 V_2 的值,使得第一沟槽408a和第二沟槽408b之间的半导体主体404的区域(即漂移区402)变得耗尽自由电荷载流子。可以选择外延半导体层415的厚度,使得在施加电压 V_1 、 V_2 之后耗尽区域448、452并不相遇。换言之,可以选择电压 V_1 和 V_2 ,使得不构成空间电荷区域的中性区域454保留。

[0069] 参照图10E中所示的半导体主体部分404的示意性截面图,一旦遇到耗尽区域452和448,就结束外延半导体层415的刻蚀。外延半导体层415的体积包括两部分,即,肖特基耗尽层448和 pn 耗尽层452的体积。耗尽层452引起在半导体主体404内形成的另一 pn 耗尽层450的精确补偿。该电荷补偿不受器件元件制造期间的任意生产容限影响。由于在去除电化学碱性溶液之后不保持肖特基势垒,所以关于理想电荷补偿,肖特基耗尽层448的电荷构成

过多电荷。在稍后工艺阶段中使这些过多电荷可以反平衡、针对改善鲁棒性的电场调谐维持这些过多电荷或者去除这些过多电荷。作为示例,可以通过外延半导体层415的相应部分的全向同性干法或湿法刻蚀,部分地或全部地去除肖特基耗尽层448的电荷。作为另一示例,也可以通过例如对外延半导体层415的相应部分进行热氧化和随后通过刻蚀工艺去除氧化层,来去除肖特基耗尽层448的电荷。作为又一示例,可以通过利用具有与外延半导体层415的导电类型不同的导电类型的外延半导体材料填充沟槽408a、408b,来使肖特基耗尽层448的电荷反平衡。可以在去除碱性溶液446之后且在利用如图10G所示后续工艺阶段中所述的材料填充沟槽408a、408b之前,执行通过上述工艺去除过多电荷。

[0070] 尽管可以在沟槽408a、408b中的每一个内的底侧处保持外延半导体层415,但图10F所示的半导体主体部分404的示意性截面图指代其中刻蚀外延半导体层415以去除位于沟槽408a、408b中的每一个内的底侧处和半导体主体404的前表面406上的该层的这些部分。作为示例,可以使用各向异性干法刻蚀来刻蚀半导体层415。在刻蚀之后,该层的剩余部分限定第一沟槽408a和第二沟槽408b内的第一半导体子区416a、……、416d。

[0071] 参照图10G所示的半导体主体部分404的示意性截面图,第一沟槽408a和第二沟槽408b填充有参照图1所述的材料。

[0072] 其它工艺可以随后,或者在图10A至图10G所示的工艺之前、之间或一起执行,以最终实现SJ半导体器件。

[0073] 尽管这里图示和描述了特定实施例,但本领域普通技术人员将理解到,在不偏离本发明范围的情况下,各种备选和/或等同实现方案可以替代所示和所述的特定实施例。本申请旨在于覆盖这里所述特定实施例的任意修改或变型。因此,本发明旨在于仅受权利要求和其等同方案限制。

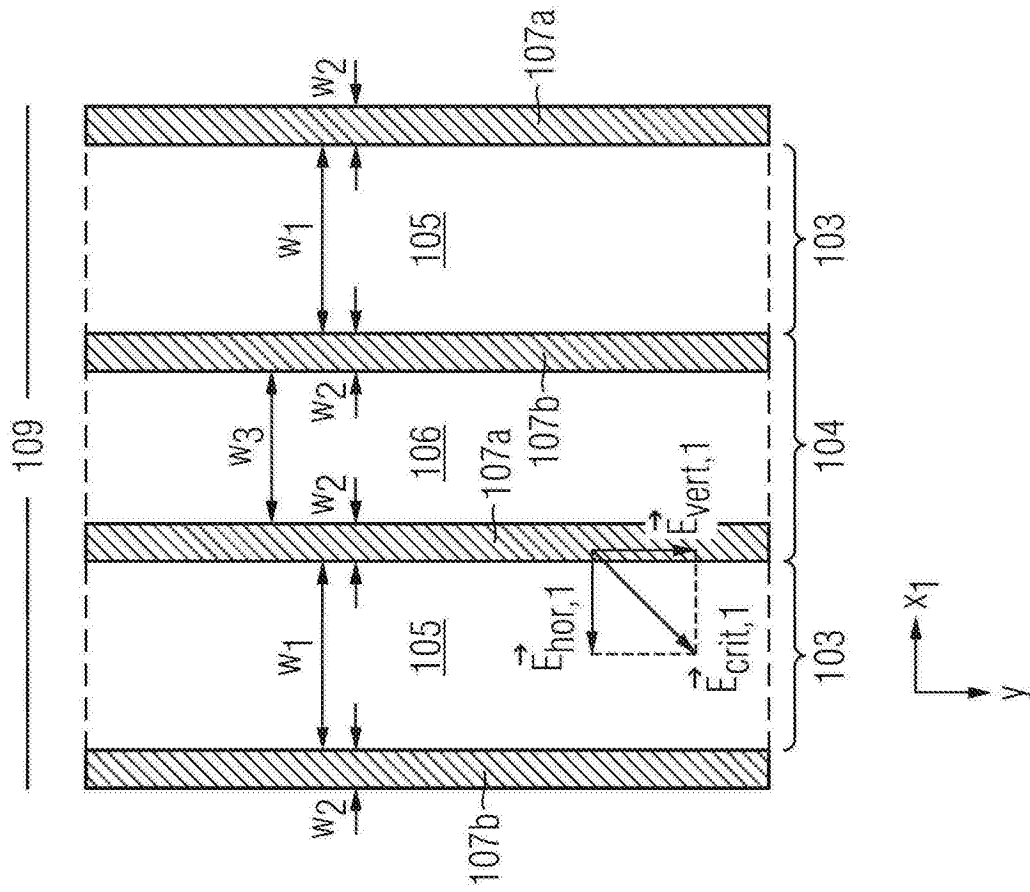


图3A

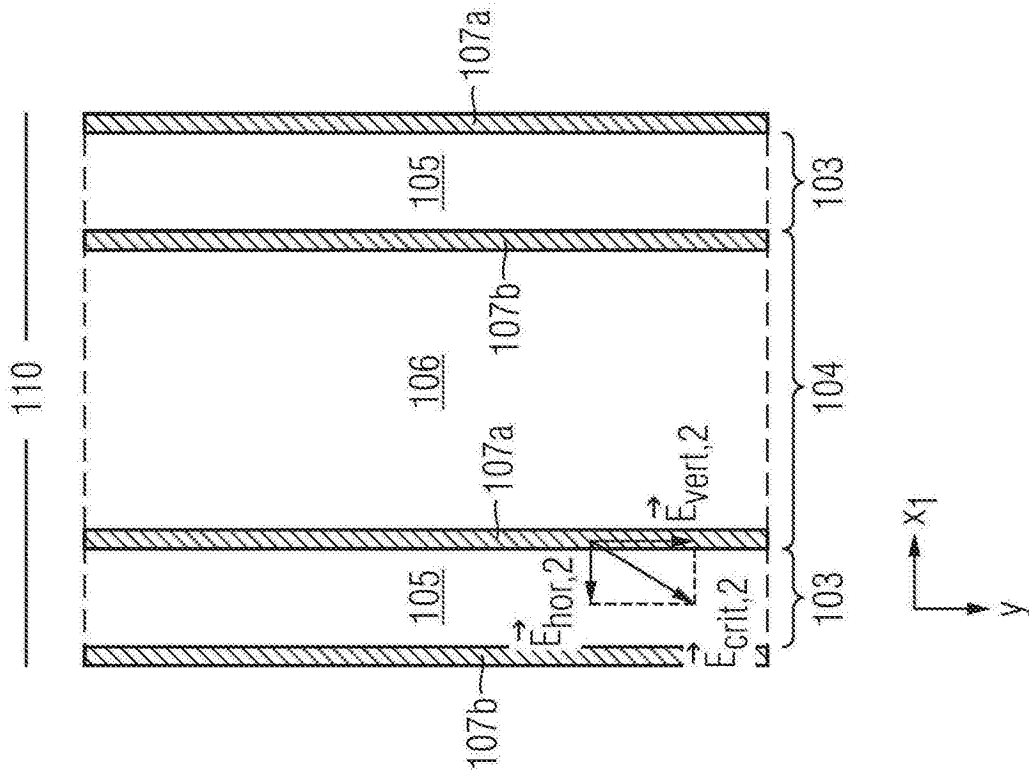


图3B

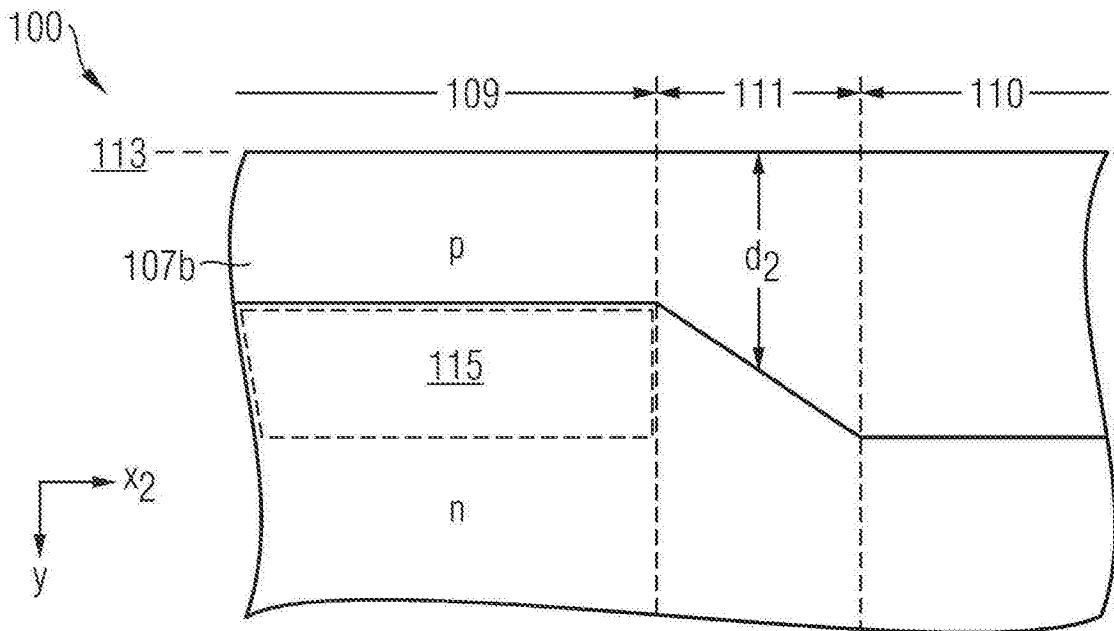


图4

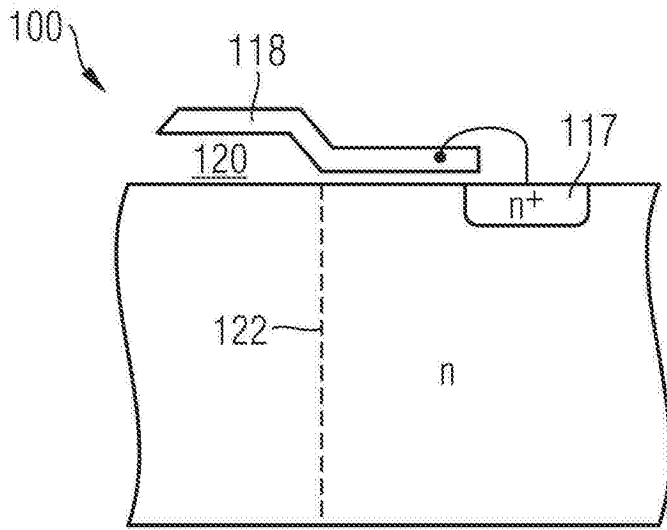


图5A

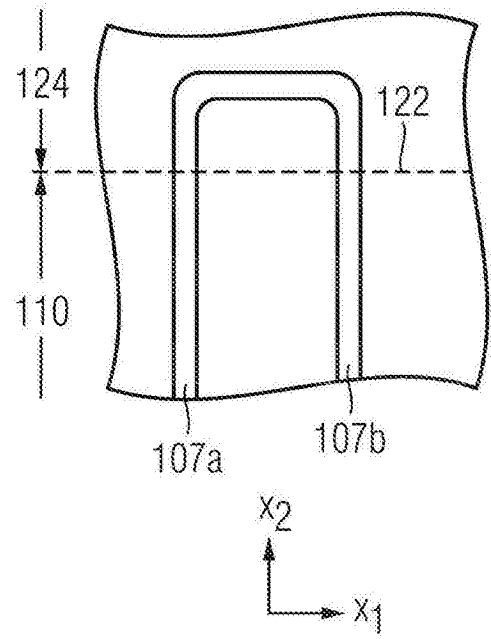


图5B

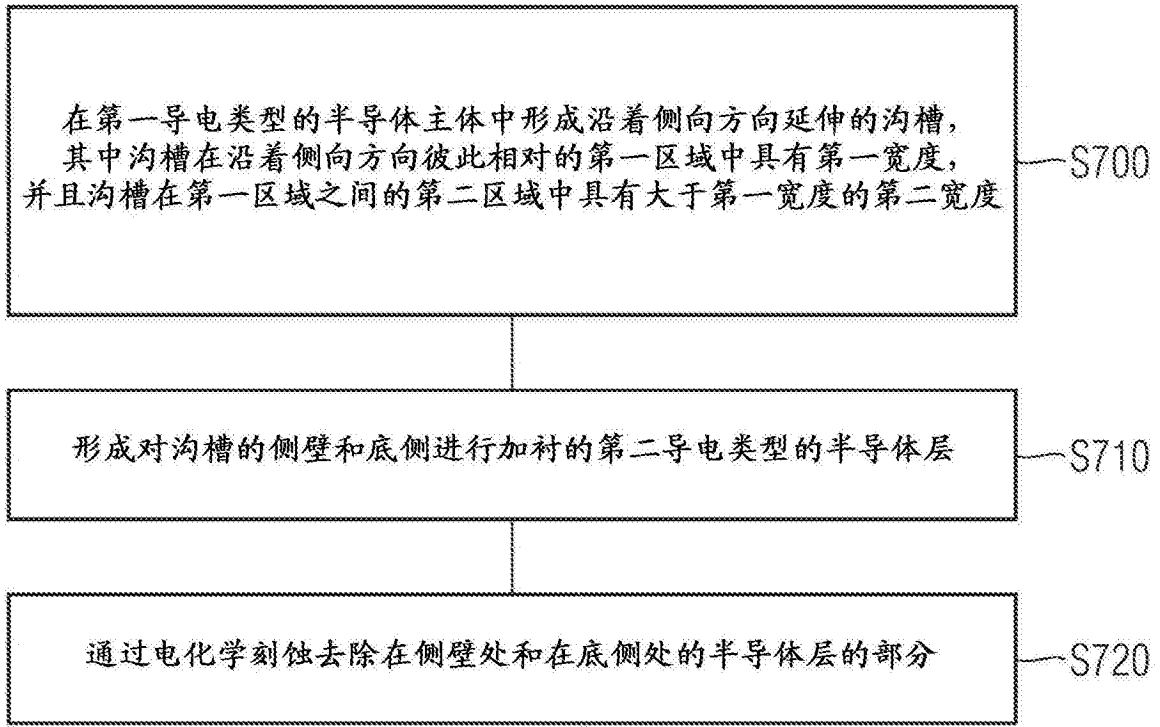


图7

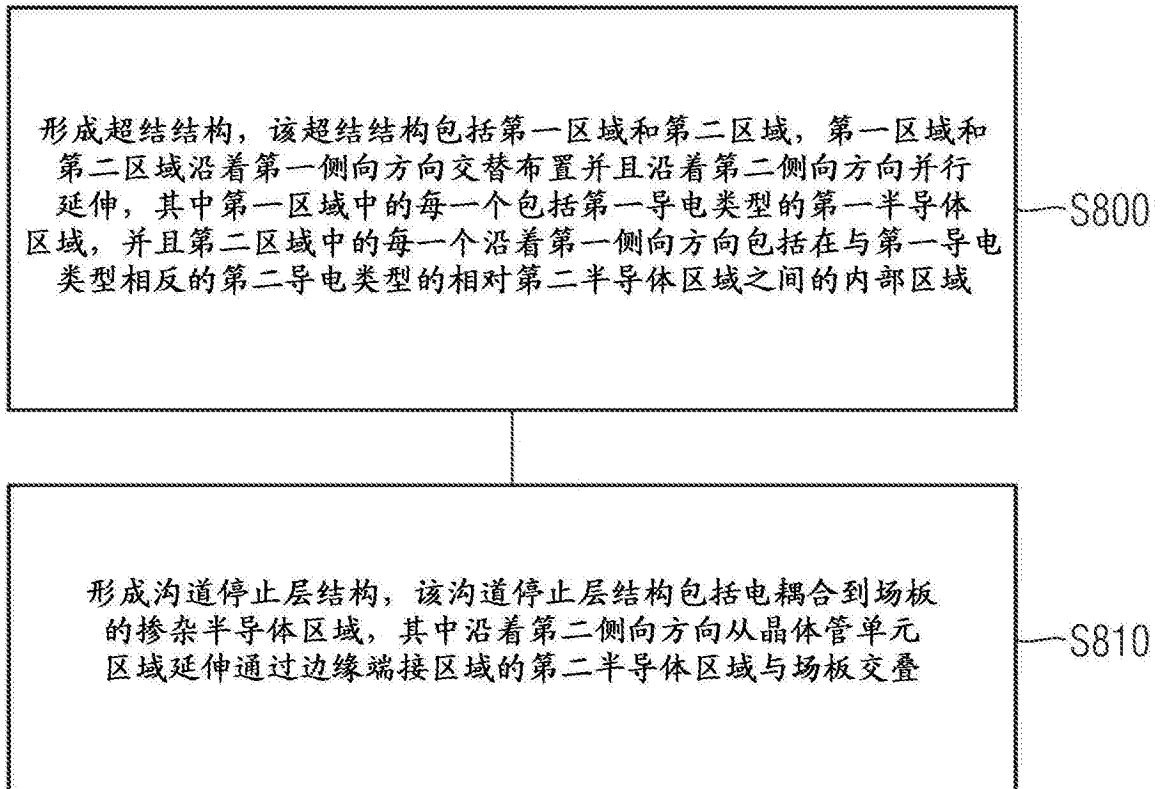


图8

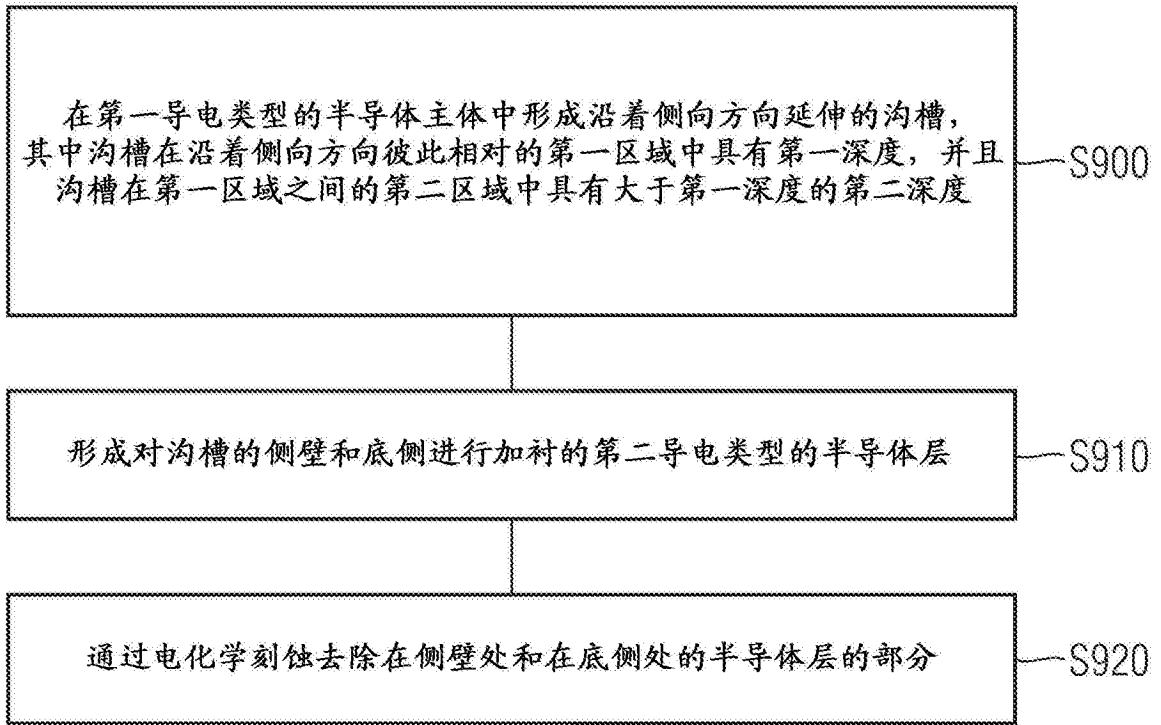


图9

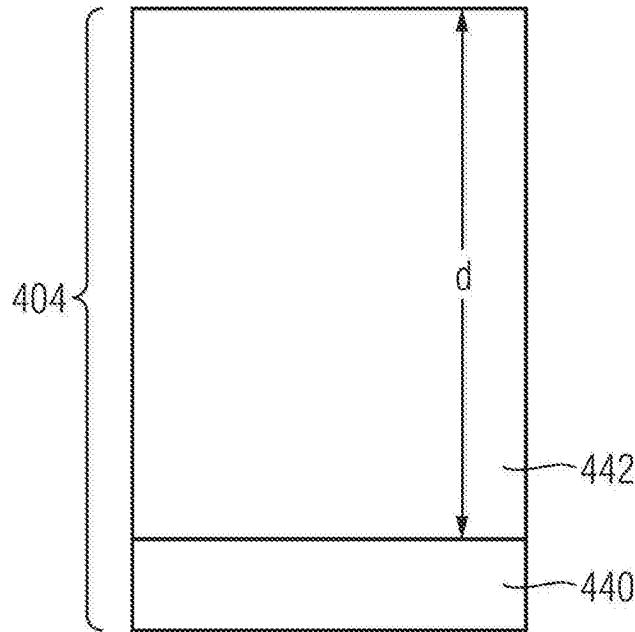


图10A

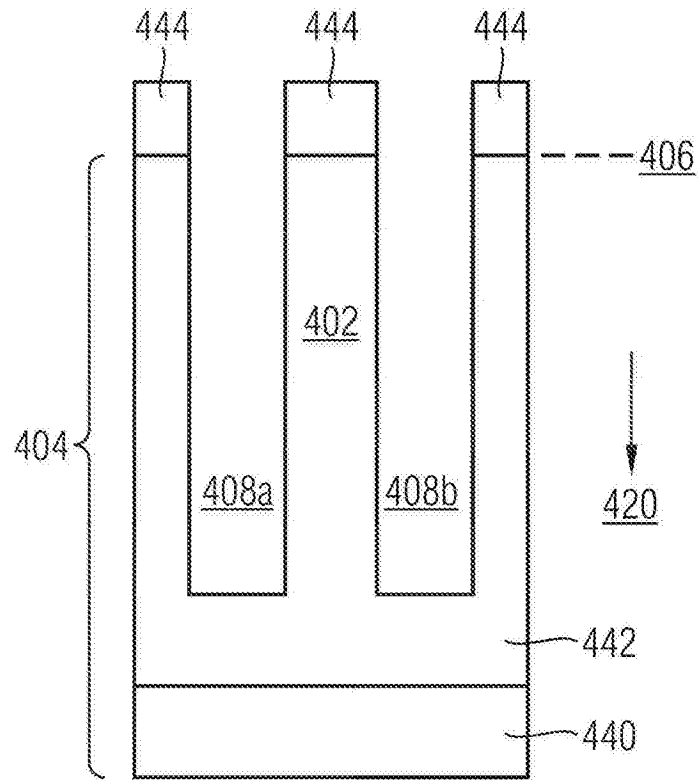


图10B

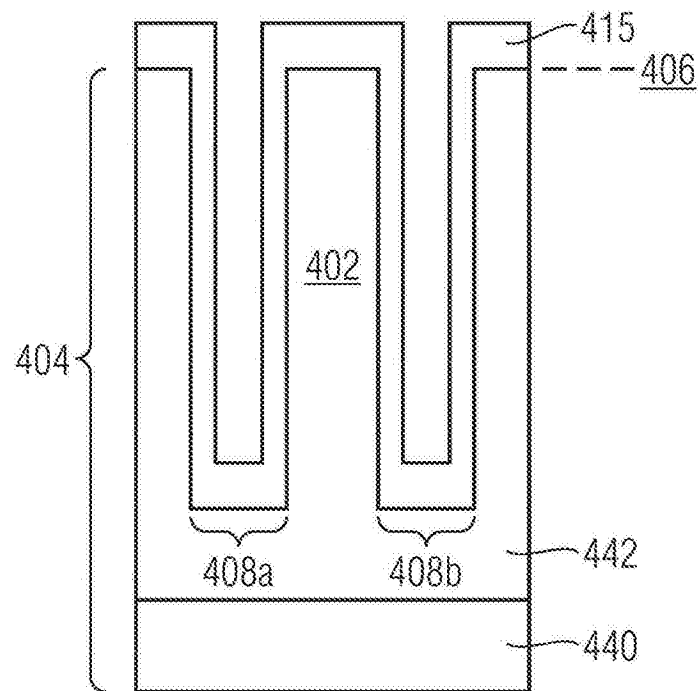


图10C

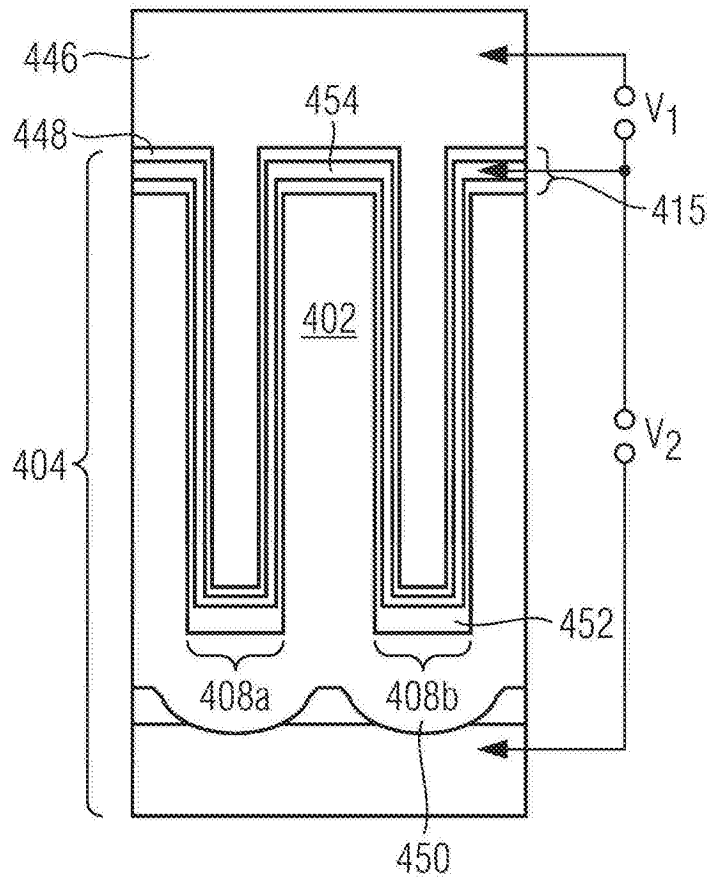


图10D

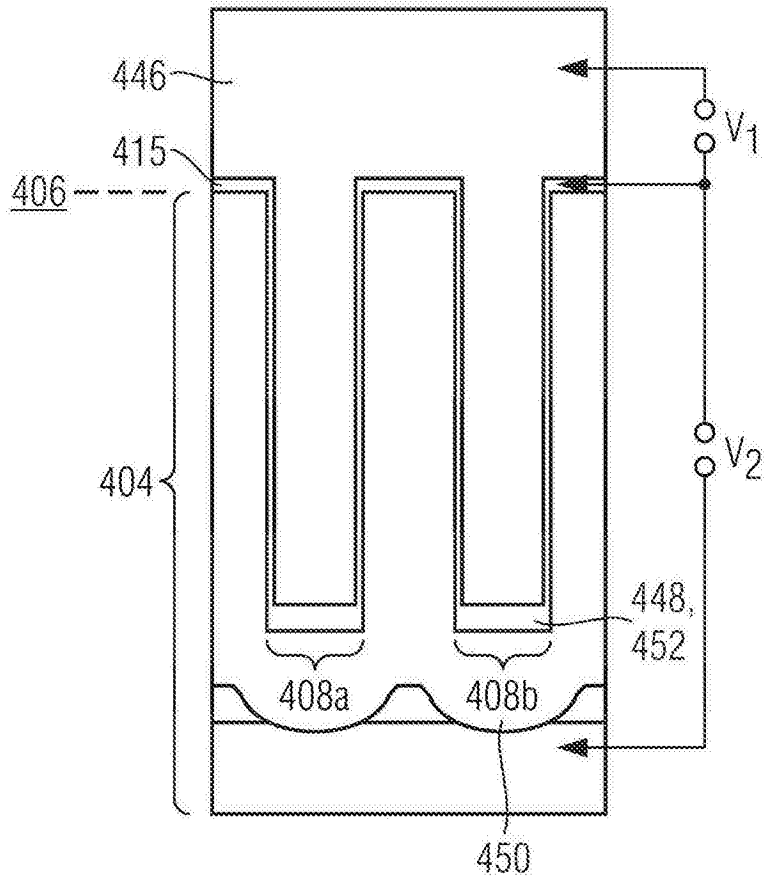


图10E

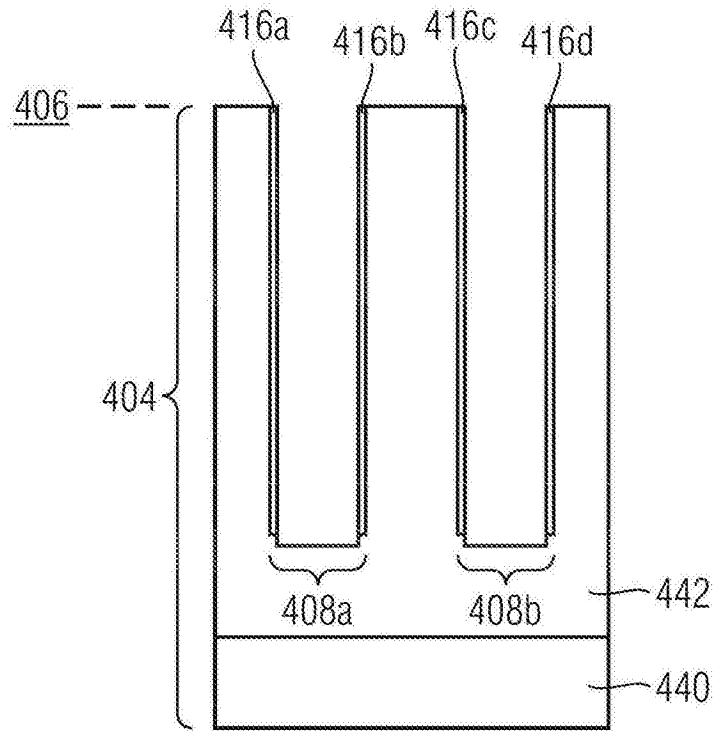


图10F

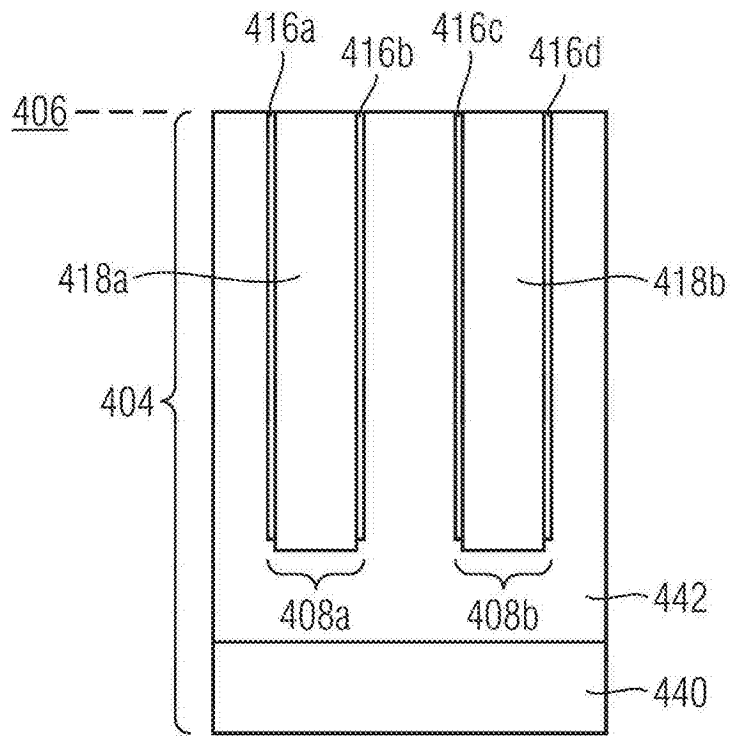


图10G