

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4837902号
(P4837902)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	3 O 1 S
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 6 L
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 6 V
	HO 1 L 29/78	6 1 6 T

請求項の数 7 (全 33 頁)

(21) 出願番号	特願2004-187053 (P2004-187053)	(73) 特許権者	308014341
(22) 出願日	平成16年6月24日 (2004. 6. 24)		富士通セミコンダクター株式会社
(65) 公開番号	特開2006-13082 (P2006-13082A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成18年1月12日 (2006. 1. 12)		23
審査請求日	平成19年4月24日 (2007. 4. 24)	(74) 代理人	100091672
			弁理士 岡本 啓三
		(72) 発明者	福留 秀暢
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		(72) 発明者	久保 智裕
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		審査官	松本 陶子

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
前記半導体基板の上に順に形成されたゲート絶縁膜及びゲート電極と、
前記ゲート電極の横の前記半導体基板の穴に形成された、チャンネルに応力を印加するソース/ドレイン材料層と、
を有し、
前記穴の前記ゲート電極寄りの側面が、二つの異なる(111)面で構成され、該側面の断面形状が前記ゲート電極の下側に凹んだ凹状であることを特徴とする半導体装置。

【請求項2】

前記半導体基板の表面の面方位が(001)であることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記半導体基板の表面の面方位が(110)であり、前記ゲート電極のゲート幅方向が前記半導体基板の[100]方向であることを特徴とする請求項1記載の半導体装置。

【請求項4】

前記ゲート電極の側面にサイドウォールを有し、前記穴の上端部が、前記サイドウォールの下方に入り込み、前記ゲート電極下のチャンネルとの距離が近づけられたことを特徴とする請求項1記載の半導体装置。

【請求項5】

前記ゲート電極の全体が、高融点金属のシリサイドによって構成されることを特徴とする請求項1記載の半導体装置。

【請求項6】

前記ソース/ドレイン材料層はSiGe層であることを特徴とする請求項1記載の半導体装置。

【請求項7】

前記ソース/ドレイン材料層は金属層であることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

近年、LSI等の半導体装置は微細化の一途を辿っているが、微細化によるMOSトランジスタの高性能化は限界に近づいており、一般的に普及しているMOSトランジスタの構造を改良してその性能を高める試みがなされている。そのような試みの一つとして、MOSトランジスタのチャンネル領域に適度な応力を印加することによりキャリアの移動度を増大させる方法がある。応力の印加の仕方には様々あるが、非特許文献1では、ゲート電極の両側のシリコン基板にリセスを形成し、そのリセス内にソース/ドレインとなるSiGe層をエピタキシャル成長させ、シリコンとSiGeとの格子定数の違いを利用してチャンネルに歪みを導入している。非特許文献1によれば、この構造により、P型MOSトランジスタの駆動電流が10%以上改善されるという顕著な効果があるとされている。

20

【0003】

また、非特許文献1の他に、本発明に関連する技術が特許文献1～4にも開示されている。

【特許文献1】特開昭58-35938

【特許文献2】特開平4-180633

【特許文献3】特開平7-50293

【特許文献4】国際公開第98/40909号パンフレット

30

【非特許文献1】T. Ghani et al. "A 90nm High Volume Manufacturing Logic Technology Featuring Novel 45nm Gate Length Strained Silicon CMOS Transistors", IEDM Tech Dig., pp.978-980, (2003)

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、非特許文献1が開示する構造では、既述のようにSiGe層からチャンネルに応力を印加するが、その応力の大きさがゲート幅方向で不均一であったりトランジスタ毎にばらついていたりしたのでは、このトランジスタを量産して広く普及させることはできない。

40

【0005】

また、非特許文献1が開示するMOSトランジスタに限らず、シリコン基板にSiGe層用のリセスを形成しない通常のMOSトランジスタでも、新しいデバイス等を開発する際には、試験用のMOSトランジスタを作製してその特性が評価される。その特性の中でも、チャンネル内のキャリア分布はトランジスタの性能に大きく影響を与えるので、キャリア分布を直接測定するのが好ましいが、現在に至るまでその測定方法は確立されていない。

【0006】

本発明の目的は、チャンネルに応力が印加されるMOSトランジスタの特性ばらつきを防ぐことができる半導体装置を提供することにある。

【課題を解決するための手段】

50

【0008】

本発明の一観点によれば、半導体基板と、前記半導体基板の上に順に形成されたゲート絶縁膜及びゲート電極と、前記ゲート電極の横の前記半導体基板の穴に形成された、チャンネルに応力を印加するソース/ドレイン材料層とを有し、前記穴の前記ゲート電極寄りの側面が、二つの異なる(111)面で構成され、該側面の断面形状が前記ゲート電極の下側に凹んだ凹状であることを特徴とする半導体装置が提供される。

【0009】

このような半導体装置によれば、ソース/ドレイン材料層が形成される穴の側面が、半導体基板の結晶面で構成されるので、結晶面ではない曲面によって穴の側面が構成される特許文献1と比較して、ゲート電極下のチャンネルに応力が安定して印加され、MOSトランジスタの特性の素子間でのばらつきが抑制される。

10

【0010】

そのような穴の側面は、半導体基板の二つの結晶面で構成され、該側面の断面形状が凹状であってもよい。このような断面形状によれば、半導体基板よりも深いところに応力のピークがあるので、半導体基板とゲート絶縁層の界面特性が応力によって劣化し難くなり、MOSトランジスタの駆動特性を高めながらその信頼性をも良好にすることができる。

【発明の効果】

【0025】

本発明に係る半導体装置によれば、ソース/ドレイン材料層が形成される穴の側面を半導体基板の結晶面で構成するようにしたので、ソース/ドレイン材料層からチャンネルに向かって印加される応力の素子間のばらつきを防止でき、半導体装置の信頼性を高めることができる。

20

【発明を実施するための最良の形態】

【0028】

以下に、本発明を実施するための最良の形態について、添付図面を参照しながら詳細に説明する。

【0029】

(1) 第1実施形態

SiGe層を成長させるためのシリコン基板のリセスは、一般的に使用されるKOHや沸硝酸をエッチング液とするウエットエッチングでも形成することができる。しかし、これらのエッチング液を使用したのでは、特許文献1の図1に示されるように、上記のリセスの側面が緩やかな曲面となるため、リセスの形状を制御するのが困難でとなる。そのため、リセスの側面の形状が素子毎にばらついて、MOSトランジスタの特性が素子毎に変動する恐れがある。

30

【0030】

また、上記のウエットエッチングに代えてドライエッチングを使用したのでは、プラズマによってリセスの表面がダメージを受けるので、リセス上にエピタキシャル成長されるSiGe層に格子欠陥が入る恐れがある。

【0031】

これらの点に鑑み、本願発明者は、KOHや沸硝酸に代わるエッチング液を模索して、TMAH(テトラメチルアンモニウムヒドライド)溶液が上記のリセスを形成するのに好適なエッチング液となり得ることを見出した。更に、アルカリ溶液、アルコール、及び水を混合してなる有機アルカリ溶液も上記のエッチング液として好適であることが見出された。

40

【0032】

そこで、以下に、このTMAHと有機アルカリ溶液のエッチング特性を調査するために本願発明者が行った実験について説明する。

【0033】

(a) エッチング選択性

図1は、シリコンと二酸化シリコンに対するTMAH溶液のエッチング選択性を調査するために使用されたサンプルの断面図である。これらのサンプルのうち、サンプルS1は次の

50

ようにして作製された。

【0034】

まず、シラン (SiH_4) を用いるプラズマCVD (Chemical Vapor Deposition) 法により、シリコン基板 1 の上に二酸化シリコン層 2 を形成した後、シランを反応ガスとする LPCVD (Low Pressure CVD : 減圧CVD) によりポリシリコン層 3 を厚さ 100nm に形成した。その後、ポリシリコン層 3 の表面を硝酸に曝して酸化することにより厚さ 1.0nm 程度の酸化膜 4 を形成した。

【0035】

一方、サンプル S2 は、サンプル S1 と同様にしてポリシリコン層 3 を形成した後、その表面を弗酸に曝して水素終端したものであり、サンプル S1 の酸化膜 4 は形成しなかつた

10

【0036】

その後、純水に TMAH を溶解してなる 5 ~ 30 % の体積濃度の TMAH 溶液を作製し、この TMAH 溶液で上記のサンプル S1、S2 をウエットエッチングした。そして、このエッチングを所定時間行った後、サンプル S1 の自然酸化膜 4 と、サンプル S2 のポリシリコン層 3 のそれぞれの膜厚を膜厚計によって測定し、その測定結果をこれらの膜の初期膜厚と比較することにより、エッチング量を見積もった。その結果は図 2 のようになった。

【0037】

図 2 の横軸は TMAH 溶液によるエッチング時間を示し、縦軸はエッチング後のポリシリコン層 3 の厚さを示す。

20

【0038】

図 2 から明らかのように、自然酸化膜 4 を形成したサンプル S1 ではエッチングが全く進行しないのに対し、ポリシリコン層 3 が露出しているサンプル S2 ではエッチング時間の進行と共にポリシリコン層 3 がエッチングされる。

【0039】

以上の結果より、TMAH 溶液の二酸化シリコンに対するエッチングレートは 0 nm/min と見做してよく、一方、シリコンのエッチングレートは有限値となることが明らかとなった。更に、本願発明者が行った別の実験結果によれば、TMAH 溶液によるシリコンのエッチレートは TMAH 溶液の温度に依存することも明らかとなった。

【0040】

30

図 3 は、TMAH 溶液に代えて有機アルカリ溶液を使用し、上記と同じ実験を行って得られたグラフである。その有機アルカリ溶液は、純水中に水酸化アンモニウムを投入して 20 wt% 以上の濃度の水酸化アンモニウム溶液を作製した後、この水酸化アンモニウム溶液に IPA (イソプロピルアルコール) を 2 wt% 以上の濃度で溶解して作製された。

【0041】

図 3 に示されるように、有機アルカリ溶液も、シリコンを選択的にエッチングし、二酸化シリコンをエッチングしないことが明らかとなった。

【0042】

なお、有機アルカリ溶液は上記に限定されず、水酸化アンモニウム溶液とは別のアルカリ溶液と、IPA 等の重アルコールとの混合溶液を有機アルカリ溶液として使用してよい。

40

【0043】

(b) TMAH 溶液のエッチングレートの不純物濃度依存性

上記した図 2、図 3 の実験では、ポリシリコン層 3 に対して不純物を導入しなかつたが、ポリシリコン層 3 のエッチングレートが不純物濃度に依存すると推測される。この点を確かめるため、本願発明者は次のような実験を行った。

【0044】

この実験では、先のサンプル S2 と同じ構造のサンプルを 3 個用意した。そして、これらのサンプルのうちの二つのポリシリコン層 3 に、それぞれ n 型不純物として砒素、p 型不純物としてホウ素をイオン注入した。そのイオン注入におけるドーブ量は $1.0 \times 10^{17} \text{ cm}^{-3}$ ~ $2.0 \times 10^{21} \text{ cm}^{-3}$ とした。また、残りの一つのサンプルにおけるポリシリコン層

50

3には不純物を導入せずにノンドープとした。

【0045】

その後、これらのサンプルのポリシリコン層3を所定時間だけTMAH溶液に曝し、ポリシリコン層3のエッチング量を調査した。その結果を図4に示す。

【0046】

図4に示されるように、ノンドープの場合と比較して、n型不純物（砒素）が導入された場合にはポリシリコン層3のエッチングレートが速くなることが明らかとなった。一方、p型不純物（ホウ素）が導入された場合には、ノンドープの場合よりもポリシリコン層3のエッチングレートが遅くなることが明らかとなった。更に、本願発明者が行った別の実験によれば、図4のホウ素のドーパ量を更に10倍にすると、ポリシリコン層3のエッチングがほぼ進行しなくなることも明らかとなった。

10

【0047】

(2)第2実施形態

次に、第1実施形態で明らかとなったTMAH溶液と有機アルカリ溶液のエッチング特性を利用してシリコン基板にリセスを形成し、そのリセス内のSiGe層をソース/ドレインとするMOSトランジスタを作製する方法について説明する。

【0048】

図5～図6は、本実施形態に係る半導体装置の製造途中の断面図である。

【0049】

最初に、図5(a)に示す断面構造を得るまでの工程について説明する。

20

【0050】

まず、表面の面方位が(001)のp型シリコン(半導体)基板10にSTI(Shallow Trench Isolation)用の素子分離溝10gを形成した後、この素子分離溝10g内に素子分離絶縁膜11として二酸化シリコン層を埋め込む。その後、シリコン基板10にn型不純物として例えばリンを用いた場合は加速エネルギー約300KeV以上、ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ 以上の条件でイオン注入することにより、素子分離絶縁膜11で画定されるp型MOSトランジスタ形成領域にnウエル12を形成する。

【0051】

なお、p型MOSトランジスタの他にn型MOSトランジスタを作製してCMOS構造とする場合には、更にn型MOSトランジスタ形成領域におけるシリコン基板10に、加速エネルギー100KeV以上、ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ 以上の条件でp型不純物として例えばボロンをイオン注入して、pウエル(不図示)を形成する。この場合、p型とn型の不純物の打ち分けは、シリコン基板10上の不図示のレジストパターンを用いて行われ、このレジストパターンはイオン注入の後にウエット処理で除去される。

30

【0052】

次いで、シリコン基板10の表面を熱酸化し、二酸化シリコンよりなるゲート絶縁膜13を厚さ約0.5~5.0nmに形成する。ここで、ゲート絶縁膜13として、二酸化シリコンに微量の窒素を添加したゲート絶縁膜を用いてもよい。更に、シランを用いるLPCVDにより、ゲート絶縁膜13の上にポリシリコン層14を厚さ約10~300nmに形成した後、TMAH溶液によるポリシリコンのエッチングが進行しなくなる程度の濃度のp型不純物をポリシリコン層14にイオン注入する。本実施形態では、そのようなp型不純物としてボロンを採用し、ゲート電極全体で十分に高濃度になるように加速エネルギー約0.5~20KeV、ドーズ量約 $1 \times 10^{14} \sim 1 \times 10^{17} \text{cm}^{-2}$ の最適化された条件で上記のポリシリコン層14にイオン注入する。

40

【0053】

次に、図5(b)に示す断面構造を得るまでの工程について説明する。

【0054】

まず、フォトリソグラフィによりポリシリコン層14をパターンニングしてゲート電極14cとする。

実施例ではゲート加工後に薄いスペーサを形成せずにエクステンションおよびポケット形

50

成を行うプロセスで述べるが、エクステンションとゲートの最適なオーバーラップを形成するため5~20nmの薄いスペーサを形成した後エクステンションおよびポケット注入を行う方法も可能である。また、nMOSあるいはpMOSのどちらか一方にのみスペーサを形成させる方法も可能である。スペーサの膜構成、形状には頓着せず、スペーサとしての機能を持つものであれば可能である。

【0055】

続いて、ゲート電極14cをマスクにしてシリコン基板10にp型不純物として例えばボロンを加速エネルギー約0.2~1.0KeV、ドーズ量約 $1 \times 10^{14} \sim 2 \times 10^{15} \text{cm}^{-2}$ 、ティルト角0~15度の条件でイオン注入することにより、ゲート電極14cの第1、第2側面14a、14bの横のシリコン基板10に第1、第2ソース/ドレインエクステンション16a、16bを浅く形成する。同じ箇所、ショートチャネル効果を抑制するためのポケット注入を例えば、アンチモンを加速エネルギー30-80 keV、ドーズ量 $1 \times 10^{13} \sim 2 \times 10^{14} \text{cm}^{-2}$ 、ティルト角0-35度の条件で行う。ソース/ドレインエクステンション注入イオン種にBF₂を用いる場合、エネルギーを1~2.5keV、ドーズを倍に設定することで最適条件になる。上記の最適条件はスペーサの有無、厚さによって変わり、スペーサがある場合、ポケットはエネルギー深め、エクステンションはドーズ多めに誘導し、最適な条件とする必要がある。また、砒素、リン、アンチモン等を用いたポケット注入も可能であり、それをエクステンション注入前後に行ってもよい。

10

【0056】

その後、シランを用いるプラズマCVD法により、基板温度を約600 以下とする条件下で、第1サイドウォール用絶縁層15として二酸化シリコン層を全面に形成し、この第1サイドウォール用絶縁層15でゲート電極14cの第1、第2側面14a、14bを覆う。なお、二酸化シリコン層に代えて、窒化シリコン層を第1サイドウォール用絶縁層15として形成してもよい。

20

【0057】

次に、図5(c)に示す断面構造を得るまでの工程について説明する。

【0058】

まず、プラズマエッチングにより、第1サイドウォール用絶縁層15をエッチバックして、第1、第2側面14a、14bに第1サイドウォール15a、15bとして残す。また、このエッチングでは、第1サイドウォール15a、15bで覆われていない部分のゲート絶縁膜13もエッチングされ、ゲート絶縁膜13がゲート電極14cの下にのみ残る。

30

【0059】

更に、ゲート電極14cと第1サイドウォール15a、15bとをマスクにしてシリコン基板10にp型不純物(第1導電型不純物)として例えばボロンをイオン注入する。これにより、ソース/ドレインエクステンション16a、16bよりも深くて濃いソース/ドレイン領域17a、17bがゲート電極14cの横のシリコン基板10に形成される。

【0060】

その後、例えば基板温度約950~1050 の条件で活性化アニールを行い、ソース/ドレイン領域17a、17b内の不純物を活性化させる。必要に応じて、この熱処理を省略してもよい。

40

【0061】

次に、図5(d)に示す断面構造を得るまでの工程について説明する。

【0062】

まず、体積濃度が5~30%、温度が0~50 のTMAH溶液内にシリコン基板10を浸すことにより、シリコン基板10のエッチングを開始する。このとき、図2に示した実験結果のように、TMAH溶液はシリコンのみを選択的にエッチングし、二酸化シリコンはエッチングされない。従って、このエッチングでは、第1サイドウォール15a、15bと素子分離絶縁膜11がエッチングマスクとして機能し、これらで覆われていない部分のシリコン基板10が選択的にエッチングされることになる。

50

【0063】

また、図4に示した実験結果のように、p型不純物がドーブされたシリコンはTMAH溶液に対するエッチング速度が遅くなるので、図5(a)の工程においてp型不純物としてボロンが高濃度にイオン注入されたゲート電極14cは、このTMAH溶液によって殆どエッチングされない。

【0064】

しかも、TMAH溶液によるエッチングでは、非特許文献1のような曲面ではなく、シリコン基板10の(111)面が綺麗に表出するので、この(111)面を第1、第2側面10c、10dとする第1、第2リセス(穴)10a、10bが形成されることになる。

【0065】

その第1、第2リセス10a、10bの深さは、エッチング時間によって制御され、本実施形態では約20~70nm程度の最適な値とする。

【0066】

また、上記のエッチングは横方向にも進行するので、各リセス10a、10bのゲート電極14c寄りの上端部10e、10fが第1サイドウォール15a、15bの下に距離dだけ入り込むことになる。記述のように、TMAH溶液に対するシリコン基板10エッチングレートは、シリコン中の不純物濃度に依存するので、上記の距離dは、ソース/ドレインエクステンション16a、16bやソース/ドレイン領域17a、17bの不純物濃度を調整することで制御可能となる。

【0067】

また、図2の実験結果で示されるように、二酸化シリコンはTMAH溶液に対して殆どエッチングされない。そのため、TMAH溶液によるエッチングでリセス10a、10bを形成しているとき、二酸化シリコンよりなるサイドウォール15a、15bの近くでのシリコン基板10のエッチングレートが落ちるので、エッチングによって上端部10eがサイドウォール15a、15bの下方に入り込む速度が他の部分に比べて鈍り、上記の入り込み量dを制御し易くなる。更に、その入り込み量dは、第1サイドウォール用絶縁層15を形成するときの基板温度によっても決定されるので、その基板温度によっても入り込み量dを制御することができる。これについては、後述の各実施形態においても同様である。

【0068】

なお、TMAH溶液に代えて有機アルカリ溶液を用いても、第1、第2側面10c、10dに綺麗な(111)面を出せると共に、各リセス10a、10bの入り込み量dを制御することができる。

【0069】

次に、図6(a)に示す断面構造を得るまでの工程について説明する。

【0070】

まず、エピタキシャル成長用のチャンバ(不図示)内にシリコン基板10を入れ、基板温度を安定させる。その後、シラン系ガス等を上記のチャンバ内に供給することにより、Ge濃度が3~30%のSiGe層を各リセス10a、10b内に選択的にエピタキシャル成長させる。そのSiGe層は、シリコン上のみ選択的に成長し、二酸化シリコンよりなる素子分離絶縁膜11や第1サイドウォール15a、15bの上には成長しない。

【0071】

その後、各リセス10a、10bの底面から測った上記のSiGe層の厚さが約20~120nm程度の最適値となったところでエピタキシャル成長を停止し、得られたSiGe層を第1、第2ソース/ドレイン材料層18a、18bとする。

【0072】

ソース/ドレイン材料層18a、18bの厚さは上記に限定されないが、本実施形態のようにシリコン基板10の表面よりも高くソース/ドレイン材料層18a、18bの上を形成することにより、その上面とnウエル12の底面との距離が長くなる。これにより、nウエル12の底面におけるp-n接合と、ソース/ドレイン材料層18a、18b上に後で形成される導電性プラグとの距離が長くなり、上記のp-n接合におけるジャンクション

10

20

30

40

50

リークを抑制することができ、トランジスタの信頼性を高めることができる。

【0073】

また、上記では、ソース/ドレイン領域17a、17bを形成した後にソース/ドレイン材料層18a、18bを形成したが、これらの形成順序は特に限定されず、ソース/ドレイン材料層18a、18bを形成した後にソース/ドレイン領域17a、17bを形成してもよい。

【0074】

次に本実施形態では、ソース/ドレイン材料層18a、18bにp型不純物としてボロンを加速エネルギー約0.5-20 KeV、ドーズ量約 $1 \times 10^{14} \sim 1 \times 10^{16} \text{cm}^{-2}$ の最適化された条件でイオン注入する。その後、例えば基板温度約950~1050 の条件で活性化アニールを行い、ソース/ドレイン領域18a、18b内の不純物を活性化させる。ソース/ドレイン領域18a、18bを形成する際にIn situドーブを行った場合は、不純物注入及び熱処理を省略してもよい。

10

【0075】

続いて、図6(b)に示すように、スパッタ法により高融点金属層として例えばニッケル層を形成した後熱処理でニッケルとシリコンとを反応させることにより、ソース/ドレイン材料層18a、18bの上に第1、第2ニッケルシリサイド層19a、19bを形成する。そのニッケルシリサイド層はゲート電極14cの表層にも形成され、それによりゲート電極14cはポリサイド構造となる。その後、未反応のニッケル層をウエットエッチングして除去する。

20

【0076】

なお、ニッケル層に代えて、コバルト層を高融点金属層として形成してもよい。

【0077】

次に、図6(c)に示す断面構造を得るまでの工程について説明する。

【0078】

まず、プラズマCVD法により全面にカバー絶縁層20として窒化シリコン層を形成した後、埋め込み性の良いHDPCVD(High Density Plasma CVD)法により二酸化シリコン層を厚に形成し、それを層間絶縁層21とする。その後、ゲート電極10c等の凹凸を反映して層間絶縁層21の上面に形成された凹凸を平坦化するために、CMP(Chemical Mechanical Polishing)法によって層間絶縁層21の上面を研磨して平坦化する。

30

【0079】

次いで、フォトリソグラフィ法により層間絶縁層21とカバー絶縁層20とをパターニングして、ニッケルシリサイド層19a、19bに至る深さの第1、第2ホール21a、21bを形成する。そして、その第1、第2ホール21a、21b内と層間絶縁層21の上面に、スパッタ法によりグルー層としてTiN層を形成し、更にその上にCVD法によりタングステン層を形成して、そのタングステン層により各ホール21a、21bを完全に埋め込む。その後、層間絶縁層21上に形成された余分なタングステン層とグルー層とをCMP法により研磨して除去し、これらの膜を各ホール21a、21b内に第1、第2導電性プラグ22a、22bとして残す。

【0080】

この後は、各導電性プラグ22a、22bと電氣的に接続される金属配線を層間絶縁層21上に形成する工程に移るが、その詳細は説明する。

40

【0081】

以上により、ソース/ドレイン材料層18a、18bがリセス10a、10b内に埋め込まれて成るp型MOSトランジスタTRの基本構造が完成したことになる。

【0082】

そのMOSトランジスタTRでは、ソース/ドレイン材料層18a、18bとシリコン基板10との格子定数のミスマッチによって、シリコン基板10内のシリコン原子が大きなSiGe格子間隔に整合するように強制的に引き伸ばされ、同図の矢印の方向の応力がゲート電極14c下のチャンネルに印加される。その結果、応力が印加されない場合よりもチャンネルに

50

おけるキャリアの移動度が向上し、MOSトランジスタの駆動能力を高めることができる。

【0083】

上記した実施形態によれば、図5(d)の工程において、第1、第2リセス10a、10bを形成するエッチング液としてTMAH溶液や有機アルカリ溶液を使用したため、それぞれのリセス10a、10bの第1、第2側面10c、10dに一枚の(111)面が自動的に現れ、各リセス10a、10bの形状を制御するのが容易となる。従って、上記のMOSトランジスタをシリコン基板10に集積形成しても、第1、第2側面10c、10dが曲面となる非特許文献1と比較して、それぞれのMOSトランジスタ毎にリセス10a、10bの形状がばらつき難くなる。これにより、MOSトランジスタの特性の素子間でのばらつきを抑制することができ、LSI等の半導体装置の信頼性を向上させることができる。

10

【0084】

図7は、本実施形態に則してリセス10a、10bを形成し、そのリセス10a、10bのSEM(Scanning Electron Microscope)像を基にして描いた図である。これに示されるように、第1、第2リセス10a、10bの側面を構成する第1、第2側面10c、10dに(111)面が現れている。

【0085】

各リセス10a、10bが第1サイドウォール15a、15b下へ入り込む距離dは特に限定されない。

【0086】

図8は、第1サイドウォール用絶縁層15を形成するときの基板温度を調整することにより、上記の距離dを大きくした場合のSEM像を基にして描いた図である。

20

【0087】

このように入り込み量dを大きくすると、リセス10a、10bの上端10c、10dとゲート電極10c下のチャンネルとの距離が近くなるので、上端10e、10fからチャンネルに応力を効率的に印加することができるようになる。このような利点は、後述の各実施形態でも得ることができる。

【0088】

なお、本実施形態は上記に限定されない。例えば、SiGe層に代えて、Pt(プラチナ)等の貴金属よりなる金属層でソース/ドレイン材料層18a、18bを構成してもよい。その場合、作成されるトランジスタTRはショットキートランジスタとなる。これについては後述の各実施形態においても同様である。

30

【0089】

(3)第3実施形態

次に、本発明の第3実施形態に係る半導体装置の製造方法について説明する。

【0090】

図9は、本実施形態に係る半導体装置の製造途中の断面図である。なお、図9において、第2実施形態で既に説明した要素には第2実施形態と同じ符号を付し、以下ではその説明を省略する。

【0091】

最初に、第2実施形態に従って、図5(a)に示した構造を完成させる。但し、第2実施形態では、TMAH溶液によるポリシリコンのエッチングが進行しなくなる程度に十分濃い濃度のp型不純物をポリシリコン層14にイオン注入したが、本実施形態では、TMAH溶液によってポリシリコン層14が途中までエッチングされる程度の薄い濃度のp型不純物をポリシリコン14のイオン注入する。本実施形態では、そのようなp型不純物としてボロンを採用し、それを加速エネルギー約0.5~20KeV、ドーズ量約 $1 \times 10^{13} \sim 5 \times 10^{15} \text{cm}^{-3}$ の条件で上記のポリシリコン層14にイオン注入する。

40

【0092】

その後、既述の第2実施形態に従って図5(c)に示す構造を得る。

【0093】

次に、図9(a)に示す断面構造を得るまでの工程について説明する。

50

【0094】

まず、積濃度が5～30%、温度が0～50のTMAH溶液内にシリコン基板10を浸すことにより、シリコン基板10のエッチングを開始する。このとき、ゲート電極14cを構成するポリシリコン層14に導入されるp型不純物の濃度を予め低くしておいたため、このエッチングではシリコン基板10だけでなく、ゲート電極14cの上面もエッチングされる。

【0095】

そして、第1、第2リセス10a、10bの深さが約20～70nmとなり、ゲート電極14cの厚さが約30～150nm程度にまで薄くなったところで上記のエッチングを停止する。これにより、図示のように、第1、第2側面10c、10dが(111)面で構成される第1、第2リセス10a、10bが形成される共に、ゲート電極14cの高さが第1サイドウォール15a、15bよりも低い構造が得られることになる。

10

【0096】

続いて、図9(b)に示すように、既述の図6(a)の工程を行うことにより、第1、第2ソース/ドレイン材料層18a、18bとなるSiGe層を第1、第2リセス10a、10b内に選択的にエピタキシャル成長させる。

【0097】

次に本実施形態では、ソース/ドレイン材料層18a、18bにp型不純物としてボロンを加速エネルギー約0.5-20 KeV、ドーズ量約 $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の最適化された条件でイオン注入する。その後、例えば基板温度約950～1050の条件で活性化アニールを行い、ソース/ドレイン領域18a、18b内の不純物を活性化させる。ソース/ドレイン領域18a、18bを形成する際にIn situドーピングを行った場合は、不純物注入及び熱処理を省略してもよい。次に、図9(c)に示すように、第1、第2ソース/ドレイン材料層18a、18bとゲート電極14cのそれぞれの上に、スパッタ法により高融点金属層としてニッケル層を形成した後、熱処理でニッケルとシリコンとを反応させ、SiGe層よりなる第1、第2ソース/ドレイン材料層18a、18bの上にニッケルシリサイド層19a、19bを形成する。このシリサイド化はゲート電極14cにおいても起きるが、図9(a)の工程においてゲート電極14cの厚さを予め薄くしておいたため、シリサイド化がゲート電極14cの全てに及び、ゲート電極14cがニッケルシリサイドよりなるメタルゲートとなる。

20

30

【0098】

なお、ニッケル層に代えて、コバルト層或いは白金層、或いはそれらの混合物層を高融点金属層として採用してもよい。

【0099】

この後は、既述の図6(c)の工程を行うことにより、MOSトランジスタの基本構造を完成させる。

【0100】

以上説明した本実施系形態によれば、第2実施形態と同じようにして各リセス10a、10bの第1、第2側面10c、10dを一枚の(111)面で構成することができる。

【0101】

更に、本実施形態では、ゲート電極14cへ導入されるp型不純物の濃度を第2実施形態よりも低くして、TMAH溶液によるリセス10a、10dの形成と同時にゲート電極14cがエッチングされてその高さが低くなるようにした。

40

【0102】

このようにすることで、第1、第2ソース/ドレイン材料層18a、18bをシリサイド化してニッケルシリサイド層19a、19bを形成すると同時に、ゲート電極14cがシリサイド化されてメタルゲートとなるので、メタルゲートとリセス10a、10bのそれぞれの形成プロセスを両立させることが可能となる。

【0103】

なお、上記では、各リセス10a、10bを形成する際にTMAH溶液をエッチング液とし

50

て使用したが、これに代えて有機アルカリ溶液を使用しても上記と同様の利点を得ることができる。

【0104】

(4) 第4実施形態

次に、本発明の第4実施形態に係る半導体装置の製造方法について説明する。

【0105】

図10は、本実施形態に係る半導体装置の製造途中の断面図である。なお、図10において、第2実施形態で既に説明した要素には第2実施形態と同じ符号を付し、以下ではその説明を省略する。

【0106】

まず、既述の第2実施形態に従って図5(c)に示した断面構造を得た後に、図10(a)に示すように、シリコン基板10、第1サイドウォール15a、15b、及びゲート電極14cの上に第2サイドウォール用絶縁層25として二酸化シリコン層を厚さ約5~100nmに形成する。その二酸化シリコン層の形成方法は特に限定されないが、本実施形態ではシランを反応ガスとして使用するプラズマCVD法によりその二酸化シリコン層を形成する。また、二酸化シリコン層に代えて窒化シリコン層を第2サイドウォール用絶縁層25として形成してもよい。

【0107】

次に、図10(b)に示す断面構造を得るまでの工程について説明する。

【0108】

まず、プラズマエッチングにより、第2サイドウォール用絶縁層25をエッチバックして、第1サイドウォール15a、15bの側面に第2サイドウォール25a、25bとして残す。このように二層の絶縁層で構成されるサイドウォール26a、26bは二重サイドウォールとも呼ばれる。

【0109】

続いて、第2サイドウォール25a、25bとゲート電極14cとをマスクにして、シリコン基板10にn型不純物として例えば砒素を加速エネルギー約3~20KeV、ドーズ量 $1 \times 10^{14} \sim 5 \times 10^{15} \text{cm}^{-2}$ の条件でイオン注入する。これにより、シリコン基板10において、第1導電型(p型)のソース/ドレインエクステンション16a、16bよりも更に深いところに、第2導電型(n型)の第1、第2不純物拡散領域27a、27bが形成される。

【0110】

次に、図10(c)に示す断面構造を得るまでの工程について説明する。

【0111】

まず、体積濃度が5~30%、温度が0~50のTMAH溶液内にシリコン基板10を浸すことによりシリコン基板10のエッチングを開始して、ゲート電極14cの横のシリコン基板10に、ソース/ドレインエクステンション16a、16bよりも深い約20~80nmの深さを有する第1、第2リセス10a、10bを形成する。

【0112】

このとき、図4で説明した実験結果から明らかなように、n型不純物が導入されたシリコンは、p型不純物が導入されたシリコンと比較してTMAH溶液に対するエッチングレートが高くなる。そのため、n型不純物(砒素)が導入された第1、第2不純物拡散領域27a、27bは、p型不純物(ボロン)が導入された第1、第2ソース/ドレインエクステンション16a、16bやソース/ドレイン領域17a、17bと比較して、TMAH溶液によるエッチングが速く進行する。

【0113】

このように二つの層によってエッチングレートが異なると、これらの層の界面を境にして異なるエッチング面が表出する。従って、各リセス10a、10bの第1、第2側面10c、10dにおいて、p型の第1、第2不純物拡散領域27a、27bに接する部分では(111)面が現れるのに対し、n型の第1、第2ソース/ドレインエクステンション16a、16bやソース/ドレイン領域17a、17bに接する部分では、上記とは別の(

10

20

30

40

50

111)面が現れる。

【0114】

その結果、本実施形態では、第1、第2側面10c、10dがそれぞれ二つの異なる(111)面で構成され、第1、第2側面10c、10dの断面形状が、ゲート電極14cの下側に凹んだ凹状となる第1、第2リセス10a、10bが得られることになる。

【0115】

なお、このような断面形状のリセス10a、10bは、TMAH溶液に代えて有機アルカリ溶液を用いても形成することができる。

【0116】

その後、既述の図6(a)の工程を行うことにより、図10(d)に示すように、各リセス10a、10bに選択的にSiGe層をエピタキシャル成長させ、そのSiGe層を第1、第2ソース/ドレイン材料層18a、18bとする。

【0117】

この後は、既述の図6(b)、図6(c)の工程を行うことにより、MOSトランジスタの基本構造を完成させる。

【0118】

以上説明した本実施形態によれば、図10(b)に示したように、p型の第1、第2ソース/ドレインエクステンション16a、16bやソース/ドレイン領域17a、17bよりも更に深いところに、これらとは導電型が反対のn型の第1、第2不純物拡散領域27a、27bを形成した。この導電型の違いに起因して、図10(c)の工程においてTMAH溶液により第1、第2リセス10a、10bを形成するとき、これらのリセス10a、10bの第1、第2側面10c、10dのそれぞれに異なる(111)面が現れ、第1、第2側面10c、10dの断面形状がゲート電極14cの下側に凹んだ凹状となる第1、第2リセス10a、10bが得られる。

【0119】

図11は、本実施形態に従ってリセス10a、10bを形成し、そのリセス10a、10bのSEM像を基にして描いた図である。これに示されるように、第1、第2リセス10a、10bのそれぞれの側面には、二つの異なる(111)面が現れている。

【0120】

このようなりセス形状によれば、図10(d)の矢印で示されるように、シリコン基板10よりもやや深いところに応力のピークがあるので、シリコン基板10とゲート絶縁層13の界面特性が応力によって劣化し難くなり、MOSトランジスタの駆動特性を高めながらその信頼性をも良好にすることができる。

【0121】

(5)第5実施形態

次に、本発明の第5実施形態に係る半導体装置の製造方法について説明する。

【0122】

図12、図13は、本実施形態に係る半導体装置の製造途中の断面図である。これらの図において、第2～第4実施形態で既に説明した要素にはこれらの実施形態と同じ符号を付し、以下ではその説明を省略する。

【0123】

以下に説明するように、本実施形態では、半導体基板としてSOI(Silicon on Insulator)基板を使用する。

【0124】

最初に、図12(a)に示す断面構造を得るまでの工程について説明する。

【0125】

まず、シリコン基板31の上に埋め込み絶縁層32とシリコン層33とを形成してなるSOI基板30を例えば張り合わせ法等により作製し、埋め込み絶縁層32に至る深さの素子分離溝33gをシリコン層33に形成する。更に、その素子分離溝33gに素子分離絶縁膜11として二酸化シリコン層を埋め込む。

10

20

30

40

50

【 0 1 2 6 】

シリコン層 3 3 の面方位は特に限定されないが、本実施形態では面方位が (0 0 1) となるようにシリコン層 3 3 を形成する。また、埋め込み絶縁層 3 2 としては例えば厚さ 5 ~ 100nm の二酸化シリコン層が形成される。

【 0 1 2 7 】

次に、図 1 2 (b) に示すように、シリコン層 3 3 に n 型不純物としてリンを加速エネルギー約 3 0 0 KeV 以上、ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ 以上の条件でイオン注入することにより、素子分離絶縁膜 1 1 で画定される p 型 MOS トランジスタ形成領域に n ウエル 3 4 を形成する。

【 0 1 2 8 】

次いで、シリコン層 3 3 の表面を熱酸化し、二酸化シリコンよりなるゲート絶縁膜 1 3 を厚さ約 0.5 ~ 5.0nm に形成する。ここで、ゲート絶縁膜 1 3 として、二酸化シリコンに微量の窒素を添加したゲート絶縁膜を用いてもよい。更に、シランを用いる LPCVD により、ゲート絶縁膜 1 3 の上にポリシリコン層 1 4 を厚さ約 10 ~ 300nm に形成した後、TMAH 溶液によるポリシリコンのエッチングが進行しなくなる程度に、第 2 実施形態と同様の濃度の p 型不純物をポリシリコン層 1 4 にイオン注入する。

【 0 1 2 9 】

その後、既述の図 5 (b)、図 5 (c) の工程を行うことにより、図 1 2 (c) に示す構造を得る。その構造では、ゲート電極 1 4 c の横のシリコン層 3 3 に、第 1、第 2 ソース/ドレインエクステンション 1 6 a、1 6 b とソース/ドレイン領域 1 7 a、1 7 b と

が形成される。

【 0 1 3 0 】

次に、図 1 2 (d) に示すように、体積濃度が 5 ~ 3 0 %、温度が 0 ~ 5 0 °C の TMAH 溶液内にシリコン基板 1 0 を浸すことにより、シリコン基板 1 0 のエッチングを開始して、ゲート電極 1 4 c の横のシリコン層 3 3 に深さが約 5 ~ 50nm の第 1、第 2 リセス 3 3 a、3 3 b を形成する。

【 0 1 3 1 】

図 2 に示した実験結果より、TMAH 溶液はシリコンのみを選択的にエッチングして、二酸化シリコンをエッチングしない。従って、このエッチングでは、二酸化シリコンで構成されるゲート絶縁膜 1 3 と埋め込み絶縁層 3 2 の近傍でのシリコン層 3 3 のエッチング速度が低下するのに対し、これらの絶縁層から離れた部分でのエッチング速度が速まる。このようなエッチング速度の違いにより、各リセス 3 3 a、3 3 b の側面を構成する第 1、第 2 側面 3 3 c、3 3 d は、単一の結晶面とはならず、それぞれ異なる二つの (1 1 1) 面によって構成され、その断面形状が凸状となる。

【 0 1 3 2 】

このような断面形状のリセス 3 3 a、3 3 b は、TMAH 溶液に代えて有機アルカリ溶液を用いても形成することができる。

【 0 1 3 3 】

その後、既述の図 6 (a) の工程を行うことにより、図 1 3 に示すように、各リセス 3 3 a、3 3 b に選択的に SiGe 層をエピタキシャル成長させ、その SiGe 層を第 1、第 2 ソース/ドレイン材料層 1 8 a、1 8 b とする。

【 0 1 3 4 】

この後は、既述の図 6 (b)、図 6 (c) の工程を行うことにより、MOS トランジスタの基本構造を完成させる。

【 0 1 3 5 】

以上説明した本実施形態によれば、図 1 2 (d) で説明した TMAH 溶液によるエッチングにおいて、ゲート絶縁膜 1 3 の近傍や、SOI 基板 3 0 を構成する埋め込み絶縁膜 3 2 の近傍で、シリコン層 3 3 のエッチング速度が低下する。その結果、シリコン層 3 3 のエッチング速度が深さによって異なるようになるので、上記のエッチングによって得られる第 1、第 2 リセス 3 3 a、3 3 b の第 1、第 2 側面 3 3 c、3 3 d がそれぞれ異なる二つの (

10

20

30

40

50

1 1 1) 面によって構成され、その断面形状が凸状となる。

【0136】

このような断面形状のリセス33a、33bに形成された第1、第2ソース/ドレイン材料層18a、18bは、図12の矢印に示すように、シリコン層33の上面と下面で強い応力を生成し、(111)面同士が交差する膜の中途部では応力が弱くなるという応力分布を得ることができる。

【0137】

(6) 第6実施形態

次に、本発明の第6実施形態に係る半導体装置の製造方法について説明する。

【0138】

図14は、本実施形態に係る半導体装置の製造途中の断面図である。これらの図において、第2～第4実施形態で既に説明した要素にはこれらの実施形態と同じ符号を付し、以下ではその説明を省略する。

【0139】

既述の第5実施形態では、SOI基板30を用いることにより、断面形状が凸状となる第1、第2リセス30a、30bを形成した。これに対し、本実施形態では、SOI基板ではなく通常のシリコン基板を用いて上記と同じ断面形状のリセスを形成する。

【0140】

最初に、既述の図5(a)～(c)の工程を行い、図14(a)に示す断面構造を得る。

【0141】

続いて、図14(b)に示すように、ゲート電極14cと第1、第2サイドウォール15a、15bとをマスクにしなが、TMAH溶液によるエッチングを遅らせる効果のあるp型不純物としてボロンをシリコン基板10にイオン注入して、p型の第3、第4不純物拡散領域35a、35bを形成する。このイオン注入の条件としては、p型のソース/ドレインエクステンション16a、16bやソース/ドレイン領域17a、17bよりも高濃度且つ深くなるような条件が採用される。本実施形態では、そのような条件として、例えば加速エネルギー約1～20KeV、ドーズ量約 $5 \times 10^{14} \sim 2 \times 10^{16} \text{cm}^{-2}$ 程度の条件のボロン注入を用いる。そのようなイオン注入の結果、ソース/ドレイン領域17a、17bよりも深い部分のシリコン基板10にまで濃く拡がるp型の第3、第4不純物拡散領域35a、35bが形成されることになる。

【0142】

その後、第2実施形態と同じ条件を採用して活性化アニールを行い、ソース/ドレイン領域17a、17b内の不純物を活性化させる。

【0143】

なお、その第3、第4不純物拡散領域35a、35bとソース/ドレイン領域17a、17bとの形成順序は上記に限定されない。例えば、上記とは順番を逆にし、第3、第4不純物拡散領域35a、35bを形成した後にソース/ドレイン領域17a、17bを形成してもよい。

【0144】

続いて、図14(c)に示すように、体積濃度が5～30%、温度が0～50℃のTMAH溶液内にシリコン基板10を浸すことにより、シリコン基板10のエッチングを開始して、ゲート電極14cの横のシリコン基板10に深さが約30～120nmの第1、第2リセス10a、10bを形成する。

【0145】

図2及び図3で説明したように、TMAH溶液によるシリコンのエッチングは、二酸化シリコンや、高濃度のp型不純物が導入されたシリコンにおいてエッチング速度が低下する。そのため、このエッチングでは、二酸化シリコンよりなるゲート絶縁膜13の近傍と、高濃度のp型不純物が導入された第3、第4不純物拡散領域35a、35bの近傍とにおいてエッチング速度が低下するのに対し、これらから離れた部分ではエッチング速度が低下

10

20

30

40

50

しない。そのような不均一なエッチング速度によって、第5実施形態と同様に、各リセス10a、10bの第1、第2側面10c、10dは、単一の結晶面とはならず、それぞれ異なる二つの(111)面によって構成され、その断面形状が凸状となる。

【0146】

そのような断面形状を有するリセス10a、10bは、TMAH溶液に代えて有機アルカリ溶液を用いても形成することができる。

【0147】

続いて、既述の図6(a)の工程を行うことにより、図14(d)に示すように、各リセス10a、10bに選択的にSiGe層をエピタキシャル成長させ、そのSiGe層を第1、第2ソース/ドレイン材料層18a、18bとする。

10

【0148】

この後は、既述の図6(b)、図6(c)の工程を行ってMOSトランジスタの基本構造を完成させる。

【0149】

以上説明した本実施形態によれば、TMAH溶液によるエッチングを遅らせる効果のあるp型不純物を第3、第4不純物拡散領域35a、35bに導入したので、図14(c)のエッチング工程において、その第3、第4不純物拡散領域35a、35bやゲート絶縁膜14cの近傍でシリコンのエッチング速度が低下する。その結果、図14(c)に示されるように、第1、第2リセス10a、10bの第1、第2側面10c、10dがそれぞれ二枚の(111)面で構成されるようになり、断面形状が凸状となる第1、第2リセス10a、10bを形成することができる。これにより、各リセス10a、10b内に形成されるソース/ドレイン材料層18a、18bからチャネルに向かって、移動度の向上に好ましい応力を与えることが可能となる。

20

【0150】

(7)第7実施形態

次に、本発明の第7実施形態に係る半導体装置の製造方法について説明する。

【0151】

図15、図16は、本実施形態に係る半導体装置の製造途中の断面図である。これらの図において、第2～第6実施形態で既に説明した要素にはこれらの実施形態と同じ符号を付し、以下ではその説明を省略する。

30

【0152】

既述の第6実施形態では、図14(b)に示したように、ゲート電極14cと第1、第2サイドウォール15a、15bとをイオン注入のマスクにして、TMAH溶液によるエッチングを遅らせるためのp型の第3、第4不純物拡散領域35a、35bを形成した。

【0153】

これに対し、本実施形態では、ゲート電極14cを形成する前に、エッチング速度を速くする効果のある不純物拡散領域を形成する。

【0154】

最初に、図15(a)に示すように、素子分離溝10g内に素子分離絶縁膜11を形成した後、素子分離絶縁膜11で画定されるp型MOSトランジスタ形成領域にnウエル12を形成する。

40

【0155】

次いで、TMAH溶液によるエッチングを遅らせる効果のあるn型不純物としてボロンを加速エネルギー約5～30KeV、ドーズ量約 $1 \times 10^{13} \sim 5 \times 10^{15} \text{cm}^{-3}$ 程度の条件でシリコン基板10にイオン注入し、後で形成されるソース/ドレイン領域よりも深い部分に第5不純物拡散領域36を形成する。

【0156】

次に、図15(b)に示すように、シリコン基板10の表面を熱酸化して二酸化シリコンよりなるゲート絶縁膜13を形成し、更に、シランを用いるLPCVDを用いて、ゲート絶縁膜13の上にポリシリコン層14を形成する。その後、第2実施形態と同様のイオン

50

注入条件を採用して、TMAH溶液によるポリシリコンのエッチングが進行しなくなる程度の濃度のp型不純物をポリシリコン層14にイオン注入する。

【0157】

続いて、既述の図5(b)、図5(c)の工程を行うことにより、図15(c)に示すように、ゲート電極14cの横のシリコン基板10に、ソース/ドレインエクステンション16a、16bとソース/ドレイン領域17a、17bとを形成する。

【0158】

次いで、図15(d)に示すように、体積濃度が5~30%、温度が0~50のTMAH溶液内にシリコン基板10を浸すことにより、シリコン基板10のエッチングを開始して、ゲート電極14cの横のシリコン基板10に深さが約20~150nmの第1、第2リセス10a、10bを形成する。

10

【0159】

このエッチングでは、エッチング速度を速くする効果のあるn型不純物が高濃度に導入された第5不純物拡散領域36の近傍でシリコンのエッチング速度が上昇するのに対し、p型不純物が高濃度に導入されたソース/ドレインエクステンション16a、16bとソース/ドレイン領域17a、17bの近傍では、シリコンのエッチング速度が低下する。従って、第6実施形態と同じ理由により、各リセス10a、10bの第1、第2側面10c、10dは、単一の結晶面とはならず、それぞれ異なる二つの(111)面によって構成され、その断面形状が凸状となる。

【0160】

20

なお、TMAH溶液に代えて、有機アルカリ溶液を用いても、上記と同様の断面構造の第1、第2リセス10a、10bを形成することができる。

【0161】

次に、既述の図6(a)の工程を行うことにより、図16に示すように、各リセス10a、10bに選択的にSiGe層をエピタキシャル成長させ、そのSiGe層を第1、第2ソース/ドレイン材料層18a、18bとする。

【0162】

この後は、既述の図6(b)、図6(c)の工程を行ってMOSトランジスタの基本構造を完成させる。

【0163】

30

以上説明した本実施形態によれば、シリコン基板10においてソース/ドレイン領域17a、17bよりも深いところに、TMAH溶液や有機アルカリ溶液によるシリコンのエッチングを抑制する効果のある第5不純物拡散領域36を形成した。そのため、第6実施形態と同様に、第1、第2リセス10a、10bをエッチングで形成するとき、シリコン基板10の表面からの距離によってエッチング速度が異なるようになる。従って、第1、第2リセス10a、10bの第1、第2側面10c、10dがそれぞれ二枚の(111)面で構成され、断面形状が凸状となる第1、第2リセス10a、10bを得ることができる。これにより、第6実施形態と同様に、各リセス10a、10b内に形成されるソース/ドレイン材料層18a、18bからチャンネルに向かって、移動度の向上に好ましい応力を与えることが可能となる。

40

【0164】

(8)第8実施形態

図17(a)、(b)は、本発明の第8実施形態に係る半導体装置の製造途中の断面図であり、図18はその平面図である。これらの図において、第2~第6実施形態で既に説明した要素にはこれらの実施形態と同じ符号を付し、以下ではその説明を省略する。

【0165】

既述の第2~第4実施形態では、MOSトランジスタが作製されるシリコン基板として、その表面の面方位が(001)の基板を採用し、且つ、ゲート幅方向(ゲート電極の延在方向)をそのシリコン基板の[110]方向とした。

【0166】

50

これに対し、本実施形態では、表面の面方位が(110)のシリコン基板を採用し、且つ、ゲート幅方向(ゲート電極の延在方向)をそのシリコン基板の[111]方向とする。

【0167】

このような面方位を採用し、第2実施形態で説明した図5(a)~(c)の工程を行った後、体積濃度が5~30%、温度が0~50のTMAH溶液内にシリコン基板10を浸して、ゲート電極14cの横のシリコン基板10に深さが約10~100nmの第1、第2リセス10a、10bを形成すると、図17(a)のような断面構造が得られる。

【0168】

上記のように、シリコン基板10の面方位が(110)であり、ゲート電極14cの延在方向が[111]方向であると、TMAH溶液によるエッチングで現れるシリコンの(111)面は、シリコン基板10の表面と垂直になる。そのため、この(111)面によって構成される第1、第2リセス10a、10bの側面がシリコン基板10の表面に対して垂直となる。

【0169】

図18は、この工程を終了後の平面図であり、先の図17(a)は図18のI-I線に沿う断面図に相当する。

【0170】

図18に示されるように、ゲート幅方向、すなわちゲート電極14cの延在方向は[111]方向であり、シリコン基板10の面方位は(110)であって、このような面方位を採用することで、第1、第2リセス10a、10bの側面をシリコン基板10の表面に垂直にすることができる。

【0171】

次に、既述の図6(a)の工程を行うことにより、図17(b)に示すように、各リセス10a、10bに選択的にSiGe層をエピタキシャル成長させ、そのSiGe層を第1、第2ソース/ドレイン材料層18a、18bとする。

【0172】

この後は、既述の図6(c)、図6(d)の工程を行ってMOSトランジスタの基本構造を完成させる。

【0173】

以上説明した本実施形態によれば、シリコン基板10として面方位が(110)のものを採用し、且つゲート電極14cの延在方向を[111]方向とした。このようにすると、TMAH溶液や有機アルカリ溶液によるシリコン基板10のエッチング面が、シリコン基板10の表面と垂直な方向の(111)面となり、その(111)面によって各リセス10a、10bの第1、第2側面10c、10dが構成される。従って、図17(b)の矢印に示すように、そのリセス10a、10b内の第1、第2ソース/ドレイン材料層18a、18bからチャンネルに対し、深さ方向に強度変化の少ない一様な応力を安定して印加することができるようになる。

【0174】

(9) 第9実施形態

図19は、本発明の第9実施形態に係る半導体装置の製造途中の断面図であり、図20はその平面図である。これらの図において、第8実施形態で既に説明した要素にはこれらの実施形態と同じ符号を付し、以下ではその説明を省略する。

【0175】

第8実施形態では、面方位が(110)のシリコン基板10を採用すると共に、ゲート電極14cの延在方向を[111]方向とした。

【0176】

これに対し、本実施形態では、シリコン基板10の面方位を第8実施形態と同様に(110)としながら、ゲート電極14cの延在方向を[100]方向とする。

【0177】

このような面方位を採用して第8実施形態の図17(a)、(b)の工程を行うと、図19に示されるように、第1、第2リセス10a、10bの第1、第2側面10c、10dを構成する(111)面が、既述の第2実施形態におけるよりも緩やかな傾斜角をもつようになる。

【0178】

これによれば、第1、第2ソース/ドレイン材料層18a、18bからチャンネルに対して印加される応力が、シリコン基板10の深い位置から表層に近づくほど急峻に変化するので、チャンネルに対して大きな応力を印加することができると共に、応力の大きさを制御し易くなる。

【0179】

なお、図20はこの半導体装置の平面図であり、先の図19は、図20のII-II線に沿う断面図に相当する。

【0180】

(10)第10実施形態

次に、本発明の第10実施形態に係る半導体装置の評価方法について説明する。

【0181】

MOSトランジスタは、その特性が設計通りになっているか否かを確認するため、開発の段階でTEG(Test Element Group)と呼ばれる試験用のトランジスタを作製し、そのトランジスタのチャンネルにおけるキャリア分布を実際に物理的に測定する。これができるためには、MOSトランジスタを作製後に、ゲート電極とゲート絶縁膜とを除去して、チャンネルとなるシリコン基板の表面を表出させる必要がある。

【0182】

但し、ゲート電極とゲート絶縁膜とを除去する際、シリコン基板にダメージが入るとチャンネル内のキャリア分布が乱され、得られた測定値が実際の使用に供されるトランジスタにおける値から乖離する恐れがある。

【0183】

そこで、上記のような評価を行うには、シリコン基板にダメージが入るのを防ぎながら、ゲート電極とゲート絶縁膜とを除去する必要がある。

【0184】

図21、図22は、本実施形態に係る試験方法で使用されるTEGの作製方法を示す断面図である。

【0185】

最初に、図21(a)に示す断面構造を得るまでの工程について説明する。

【0186】

まず、表面の面方位が(001)のシリコン基板40にSTI(Shallow Trench Isolation)用の素子分離溝40gを形成した後、この素子分離溝40g内に素子分離絶縁膜41として二酸化シリコン層を埋め込む。その後、シリコン基板40にn型不純物としてリンを加速エネルギー約300KeV以上、ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ 以上の条件でイオン注入することにより、素子分離絶縁膜41で画定されるp型MOSトランジスタ形成領域にnウエル42を形成する。

【0187】

次いで、シリコン基板40の表面を熱酸化して二酸化シリコンよりなるゲート絶縁膜43を厚さ約0.5~3.0nmに形成した後、シランを用いるLPCVDを用いて、ゲート絶縁膜43の上にポリシリコン層44を厚さ約20~300nmに形成する。ここで、ゲート絶縁膜43として、二酸化シリコンに微量の窒素を添加したゲート絶縁膜を用いてもよい。

【0188】

既述の第2実施形態では、TMAH溶液によるゲート電極のエッチングを防ぐため、ゲート電極を構成するポリシリコン層14(図5(a)参照)に、エッチング速度を遅らせる効果のあるp型不純物を導入した。しかしながら、本実施形態では、このようにエッチング速度が遅くなるとゲート電極の除去が困難となるので、ポリシリコン層44にp型不純物

10

20

30

40

50

を導入しない。

【0189】

次に、図21(b)に示す断面構造を得るまでの工程について説明する。

【0190】

まず、フォトリソグラフィによりポリシリコン層44をパターンニングしてゲート電極44cとする。

【0191】

続いて、ゲート電極44cをマスクにしてシリコン基板40にp型不純物として例えばボロンをイオン注入し、ゲート電極44cの第1、第2側面44a、44bの横のシリコン基板40に第1、第2ソース/ドレインエクステンション46a、46bを浅く形成する。このイオン注入の条件は、実際の製品用のMOSトランジスタと同じものが採用され、例えば加速エネルギー約0.2~1.0KeV、ドーズ量約 $1 \times 10^{14} \sim 5 \times 10^{15} \text{cm}^{-2}$ が採用される。必要に応じて同時に砒素、リン、アンチモンなどのポケット注入を行う。またn型不純物を用いた第1、第2ソース/ドレインエクステンション46a、46bを浅く形成してもよい。

10

【0192】

その後、シランを用いるプラズマCVD法により、サイドウォール用絶縁層45として二酸化シリコン層を全面に厚さ約5~100nmに形成し、このサイドウォール用絶縁層45でゲート電極44の第1、第2側面44a、44bを覆う。なお、二酸化シリコン層に代えて、窒化シリコン層をサイドウォール用絶縁層45として形成してもよい。

20

【0193】

次に、図21(c)に示す断面構造を得るまでの工程について説明する。

【0194】

まず、プラズマエッチングにより、サイドウォール用絶縁層45をエッチバックして、第1、第2側面44a、44bにサイドウォール45a、45bとして残す。また、このエッチングでは、サイドウォール45a、45bで覆われていない部分のゲート絶縁膜43もエッチングされ、ゲート絶縁膜43がゲート電極44cの下にのみ残る。

【0195】

更に、実際の製品用のMOSトランジスタと同じようにして、ゲート電極44cとサイドウォール45a、45bとをマスクにし、シリコン基板40にp型不純物として例えばボロンを加速エネルギー約1~10KeV、ドーズ量約 $5 \times 10^{14} \sim 1 \times 10^{16} \text{cm}^{-2}$ 程度の条件でイオン注入する。これにより、ソース/ドレインエクステンション46a、46bよりも深くて濃いソース/ドレイン領域47a、47bがゲート電極44cの横のシリコン基板40に形成される。必要に応じてこの不純物注入を省略してよい。

30

【0196】

その後、例えば基板温度約950~1050、処理時間0~10秒の条件で活性化アニールを行い、ソース/ドレイン領域47a、47b内の不純物を活性化させる。

【0197】

次に、図21(d)に示す断面構造を得るまでの工程について説明する。

【0198】

まず、体積濃度が5~30%、温度が0~50のTMAH溶液内にシリコン基板40を浸し、二酸化シリコンで覆われていない部分のシリコン基板40やゲート電極44cをエッチングする。図2に示した実験結果のように、TMAH溶液はシリコンと二酸化シリコンとのエッチング選択性が極めて良い。従って、このエッチングでは、膜厚の薄い二酸化シリコン層よりなるゲート絶縁膜43の膜減りは無視できるほど小さく、ゲート絶縁膜43下のチャンネルがダメージを受けることは無い。

40

【0199】

そして、このエッチングにより、素子分離絶縁膜41やサイドウォール45a、45bで覆われていない部分のシリコン基板40には第1、第2リセス40a、40bが形成されることになる。

50

【0200】

なお、TMAH溶液に代えて有機アルカリ溶液でこのエッチングを行ってもよく、その場合でもチャンネルが受けるダメージは少ない。

【0201】

その後、図22に示すように、HF(フッ酸)とHClとを1:19の体積比で混合してなるエッチング液中にシリコン基板40を浸し、二酸化シリコンよりなる素子分離絶縁膜41、サイドウォール15a、15b、及びゲート絶縁膜43を選択的に除去することにより、キャリア分布を測定すべきチャンネル40dを表出させる。そのチャンネル40dは、エッチング液中に含まれる水素イオンによって水素終端される共に、化学的にアクティブな状態となる。

10

【0202】

以上により、チャンネル40dが表出したTEGの基本構造が完成したことになる。

【0203】

次に、このTEGのチャンネル40dにおけるキャリア分布を評価する方法について、図23を参照しながら説明する。

【0204】

まず、上記によって作製されたTEGを、プローブ顕微鏡の一種である走査型トンネル顕微鏡(STM: Scanning Tunneling Microscopy)内に入れ、プローブ50の先端が非接触の状態、チャンネル40dと平行な一平面内でプローブ50を走査する。このとき、プローブ50とシリコン基板40の間には所定の電圧が印加されており、チャンネル40dにおけるキャリア分布に応じて、プローブとシリコン基板40の間を流れるトンネル電流の大きさが変化する。このトンネル電流の変化を可視化することにより、チャンネル40dでのキャリア分布を把握することができる。

20

【0205】

以上説明した本実施形態によれば、図21(d)のようにTMAH溶液や有機アルカリ溶液でゲート電極44cを選択的にエッチングし、その後、図22に示したように、HFとHClとを混合してなるエッチング液でゲート絶縁膜43をエッチングして除去し、チャンネル40dを露出させる。

【0206】

このように、シリコンと二酸化シリコンとの選択性の高いTMAH溶液や有機アルカリ溶液を用いることにより、ゲート電極44c下のチャンネル領域44dにダメージを与えることなく、ゲート電極44cのみを高いエッチング選択性で除去することができる。そのため、チャンネル40dを露出する過程において、そのチャンネル内のキャリア分布が変動する恐れが無く、実際の使用に供されるMOSトランジスタにおけるのと略同じキャリア分布を測定することができ、MOSトランジスタの性能を精度良く評価することが可能となる。

30

【0207】

更に、本実施形態によれば、HFを含むエッチング液でゲート絶縁膜43をエッチングして除去するので、ゲート絶縁膜43が除去された後に露出するチャンネル40dの表面が自動的に水素終端される。STMによるキャリア分布の測定では、測定面における導電性の変化を明確に観察するために、測定面が水素終端されているのが好ましいが、上記によれば、ゲート絶縁膜43の除去と同時に水素終端を行うことができるので、水素終端のための工程が必要なく、簡便にキャリア分布を測定することができる。

40

【0208】

図24(a)、(b)は、本実施形態のTEGの表面をSTMで実際に走査し、その凹凸像を基にして描いた図であり、図24(b)は図24(a)の像の輝度を誇張したものである。

【0209】

そして、図25は、図24(a)、(b)のTEGのチャンネル40dにおけるキャリア分布をSTMで観察して得られた像である。

【0210】

50

上記したように、本実施形態ではゲート電極 44c をエッチングして除去するときにチャンネルにダメージが入り難いので、図 25 に示されるキャリア分布は、実際の使用に供される MOS トランジスタにおけるのと略同じ分布であると期待される。

【0211】

このような本実施形態に対し、ゲート電極 44c の除去にプラズマエッチングを採用することも考えられる。しかし、プラズマエッチングでは、エッチング雰囲気中のイオンの運動エネルギーによって、エッチングが進行するにつれてゲート絶縁膜 43 を通じてチャンネル 40d にダメージが入るので、キャリア分布が変動してしまい、本実施形態のように MOS トランジスタの性能を精度良く評価することはできない。

【0212】

また、本実施形態で評価の対象となる MOS トランジスタは、第 1、第 2 リセス 40a、40b 内に SiGe 層等のソース/ドレイン材料層を形成してチャンネルに応力を与えるタイプのものに限定されない。例えば、実使用下においてリセスが存在しない通常のタイプの MOS トランジスタも評価の対象となり得る。但し、このタイプの MOS トランジスタ用の TEG でも、図 21 (d) の工程でゲート電極 44c をエッチングするとき、素子分離絶縁膜 41 が無い部分のシリコン基板 40 がエッチングされるので、その部分にリセス 40a、40b が形成されることになる。

【0213】

(11) 第 1 実施形態

次に、本発明の第 1 実施形態に係る半導体装置の評価方法について説明する。

【0214】

図 26 は、本実施形態で使用される TEG の断面図である。

【0215】

第 10 実施形態では、プローブ顕微鏡の一種である STM によりチャンネル 40d を観察した。これに対し、本実施形態では、走査容量顕微鏡を用いてチャンネル 40d を観察する。

【0216】

走査容量顕微鏡では、顕微鏡のプローブとチャンネル 40d とでキャパシタを構成し、そのキャパシタの容量値を検出することでチャンネル 40d における不純物分布を観察する。本実施形態では、このキャパシタの誘電体層を形成するために、チャンネル 40d の表面に、
オゾンを照射して、図 26 に示すような二酸化シリコン層 (誘電体層) 51 をシリコン基板 40 の表面に厚さ約 1.0nm 程度に形成する。

【0217】

その後、図 27 に示すように、走査容量顕微鏡のプローブ 52 の先端を二酸化シリコン層 51 の表面に当接させながら、二酸化シリコン層 51 をプローブ 52 で走査し、二酸化シリコン層 51 の上からチャンネル 40d 内のキャリア分布を得る。

【0218】

このように、走査容量顕微鏡でチャンネル 40d を観察する場合でも、第 10 実施形態と同様に、TMAH 溶液を用いたウェットエッチングでゲート電極 44c を除去することにより、シリコン基板 40 にダメージが入るのを防ぐことができ、実際の使用に供される MOS トランジスタにおけるのと略同じキャリア分布を測定することが可能となる。

【0219】

なお、上記では走査容量顕微鏡を用いたが、これに代えて走査拡がり抵抗顕微鏡を用いても、本実施形態と同じ利点を得ることができる。

【0220】

以下に、本発明の特徴を付記する。

【0221】

(付記 1) 半導体基板と、

前記半導体基板の上に順に形成されたゲート絶縁膜及びゲート電極と、

前記ゲート電極の横の前記半導体基板の穴に形成されたソース/ドレイン材料層と、

10

20

30

40

50

を有し、

前記穴の前記ゲート電極寄りの側面が、前記半導体基板の少なくとも一つの結晶面で構成されることを特徴とする半導体装置。

【0222】

(付記2) 前記穴の前記側面が二つの結晶面で構成され、該側面の断面形状が凹状であることを特徴とする付記1に記載の半導体装置。

【0223】

(付記3) 前記穴の前記側面が二つの結晶面で構成され、該側面の断面形状が凸状であることを特徴とする付記1に記載の半導体装置。

【0224】

(付記4) 前記穴の下の前記半導体基板に、埋め込み絶縁層が形成されたことを特徴とする付記3に記載の半導体装置。

【0225】

(付記5) 前記穴の前記側面が、前記半導体基板に対して垂直な単一の結晶面で構成されることを特徴とする付記1に記載の半導体装置。

【0226】

(付記6) 前記半導体基板がシリコン基板であり、前記シリコン基板の表面の面方位が(110)であり、前記ゲート電極のゲート幅方向が前記シリコン基板の[111]方向であることを特徴とする付記5に記載の半導体装置。

【0227】

(付記7) 前記半導体基板がシリコン基板であり、前記穴の前記側面が前記シリコン基板の(111)面で構成されることを特徴とする付記1に記載の半導体装置。

【0228】

(付記8) 前記シリコン基板の表面の面方位が(001)であることを特徴とする付記7に記載の半導体装置。

【0229】

(付記9) 前記シリコン基板の表面の面方位が(110)であり、前記ゲート電極のゲート幅方向が前記シリコン基板の[100]方向であることを特徴とする付記7に記載の半導体装置。

【0230】

(付記10) 前記穴の上端部が、前記サイドウォールの下方に入り込み、前記ゲート電極下のチャンネルとの距離が近づけられたことを特徴とする付記1に記載の半導体装置。

【0231】

(付記11) 前記ゲート電極の全体が、高融点金属のシリサイドによって構成されることを特徴とする付記1に記載の半導体装置。

【0232】

(付記12) 前記ソース/ドレイン材料層はSiGe層であることを特徴とする付記1に記載の半導体装置。

【0233】

(付記13) 前記ソース/ドレイン材料層は金属層であることを特徴とする付記1に記載の半導体装置。

【0234】

(付記14) 半導体基板の上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の上にゲート電極を形成する工程と、
前記ゲート電極の側面にサイドウォールを形成する工程と、
前記サイドウォールを形成した後に、有機アルカリ溶液又はTMAH(テトラメチルアンモニウムヒドライド)溶液をエッチング液として用いて、前記ゲート電極の横の前記半導体基板に穴を形成する工程と、
前記穴にソース/ドレイン材料層を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

10

20

30

40

50

【 0 2 3 5 】

(付記 1 5) 前記穴を形成する工程において、前記エッチング液によって前記ゲート電極の厚さが薄くなり、

前記穴を形成した後に、前記ソース/ドレイン材料層と前記ゲート電極の上に高融点金属層を形成する工程と、前記高融点金属層を加熱して前記ゲート電極と反応させ、該ゲート電極の全体をシリサイド化する工程とを有することを特徴とする付記 1 4 に記載の半導体装置の製造方法。

【 0 2 3 6 】

(付記 1 6) 前記穴を形成する工程の前に、前記ゲート電極にp型不純物を導入する工程を有することを特徴とする付記 1 5 に記載の半導体装置の製造方法。

10

【 0 2 3 7 】

(付記 1 7) 前記穴を形成する工程の前に、前記シリコン基板に第 1 導電型不純物拡散領域を形成する工程と、前記半導体基板に、第 2 導電型不純物拡散領域を前記第 1 導電型不純物拡散領域よりも深く形成する工程とを有し、

前記穴を形成する工程において、前記穴を前記第 1 導電型不純物拡散領域よりも深く形成することを特徴とする付記 1 4 に記載の半導体装置の製造方法。

【 0 2 3 8 】

(付記 1 8) 前記第 1 導電型不純物拡散領域を形成する工程は、前記ゲート電極をマスクにしながらか第 1 導電型不純物を前記シリコン基板に導入してソース/ドレインエクステンションを形成し、該ソース/ドレインエクステンションを前記第 1 不純物拡散領域と

20

することにより行われ、

前記第 2 導電型不純物拡散領域を形成する工程は、前記ゲート電極と前記サイドウォールとをマスクにして第 2 導電型不純物を前記シリコン基板に導入して行われることを特徴とする付記 1 7 に記載の半導体装置の製造方法。

【 0 2 3 9 】

(付記 1 9) 前記サイドウォールを形成する工程は、前記ゲート電極の側面に第 1 サイドウォールを形成する工程と、前記第 1 サイドウォールの側面に第 2 サイドウォールを形成する工程とを有し、

前記第 1 サイドウォールを形成する工程の後に、該第 1 サイドウォールをマスクにしながらか第 1 導電型不純物を前記シリコン基板に導入してソース/ドレイン領域を形成する工程を更に有することを特徴とする付記 1 8 に記載の半導体装置の製造方法。

30

【 0 2 4 0 】

(付記 2 0) 前記第 1 導電型不純物拡散領域としてp型不純物拡散領域を形成し、前記第 2 導電型不純物拡散領域としてn型不純物拡散領域を形成することを特徴とする付記 1 7 に記載の半導体装置の製造方法。

【 0 2 4 1 】

(付記 2 1) 前記第 1 導電型不純物拡散領域としてp型不純物拡散領域を形成し、前記第 2 導電型不純物拡散領域として、前記第 1 導電型不純物拡散領域よりも不純物濃度が高いp型不純物拡散領域を形成することを特徴とする付記 1 7 の半導体装置の製造方法。

【 0 2 4 2 】

(付記 2 2) 前記第 1 導電型不純物拡散領域として、ソース/ドレインエクステンション、又はソース/ドレイン領域を形成することを特徴とする付記 2 1 に記載の半導体装置の製造方法。

40

【 0 2 4 3 】

(付記 2 3) 前記半導体基板としてSOI基板を使用することを特徴とする付記 1 4 に記載の半導体装置の製造方法。

【 0 2 4 4 】

(付記 2 4) 前記半導体基板としてシリコン基板を使用することを特徴とする付記 1 4 に記載の半導体装置の製造方法。

【 0 2 4 5 】

50

(付記25) 前記シリコン基板として表面の面方位が(001)の基板を使用することを特徴とする付記24に記載の半導体装置の製造方法。

【0246】

(付記26) 前記シリコン基板として表面の面方位が(110)の基板を使用し、且つ、前記ゲート電極を形成する工程において、ゲート幅方向が[111]方向となるように前記ゲート電極を形成することを特徴とする付記24に記載の半導体装置の製造方法。

【0247】

(付記27) 前記シリコン基板として表面の面方位が(110)の基板を使用し、且つ、前記ゲート電極を形成する工程において、ゲート幅方向が[100]方向となるように前記ゲート電極を形成することを特徴とする付記24に記載の半導体装置の製造方法。

10

【0248】

(付記28) 前記サイドウォールを形成するときの基板温度を調節することにより、前記穴の上端部が前記サイドウォールの下方に入り込む量を制御することを特徴とする付記14に記載の半導体装置の製造方法。

【0249】

(付記29) 前記有機アルカリ溶液として、水酸化アンモニウム溶液とIPA(イソプロピルアルコール)との混合溶液を使用することを特徴とする付記14に記載の半導体装置の製造方法。

【0250】

(付記30) 前記ソース/ドレイン材料層として、SiGe層をエピタキシャル成長させることを特徴とする付記14に記載の半導体装置の製造方法。

20

【0251】

(付記31) 前記ソース/ドレイン材料層として、金属層を形成することを特徴とする付記14に記載の半導体装置の製造方法。

【0252】

(付記32) 有機アルカリ溶液又はTMAH溶液をエッチング液として用いることにより、半導体基板に形成されたMOSトランジスタのゲート電極を選択的にエッチングして除去する工程と、

前記MOSトランジスタのゲート絶縁膜をウエットエッチングして除去することにより、前記MOSトランジスタのチャンネルを露出させる工程と、

30

前記露出したチャンネルにおけるキャリア分布を顕微鏡で調べる工程と、

を有することを有することを特徴とする半導体装置の評価方法。

【0253】

(付記33) 前記チャンネルを露出させる工程において、フッ酸を含むエッチング液で前記ゲート絶縁膜を除去し、

前記不純物分布を調べる工程において、前記顕微鏡としてプローブ顕微鏡を使用することを特徴とする付記32に記載の半導体装置の評価方法。

【0254】

(付記34) 前記露出したチャンネルの上に誘電体層を形成する工程を更に有し、

前記不純物分布を調べる工程において、前記顕微鏡として走査容量顕微鏡又は走査拡がり抵抗顕微鏡を使用して、前記誘電体層の上から前記キャリア分布を調べることを特徴とする付記32に記載の半導体装置の評価方法。

40

【0255】

(付記35) 前記誘電体層を形成する工程は、前記チャンネルの部分の前記半導体にオゾン照射して酸化層を形成することにより行われることを特徴とする付記34に記載の半導体装置の評価方法。

【0256】

(付記36) 前記半導体基板としてシリコン基板を使用することを特徴とする付記32に記載の半導体装置の評価方法。

【図面の簡単な説明】

50

【 0 2 5 7 】

【図 1】図 1 は、本発明の第 1 実施形態において、シリコンと二酸化シリコンに対する TMAH 溶液のエッチング選択性を調査するために使用されたサンプルの断面図である。

【図 2】図 2 は、本発明の第 1 実施形態において、シリコンと二酸化シリコンに対する TMAH 溶液のエッチング速度を調査して得られたグラフである。

【図 3】図 3 は、本発明の第 1 実施形態において、シリコンと二酸化シリコンに対する有機アルカリ溶液のエッチング速度を調査して得られたグラフである。

【図 4】図 4 は、本発明の第 1 実施形態において、TMAH 溶液のエッチングレートの不純物濃度依存性を調査して得られたグラフである。

【図 5】図 5 (a) ~ (d) は、本発明の第 2 実施形態に係る半導体装置の製造方法の製造途中の断面図 (その 1) である。

10

【図 6】図 6 (a) ~ (c) は、本発明の第 2 実施形態に係る半導体装置の製造方法の製造途中の断面図 (その 2) である。

【図 7】図 7 は、本発明の第 2 実施形態に従ってリセスを形成し、そのリセスの SEM 像を基にして描いた図である。

【図 8】図 8 は、本発明の第 2 実施形態において、ソース/ドレインエクステンションやソース/ドレイン領域の不純物濃度を調整することにより、サイドウォール下へのリセスの入り込み量 d を大きくした場合に得られた SEM 像を基にして描いた図である

【図 9】図 9 (a) ~ (c) は、本発明の第 3 実施形態に係る半導体装置の製造途中の断面図である。

20

【図 10】図 10 (a) ~ (c) は、本発明の第 4 実施形態に係る半導体装置の製造途中の断面図である。

【図 11】図 11 は、本発明の第 4 実施形態に従ってリセスを形成し、そのリセスの SEM 像を基にして描いた図である。

【図 12】図 12 (a) ~ (d) は、本発明の第 5 実施形態に係る半導体装置の製造途中の断面図 (その 1) である。

【図 13】図 13 は、本発明の第 5 実施形態に係る半導体装置の製造途中の断面図 (その 2) である。

【図 14】図 14 (a) ~ (d) は、本発明の第 6 実施形態に係る半導体装置の製造途中の断面図である。

30

【図 15】図 15 (a) ~ (d) は、本発明の第 7 実施形態に係る半導体装置の製造途中の断面図 (その 1) である。

【図 16】図 16 は、本発明の第 7 実施形態に係る半導体装置の製造途中の断面図 (その 2) である。

【図 17】図 17 (a)、(b) は、本発明の第 8 実施形態に係る半導体装置の製造途中の断面図である。

【図 18】図 18 は、本発明の第 8 実施形態に係る半導体装置の製造途中の平面図である。

【図 19】図 19 は、本発明の第 9 実施形態に係る半導体装置の製造途中の断面図である。

40

【図 20】図 20 は、本発明の第 9 実施形態に係る半導体装置の製造途中の平面図である。

【図 21】図 21 (a) ~ (d) は、本発明の第 10 実施形態に係る半導体装置の評価方法で使用される TEG の製造途中の断面図 (その 1) である。

【図 22】図 22 は、本発明の第 10 実施形態に係る半導体装置の評価方法で使用される TEG の製造途中の断面図 (その 2) である。

【図 23】図 23 は、本発明の第 10 実施形態に係る半導体装置の評価方法を説明するための斜視図である。

【図 24】図 24 (a)、(b) は、本発明の第 10 実施形態で使用される TEG を走査型トンネル顕微鏡で実際に測定し、それにより得られた凹凸像を基にして描いた図である。

50

【図25】図25は、本発明の第10実施形態で使用されるTEGのキャリア分布を実際に測定して得られた図である。

【図26】図26は、本発明の第11実施形態に係る半導体装置の評価方法で使用されるTEGの断面図である。

【図27】図27は、本発明の第11実施形態に係る半導体装置の評価方法を説明するための斜視図である。

【符号の説明】

【0258】

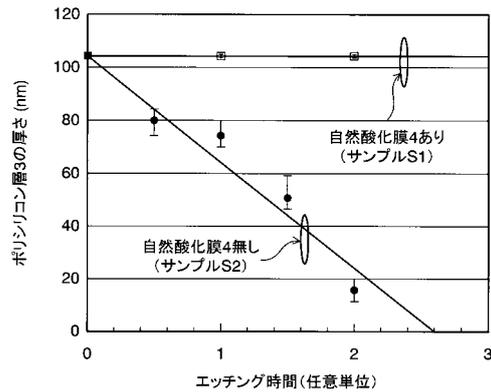
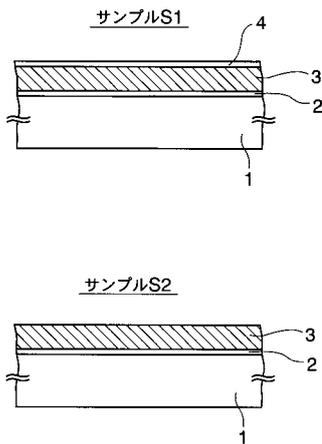
1、10、40...シリコン基板、2...二酸化シリコン層、3、14、44...ポリシリコン層、4...自然酸化膜、10a、10b...第1、第2リセス、10c、10d...第1、第2側面、10g、33g、40g...素子分離溝、10e、10f...上端部、11...素子分離絶縁膜、12...nウエル、13、43...ゲート絶縁膜、14a、14b...第1、第2側面、14c、44c...ゲート電極、15...第1サイドウォール用絶縁層、15a、15b...第1サイドウォール、16a、16b...ソース/ドレインエクステンション、17a、17b...ソース/ドレイン領域、18a、18b...第1、第2ソース/ドレイン材料層、19a、19b...第1、第2ニッケルシリサイド層、20...カバー絶縁層、21...層間絶縁層、21a、21b...第1、第2ホール、22a、22b...第1、第2導電性プラグ、27a、27b...第1、第2不純物拡散領域、30...SOI基板、31...シリコン基板、32...埋め込み絶縁層、33...シリコン層、33a、33b...第1、第2リセス、33c、33d...第1、第2側面、35a、35b...第3、第4不純物拡散領域、36...第5不純物拡散領域、40a、40b...第1、第2リセス、40d...チャネル、45...サイドウォール用絶縁層、44a、44b...第1、第2側面、45a、45b...サイドウォール、46a、46b...第1、第2ソース/ドレインエクステンション、47a、47b...ソース/ドレイン領域、50...STMのプローブ、51...二酸化シリコン層、52...走査容量顕微鏡のプローブ。

10

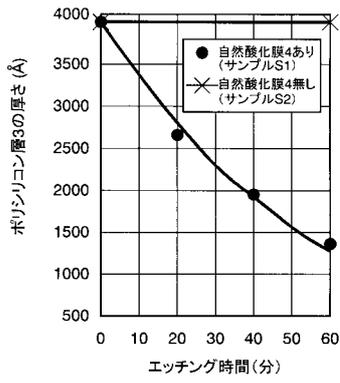
20

【図1】

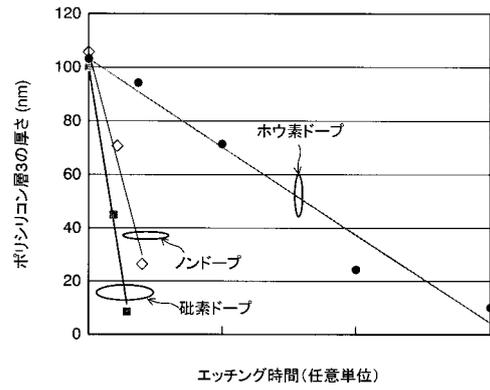
【図2】



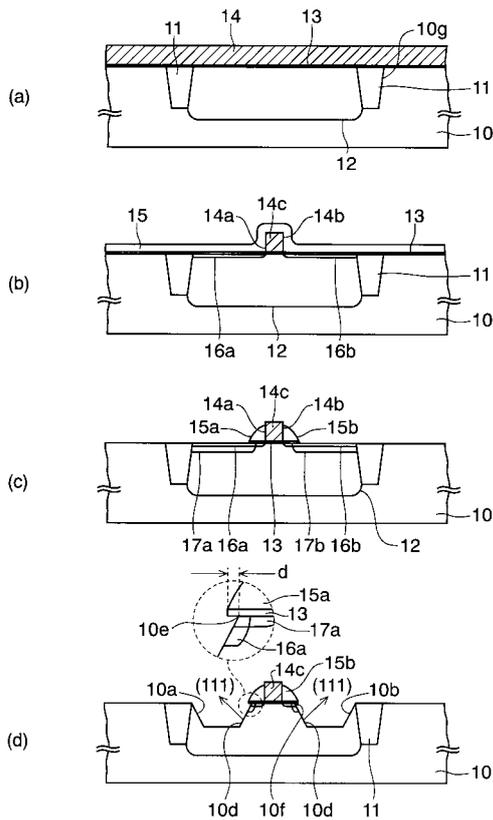
【 図 3 】



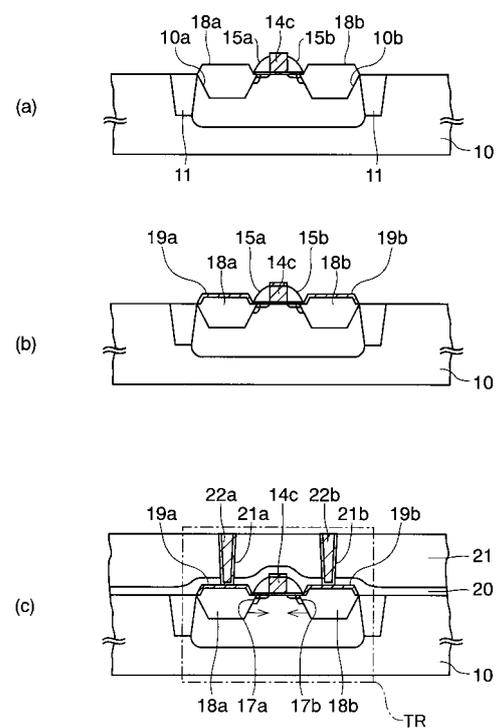
【 図 4 】



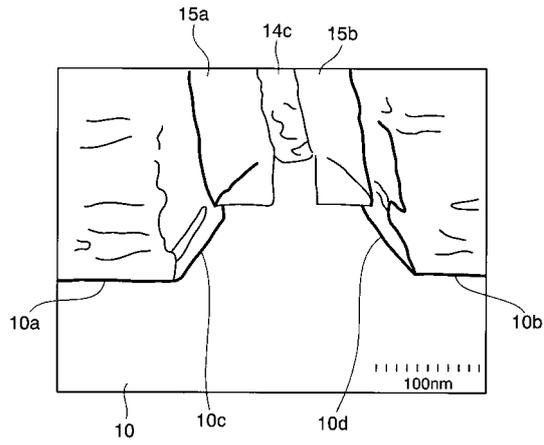
【 図 5 】



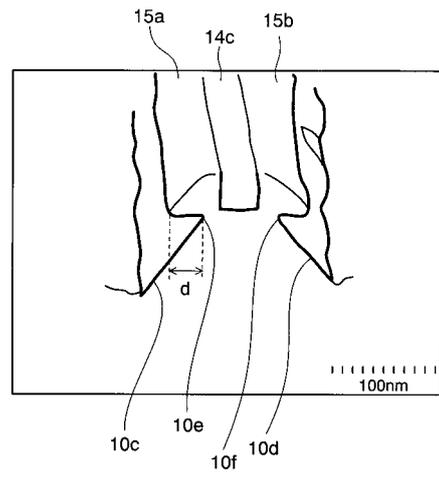
【 図 6 】



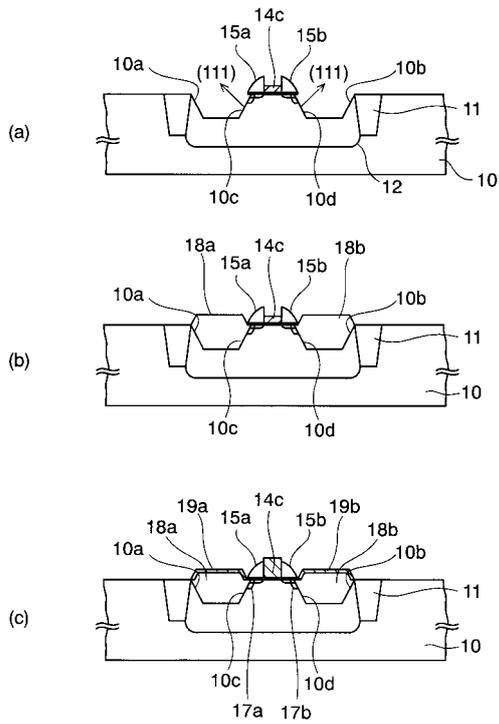
【 図 7 】



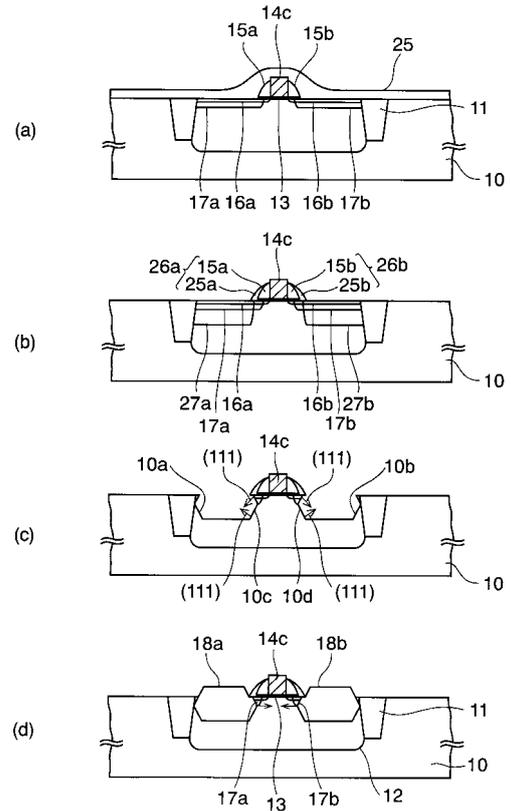
【 図 8 】



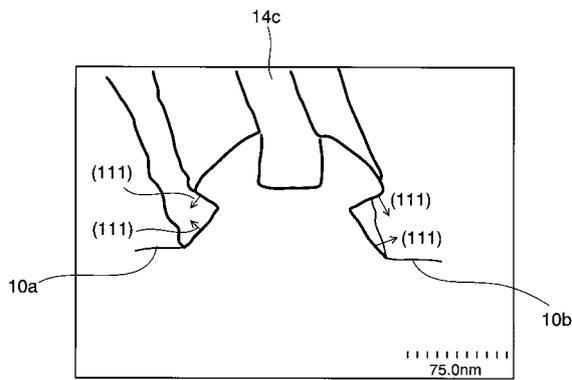
【 図 9 】



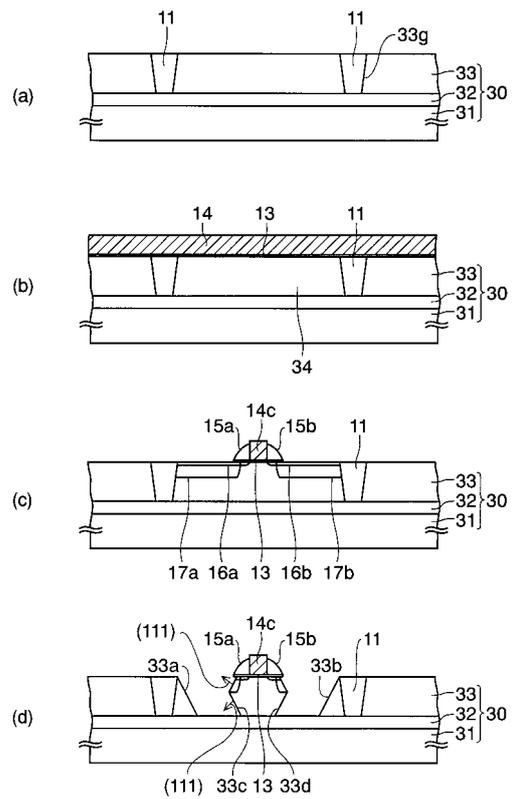
【 図 10 】



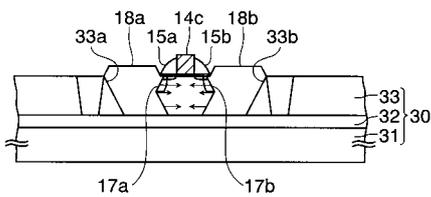
【 図 1 1 】



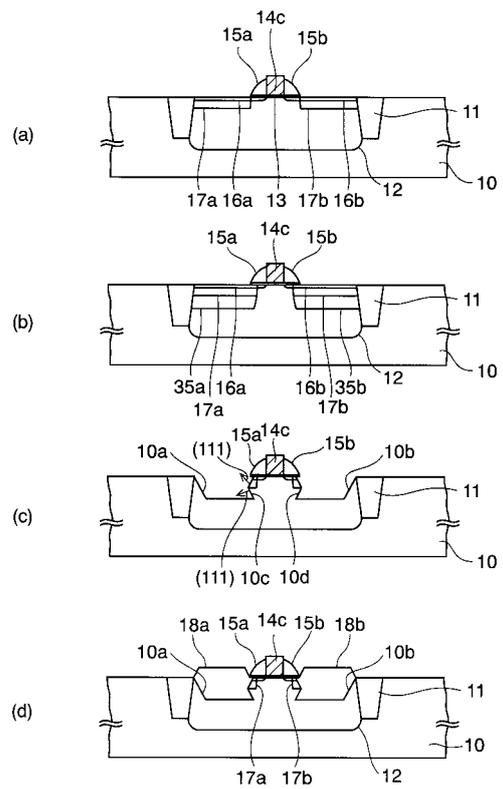
【 図 1 2 】



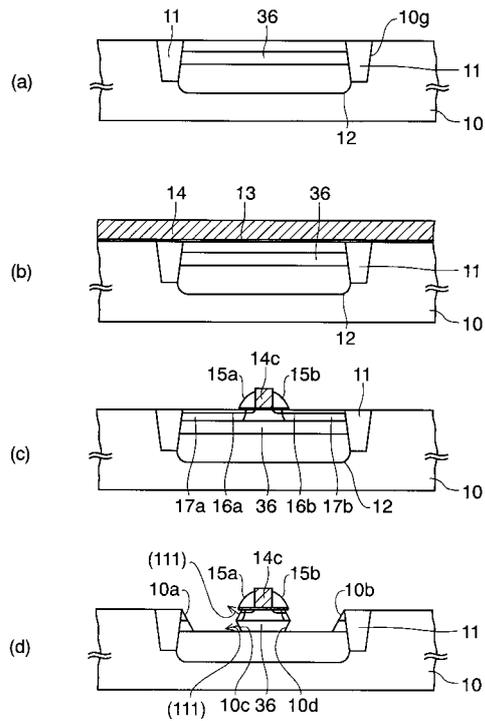
【 図 1 3 】



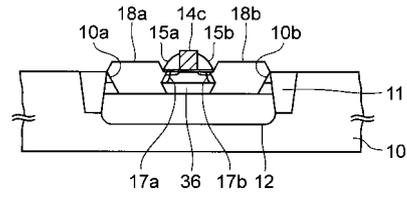
【 図 1 4 】



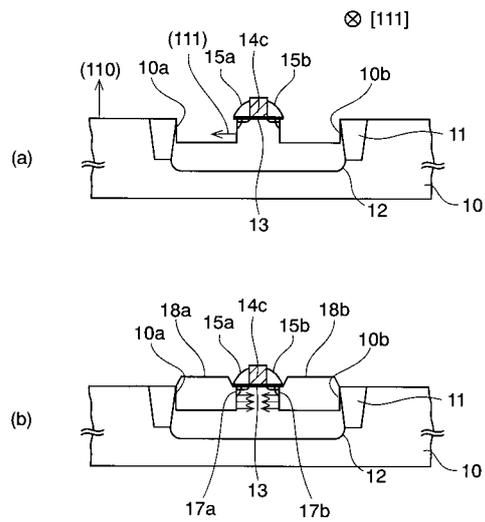
【 図 1 5 】



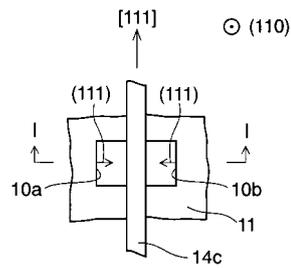
【 図 1 6 】



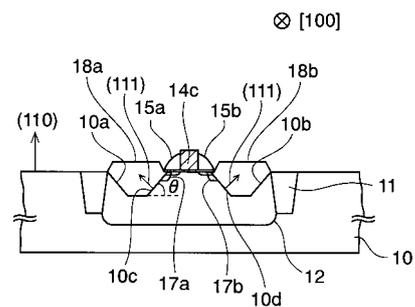
【 図 1 7 】



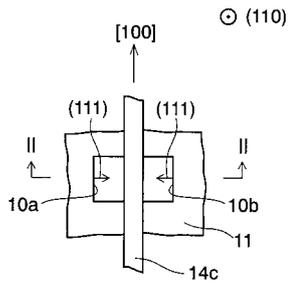
【 図 1 8 】



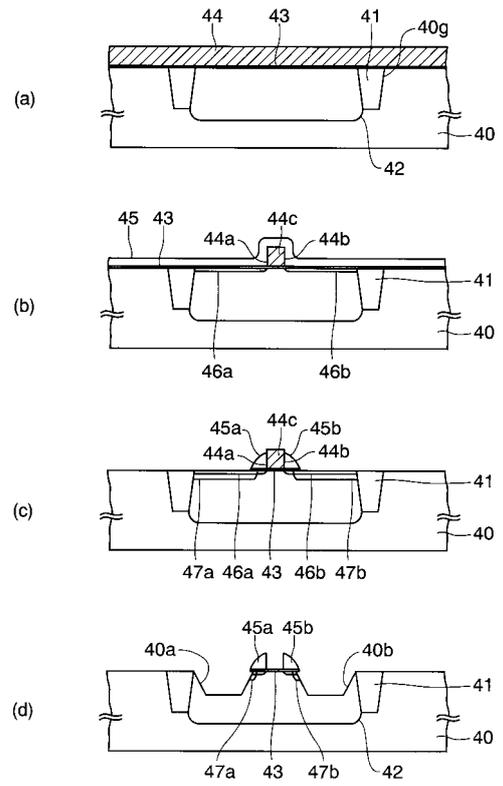
【 図 1 9 】



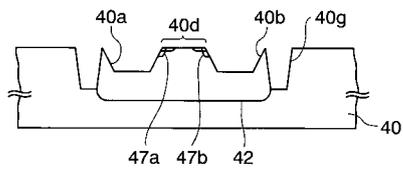
【 図 2 0 】



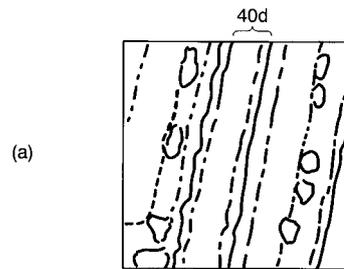
【 図 2 1 】



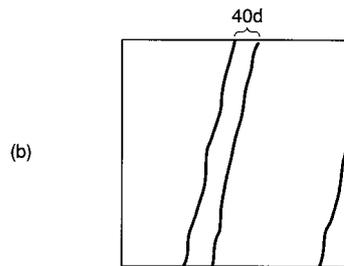
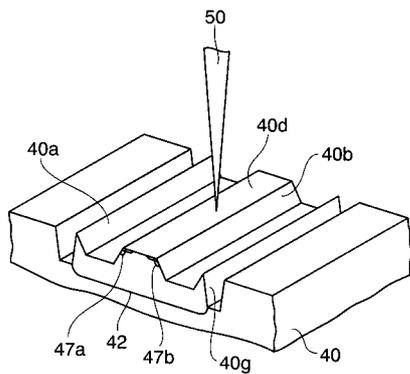
【 図 2 2 】



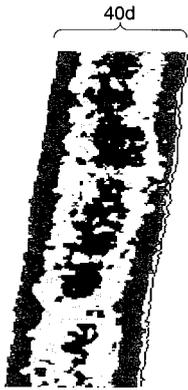
【 図 2 4 】



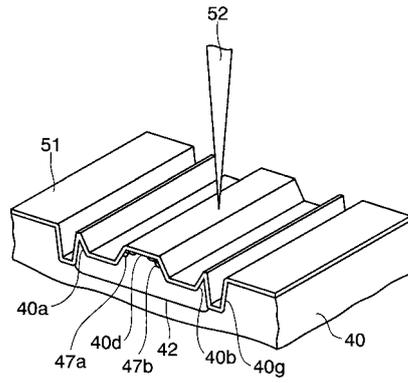
【 図 2 3 】



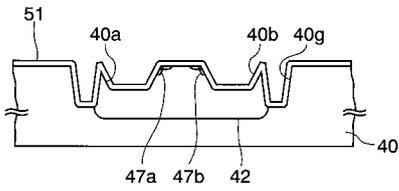
【 25 】



【 27 】



【 26 】



フロントページの続き

- (56)参考文献 特開昭60-193379(JP,A)
特開昭63-153863(JP,A)
米国特許出願公開第2003/0098479(US,A1)
特開昭58-035938(JP,A)
国際公開第2004/015782(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 21/336
H01L 29/786
H01L 27/08