

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-154488

(P2015-154488A)

(43) 公開日 平成27年8月24日 (2015. 8. 24)

(51) Int. Cl.	F I	テーマコード (参考)
<b>HO3F 3/34 (2006.01)</b>	HO3F 3/34 A	5J500
<b>HO3F 3/45 (2006.01)</b>	HO3F 3/34 Z	
	HO3F 3/45 B	

審査請求 有 請求項の数 23 O L 外国語出願 (全 22 頁)

(21) 出願番号 特願2015-16725 (P2015-16725)  
 (22) 出願日 平成27年1月30日 (2015. 1. 30)  
 (31) 優先権主張番号 61/940, 204  
 (32) 優先日 平成26年2月14日 (2014. 2. 14)  
 (33) 優先権主張国 米国 (US)  
 (31) 優先権主張番号 14/321, 426  
 (32) 優先日 平成26年7月1日 (2014. 7. 1)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 515028746  
 アナログ デバイス グローバル  
 イギリス領 バミューダ、 ハミルトン、  
 パー ラ ビル ロード、 パー ラ  
 ビル プレイス 14、 3アールディー  
 フロア  
 (74) 代理人 100078282  
 弁理士 山本 秀策  
 (74) 代理人 100113413  
 弁理士 森下 夏樹  
 (74) 代理人 100181674  
 弁理士 飯田 貴敏  
 (74) 代理人 100181641  
 弁理士 石川 大輔

最終頁に続く

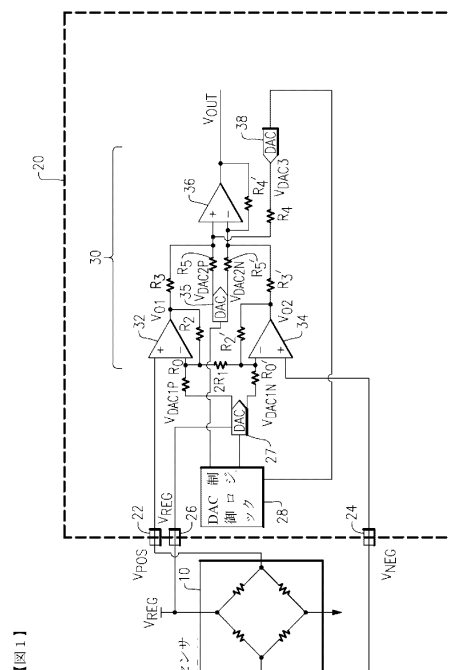
(54) 【発明の名称】 オフセット補償を備えた増幅器

(57) 【要約】 (修正有)

【課題】 オフセットを補償する増幅器を提供する。

【解決手段】 圧力センサ及び/又は抵抗ブリッジ基本センサなどのセンサが発生する信号内の比較的大きなオフセットを補償する。オフセット補償は、センサ10が発生する信号のオフセットを補償するために、電圧モードデジタル/アナログ変換器(DAC)38などの構成可能な電圧基準が発生するオフセット補正信号を、計装用増幅器30に含まれる増幅器36の入力に与える。

【選択図】 図1



【図1】

**【特許請求の範囲】****【請求項 1】**

少なくとも第 1 の段を有する計装用増幅器であって、前記第 1 の段が、  
少なくとも第 1 の非反転入力端子および第 1 の反転入力端子を有する第 1 の増幅器と、  
少なくとも第 2 の非反転入力端子および第 2 の反転入力端子を有する第 2 の増幅器と、  
前記第 1 の増幅器の第 1 の利得を設定し、かつ前記第 2 の増幅器の第 2 の利得を設定する  
ように構成された抵抗回路網であって、前記第 1 の反転入力端子および前記第 2 の反転  
入力端子に連係可能に結合される、抵抗回路網と、を備える、計装用増幅器と、  
前記計装用増幅器に連係可能に結合されて、

第 1 のオフセット補正電圧を前記第 1 の反転入力端子に与えるように、かつ、

10

第 2 のオフセット補正電圧を前記第 2 の反転入力端子に与えるように構成された、構成  
可能な電圧基準であって、

前記第 1 および第 2 のオフセット補正電圧が、前記第 1 の非反転入力端子および前記第  
2 の非反転入力端子で受け取られた差動電圧信号のオフセット電圧を補償するように構成  
される、電圧基準と、を備える、装置。

**【請求項 2】**

集積回路を備え、集積回路がセンサから差動入力信号を受け取るように構成された入力  
接触部を備え、前記集積回路が前記計装用増幅器を含み、前記計装用増幅器が前記センサ  
からの前記差動入力信号を増幅するように構成される、請求項 1 に記載の装置。

**【請求項 3】**

20

前記集積回路が前記センサの基準電圧を受け取るように構成された他の入力接触部を備  
え、前記構成可能な電圧基準が前記他の入力接触部に連係可能に結合された電圧モードデ  
ジタル/アナログ変換器(DAC)を備える、請求項 2 に記載の装置。

**【請求項 4】**

前記センサが圧力センサ、または抵抗ブリッジに基づくトランスデューサのうちの少な  
くとも 1 つを備える、請求項 2 または 3 に記載の装置。

**【請求項 5】**

構成可能な電圧基準が抵抗を介して前記第 1 のオフセット補正電圧を前記第 1 の反転入  
力に与えるように構成される、請求項 1 ~ 4 のいずれか一項に記載の装置。

**【請求項 6】**

30

前記計装用増幅器が第 2 の段を含み、前記第 2 の段が前記第 1 の増幅器の第 1 の出力端  
子に連係可能に結合された第 3 の反転入力端子と、前記第 2 の増幅器の第 2 の出力端子に  
連係可能に結合された第 3 の非反転入力端子とを有する第 3 の増幅器を備え、

前記装置が、前記第 1 および第 2 の増幅器からの前記出力電圧のオフセット電圧を補償  
するために、第 3 のオフセット補正電圧を前記第 3 の非反転入力端子に与え、第 4 のオフ  
セット補正電圧を前記第 3 の反転入力端子に与える、第 2 の構成可能な電圧基準をさらに  
備える、請求項 1 ~ 5 のいずれか一項に記載の装置。

**【請求項 7】**

第 5 のオフセット補正電圧を前記第 3 の増幅器の前記非反転入力端子に与えるように構  
成された第 3 の構成可能な電圧基準をさらに備える、請求項 6 に記載の装置。

40

**【請求項 8】**

前記構成可能な電圧基準が異なる電圧レベルを提供するように構成された複数のタップ  
ポイントを有する電圧分割器を備える、請求項 1 ~ 7 のいずれか一項に記載の装置。

**【請求項 9】**

前記電圧分割器が生成する電圧を増幅するように構成されたオフセット補正増幅器をさ  
らに備え、前記オフセット補正増幅器の出力が 1 つ以上の選択された抵抗体ストリングに  
電氣的に接続可能であり、前記 1 つ以上の抵抗体ストリングが前記計装用増幅器の前記第  
1 の段に電氣的に接続される、請求項 8 に記載の装置。

**【請求項 10】**

前記構成可能な電圧基準が R 2 R 型 DAC を備える、請求項 1 ~ 9 のいずれか一項に記

50

載の装置。

【請求項 1 1】

前記抵抗回路網が、

前記第 1 の反転入力端子と前記第 2 の反転入力端子との間に連係可能に結合された第 1 の構成可能なインピーダンスであって、第 1 の調整可能なインピーダンスを有する、第 1 の構成可能なインピーダンスと、

前記第 1 の反転入力端子と前記第 1 の増幅器の出力端子との間に連係可能に結合された第 2 の構成可能なインピーダンスであって、第 2 の調整可能なインピーダンスを有する、第 2 の構成可能なインピーダンスと、

前記第 2 の反転入力端子と前記第 2 の増幅器の出力端子との間に連係可能に結合された第 3 の構成可能なインピーダンスであって、第 3 の調整可能なインピーダンスを有する、第 3 の構成可能なインピーダンスと、を含む、請求項 1 ~ 10 のいずれか一項に記載の装置。

10

【請求項 1 2】

前記第 1 の調整可能なインピーダンス、前記第 2 の調整可能なインピーダンス、および前記第 3 の調整可能なインピーダンスがそれぞれ調整される時、前記第 1 の調整可能なインピーダンス、前記第 2 の調整可能なインピーダンス、および前記第 3 の調整可能なインピーダンスの合計が実質的に一定のままである、請求項 1 1 に記載の装置。

【請求項 1 3】

前記計装用増幅器の利得が調整される時、前記装置が、前記第 1 の調整可能なインピーダンス、前記第 2 の調整可能なインピーダンス、または前記第 3 の調整可能なインピーダンスのうちの少なくとも 1 つを調整するように構成される、請求項 1 1 または 1 2 に記載の装置。

20

【請求項 1 4】

前記計装用増幅器がプログラム可能な利得を有し、前記抵抗回路網が、1 つ以上の構成可能なインピーダンスを調整することによってプログラム可能な利得を調整するように構成される、請求項 1 ~ 1 3 のいずれか一項に記載の装置。

【請求項 1 5】

基準電圧のドリフトに起因する前記構成可能な電圧基準によって誘導される前記第 1 および第 2 の反転入力端子のオフセット成分が、前記基準電圧のドリフトに起因する前記第 1 および第 2 の非反転入力端子の入力のオフセット成分に比例するように構成される、請求項 1 ~ 1 4 のいずれか一項に記載の装置。

30

【請求項 1 6】

前記構成可能な電圧基準が、前記第 1 のオフセット補正電圧および前記第 2 のオフセット補正電圧の発生を別々に制御するように構成される、請求項 1 ~ 1 5 のいずれか一項に記載の装置。

【請求項 1 7】

センサ出力のオフセットを補償するための方法であって、

センサからのセンサ出力であって、オフセット成分および信号成分を含む、センサ出力を、計装用増幅器に含まれる第 1 の増幅器の非反転入力端子で受け取ることと、

40

前記センサ出力の前記オフセット成分を実質的に相殺するために、電圧モードデジタル / アナログ変換器 (DAC) を使用して前記第 1 の増幅器の反転入力端子にオフセット補正信号を発生させることと、

前記第 1 の増幅器を使用して前記センサ出力を増幅することと、を含む、方法。

【請求項 1 8】

前記電圧モード DAC が抵抗体ストリング型 DAC または R2R 型 DAC のうちの少なくとも 1 つを含む、請求項 1 7 に記載の方法。

【請求項 1 9】

前記センサからの第 2 のセンサ出力であって、第 2 のオフセット成分および第 2 の信号成分を含む第 2 のセンサ出力を前記計装用増幅器に含まれる第 2 の増幅器の非反転入力端

50

子で受け取ることと、

前記第2のセンサ出力の前記第2のオフセット成分を実質的に相殺するために、前記電圧モードDACを使用して前記第2の増幅器の反転入力端子に第2のオフセット補正信号を発生することと、

前記第2の増幅器を使用して前記第2のセンサ出力を増幅することと、

第3の増幅器を使用して、前記第1の増幅器と前記第2の増幅器との間の出力間の差を増幅することと、を含む、請求項17または18に記載の方法。

【請求項20】

差動センサ出力を発生するように構成されたセンサであって、前記差動センサ出力がオフセット成分および信号成分を含む、センサと、

第1の抵抗フィードバック回路網によって設定される第1の増幅器利得を有する第1の増幅器であって、前記差動センサ出力の正部分を受け取るように構成された非反転入力端子と、前記第1の抵抗フィードバック回路網に連係可能に結合された反転入力端子とを含む、第1の増幅器と、

第2の抵抗フィードバック回路網によって設定される第2の増幅器利得を有する第2の増幅器であって、前記差動センサ出力の負部分を受け取るように構成された非反転入力端子と、前記第2の抵抗フィードバック回路網に連係可能に結合された反転入力端子とを含む、第2の増幅器と、

前記センサ出力の前記オフセット成分を実質的に相殺するために、第1のオフセット補正信号を前記第1の増幅器の前記反転入力端子に与え、かつ第2のオフセット補正信号を前記第2の増幅器の前記反転入力端子に与えるように構成される、構成可能な電圧基準と、を備える、電子システム。

【請求項21】

前記センサが、圧力センサまたは抵抗ブリッジ基本センサのうちの少なくとも1つを含む、請求項20に記載のシステム。

【請求項22】

前記構成可能な電圧基準が、電圧モードDAC、抵抗体ストリング型DACまたはR2R型DACのうちの少なくとも1つを含む、請求項20または21に記載のシステム。

【請求項23】

前記構成可能な電圧基準が電圧モードDACを含む、請求項20または21に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は非仮であり、2014年2月14に出願された米国特許仮出願第61/940,204号、名称「AMPLIFIER WITH OFFSET COMPENSATION」の利益を米国特許法第119条(e)に基づいて主張し、その開示全体は、参照によって本明細書により本明細書に組み込まれる。

【0002】

開示される技術は、電子機器に関し、より詳細にはオフセットを補償することに関する。

【背景技術】

【0003】

関連技術の説明

特定のセンサは、信号成分に対して大きいオフセット成分を有する出力信号を生成する。そのような比較的大きなオフセット成分は、対応する信号成分の大きさの倍数、例えば約10倍～約100倍の程度、である大きさを有し得る。例えば、いくつかの圧力センサは、約60ミリボルト/ボルト(mV/V)オフセット成分および約1mV/V信号成分の感度を備えた出力信号を生成でき、感度は、センサの励起電圧または電源電圧に対する

10

20

30

40

50

出力電圧のフルスケール予測変化を表す。この例では、オフセット成分は、センサ出力信号を増幅する増幅器のダイナミックレンジの大部分を消費する可能性がある。したがって、増幅器が飽和する可能性がある。飽和を防ぐために、増幅器のより低い利得設定を実装することができる。しかしながら、より低い利得設定は、特定の用途において信号対雑音比(SNR)を減少させることがある。さらに、実装が高価であり得る比較的高分解能のアナログ/デジタル変換器(ADC)も、特定の用途のより低い利得設定に必要となり得る。理想的には、センサ出力信号の信号成分が、増幅器のダイナミックレンジ全体を占め、かつオフセットがゼロであり得る。

【0004】

したがって、センサオフセット相殺のための強い要求が存在する。

10

【発明の概要】

【課題を解決するための手段】

【0005】

特定の本発明の態様の概要

本開示の一態様は、計装用増幅器と構成可能な電圧基準を備える装置である。計装用増幅器は、第1の増幅器、第2の増幅器、および抵抗回路網を含む少なくとも1つの第1の段を有する。第1の増幅器は、少なくとも第1の非反転入力端子と第1の反転入力端子を有する。第2の増幅器は、少なくとも第2の非反転入力端子と第2の反転入力端子を有する。抵抗回路網は、第1の増幅器の第1の利得を設定し、かつ第2の増幅器の第2の利得を設定するように構成される。抵抗回路網は、第1の反転入力端子と第2の反転入力端子に連係可能に結合される。構成可能な電圧基準は、計装用増幅器に連係可能に結合される。構成可能な電圧基準は、第1のオフセット補正電圧を第1の反転入力端子に与え、第2のオフセット補正電圧を第2の反転入力端子に与えるように構成される。第1および第2のオフセット補正電圧は、第1の非反転入力端子および第2の非反転入力端子で受け取る差動電圧信号のオフセット電圧を補償するように構成される。

20

【0006】

本開示の別の態様は、センサ出力のオフセットを補償する方法である。この方法は、計装用増幅器に含まれる第1の増幅器の非反転入力端子で、センサから、センサ出力を受け取ることを含む。センサ出力は、オフセット成分および信号成分を含む。この方法は、他にセンサ出力のオフセット成分を実質的に相殺するために電圧モードデジタル/アナログ変換器(DAC)を使用して第1の増幅器の反転入力端子にオフセット補正信号を発生することを含む。この方法は、さらに第1の増幅器を使用してセンサ出力を増幅することを含む。

30

【0007】

本開示のさらに別の態様は、センサ、第1の増幅器、および構成可能な電圧基準を含む電子システムである。このセンサは、差動センサ出力を発生するように構成され、差動センサ出力はオフセット成分と信号成分を含む。第1の増幅器は、第1の抵抗フィードバック回路網によって設定される第1の増幅器利得を有する。第1の増幅器は、差動センサ出力の正部分を受け取るように構成された非反転入力端子と、第1の抵抗フィードバック回路網に連係可能に結合された反転入力端子を備える。第2の増幅器は、第2の抵抗フィードバック回路網によって設定される第2の増幅器利得を有する。第2の増幅器は、差動センサ出力の負部分を受け取るように構成された非反転入力端子と、第2の抵抗フィードバック回路網に連係可能に結合された反転入力端子を備える。構成可能な電圧基準は、センサ出力のオフセット成分を実質的に相殺するために第1のオフセット補正信号を第1の増幅器の反転入力端子に与え、第2のオフセット補正信号を第2の増幅器の反転入力端子に与えるように構成される。

40

【0008】

本開示を要約する目的で、本発明の特定の態様、利点および斬新な特徴を本明細書で説明した。全てのこのような利点が本発明の任意の特定の実施形態に従って必ずしも達成され得ないことを理解されたい。したがって、本発明は、本明細書で教示または示唆され得

50

る他の利点を必ずしも達成することなく、本明細書で教示される1つの利点または複数の利点を達成する、または最適化する方法で実施または実行され得る。

例えば、本発明は、以下の項目を提供する。

(項目1)

少なくとも第1の段を有する計装用増幅器であって、前記第1の段が、  
少なくとも第1の非反転入力端子および第1の反転入力端子を有する第1の増幅器と、  
少なくとも第2の非反転入力端子および第2の反転入力端子を有する第2の増幅器と、  
前記第1の増幅器の第1の利得を設定し、かつ前記第2の増幅器の第2の利得を設定する  
ように構成された抵抗回路網であって、前記第1の反転入力端子および前記第2の反転  
入力端子に連係可能に結合される、抵抗回路網と、を備える、計装用増幅器と、  
前記計装用増幅器に連係可能に結合されて、  
第1のオフセット補正電圧を前記第1の反転入力端子に与えるように、かつ、  
第2のオフセット補正電圧を前記第2の反転入力端子に与えるように構成された、構成  
可能な電圧基準であって、  
前記第1および第2のオフセット補正電圧が、前記第1の非反転入力端子および前記第  
2の非反転入力端子で受け取られた差動電圧信号のオフセット電圧を補償するように構成  
される、電圧基準と、を備える、装置。

10

(項目2)

集積回路を備え、集積回路がセンサから差動入力信号を受け取るように構成された入力  
接触部を備え、前記集積回路が前記計装用増幅器を含み、前記計装用増幅器が前記センサ  
からの前記差動入力信号を増幅するように構成される、上記項目に記載の装置。

20

(項目3)

前記集積回路が前記センサの基準電圧を受け取るように構成された他の入力接触部を備  
え、前記構成可能な電圧基準が前記他の入力接触部に連係可能に結合された電圧モードデ  
ジタル/アナログ変換器(DAC)を備える、上記項目のいずれか一項に記載の装置。

(項目4)

前記センサが圧力センサ、または抵抗ブリッジに基づくトランスデューサのうちの少な  
くとも1つを備える、上記項目のいずれか一項に記載の装置。

(項目5)

構成可能な電圧基準が抵抗を介して前記第1のオフセット補正電圧を前記第1の反転入  
力に与えるように構成される、上記項目のいずれか一項に記載の装置。

30

(項目6)

前記計装用増幅器が第2の段を含み、前記第2の段が前記第1の増幅器の第1の出力端  
子に連係可能に結合された第3の反転入力端子と、前記第2の増幅器の第2の出力端子に  
連係可能に結合された第3の非反転入力端子とを有する第3の増幅器を備え、  
前記装置が、前記第1および第2の増幅器からの前記出力電圧のオフセット電圧を補償  
するために、第3のオフセット補正電圧を前記第3の非反転入力端子に与え、第4のオフ  
セット補正電圧を前記第3の反転入力端子に与える、第2の構成可能な電圧基準をさらに  
備える、上記項目のいずれか一項に記載の装置。

(項目7)

第5のオフセット補正電圧を前記第3の増幅器の前記非反転入力端子に与えるように構  
成された第3の構成可能な電圧基準をさらに備える、上記項目のいずれか一項に記載の装  
置。

40

(項目8)

前記構成可能な電圧基準が異なる電圧レベルを提供するように構成された複数のタップ  
ポイントを有する電圧分割器を備える、上記項目のいずれか一項に記載の装置。

(項目9)

前記電圧分割器が生成する電圧を増幅するように構成されたオフセット補正増幅器をさ  
らに備え、前記オフセット補正増幅器の出力が1つ以上の選択された抵抗体ストリングに  
電氣的に接続可能であり、前記1つ以上の抵抗体ストリングが前記計装用増幅器の前記第

50

1の段に電氣的に接続される、上記項目のいずれか一項に記載の装置。

(項目10)

前記構成可能な電圧基準がR2R型DACを備える、上記項目のいずれか一項に記載の装置。

(項目11)

前記抵抗回路網が、

前記第1の反転入力端子と前記第2の反転入力端子との間に連係可能に結合された第1の構成可能なインピーダンスであって、第1の調整可能なインピーダンスを有する、第1の構成可能なインピーダンスと、

前記第1の反転入力端子と前記第1の増幅器の出力端子との間に連係可能に結合された第2の構成可能なインピーダンスであって、第2の調整可能なインピーダンスを有する、第2の構成可能なインピーダンスと、

前記第2の反転入力端子と前記第2の増幅器の出力端子との間に連係可能に結合された第3の構成可能なインピーダンスであって、第3の調整可能なインピーダンスを有する、第3の構成可能なインピーダンスと、を含む、上記項目のいずれか一項に記載の装置。

(項目12)

前記第1の調整可能なインピーダンス、前記第2の調整可能なインピーダンス、および前記第3の調整可能なインピーダンスがそれぞれ調整される時、前記第1の調整可能なインピーダンス、前記第2の調整可能なインピーダンス、および前記第3の調整可能なインピーダンスの合計が実質的に一定のままである、上記項目のいずれか一項に記載の装置。

(項目13)

前記計装用増幅器の利得が調整される時、前記装置が、前記第1の調整可能なインピーダンス、前記第2の調整可能なインピーダンス、または前記第3の調整可能なインピーダンスのうち少なくとも1つを調整するように構成される、上記項目のいずれか一項に記載の装置。

(項目14)

前記計装用増幅器がプログラム可能な利得を有し、前記抵抗回路網が、1つ以上の構成可能なインピーダンスを調整することによってプログラム可能な利得を調整するように構成される、上記項目のいずれか一項に記載の装置。

(項目15)

基準電圧のドリフトに起因する前記構成可能な電圧基準によって誘導される前記第1および第2の反転入力端子のオフセット成分が、前記基準電圧のドリフトに起因する前記第1および第2の非反転入力端子の入力のオフセット成分に比例するように構成される、上記項目のいずれか一項に記載の装置。

(項目16)

前記構成可能な電圧基準が、前記第1のオフセット補正電圧および前記第2のオフセット補正電圧の発生を別々に制御するように構成される、上記項目のいずれか一項に記載の装置。

(項目17)

センサ出力のオフセットを補償するための方法であって、

センサからのセンサ出力であって、オフセット成分および信号成分を含む、センサ出力を、計装用増幅器に含まれる第1の増幅器の非反転入力端子で受け取ることと、

前記センサ出力の前記オフセット成分を実質的に相殺するために、電圧モードデジタル/アナログ変換器(DAC)を使用して前記第1の増幅器の反転入力端子にオフセット補正信号を発生させることと、

前記第1の増幅器を使用して前記センサ出力を増幅することと、を含む、方法。

(項目18)

前記電圧モードDACが抵抗体ストリング型DACまたはR2R型DACのうち少なくとも1つを含む、上記項目のいずれか一項に記載の方法。

10

20

30

40

50

## (項目19)

前記センサからの第2のセンサ出力であって、第2のオフセット成分および第2の信号成分を含む第2のセンサ出力を前記計装用増幅器に含まれる第2の増幅器の非反転入力端子で受け取ることと、

前記第2のセンサ出力の前記第2のオフセット成分を実質的に相殺するために、前記電圧モードDACを使用して前記第2の増幅器の反転入力端子に第2のオフセット補正信号を発生することと、

前記第2の増幅器を使用して前記第2のセンサ出力を増幅することと、

第3の増幅器を使用して、前記第1の増幅器と前記第2の増幅器との間の出力間の差を増幅することと、を含む、上記項目のいずれか一項に記載の方法。

10

## (項目20)

差動センサ出力を発生するように構成されたセンサであって、前記差動センサ出力がオフセット成分および信号成分を含む、センサと、

第1の抵抗フィードバック回路網によって設定される第1の増幅器利得を有する第1の増幅器であって、前記差動センサ出力の正部分を受け取るように構成された非反転入力端子と、前記第1の抵抗フィードバック回路網に連係可能に結合された反転入力端子とを含む、第1の増幅器と、

第2の抵抗フィードバック回路網によって設定される第2の増幅器利得を有する第2の増幅器であって、前記差動センサ出力の負部分を受け取るように構成された非反転入力端子と、前記第2の抵抗フィードバック回路網に連係可能に結合された反転入力端子とを含む、第2の増幅器と、

20

前記センサ出力の前記オフセット成分を実質的に相殺するために、第1のオフセット補正信号を前記第1の増幅器の前記反転入力端子に与え、かつ第2のオフセット補正信号を前記第2の増幅器の前記反転入力端子に与えるように構成される、構成可能な電圧基準と、を備える、電子システム。

## (項目21)

前記センサが、圧力センサまたは抵抗ブリッジ基本センサのうちの少なくとも1つを含む、上記項目のいずれか一項に記載のシステム。

## (項目22)

前記構成可能な電圧基準が、抵抗体ストリング型DACまたはR2R型DACのうちの少なくとも1つを含む、上記項目のいずれか一項に記載のシステム。

30

## (項目22A)

前記構成可能な電圧基準が、電圧モードDAC、抵抗体ストリング型DACまたはR2R型DACのうちの少なくとも1つを含む、上記項目のいずれか一項に記載のシステム。

## (項目23)

前記構成可能な電圧基準が電圧モードDACを含む、上記項目のいずれか一項に記載のシステム。

## (摘要)

本開示の態様は、圧力センサおよび/または抵抗ブリッジ基本センサなどのセンサが発生する信号内の比較的大きなオフセットを補償することに関する。このオフセット補償は、センサが発生する信号のオフセットを補償するために、電圧モードデジタル/アナログ変換器(DAC)などの構成可能な電圧基準が発生するオフセット補正信号を計装用増幅器に含まれる増幅器の入力に与えることを含み得る。

40

## 【図面の簡単な説明】

## 【0009】

【図1】図1は、実施形態に従って、センサからセンサ出力を受け取り、デジタル/アナログ変換器(DAC)を使用してセンサ出力のオフセットを相殺するように構成された計装用増幅器の概略図である。

## 【0010】

【図2A】図2Aは、計装用増幅器および構成可能な電圧基準の実施形態の概略図である

50



。

【0011】

【図2B】図2Bは、電圧分割器を含む図2Aの構成可能な電圧基準の実施形態の概略図である。

【0012】

【図2C】図2Cは、実施形態に従って、図2Aの計装用増幅器の第1の段の利得を調整するために抵抗回路網のインピーダンスを調整するように構成された回路と、DACと抵抗回路網との間の抵抗体ストリングに連係可能に結合するように構成された回路を図解する概略図である。

【0013】

【図2D】図2Dは、単一の増幅器が、スイッチを駆動して選択された抵抗体ストリングを対応するタップポイントに連係可能に結合するように構成された例示的な実施形態を図解する概略図である。

【0014】

【図3】図3は、R2R型DACを含む構成可能な電圧基準を備えた計装用増幅器の第1の段の別の実施形態の概略図である。

【発明を実施するための形態】

【0015】

特定の実施形態の以下の詳細な説明は、具体的な実施形態の様々な説明を提示する。しかしながら、本明細書で説明される技術革新は、例えば、特許請求の範囲によって定義されて包含される多数の異なる方法で具体化することができる。本明細書の説明では、図の参照において、同様の参照番号は同一または機能的に類似する要素を示し得る。図に図解された要素は、必ずしも縮尺に合わせて図示されていないことを理解されたい。

【0016】

上述のように、センサまたはトランスデューサは、出力信号の信号成分に対して大きなオフセット成分を有する出力信号を発生し得る。そのようなセンサは、圧力センサ、歪ゲージ、ロードセル、相対湿度センサ、抵抗温度デバイス(RTD)、サーミスタ、などを含むことができ、抵抗ホイートストンブリッジ回路で実装され得る。一例では、ディーゼルエンジンのシリンダー内計測で使用される高圧センサは、比較的大きなオフセットを有し得る。図解の例では、センサ出力信号は、約300mVのオフセット成分と約5mVの信号成分を有し得る。これは、信号成分の正確な増幅を困難にし得る。このセンサ出力信号のオフセット成分は、センサ出力信号を増幅する増幅器のダイナミックレンジの大部分または全部を消費し得る。これは、信号調整を特に困難にし得る。例えば、このようなオフセット成分は、増幅器のダイナミックレンジの大部分を消費する可能性があり、大きなオフセット成分を有するセンサ出力信号を増幅すると信号強度も劣化する可能性がある。例えば、いくつかの用途では、信号強度は、約40デシベル(dB)以上劣化し得る。

【0017】

複数の電子システム、例えば圧力センサを備えるシステムなどは、比較的高精度(例えば、少なくとも10~12ビットの精度)および比較的高分解能(例えば、少なくとも12~14ビットの分解能)を使用し得る。図解の例では、センサ出力信号においてオフセット成分のダイナミックレンジが信号成分よりも約35dB大きい場合、オフセット成分の原因だけによって、6ビットの分解能が失われ得る。このような状況で12~14ビットの分解能を達成するために、18ビットのADCを使用し得る。追加のビットを備えたADCは設計することは、さらに困難であり、より多くの領域を消費し、より多くの電力を消費し得る。これは、ADCを備える電子システムをより高価にし得る。

【0018】

本開示の態様は、センサ出力信号を増幅する前にセンサ出力信号のオフセット成分を縮小することに関連する。センサ出力信号は、オフセット相殺後に増幅され得る。増幅の前にセンサ出力信号からオフセット成分の大部分を除去することにより、増幅器のダイナミックレンジの大部分または実質的に全部を使用してセンサ出力信号の信号成分を増幅する

10

20

30

40

50

ことができる。これは、センサ出力信号のオフセットを補償するために追加のビットを A D C に加えずに電子システムの精度および/または分解能を満たすことができる。信号成分に対して比較的大きなオフセット成分を有するセンサ出力信号のオフセット成分の一部または全部を相殺することは望ましいことであり得る。例えば、オフセット成分の大部分を相殺することにより、増幅器はより多くの信号成分およびより少ないオフセット成分を増幅することができる。

#### 【0019】

本明細書で説明されるオフセット相殺は、計装用増幅器などの増幅器の1つ以上の段の入力に実装することができる。例えば、電子システムは、オフセット成分が信号成分に対して大きいオフセット成分と信号成分を有するセンサ出力を発生するように構成されたセンサを含み得る。増幅器は、抵抗フィードバック回路網によって設定される利得を有することができる。増幅器の非反転入力端子は、センサ出力を受け取ることができ、増幅器の反転入力端子は、抵抗フィードバックネットワークに連係可能に結合することができる。構成可能な電圧基準、例えば D A C などは、オフセットを縮小するために使用され得る電圧基準を生成することができる。例えば、電圧モード連続時間 D A C は、増幅器の反転入力端子にオフセット補正信号を与えてセンサ出力のオフセット成分を実質的に相殺することができる。そのような D A C は、抵抗体ストリング型 D A C または R 2 R 型 D A C を含み得る。いくつかの実施形態では、センサおよび D A C の両方は、同じ基準電圧に電氣的に結合され得る。したがって、基準電圧のドリフトに起因してセンサオフセットが変化するとき、オフセット補正信号は比例関係で変化することができる。比例関係は、別の信号に直接に比例する1つの信号を表すことができる。特定の実施形態では、抵抗フィードバック回路網の1つ以上のインピーダンスは調整可能であり得る。これにより、増幅器の利得を調整することができる。これらの実施形態のいくつかにおいて、抵抗フィードバック回路網の特定の調整可能なインピーダンスの合計は、実質的に一定のままであり得る。

#### 【0020】

一実施形態では、計装用増幅器の第1の段は、第1の増幅器、第2の増幅器、および第1の増幅器の第1の利得を設定し、かつ第2の増幅器の第2の利得を設定するように構成された抵抗回路網を備える。D A C は、第1の増幅器のための第1のオフセット補正信号および第2の増幅器のための第2のオフセット補正信号を発生することができる。D A C は、二つの別々の D A C として実装することができ、1つが第1の増幅器用であり、1つが第2の増幅器用である。D A C は、電圧モード D A C、または I - V 変換器段の出力で使用される電流モード D A C であり得る。D A C は、抵抗体を介して増幅器の入力端子に与えられる電圧を発生することができる。したがって、そのような増幅器の入力端子で受け取られるオフセット補正信号は、いくつかの実施形態では電流であり得る。オフセット補正信号は、あるいは特定の実施形態では、電圧信号であり得る。第1および第2のオフセット補正信号は、第1および第2の増幅器のそれぞれで受け取られる差動電圧信号のオフセット電圧を補償することができる。差動電圧信号は、センサから受け取ることができる。D A C は、第1のオフセット補正電圧および第2のオフセット補正電圧を別々に制御することができる。制御ロジック内の抵抗体は、第1および第2のオフセット補正電圧を発生するために工場較正時に決定される1つ以上の D A C コードを記憶することができる。

#### 【0021】

オフセット相殺は、電圧モード計装用増幅器などの計装用増幅器に加えることができる。計装用増幅器は、差動入力を増幅する高精度利得ブロックであり得る。計装用増幅器は、差動入力電圧の間の差を増幅でき、同時に両方の入力に共通の信号を排除することができる。計装用増幅器は、例えば、直流(D C)精度および利得精度を、ノイズ環境でおよび/または比較的大きなコモンモード信号もしくはコモンモードノイズ(例えば、車両用交流発電機の整流された交流からのリップルからのノイズ、車両用点火システムからのノイズ、など)が存在するところで維持しなければならない用途などの様々な用途で実装することができる。計装用増幅器の例示的な用途は、産業、計測、データ収集、車両、およ

10

20

30

40

50

び医療用途を含む。いくつかの計装用増幅器は、実質的に固定利得レベルにプログラム可能である。利得レベルは、専用入力接触部および/またはSPI（シリアルペリフェラルインタフェース）またはI<sup>2</sup>C（インター集積回路）によってデジタル的に選択され得る。プログラマブル利得計装用増幅器は、一般的に、利得精度を最大限にすることが望ましい用途および/または単一のプログラマブル利得増幅器が異なる利得設定を有する複数の別々の計装用増幅器と交換できる用途に適する。

#### 【0022】

図1は、一実施形態に従って、センサからセンサ出力を受け取り、デジタル/アナログ変換器(DAC)を使用してセンサ出力のオフセットを相殺するように構成された計装用増幅器の概略図である。図解された計装用増幅器は電圧モード計装用増幅器である。電圧モード計装用増幅器は、抵抗ブリッジ基本センサからの差動信号を増幅するために適切であり得る。

10

#### 【0023】

図1に図解された電子システムは、センサまたはトランスデューサ10、および第1のDAC27、DAC制御ロジック28、計装用増幅器30、第2のDAC35および第3のDAC38を含む集積回路20を備える。第1のDAC27、第2のDAC35、および第3のDAC38は、それぞれ電圧モード連続時間DACであり得る。図1に示された個々のDACは、2つのDACによって実装され得る。あるいは、またはさらに、図1に示された個々のDACは、差動出力を有するDACであり得る。図解されたセンサ10は、検出されるパラメータとともに変化するブリッジの少なくとも1つの抵抗要素を備えた抵抗ホイートストンブリッジ基本センサである。センサ10は、いくつかの実施形態では、圧力センサであり、圧力とともに変化する全部で4個の抵抗要素を有し得る。一例では、センサ10は、自動車エンジンの燃焼室の圧力を計測するなどの自動車用として使用され得る。センサ10は、それぞれの信号成分に対して大きなオフセット成分を有するセンサ出力信号を発生し得る。センサ10は、差動電圧V<sub>POS</sub>とV<sub>NEG</sub>をそれぞれ集積回路20の第1と第2の入力接触部22と24に与えることができる。集積回路20は、さらに第3の入力接触部26で基準電圧V<sub>REG</sub>を受け取ることができる。基準電圧V<sub>REG</sub>は、アナログ回路のために意図された電源電圧などの調整された電圧であり得る。基準電圧V<sub>REG</sub>は、励起電圧としてセンサ10が使用する基準電圧として同じソースによって発生され得る。センサ10は、あるいは電流によって励起され得る。ほぼ同じ基準電圧V<sub>REG</sub>は、センサ10とDAC27によって使用され得る。同様に、ほぼ同じ基準電圧V<sub>REG</sub>は、センサ10およびDAC35および/または38によって使用され得る。DAC27, 35および38の一部または全部の任意の組合せの出力は、センサ10の出力に比例し得る。入力接触部22、24、および26は、例えばピンであり得る。集積回路20は、特定の実施形態によれば、自動車センサ信号調整器および/または圧力センサ信号調整器などのセンサ信号調整器であり得る。

20

30

#### 【0024】

図解のように、計装用増幅器30は、第1および第2の段を備える。第1の段は、第1の増幅器32と第2の増幅器34を備える。第2の段は、第3の増幅器36を備える。増幅器32、34、36は、演算増幅器であり得る。第1の増幅器32の非反転入力端子は、センサ10から正出力電圧V<sub>POS</sub>を受け取ることができる。第2の増幅器34の非反転入力端子は、センサ10から負出力電圧V<sub>NEG</sub>を受け取ることができる。

40

#### 【0025】

第1および第2の増幅器32および34の利得は、それぞれ抵抗回路網によって設定することができる。図1で示される実施形態では、計装用増幅器30の第1の段のための抵抗回路網は、抵抗R<sub>0</sub>、R<sub>0</sub>'、2R<sub>1</sub>、R<sub>2</sub>、およびR<sub>2</sub>'を含む。抵抗2R<sub>1</sub>は、直列に接続されてそれぞれがR<sub>1</sub>の抵抗を有する2つの抵抗体によって実装され得る。これらの抵抗のうちの一つ以上は、例えば、後により詳細に説明するように、プログラム可能であり得る。図1では、抵抗2R<sub>1</sub>は、第1の増幅器32と第2の増幅器34の反転入力端子間に結合され、抵抗R<sub>2</sub>は、第1の増幅器32の出力と第1の増幅器32の反転入力

50

端子との間のフィードバックパスにあり、抵抗  $R_2'$  は、第 2 の増幅器 3 4 の出力と第 2 の増幅器 3 4 の反転入力端子との間のフィードバックパスにある。図 1 では、抵抗  $R_0$  は、DAC 2 7 の出力と第 1 の増幅器 3 2 の反転入力端子との間に結合され、抵抗  $R_0'$  は、DAC 2 7 の出力と第 2 の増幅器 3 4 の反転入力端子との間に結合される。

【0026】

第 1 の段の計装用増幅器 3 0 の増幅器 3 2 および 3 4 の出力電圧間の差は、式 1 によって表わすことができる。

【数 1】

$$V_{O1} - V_{O2} = (V_{POS} - V_{NEG}) \left( 1 + \frac{R_2 + R_2'}{2R_1} \right) + \frac{V_{POS}R_2}{R_0} - \frac{V_{NEG}R_2'}{R_0'} - \frac{V_{DACP1}R_2}{R_0} + \frac{V_{DACN1}R_2'}{R_0'} \quad (\text{式 1})$$

10

【0027】

式 1 では、 $V_{O1}$  は第 1 の増幅器 3 2 の出力電圧を表し、 $V_{O2}$  は第 2 の増幅器 3 4 の出力電圧を表し、 $V_{POS}$  は計装用増幅器 3 0 の第 1 の段の正入力電圧を表し、 $V_{NEG}$  は計装用増幅器 3 0 の第 1 の段の反転入力電圧を表し、 $V_{DACP1}$  は、第 1 の増幅器 3 2 の反転入力端子に電氣的に接続された抵抗体  $R_0$  に与えられる第 1 の DAC 2 7 の第 1 の出力であるオフセット補正電圧を表し、 $V_{DACN1}$  は、第 2 の増幅器 3 4 の反転入力端子に電氣的に接続される抵抗体  $R_0'$  に与えられる第 1 の DAC 2 7 の第 2 の出力であるオフセット補正電圧を表す。式 1 の抵抗は、図 1 に示される抵抗に対応する。

20

【0028】

差動入力電圧  $V_{POS}$  と  $V_{NEG}$  は、比較的大きなオフセット電圧を有し得る。オフセット補正電圧  $V_{DAC1P}$  と  $V_{DAC1N}$  は、そのような比較的大きなオフセットの補償を補助することができる。いくつかの例では、オフセット補正電圧  $V_{DAC1P}$  と  $V_{DAC1N}$  は、計装用増幅器 3 0 のダイナミックレンジ内で計装用増幅器 3 0 の第 1 の段の出力を実質的に最小限にすることができる。コモンモード利得を縮小するために、オフセット補正電圧  $V_{DAC1P}$  と  $V_{DAC1N}$  は、差動入力電圧  $V_{POS}$  と  $V_{NEG}$  のコモンモード電圧と同様であるコモンモード電圧を有するように設定され得る。コモンモード利得は、コモンモード電圧に起因する増幅器出力の寄与を表すことができる。式 2 は、オフセット補正電圧  $V_{DAC1P}$  と  $V_{DAC1N}$  のコモンモードのほぼ等価である差動入力電圧  $V_{POS}$  と  $V_{NEG}$  のコモンモードを表す。

30

【数 2】

$$\frac{V_{POS} + V_{NEG}}{2} \approx \frac{V_{DAC1P} + V_{DAC1N}}{2} \quad (\text{式 2})$$

【0029】

第 1 の増幅器 3 2 と第 2 の増幅器 3 4 の反転入力端子に与えられるオフセット補正電圧  $V_{DAC1P}$  と  $V_{DAC1N}$  は、それぞれ、計装用増幅器 3 0 の第 1 の段のダイナミックレンジの大部分または全部を使用して、センサ 1 0 が発生した差動電圧  $V_{POS}$  と  $V_{NEG}$  の信号成分を増幅することを保証することができる。同様の原理は、計装用増幅器 3 0 の第 2 の段の入力に電圧オフセットを補正するために適用することができる。このようなオフセット補正は、比較的高分解能および / またはダイナミックレンジを保証することができる。計装用増幅器 3 0 のオフセット相殺の第 3 の段は、出力電圧をより細かい分解能に調整できる。計装用増幅器 3 0 のオフセット補正の様々な段の DAC コードの設定に関する詳細は、後に説明する。

40

【0030】

第 3 の増幅器 3 6 の利得は、計装用増幅器 3 0 の第 2 の段のための抵抗回路網によって設定することができる。図 1 で示される実施形態では、計装用増幅器 3 0 の第 2 の段のための抵抗回路網は、抵抗  $R_3$ 、 $R_3'$ 、 $R_4$ 、 $R_4'$ 、 $R_5$ 、 $R_5'$  を含む。これらの抵

50

抗のうちの1つ以上は、プログラム可能、即ち調整可能であり得る。図1では、抵抗 $R_3$ は、第1の増幅器32の出力端子と第3の増幅器36の非反転入力端子との間に結合され、抵抗 $R_{3'}$ は、第2の増幅器34の出力端子と第3の増幅器36の反転入力端子との間に結合される。図1にさらに図解されているように、抵抗 $R_{4'}$ は、第3の増幅器36の出力端子と第3の増幅器36の反転入力端子との間に結合され、抵抗 $R_4$ は、DAC38の出力と第3の増幅器36の非反転入力端子との間に結合される。さらに、図1の実施形態では、抵抗 $R_5$ は、DAC35の出力と第3の増幅器36の非反転入力端子との間に結合され、抵抗 $R_{5'}$ は、DAC35の出力と第3の増幅器36の反転入力端子との間に結合される。

【0031】

計装用増幅器30の出力電圧 $V_{OUT}$ は、式3によって表わすことができる。

【数3】

$$V_{OUT} = \left( \frac{R_4 V_{O1}}{R_3} - \frac{R_4 V_{O2}}{R_{3'}} \right) + \left( \frac{R_4' V_{DAC2P}}{R_5} - \frac{R_4' V_{DAC2N}}{R_{5'}} \right) + \left( \frac{R_4' V_{DAC3}}{R_4} \right) \quad (式3)$$

【0032】

式3において、 $V_{O1}$ は第1の増幅器32の出力電圧を表し、 $V_{O2}$ は、第2の増幅器34の出力電圧を表し、 $V_{DAC2P}$ は第3の増幅器36の非反転入力端子に結合される抵抗 $R_5$ に与えられるオフセット補正電圧を表し、 $V_{DAC2N}$ は第3の増幅器36の反転入力端子に結合される抵抗 $R_{5'}$ に与えられるオフセット補正電圧を表し、 $V_{DAC3}$ はDAC38が発生するオフセット補正電圧を表す。式1内の抵抗は図1内の抵抗に対応する。出力電圧 $V_{OUT}$ は、図1で単一の電圧として図解されているが、出力電圧 $V_{OUT}$ は、いくつかの他の実装形態では差動出力電圧であり得る。

【0033】

オフセット補正電圧 $V_{DAC2P}$ および $V_{DAC2N}$ は、オフセット補正をさらに精緻化することができる。例えば、オフセット補正電圧 $V_{DAC2P}$ および $V_{DAC2N}$ は、コモンモードオフセットおよび/または計装用増幅器30の第1の段の差動出力に存在する差動オフセットを補正することができる。このようなオフセット補正は、高分解能および/またはダイナミックレンジをもたらすことができる。DAC38が発生するオフセット補正電圧 $V_{DAC3}$ は、計装用増幅器30の出力電圧 $V_{OUT}$ をより細かい分解能に調整することができる。DAC35と38の入力換算分解能は、DAC27よりも高くなり得る。これは、オフセット補正分解能を増加することができる。さらに、DAC35および38の入力オフセット補正範囲は、DAC27よりも低くなり得る。

【0034】

計装用増幅器30の第1の段の抵抗回路網は、利得を複数の異なる第1の段の利得設定のうちの選択された1つに調整することができる。例えば、一実施形態では、第1の段は三つの利得設定を有することができる。同様に、計装用増幅器30の第2の段の抵抗回路網は、利得を複数の異なる第2の段の利得設定のうちの選択された1つに調整することができる。一例として、一実施形態では、第2の段は12個の異なる利得設定を有することができる。いくつかの実施形態では、計装用増幅器30の総合利得は、約2～約1000の範囲から選択することができる。異なる利得設定は、抵抗 $R_0$ 、 $R_0$ 、 $2R_1$ 、 $R_2$ 、 $R_2'$ 、 $R_3$ 、 $R_3'$ 、 $R_4$ 、 $R_4'$ 、 $R_5$ 、または $R_{5'}$ のうちの1つ以上のインピーダンスを設定することによって選択することができる。

【0035】

1つ以上のDACコードは、工場較正時に決定され得る。これらのDACコードは、センサ出力信号内のオフセット成分の一部または全部を相殺し、かつ/またはコモンモード変動の影響の一部または全部を相殺することができる。DACコードは、DAC制御ロジック28の抵抗体に記憶され得る。DAC制御ロジック28は、DACにDACコードを提供するように構成された適当な回路によって実装され得る。DACコードは、あるいは

10

20

30

40

50

、またはさらに、EEPROM、ヒューズ、他の適当な不揮発性メモリなどの他の適当なメモリ要素に記憶され得る。このようなDACコードは、DAC制御ロジック28にロードすることができる。1つの例示的なオフセット校正アルゴリズムでは、コモンモード補正のために6ビットを使用することができ、第1の段のオフセットトリミングのために6ビットを使用することができ、第2の段のオフセットトリミングのために5ビットを使用することができ、第3の段のオフセットトリミングのために7ビットを使用することができる。

#### 【0036】

コモンモードDACコード $V_{CM\_CODE}$ を決定する一例を説明する。計装用増幅器30の差動利得は、最低設定に設定され得る。アナログ/デジタル変換器(ADC)は、計装用増幅器30の入力コモンモードを検出することができる。一例として、ADCは、抵抗体 $2R_1$ の midpoint を計測して増幅器30の入力コモンモードを検出することができる。DAC27がオフセット補正電圧を計装用増幅器30の第1の段の入力に与えて差動入力電圧 $V_{POS}$ および $V_{NEG}$ と同じコモンモードを有するように、DAC27のためのコモンモードDACコード $V_{CM\_CODE}$ を設定することができる。このプロセスでは、コモンモードDACコード $V_{CM\_CODE}$ は、式4を使用する線形外挿によって決定され得る。図1の計装用増幅器30の第1の段のコモンモード出力は、式4によって表わすことができる。

10

#### 【数4】

$$V_{CM\_1st} = V_{CMI} + \frac{R_2}{R_0}(V_{CMI} - V_{CMO\_1st}) \quad (\text{式4})$$

20

#### 【0037】

式4において、 $V_{CM\_1st}$ は計装用増幅器30の第1の段のコモンモード出力電圧を表し、 $V_{CMI}$ は計装用増幅器30の第1の段へのコモンモード入力電圧を表し、 $V_{CMO\_1st}$ はオフセット補正電圧 $V_{DAC1P}$ および $V_{DAC1N}$ のコモンモード電圧を表す。計装用増幅器30の第1の段では、オフセット補正電圧のコモンモードを入力電圧のコモンモードに等しくなる( $V_{CMI} = V_{CMO\_1st}$ )ように設定し、出力電圧のコモンモードは、式4に従って、入力電圧のコモンモードに等しくなる( $V_{CM\_1st} = V_{CMI}$ )。

30

#### 【0038】

コモンモードDACコード $V_{CM\_CODE}$ は、計装用増幅器30の第2の段への入力計装用増幅器30の第1の段の入力コモンモードに近いコモンモードを有することを保証することができる。これによって、計装用増幅器30の第1および第2の段のコモンモード電圧を設定することができる。DACオフセットコードは、所望の目標値に対する誤差を最小限にするためにDAC27, 35および/または38に提供され得る。

#### 【0039】

図2Aは、図1の計装用増幅器30とDAC27, 35、および38の実施形態の概略図である。図2Aは、計装用増幅器30の第1の段および第2の段の利得を設定する抵抗回路網の抵抗が調整可能であり得ることを図解する。図2Aに示される調整可能な抵抗を使用して、計装用増幅器30はプログラマブル利得を有する。DAC27, 35、および38は、本明細書で説明されたオフセット補償特徴の任意の組合せを実装することができる。

40

#### 【0040】

図2Bは、図2Aの第1のDAC27と第2のDAC35の機能を実装する構成可能な電圧基準39の実施形態の概略図である。構成可能な電圧基準39は、電圧モード信号を発生し、電圧モード信号を増幅器の反転入力に、および/または増幅器の非反転入力に与える。したがって、本明細書で使用されるように、「構成可能な電圧基準」は、第1の増幅器32および/または第2の増幅器34などの増幅器の反転入力に合計される電流モー

50

ド信号を発生する回路を除外することを意図されている。構成可能な電圧基準39は、複数のタップポイントを有する電圧分割器を備える。図2Bで示されるように、電圧分割器は抵抗体分割器であり得る。図2Bで示されるように、特定の実施形態では、構成可能な電圧基準39は、計装用増幅器30の異なる段でオフセット補正電圧を発生する回路を共有することができる。回路を共有することにより、領域、コスト、電力など、またはそれらの任意の組合せを縮小することができる。図2Bで図解された構成可能な電圧基準39は、共有回路を備えた第1のDAC27と第2のDAC35を実装するが、他の実施形態では、DAC27および35は、それぞれ別々の電圧分割器を有することができる。いくつかの実施形態では、個々のDACの出力のための別々の電圧分割器があり得る。いくつかの実施形態によれば、DAC27および/またはDAC35は、それぞれがオフセット電圧を発生するように構成された4つの別々のDACとして、またはそれぞれが差動オフセット電圧を発生するように構成された2つの別々のDACとして実装され得る。図2Bに図解された第1のDAC27と第2のDAC35は、両方とも電圧モード連続時間DACであり得る。

10

20

30

40

50

#### 【0041】

図解された構成可能な電圧基準39は、基準電圧 $V_{REG}$ とグランド電位 $Gnd$ との間に直列の複数の抵抗体を含む電圧分割器40を備える。電圧分割器40は、基準電圧 $V_{REG}$ とグランド電位 $Gnd$ との間の電圧分割器として機能する。電圧分割器40上の異なるタップポイントは、デジタル制御信号などの制御信号に応じて、オフセット補正増幅器42、44、46、および48の入力に連係可能に選択的に結合され得る。特定の実施形態では、電圧分割器40は抵抗体ストリング型DACを備える。抵抗体ストリング型DACにおいて、抵抗体ストリング上の異なるタップポイントは、デジタル制御信号に応じて、オフセット補正増幅器42、44、46、および48の入力に連係可能に選択的に結合され得る。

#### 【0042】

基準電圧 $V_{REG}$ は、センサ10と同じ基準電圧 $V_{REG}$ に電氣的に結合され得る。したがって、構成可能な電圧基準39は、電圧基準ドリフトに起因するオフセットドリフトを縮小かつ/または除去することができる。つまり、オフセット補正電圧は、センサ出力電圧とともにドリフトすることができる。センサ10の基準電圧が構成可能な電圧基準39の基準電圧 $V_{REG}$ に電氣的に結合されると、オフセット補正電圧はセンサ出力電圧に比例することができる。

#### 【0043】

デジタル制御信号(図示せず)は、スイッチ(図示せず)を開閉して連係的な結合を実行し、オフセット補正増幅器42、44、46、および48の正入力端子にアナログ電圧を提供する。オフセット補正増幅器42、44、46、および48のそれぞれは、バッファ増幅器として構成され、非反転入力端子で電圧分割器40からのアナログ電圧を受け取り、反転入力端子でその出力を受け取って電圧をバッファする。他のバッファ構成を代わりに使用してもよい。デジタル制御信号は、オフセット補正増幅器42、44、46、および48のそれぞれに異なる電圧を提供することができる。デジタル制御信号は、計装用増幅器30の第1の段のオフセット補正増幅器42および44に選択されたアナログ電圧レベルを提供する第1の段のDACコードと、計装用増幅器30の第2の段のオフセット補正増幅器46および48に選択されたアナログ電圧レベルを提供する第2の段のDACコードを含むことができる。したがって、計装用増幅器30の第1の段および計装用増幅器30の第2の段のためのオフセット補正電圧は、別々に制御可能であり得る。いくつかの実施形態によれば、別々のDACコードは、オフセット補正増幅器42、44、46、および48のそれぞれのために電圧分割器40に提供され得る。これらの実施形態では、計装用増幅器30のためのオフセット補正電圧 $V_{CM1}$ 、 $V_{CM2}$ 、 $V_{CM3}$ 、および $V_{CM4}$ は、別々に制御可能であり得る。

#### 【0044】

一実施形態によれば、図2Cは、抵抗回路網のインピーダンスを調整して図2Aの計装

用増幅器30の第1の段の利得を調整するように構成された回路と、DACと抵抗回路網との間に抵抗体ストリングを連係可能に結合する回路を図解する概略図である。上述のように、抵抗回路網の調整可能なインピーダンスは、計装用増幅器30の利得をプログラム可能にすることができる。抵抗体ストリングR0は、比較的広範のオフセット補正範囲を補償するために使用することができる。図解のように、図2Cの電圧分割器40は抵抗体ストリング型DACである。他の電圧分割器を代わりに実装することができる。

#### 【0045】

図解された実施形態では、抵抗体 $2R_1$ および $R_2$ のインピーダンスは調整可能であり、かつ抵抗体 $2R_1$ および $R_2$ のインピーダンスの合計は実質的に一定のままであり得る。構成可能な利得設定は、ユーザによって提供され、抵抗体 $2R_1$ および $R_2$ のインピーダンスの比を調整して計装用増幅器30の第1の段の所望の利得を設定することができる。プログラマブル利得設定は、第1の増幅器32と第2の増幅器34の反転入力端子を $R_1 - R_2$ 抵抗ラダー上の異なるタップポイントに結合して、計装用増幅器30の第1の段の利得を調整することができる。

10

#### 【0046】

プログラマブル利得設定は、利得設定スイッチ62および64のうちの選択された1つを操作して第1の増幅器32の反転入力端子を抵抗体ストリング上の選択されたタップポイント $T_1$ または $T_2$ に連係可能に結合し、第1の増幅器32の利得を設定することができる。利得設定の異なる値は、異なる利得設定スイッチ62または64を操作して第1の増幅器32の反転入力端子を抵抗体ストリング上の異なるタップポイント $T_1$ または $T_2$ に結合し、第1の増幅器32の利得を変えることができる。同様に、プログラマブル利得設定は、利得設定スイッチ66および68のうちの選択された1つを操作して第2の増幅器34の反転入力端子を抵抗体ストリング上の選択されたタップポイント $T_1'$ または $T_2'$ に連係可能に結合し、第2の増幅器34の利得を設定することができる。利得設定の異なる値は、異なる利得設定スイッチ66または68を操作して第2の増幅器34の反転入力端子を抵抗体ストリング上の異なるタップポイント $T_1'$ または $T_2'$ に結合し、第2の増幅器34の利得を変えることができる。

20

#### 【0047】

一例として、プログラマブル利得設定は、第1の増幅器32の反転入力端子を第1のタップポイント $T_1$ の代わりに第2のタップポイント $T_2$ に結合することにより、第1の増幅器32の利得を調整できる。これにより、抵抗 $R_2$ が減少し、抵抗 $2R_1$ が相応に増加し得る。したがって、計装用増幅器30の第1の段の利得は、例えば式1に従って変化することができる。同様に、第2の増幅器34の反転入力端子は、プログラマブル利得設定に応じて、第3のタップポイント $T_1'$ の代わりに第4のタップポイント $T_2'$ に連係可能に結合させて抵抗 $2R_1$ を増加させたのとほぼ同じ量だけ抵抗 $R_2$ を減少させることができる。別の例として、第1の増幅器32の反転入力端子を第2のタップポイント $T_2$ の代わりに第1のタップポイント $T_1$ に結合することにより、抵抗 $R_2$ が増加し、抵抗 $2R_1$ が相応に減少することができる。

30

#### 【0048】

例示の目的のために、2つのスイッチと2つのタップポイントが第1の増幅器32の反転入力端子に接続されて示され、2つの異なるタップポイントが第2の増幅器34の反転入力端子に接続されて示されているが、所望の数の異なるプログラマブル利得を有するように計装用増幅器30をプログラマブルにするために任意の適当な数のスイッチおよびタップポイントを実装し得ることを理解されたい。

40

#### 【0049】

利得設定スイッチ62または64は、第1の増幅器32のフィードバックループ内に配置され、温度の変化に起因するスイッチ抵抗の変化が原因となる大きな変動を生じることがない。スイッチ抵抗全体は、第1の増幅器32の利得に対して小さな因子であるべきである。同様に、利得設定スイッチ66または68は、第2の増幅器34のフィードバックループ内に配置され、温度変化に起因するスイッチ抵抗の変化が原因となる大きな変動を

50



生じることがない。

【 0 0 5 0 】

抵抗  $R_0$  を有する異なる抵抗体ストリングは、 $R_1 - R_2$  抵抗ラダーの異なるタップポイントに結合される。図 2 C に示されるように、個々の抵抗体ストリングの一方の端部は、タップポイント  $T_1$ 、 $T_2$ 、 $T_1'$ 、または  $T_2'$  のそれぞれに接続することができ、個々の抵抗体ストリングの他方の端部は、フローティングにされる、またはスイッチ 5 2 または 5 4 / 5 6 または 5 8 を介してオフセット補正増幅器 4 2 / 4 4 に接続される。抵抗体ストリングをフローティングさせることにより、それぞれのタップポイントに比較的小さな寄生キャパシタンスと比較的小さな漏れ電流が追加されるだけである。それぞれの抵抗体ストリングをオフセット補正増幅器 4 2 または 4 4 に接続するスイッチ 5 2、5 4、5 6、および 5 8 は、最小のスイッチサイズ近くで、または最小スイッチサイズで小さくなるように形成され得るので、そのようなスイッチに関連する漏れおよび寄生キャパシタンスが比較的小さくなり得る。

10

【 0 0 5 1 】

図 2 A ~ 2 C のオフセット補正回路は、約 2 4 0 m V のオフセット成分と約 4 m V の信号成分を含むセンサ出力信号などの比較的大きなセンサオフセットを補正するために適している。シミュレーションの結果は、図 2 A ~ 2 C のオフセット補正がそのようなオフセットを相殺できることを示している。

【 0 0 5 2 】

図 2 D は、単一のオフセット補正増幅器が複数の抵抗体ストリングを対応するタップポイントに駆動するように構成された例示的な実施形態を図解する概略図である。図 2 D に示されるように、単一のオフセット補正増幅器 7 0 は、D A C などの構成可能な電圧基準から入力電圧を受け取り、複数のタップポイントに接続された複数のスイッチを駆動することができる。これにより、オフセット補正増幅器の数を縮小することができる。オフセット補正増幅器 7 0 は、オフセット補正増幅器 7 0 の出力をスイッチ 7 6 と 7 7 / 7 8 と 7 9 を介して抵抗体ストリングに選択的に結合する選択されたタップポイントにオフセット補正電圧を提供することができる。スイッチ 7 1 または 7 3 は、抵抗体ストリングをオフセット補正増幅器 7 0 の入力端子に選択的に結合してフィードバックパスを形成することができる。スイッチ 7 1、7 6、および 7 7 が閉じると、スイッチ 7 3、7 8、および 7 9 が開く。同様にスイッチ 7 1、7 6、および 7 7 が開くと、スイッチ 7 3、7 8、および 7 9 が閉じる。そのようなスイッチングは、閉ループを維持できる。

20

30

【 0 0 5 3 】

図 3 は、図 1 の計装用増幅器 3 0 と第 1 の D A C 2 7 の第 1 の段の別の実施形態の概略図であり、第 1 の D A C 2 7 は R 2 R 型 D A C である。R 2 R 型 D A C は、計装用増幅器 3 0 の第 1 の段で使用してセンサオフセットを相殺するための別の方法である。図 3 で図解された D A C 2 7 は、電圧モード連続時間 D A C である。

【 0 0 5 4 】

図 3 の実施形態では、抵抗  $R_1$  と  $R_2$  は調整可能であり、第 1 の増幅器 3 2 と第 2 の増幅器 3 4 の利得はプログラム可能である。R 2 R 型 D A C の抵抗体は別々であり、かつ / または計装用増幅器 3 0 の第 1 の段の抵抗回路網の抵抗体と異なるインピーダンス値を有することができる。同様の R 2 R 型 D A C は、計装用増幅器の第 2 の段のオフセット相殺に実装することができる。R 2 R 型 D A C は、データデジタル M S B、M S B - 1、M S B - 2 ~ L S B を含むデジタル D A C コードを受け取り、その D A C コードを第 1 の増幅器 3 2 および / または第 2 の増幅器 3 4 の反転入力へのアナログオフセット補正電圧に変換することができる。異なる電圧を第 1 の増幅器 3 2 および第 2 の増幅器 3 4 の反転入力端子に与えるために、異なる D A C コードを R 2 R 型 D A C に提供することができる。異なる D A C コードは、R 2 R 型 D A C が第 1 の増幅器 3 2 と第 2 の増幅器 3 4 の反転入力端子に与えられる電圧を別々に制御することを可能にする。

40

【 0 0 5 5 】

R 2 R 型 D A C の実装は、図 2 A ~ 2 C の抵抗体ストリング型 D A C よりも安価に実装で

50

きる。例えば、R2R型DACは固定出力インピーダンスを有することができるので、図2A～2Cのオフセット補正増幅器は、R2R型DACで必要とされない。これにより、計装用増幅器30の第1の段および第2の段のサイズを縮小することができる。R2R型DACを使用すると、図2A～2Cの構成可能な電圧基準の増幅器に関連するオフセットおよび/またはオフセットドリフトが存在しない。単位抵抗体がR2R型DACおよび計装用増幅器30の抵抗回路網で同じである場合、抵抗体を厳密に整合させることができ、オフセット相殺は、単純な抵抗体比に基づくことができる。

#### 【0056】

抵抗体ストリング型DACおよびR2R型DACアーキテクチャを例示の目的のために説明したが、本明細書で説明した原理および利点は、センサオフセットを相殺するために他の適当な構成可能な電圧基準および/またはDACアーキテクチャに適用可能であることを理解されたい。

10

#### 【0057】

オフセット相殺のシステム、装置、および方法を特定の実施形態を参照して説明した。しかしながら、当業者は、この実施形態の原理と利点は、センサオフセット相殺などのオフセット相殺を必要とする任意の他のシステム、装置、または方法に使用可能である。

#### 【0058】

このようなシステム、装置、およびまたは方法は、様々な電子デバイスで実装され得る。電子デバイスの例は、制限されないが、顧客電子製品、顧客電子製品の部品、電子テスト機器、自動車電子機器、等を含み得る。自動車電子機器の例は、制限されないが、座席圧力用センサ、ペダル圧力、マニホールド圧力、燃焼室圧力、等を含む。電子デバイスの例は、さらにメモリチップ、メモリモジュール、光回路網の回路または他の通信回路網、およびディスクドライバ回路を含むことができる。顧客電子製品は、制限されないが、精密機械、医療デバイス、無線機器、携帯電話（例えば、スマートフォン）、セルラー基地局、電話、テレビ、コンピュータモニター、コンピュータ、ハンドヘルドコンピュータ、タブレットコンピュータ、パーソナルデジタルアシスタント（PDA）、電子レンジ、冷蔵庫、ステレオシステム、カセットレコーダーまたはプレーヤー、DVDプレーヤー、CDプレーヤー、デジタルビデオレコーダー（DVR）、VCR、MP3プレーヤー、ラジオ、ビデオカメラ、カメラ、デジタルカメラ、携帯型メモリチップ、洗濯機、乾燥機、洗濯機/乾燥機、コピー機、ファクシミリ機、スキャナー、多機能周辺機器、腕時計、時計、等を含み得る。さらに、電子デバイスは未完成製品を含み得る。

20

30

#### 【0059】

説明および特許請求の範囲を通じて文脈が明確に要求しない限り、単語「～を含む（comprise）」、「～を含む（comprising）」、「～を含む（include）」、「～を含む（including）」等は、排他的または網羅的な意味とは対照的に、即ち、「～を含むが、これらに限定されない（including, but not limited to）」という意味で、包括的な意味で解釈されるべきである。本明細書で一般的に使用されている単語「結合された（coupled）」または「接続された（connected）」は、直接に接続され得る、または1つ以上の中間要素の手段によって接続され得る2つ以上の要素を指す。さらに単語「ここで（herein）」、「上で（above）」、「下で（below）」および同様の意味の単語は、本出願で使用されるとき、全体として本出願を指し、本出願の何れかの特定の部分を指さない。文脈が許す箇所では、単数または複数を使用する詳細な説明内の単語は、それぞれ複数または単数を含むこともできる。2つ以上のアイテムのリストを参照する単語「または（or）」は、リスト内の任意のアイテム、リスト内の全てのアイテム、およびリスト内のアイテムの任意の組合せからなる単語の全ての解釈を包含することを意図する。本明細書に提供される全ての数値は、計測誤差内の同様の値を含むことを意図する。

40

#### 【0060】

本明細書に提供される発明の教示は、必ずしも上記のシステムに適用されるのではなく、他のシステムに適用可能である。上記の様々な実施形態の要素および行為は、組み合わ

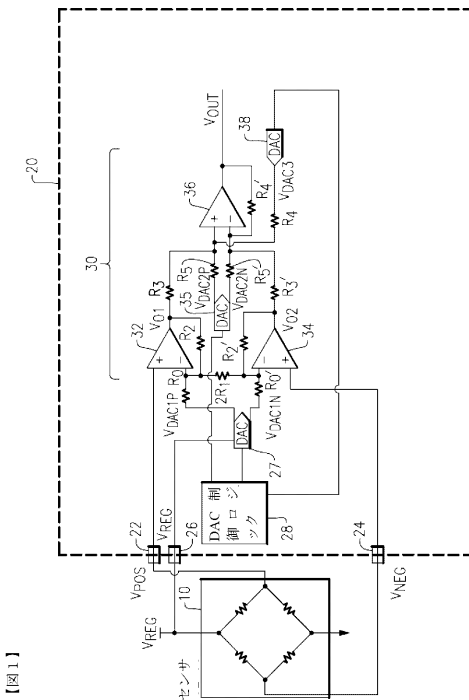
50

せられて別の実施形態を提供することもできる。本明細書で説明された方法の行為は、必要に応じて任意の順番で実行され得る。さらに、本明細書で説明された方法の行為は、必要に応じて連続してまたは平行して実行され得る。

【0061】

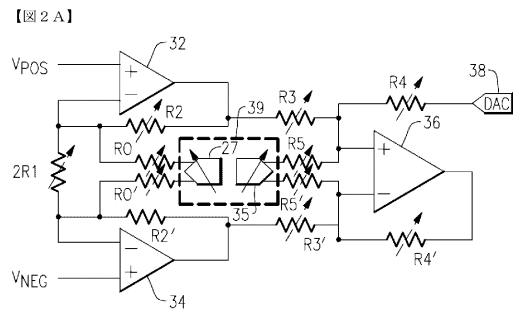
本発明の特定の実施形態を説明したが、これらの実施形態は、例としてのみ提示され、本開示の範囲を制限することを意図しない。実際に、本明細書で説明された斬新な方法、装置、およびシステムは、様々な他の形態で具体化することができる。例えば、本明細書で説明された原理と利点は、オフセット相殺を必要とする任意の適当な電子システムで使用することができる。さらに、本明細書で説明された方法およびシステムの形態における様々な省略、交換および変更は、本開示の精神から逸脱することなくなされ得る。添付の特許請求の範囲およびそれらの等価物は、本開示の範囲及び精神内に含まれるそのような形式または変更を包含することが意図される。したがって、本発明の範囲は、特許請求の範囲の参照によって定義される。

【図1】

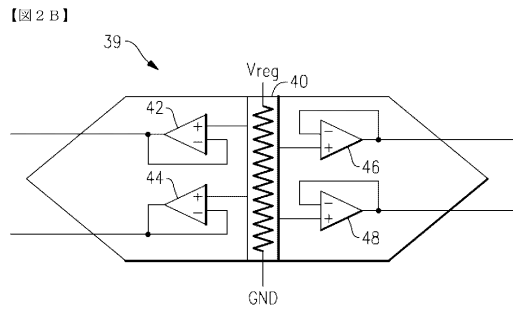


【図1】

【図2A】



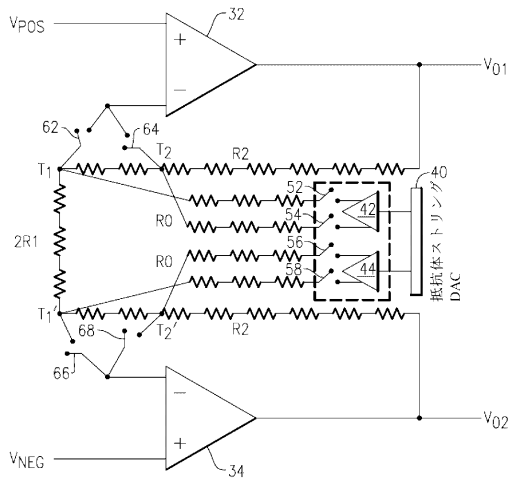
【図2B】



【図2B】

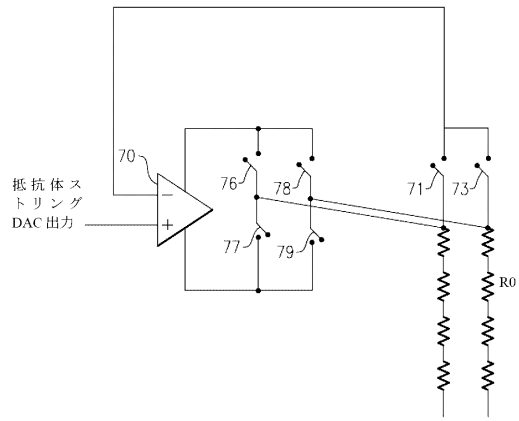
【図 2 C】

【図 2 C】



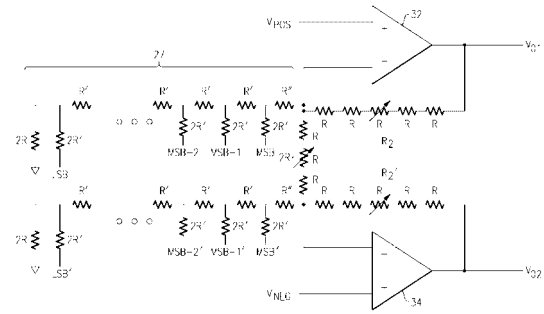
【図 2 D】

【図 2 D】



【図 3】

【図 3】



---

フロントページの続き

(74)代理人 230113332

弁護士 山本 健策

(72)発明者 ファジル アハマド

アメリカ合衆国 カリフォルニア 95050, サンタ クララ, リンカーン ストリート  
1255 アpartment ナンバー4

(72)発明者 ガビン ピー. コスグレイブ

アメリカ合衆国 マサチューセッツ 02062, ノーウッド, ワン テクノロジー ウェイ  
, アナログ デバイシズ, インコーポレーテッド 気付

Fターム(参考) 5J500 AA12 AC13 AC53 AF10 AH25 AH39 AK02 AK33 AK34 AM08  
AM13 AS15 AT01

【外国語明細書】

2015154488000001.pdf