



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년11월28일  
 (11) 등록번호 10-1334573  
 (24) 등록일자 2013년11월22일

(51) 국제특허분류(Int. Cl.)  
 G05F 1/40 (2006.01) G11C 5/14 (2006.01)  
 H02M 3/04 (2006.01)  
 (21) 출원번호 10-2007-0009121  
 (22) 출원일자 2007년01월29일  
 심사청구일자 2011년08월25일  
 (65) 공개번호 10-2007-0078740  
 (43) 공개일자 2007년08월01일  
 (30) 우선권주장  
 11/342,175 2006년01월27일 미국(US)  
 (56) 선행기술조사문헌  
 JP2005311712 A\*  
 JP09172368 A  
 US20060001449 A1  
 US20050237099 A1  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 에이저 시스템즈 엘엘시  
 미합중국 펜실베니아 18109 알렌타운 노스이스트  
 아메리칸 파크웨이 1110  
 (72) 발명자  
 바타차라 디판카르  
 미국 펜실베니아주 18062 마쿰지 프린스턴 로드  
 5398  
 코단다라만 마케쉬와르  
 미국 펜실베니아주 18052 화이트홀 아파트먼트 #  
 와이2-2 믹클레이로드 900  
 (뒷면에 계속)  
 (74) 대리인  
 제일특허법인, 김원준

전체 청구항 수 : 총 10 항

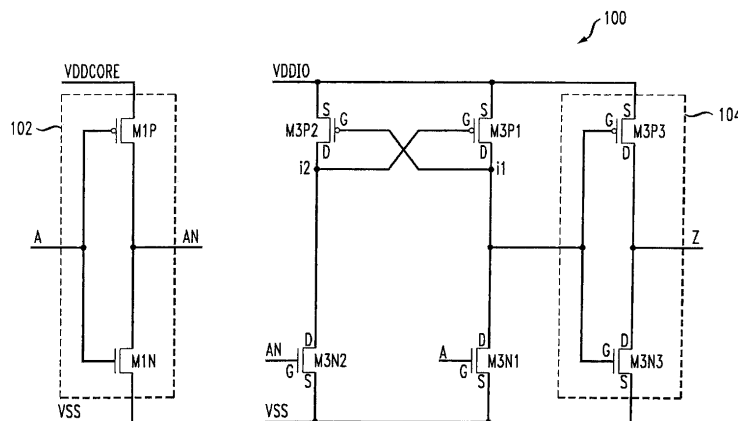
심사관 : 김재호

(54) 발명의 명칭 **넓은 공급 전압 범위의 전압 레벨 변환기 회로**

**(57) 요약**

제 1 공급 전압을 기준으로 하는 입력 신호를 제 2 공급 전압을 기준으로 하는 출력 신호로 변환하는 전압 레벨 변환기 회로는 입력 신호를 받는 입력단을 포함하며, 그 입력단은 그것과 관련된 제 1 임계 전압을 가지는 적어도 하나의 트랜지스터 장치를 포함한다. 상기 전압 레벨 변환기 회로는 또한 상기 입력 신호의 로직 상태를 표시하는 신호를 저장하도록 동작하는 래치 회로를 포함하며, 그 래치 회로는 제 1 임계 전압보다 큰 그것과 관련된 제 2 임계 전압을 가지는 적어도 하나의 트랜지스터 장치를 포함한다. 전압 클램프 회로는 상기 입력단과 상기 래치 회로 사이에 연결된다. 상기 전압 클램프 회로는 상기 입력단의 전압을 제한하도록 작동되어, 상기 입력단 전압의 크기는 제 1 공급 전압과 제 2 공급 전압의 전압 차이에 의한 함수로서 제어된다.

**대표도**



(72) 발명자

**크리즈 존 씨**

미국 펜실베이니아주 18071 팔머튼 아이론우드 로드  
200

**모리스 버나드 엘**

미국 펜실베이니아주 18049 엠마우스 글렌우드 드라  
이브 4324

**심코 조셉 이**

미국 펜실베이니아주 18052 화이트홀 서머셋 로드  
2541

**특허청구의 범위**

**청구항 1**

제 1 공급 전압을 기준으로 하는 입력 신호를 제 2 공급 전압을 기준으로 하는 출력 신호로 변환하는 전압 레벨 변환기 회로로서,

상기 입력 신호를 수신하는 입력단 - 상기 입력단은 제 1 임계 전압을 갖는 적어도 하나의 트랜지스터 장치를 포함함 - 과,

상기 입력단에 연결되고, 상기 입력 신호의 로직 상태를 표시하는 신호를 저장하도록 동작하는 래치 회로 - 상기 래치 회로는 제 2 임계 전압을 가지는 적어도 하나의 트랜지스터 장치를 포함하며, 상기 제 2 임계 전압은 상기 제 1 임계 전압보다 큼 - 과,

상기 입력단과 상기 래치 회로 사이에 접속되고, 상기 입력단의 전압을 제한하도록 동작하는 전압 클램프 회로 - 상기 입력단의 전압의 크기는 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 전압 차이의 함수로서 제어됨 - 를 포함하고,

상기 전압 레벨 변환기 회로는 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 차이의 함수로서 적어도 두 개의 모드 중 하나에서 선택적으로 동작 가능한

전압 레벨 변환기 회로.

**청구항 2**

제 1 항에 있어서,

상기 전압 클램프 회로는, 적어도 제 1 크기 및 제 2 크기를 각각 갖는 제 1 기준 신호 및 제 2 기준 신호를 수신하고, 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 전압 차이에 적어도 부분적으로 기초하여, 적어도 상기 제 1 기준 신호와 상기 제 2 기준 신호 중 하나를 기준 선택 회로의 출력 신호로서 선택하도록 동작하는 상기 기준 선택 회로를 포함하고,

상기 입력단의 전압은 상기 기준 선택 회로의 출력 신호의 함수인

전압 레벨 변환기 회로.

**청구항 3**

제 1 항에 있어서,

상기 전압 클램프 회로는, 적어도 상기 제 1 공급 전압 및 상기 제 2 공급 전압을 수신하고, 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 전압 차이를 나타내는 적어도 제 1 제어 신호를 발생시키도록 동작하는 감지 회로를 포함하고,

상기 입력단의 전압은 상기 제 1 제어 신호의 함수로서 제어되는

전압 레벨 변환기 회로.

**청구항 4**

제 3 항에 있어서,

상기 제 1 제어 신호는 (i) 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 전압 차이가 지정된 양 이하인지 여부, 및 (ii) 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 전압 차이가 상기 지정된 양을 초과하는지 여부 중 적어도 하나를 나타내는

전압 레벨 변환기 회로.

**청구항 5**

제 1 항에 있어서,

상기 전압 클램프 회로는, 적어도 상기 제 1 공급 전압 및 상기 제 2 공급 전압의 크기를 각각 나타내는 제 1 신호 및 제 2 신호를 수신하고, 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 전압 차이를 나타내는 적어도 제 1 제어 신호를 발생시키도록 동작하는 감지 회로를 포함하고,

상기 입력단의 전압은 상기 제 1 제어 신호의 함수로서 제어되는

전압 레벨 변환기 회로.

**청구항 6**

제 1 항에 있어서,

상기 전압 클램프 회로는,

적어도 상기 제 1 공급 전압 및 상기 제 2 공급 전압을 수신하고, 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 전압 차이를 나타내는 적어도 제 1 제어 신호를 발생시키도록 동작하는 감지 회로와,

적어도 제 1 기준 신호 및 제 2 기준 신호를 수신하고, 상기 적어도 제 1 제어 신호에 응답하여, 적어도 상기 제 1 기준 신호 및 상기 제 2 기준 신호 중 하나를 출력 기준 신호로서 선택하도록 동작하는 스위칭 회로를 포함하고,

상기 입력단의 전압은 상기 스위칭 회로의 상기 출력 기준 신호의 함수인

전압 레벨 변환기 회로.

**청구항 7**

제 1 항에 있어서,

상기 전압 레벨 변환기 회로의 적어도 일부는 상기 전압 레벨 변환기 회로에 공급되는 적어도 제 1 제어 신호에 응답하여 선택적으로 턴 오프되도록 구성가능한

전압 레벨 변환기 회로.

**청구항 8**

제 1 항에 있어서,

상기 전압 클램프 회로는, 상기 제 1 공급 전압에 접속된 소스, 제 1 노드에서 상호 접속되고 직렬 저항 소자를 통해 상기 제 2 공급 전압에 접속된 게이트 및 드레인을 포함하는 NMOS 장치를 구비한 기준 선택 회로를 포함하고,

상기 기준 선택 회로는 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 전압 차이에 적어도 부분적으로 기초하는 출력 신호를 상기 제 1 노드에서 발생시키도록 동작하며,

상기 입력단의 전압은 상기 기준 선택 회로의 출력 신호의 함수인

전압 레벨 변환기 회로.

**청구항 9**

제 1 항에 있어서,

상기 전압 클램프 회로는 기준 선택 회로를 포함하며,

상기 기준 선택 회로는

상기 제 1 공급 전압에 접속된 소스, 제 1 노드에서 상호 접속된 게이트 및 드레인을 포함하는 제 1 NMOS 장치와,

제 3 공급 전압에 접속된 소스, 상기 제 1 노드에 접속된 드레인, 제 1 제어 신호를 수신하는 게이트를 포함하는 제 2 NMOS 장치와,

상기 제 2 공급 전압에 접속된 소스, 상기 제 1 노드에 접속된 드레인, 상기 제 1 제어 신호를 수신하는 게이트

를 포함하는 PMOS 장치를 포함하되,

상기 기준 선택 회로는 상기 제 1 제어 신호에 응답하여 선택적으로 디스에이블되고,

상기 기준 선택 회로는 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 전압 차이에 적어도 부분적으로 기초하는 출력 신호를 상기 제 1 노드에서 발생시키도록 동작하며,

상기 입력단의 전압은 상기 기준 선택 회로의 출력 신호의 함수인

전압 레벨 변환기 회로.

**청구항 10**

제 1 공급 전압을 기준으로 하는 입력 신호를 제 2 공급 전압을 기준으로 하는 출력 신호로 변환하기 위한 적어도 하나의 전압 레벨 변환기 회로를 포함하는 집적 회로로서,

상기 적어도 하나의 전압 레벨 변환기 회로는

상기 입력 신호를 수신하는 입력단 - 상기 입력단은 제 1 임계 전압을 갖는 적어도 하나의 트랜지스터 장치를 포함함 - 과,

상기 입력단에 연결되고, 상기 입력 신호의 로직 상태를 표시하는 신호를 저장하도록 동작하는 래치 회로 - 상기 래치 회로는 제 2 임계 전압을 가지는 적어도 하나의 트랜지스터 장치를 포함하며, 상기 제 2 임계 전압은 상기 제 1 임계 전압보다 큼 - 와,

상기 입력단과 상기 래치 회로 사이에 접속되고, 상기 입력단의 전압을 제한하도록 동작하는 전압 클램프 회로 - 상기 입력단의 전압의 크기는 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 전압 차이의 함수로서 제어됨 - 를 포함하고,

상기 전압 레벨 변환기 회로는 상기 제 1 공급 전압과 상기 제 2 공급 전압 간의 차이의 함수로서 적어도 두 개의 모드 중 하나에서 선택적으로 동작가능한

집적 회로.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0010] 본 발명은 일반적으로 전자 회로와 관련되며, 더 구체적으로 전압 레벨 변환기 회로와 관련 있다.
- [0011] 무선 전화기, 노트북 컴퓨터 그리고 개인용 휴대용 정보 단말기(PDA)를 포함하는 특정한 휴대용 장치들은 둘 이상의 전압 레벨에서 동작하는 회로를 자주 사용한다. 이를테면, 입/출력(I/O) 버퍼와 같은 회로의 일정 부분은 입출력 공급 전압원에 의해 공급되는 고 전압 레벨(예컨대 3볼트 정도)에서 동작하고, 예를 들면, 코어 로직(core logic)같은 회로의 다른 일정 부분은 코어(core) 공급 전압원에서 공급되어 실질적인 저 전압 레벨(이를테면 1볼트 정도)에서 동작하도록 이러한 휴대용 장치에 이용되는 회로를 설정할 수 있다. 이러한 전압 레벨의 차이로 인해 여러 전압 레벨들 사이의 인터페이스를 위한 전압 레벨 변환기 회로를 사용할 필요가 종종 발생시킨다.
- [0012] 회로(예를 들면, 입출력 버퍼)가 넓은 범위의 입출력 공급 전압원 레벨에서 작동하도록 요구되는 많은 적용예가 있다. 입출력 공급 전압원의 레벨은 특정한 적용예에 의해 결정된다. 성능(예컨대, 속도, 소모 전력, 신뢰도)면에서 볼 때, 복수 개의 회로를 제작하여 각각의 회로가 동작을 위한 특정 예상 입출력 공급 전압원 레벨에 개별적으로 최적화되도록 하는 것이 일반적으로 바람직하다. 그러나, 이러한 접근 방법은 회로의 설계 및 제조 비용을 상당히 증가시키므로 바람직하지 않다. 예를 들면, 전력을 보존하기 위해, 입출력 공급 전압원이 코어 공급 전압원 레벨과 비슷한 레벨로 낮추어지면, 표준 전압 레벨 변환기 회로가 작동하지 않거나, 불충분한 성능으로 작동되는(이를테면, 느린 속도, 많은 왜곡 등) 경우가 빈번하다는 것은 잘 알려져 있다. 그리하여, 넓은 범위의 I/O 공급 전압원 레벨을 다루도록 설계된 표준 전압 레벨 변환기 회로는 전형적으로 회로의 성능을 희생

시킴으로써 원하는 목적을 달성한다.

[0013] 따라서, 종래의 전압 레벨 변환기 회로에서 나타나는 하나 이상의 문제점을 겪지 않으면서 여러 전압 레벨들 사이의 인터페이스가 가능한 향상된 전압 레벨 변환기 회로가 필요하다.

**발명이 이루고자 하는 기술적 과제**

[0014] 본 발명에 따르면 회로의 저 코어 공급 전압을 기준으로 한 입력 신호와 회로의 고 공급 전압을 기준으로 한 출력 신호 사이 같은 다수의 전압 레벨들 사이를 효율적으로 조정할 수 있다는 전압 변환기 회로가 제공된다. 적어도 부분적으로는, 고 공급 전압과 저 코어 공급 전압 사이의 차이를 기준으로 하는, 그 전압 변환기 회로는 최소한 두 개의 다른 기준 전압 레벨들 중 하나를 선택하고, 그것에 의하여 표준 전압 레벨 변환기 회로와 비교하여 넓은 공급 전압 범위를 가지도록 작동될 수 있도록 편리하게 구성된다. 게다가, 본 발명의 전압 레벨 변환기 회로는 하나의 신호 경로를 사용하고, 그리하여 회로는 고 공급 전압 레벨과 관계없이 실질상 일정한 전파 지연(propagation delay)이 나타난다.

[0015] 본 발명의 일 실시예에 의하면 전압 레벨 변환기 회로는 제 1 공급 전압을 기준으로 하는 입력 신호를 제 2 공급 전압을 기준으로 하는 출력 신호로 변환하기 위해 제공된다. 전압 레벨 변환기 회로는 입력 신호를 받는 입력단을 포함하고, 그 입력단은 그것과 함께 결합된 제 1 임계 전압(threshold voltage)을 포함하는 트랜지스터 장치를 적어도 하나 포함한다. 전압 레벨 변환기 회로는 또한 입력 신호의 로직 상태를 표시하는 신호를 저장하도록 이용 가능한 래치 회로를 포함하고, 래치 회로는 그것과 함께 결합된 제 2 임계 전압을 가지는 적어도 하나의 트랜지스터 장치를 포함하고, 제 2 임계 전압은 제 1 임계 전압보다 크다. 전압 클램프 회로는 입력단에서 전압을 제한하기 위해 사용되고, 입력단에서 전압의 크기는 제 1 공급 전압과 제 2 공급 전압의 전압 차이에 의한 함수로써 제어된다.

[0016] 전압 클램프 회로는 바람직하게는 적어도 각각 함께 연관된 제 1 기준 크기와 제 2 기준 크기를 가지는 제 1 기준 신호와 제 2 기준 신호를 받고, 제 1 공급 전압과 제 2의 공급 전압의 전압 차이에 적어도 부분적으로는 기초를 두어 출력 신호로써 적어도 제 1 기준 신호와 제 2 기준 신호들 중 하나를 선택하는 기준 선택 회로를 포함한다.

[0017] 발명의 다른 실시예에 따르면 집적회로는 앞서 기술된 방법으로 형성된 전압 레벨 변환기 회로를 적어도 하나 포함할 수 있다.

[0018] 본 발명의 이러한 그리고 다른 특성들과 장점은 첨부된 도면과 같이 읽을 수 있는, 그것에 대한 실례가 되는 실시예의 상세한 설명으로부터 명백해 진다.

**발명의 구성 및 작용**

[0019] 본 발명은 예시적인 전압 레벨 변환기 회로를 중심으로 설명될 것이다. 그러나, 본 발명이 이러한 특정 회로 장치나 기타 다른 특정한 회로 장치로 제한되는 것은 아니라는 것을 이해해야 한다. 오히려, 본 발명은 특히 회로의 출력 신호의 기준이 되는 고 공급 전압이 회로의 입력 신호의 기준이 되는 저 코어 공급의 값에 실질적으로 가까운 경우, 넓은 범위의 공급 전압 레벨에 대해 어떠한 회로 성능의 중대한 저하도 없이 회로의 여러 전압 레벨을 조정하는 기법에 보다 일반적으로 사용 가능하다. 본 발명의 구현이 본 예에서는 상보형 금속 산화물 반도체 제조 프로세스를 사용하여 형성된 P 채널 금속 산화물 반도체(PMOS)와 N 채널 금속 산화물 반도체(NMOS)를 구체적 참조로 설명하지만, 본 발명은 그러한 트랜지스터 장치 및/또는 그러한 제조 프로세스로 제한되지 않으며, 다른 적합한 장치들, 예를 들면, 바이폴라 정션 트랜지스터(BJT)들 및/또는 제조 프로세스(예컨대, 바이폴라, BiCMOS, 등)를 마찬가지로 이용할 수 있다는 사실은 당업자에게 명백할 것이다.

[0020] 도 1은 전압 레벨 변환기 회로(100)를 도시하고 있는데, 이는, 예를 들면, VDDCORE 같은 저 코어 공급 전압을 기준으로 하는 입력 신호(예를 들면 신호 A 및 AN)를 VDDIO와 같은 고 공급 전압을 기준으로 하는 출력 신호 Z로 변환하는 데 사용할 수 있다. 많은 적용예에서 저 코어 공급 전압 VDDCORE는 전형적으로 약 1.0 볼트이고, 고 공급 전압 VDDIO는 전형적으로 약 3.3 볼트이다. 그러나, 본 발명이 VDDCORE와 VDDIO를 그러한 특정 전압 레벨이나 기타 다른 특정 전압 레벨로 제한하는 것은 아니다. 게다가, 본 발명의 기법은 당업자에게 이해되듯이 고 공급 전압 VDDIO를 기준으로 하는 입력 신호를 저 코어 공급 전압 VDDCORE를 기준으로 하는 출력 신호로 변

형하는 데에도 유사하게 사용할 수 있다.

- [0021] 통상적인 혼합된 신호 집적 회로 프로세스는 전형적으로 “고 전압” 과 “저 전압” 트랜지스터 장치들을 제공한다. 고 전압 장치는 일반적으로 약 0.75 볼트의 공칭 임계 전압을 가지고, 고 공급 전압 VDDIO(예를 들면 대략 3.3 볼트)에서 동작하게 된다. 저 전압 장치는 예를 들면, 약 0.35 볼트 정도의 고 전압 장치보다 실질적으로 낮은 공칭 임계 전압을 가지고, 저 코어 공급 전압 VDDCORE(예를 들면 약 1.0 볼트)에서 동작한다.
- [0022] 입력 신호 AN은 입력 신호 A의 논리적인 반전값으로, 이를 테면, 신호 A가 로직 고 레벨이면 신호 AN은 로직 저 레벨이고, 이와 반대로도 된다. 신호 A와 AN은, 예컨대, 통상의 방법으로 접속된 저 전압 PMOS 트랜지스터 M1P와 저 전압 NMOS 트랜지스터 장치 M1N을 포함하는 인버터(102)에 의해 발생될 수 있다. 인버터(102)는 낮은 코어 공급 VDDCORE로부터 전원을 공급받고, 네거티브 공급으로 VSS를 받는다. 전압 레벨 변환기 회로(100)는 높은 공급 전압 VDDIO로부터 전원을 공급받고, 네거티브 공급 전압으로 VSS를 받는다. 여기서 사용된 용어 “네거티브 공급 전압”은 VDDIO 또는 VDDCORE에 대해 상대적인 공급 전압 값을 지시하는 것으로, 본 발명에서 0보다 낮은 전압을 사용한다고 해서, 반드시 항상 0 볼트보다 낮은 전압을 나타내는 것은 아니다.
- [0023] 전압 레벨 변환기 회로(100)는 고 전압 PMOS 트랜지스터 장치 M3P1과 M3P2 한 쌍을 포함하며, 각 장치는 VDDIO에 연결된 소스(S)를 가지고, 한 트랜지스터의 게이트(G)가 다른 트랜지스터의 드레인(D)에 연결되어 교차 결합 구조를 가진다. 보다 구체적으로는 M3P1의 게이트는 M3P2의 드레인과 노드 i2에서 연결되고, M3P2의 게이트는 M3P1의 드레인과 노드 i1에서 연결된다. 트랜지스터 M3P1과 M3P2는 전압 레벨 변환기 회로(100)의 논리적 상태를 래치하도록 작동한다.
- [0024] 금속 산화물 반도체(MOS)장치는 사실상 대칭적이고, 그러므로 양방향으로 도통가능하므로(bi-directional), MOS 장치에서 소스와 드레인 명칭의 할당은 본래 임의적이라는 점을 이해해야 한다. 따라서, 본 명세서에서 소스와 드레인은 각각 제 1 및 제 2 소스/드레인을 일반적으로 지칭하는데, "소스/드레인"이란 이러한 맥락에서 소스 또는 드레인을 의미한다.
- [0025] 전압 레벨 변환기 회로(100)는 또한 고 전압 NMOS 트랜지스터 장치 M3N1과 M3N2의 쌍을 더 포함하며, 각각은 입력 신호 A와 AN을 받기 위한 게이트를 구비한다. 장치 M3N1과 M3N2는 전압 레벨 변환기 회로(100)의 입력단을 구성한다. M3N1과 M3N2의 소스는 바람직하게는 VSS와 연결되고, M3N1과 M3N2의 드레인은 트랜지스터 M3P1과 M3P2의 드레인 각각 연결된다. 함께 접속되어 표준 인버터를 이루는 고 전압 PMOS 트랜지스터 M3P3과 고 전압 NMOS 트랜지스터 M3N3를 포함하는 출력단(104)은 바람직하게 노드 i1에 연결되고 전압 레벨 변환기 회로(100)의 출력 신호 Z를 발생시킨다.
- [0026] 전압 레벨 변환기 회로(100)의 기본 동작은 다음과 같다. 입력 신호 A가 로직 고(“1”) 레벨일 때, 장치 M3N1은 턴 온되고 노드 i1은 VSS와 통하게 된다. 신호 A의 논리적 보수인 입력 신호 AN은 로직 저(“0”) 레벨이고 그러므로 장치 M3N2는 턴 오프된다. 로직 저 레벨인 노드 i1은 장치 M3P2를 턴 온하고, 그러므로 노드 i2는 VDDIO와 통하게 된다. 로직 고 레벨인 노드 i2는 장치 M3P1을 턴 오프하고, 그리하여 장치 M3P1과 M3P2를 포함하는 하프 래치(half-latch) 구조는 안정 상태(stable state)에서 동작한다. 저 상태인 노드 i1은 전압 레벨 변환기 장치 (100)의 출력을 로직 고 레벨로 만들 것이다. 유사하게, 입력 신호 A가 로직 저 상태이면 장치 M3N1은 턴 오프된다. 신호 A의 논리적 보수인 입력 신호 AN은 로직 고 레벨이므로 장치 M3N2가 턴 온 되어, 노드 i2는 VSS와 통하게 된다. 로직 저 레벨인 노드 i2는 장치 M3P1을 턴 온하고, 그럼으로써 노드 i1을 VDDIO와 통하게 한다. 로직 고 레벨인 노드 i1은 장치 M3P2를 턴 오프한다. 고 상태인 노드 i1은 전압 레벨 변환기 회로(100)의 출력 Z를 로직 저 레벨로 만들 것이다.
- [0027] 전류 집적 회로(IC) 프로세스 기법을 사용하면, 코어 전압공급 VDDCORE를 기준으로 하는 입력 신호 A와 AN에 의해 게이트로 제어될 때 고 전압 장치 M3N1과 M3N2는 턴 온이 매우 느리게 되거나 전혀 안 될 수도 있다. 예를 들면, VDDCORE가 약 1 볼트일 때 칩 내부에서의 전류\*저항(IR)의 강하를 고려하면 코어 입력 신호는 약 0.9볼트 까지 낮아지거나 그보다 더 낮을 수도 있다. 그리하여, 임계 전압이 약 0.75 볼트인 경우, 고 전압 장치 M3N1과 M3N2는 약 100 밀리볼트(mV)보다 적은 오버드라이브(overdrive)를 가지게 될 것이다. 최고속도 장치(예컨대 약 100 메가헤르츠(MHz)정도)인 경우라도, 장치 M3N1과 M3N2의 턴 온이 너무 느려서, 회로(100)는 대부분 만족스러운 작동에 실패할 것이다.
- [0028] 도 2는 도 1을 참조하여 앞서 설명한 회로의 오버드라이브 문제에 대한 해결을 제공하는 예시적인 전압 레벨 변환기 장치(200)를 나타내는 개략도이다. 전압 레벨 변환기 회로(200)에서 입력 신호 A와 AN은 저 전압 장치 M1N1과 M1N2를 각각 구성한다. 장치 M1N1과 M1N2는 전압 레벨 변환기 회로(200)의 입력단(204)을 구성한다.



도 1에서 나타난 전압 레벨 전환 회로(100)에서의 고 전압 장치 M3N1과 M3N2를 저 전압 장치 M1N1과 M1N2로 각각 대체할 때의 장점은 약 0.75 볼트의 임계 전압을 갖는 고 전압 장치에 비해 저 전압 장치는 상당히 낮은 약 0.35볼트 임계 전압을 가지고 있다는 것이다. 결과적으로 저 전압 장치 M1N1과 M1N2는 실질적으로 같은 크기의 고 전압 장치에 비하여 약 400mV의 추가적인 오버드라이브를 제공할 수 있다는 것이다.

[0029] 높은 공급 전압 VDDIO를 받는 것으로부터 저 전압 장치 M1N1과 M1N2를 보호하기 위해, 전압 레벨 변환기 장치 (200)는 장치 M1N1과 M1N2의 드레인과 장치 M3P1과 M3P2의 드레인 사이에 각각 연결된 전압 클램프 회로(202)를 포함하는 것이 바람직하다. 전압 클램프 회로(202)는 고 전압 NMOS 트랜지스터 M3N1과 M3N2의 쌍을 바람직하게는 포함한다. 구체적으로, 장치 M1N1과 M1N2의 드레인은 장치 M3N1과 M3N2의 소스와 노드 i4과 i3에서 각각 연결된다. 장치 M3N1과 M3N2의 드레인은 고 전압 PMOS 장치 M3P1과 M3P2의 드레인과 노드 i1과 i2에서 각각 연결되고, M3N1과 M3N2의 게이트는 바이어스 전압을 공급하는 기준 공급원 VREF와 연결되어 노드 i3과 i4에서 드레인 전압을 원하는 전압 레벨로 클램핑한다. 장치 M1N1과 M1N2는 저 전압 장치이기 때문에, 일반적으로 높은 공급 전압 VDDIO를 견뎌낼 수 없으므로, 전압 클램프 회로(202)는 과전압 스트레스로 인한 손상으로부터 M1N1과 M1N2를 보호할 전압 레벨을 노드 i3과 i4에 공급함으로써, 입력단(204)에서의 전압을 제한한다. 여기서 사용된 입력단(204)에서의 전압은 저 전압 NMOS 장치 M1N1과 M1N2의 바이어스 말단(terminal)(예를 들면 드레인과 소스)에서의 전압이라고 해석된다. 바람직하게, 노드 i3과 i4에서의 전압 레벨은 저 전압 장치 M1N2와 M1N1의 각각 허용되는 최대 전압보다 크지 않다.

[0030] 장치 M3P1과 M3P2는 래치 회로(206)의 적어도 일 부분을 형성하는데, 래치 회로(206)는 전압 레벨 변환기 회로에서 나타내어지는 입력 신호(예를 들면 A나 AN)의 로직 상태를 표시하는 전압 레벨 변환기 회로(200)의 출력(예를 들면 노드 i1)의 신호를 저장한다.

[0031] 전압 레벨 변환기 회로(200)의 기본 동작은 전압 레벨 변환기 회로(200)의 입력단이 빠른 스위칭 속도를 제공하기 위해 저 전압 장치(MN1, MN2)를 사용하고, 앞서 설명한 바와 같이 과전압 스트레스로부터 저 전압 장치 M1N1과 M1N2를 보호하는 전압 클램프 회로(202)를 주로 신뢰도 목적으로 이용하는 점 외에는, 도 1과 관련하여 앞에서 설명된 전압 레벨 변환기 회로(100)와 본질적으로 동일하다. 노드 i1은 바람직하게는 도 1에서 도시된 전압 레벨 변환기 회로(100)와 유사한 방법으로 출력 신호 Z를 발생하기 위해 표준 인버터 출력단(104)을 구동한다.

[0032] 도 3은 도 2에서 도시한 전압 레벨 변환기 회로(200)와 같이 사용하기에 적합한 예시적인 기준 회로(300)를 도시한다. 이 기준 회로(300)는 전압 레벨 변환기 회로(200)의 노드 i3 및 i4에 나타나는 전압을 클램프하도록 사용되는 바이어스 전압 VREF를 만드는 역할을 한다. 도 3에 도시된 바와 같이, 예시적인 기준 회로(300)는 스택 구성으로 정렬된 세 개의 다이오드-접속(diode-connected) 고 전압 NMOS 트랜지스터 장치 M3ND1, M3ND2 및 M3ND3를 포함하는 간단한 전압 분배기 회로로 구현될 수 있다. 보다 구체적으로, M3ND1의 게이트와 드레인은 M3ND2의 소스와 노드 N1에서 연결되며, M3ND1의 소스는 VSS와 연결되고, M3ND2의 게이트와 드레인은 M3ND3의 소스와 노드 N2에서 연결되고, M3ND3의 게이트와 드레인은 노드 N3에서 같이 연결된다. 노드 N3과 드레인이 연결되고 소스는 VDDIO에 연결된 고 전압 PMOS 트랜지스터 장치 M3PSW로 구현된 저항을 통해, 노드 N3은 VDDIO와 연결된다. 기준 회로(300)는 노드 N2에서 바이어스 전압 VREF내에 도입될 수 있는 잡음을 적어도 부분적으로 줄이는 역할을 하는 노드 N2와 VSS사이에 결합된 커패시터 CR을 포함할 수 있다. 이와 달리, 실질적으로 일정한 전압원이 교류 전류(ac) 접지 역할을 하기 때문에, 커패시터 CR은 노드 N2와 다른 실질적으로 일정한 공급원(예를 들면, VDDIO) 사이에 연결될 수도 있다. 커패시터 CR의 값은 원하는 감쇠 주파수 성분에 따라 적절하게 정해질 것이며, 이는 당업자라면 이해할 것이다.

[0033] 기준 회로(300)에서 전력을 보전하기 위해, 장치 M3PSW의 게이트는 이를테면, 작동의 파워-다운(POWER-DOWN) 모드중에 기준 회로를 선택적으로 디스에이블하도록 사용되는 제어 신호 PD를 수신할 수 있는 것이 바람직하다. 트랜지스터 M3PSW는 바람직하게는 기준 회로(300)의 전류를 제한(예를 들면, 약 4 마이크로 암페어 정도)하기 위한 긴 채널 장치이다. 기준 전압 VREF는 노드 N2에서 발생된다. 추가적으로, 고 전압 NMOS 장치 M3NSSW는 기준 회로(300)에 포함될 수 있는데, M3NSSW의 소스는 VSS에 연결되고, M3NSSW의 드레인은 노드 N2에 연결되며, M3NSSW의 게이트는 제어 신호 PD를 받도록 될 수 있다. 장치 M3NSSW는 작동의 파워-다운 모드 동안에, 바람직하게는 기준 전압 VREF를 VSS (예를 들면, 접지)에 연결시킨다.

[0034] 제어 신호 PD가 로직 고 레벨이면, 장치 M3PSW는 턴 오프되고, 장치 M3NSSW는 턴 온되어, 기준 전압 VREF는 VSS (예를 들면, 저)에 연결된다. 다시 도 2를 참조하면, 낮은 VREF는 전압 클램프 장치 M3N1과 M3N2를 턴 오프하여, 노드 i1를 부동상태(float)로 만든다. 전압 레벨 변환기 회로(200)의 출력단(104)에서 잘못된 출력 신호 Z를 발생시키거나 (예컨데, 노드 i1의 전압이 VSS와 VDDIO의 대략 중간일 때) 많은 전류를 소비하는 것을 막기



위하여, 고 전압 PMOS 장치 M3P4가 포함되는 것이 바람직한데, M3P4는 VDDIO에 연결된 소스, 노드 i1에 연결된 드레인, 제어 신호 PD의 논리적 보수인 제 2 제어 신호 PDB를 받도록 구성된 게이트를 구비한다. 제어 신호 PD가 고일 때, 제어 신호 PDB는 논리상 저 레벨이고, 이로 인해 M3P4를 턴 온하고 노드 i1을 고로 만든다. 명시적으로 나타나지 않았지만, 당업자라면 장치 M3P4는 소스가 VSS에 연결되고 드레인이 노드 i1에 연결되며 제어 신호 PD를 받도록 구성된 게이트를 갖는 고 전압 NMOS 장치로 대체될 수도 있음을 명백히 알 것이다. 도 3의 기준 회로(300)를 디스에이블할 때 노드 i1이 부동상태(float)로 만드는 것을 막기 위한 다양한 다른 매커니즘이 유사하게 고려될 수 있다.

[0035] 특정한 반도체 공정 기법(예를 들면, 130 나노미터 공정)에서, 코어 공급 전압 VDDCORE는 0.9볼트까지 낮아질 수 있다. 그러나, 전압 레벨 변환기 회로(예를 들어, 100,200)의 입력단에서 받는 실제 코어 전압 레벨은 칩 내부에서 IR 강하로 인해 더 낮을 수 있다(예를 들어, 약 0.85 볼트). 도 2에 도시된 전압 레벨 변환기 회로(200)와 도 3에 도시된 기준 회로(300)는 0.85까지의 볼트 코어 공급에서도 잘 동작한다. 그러나, VDDIO가, 이를테면, VDDCORE에 가깝게 상당히 감소하면, 기준 회로(300)는 요구되는 기준 신호 VREF를 공급하는데 실패할 가능성이 높아지고, 전압 레벨 변환기 회로(200)는 바람직하지 않게, 아주 느리게 동작하거나, 함께 동작하는데 실패할 것이다. 도 1에 도시된 전압 레벨 변환기 회로(100)는 VDDIO가 상당히 작아질 때(예를 들면, VDDCORE쯤) 적절하게 작동할 수 있으나, 코어 공급 전압 VDDCORE가 약 1 볼트 밑으로 떨어질 때는 올바르게 작동하지 않는다.

[0036] 앞서 언급된 문제를 극복하는 하나의 기법은 높은 공급 전압 VDDIO가 코어 공급 전압 VDDCORE의 특정한 규정 범위 안에 있는 때를 감지하여, 전압 레벨 변환기 회로에서 신호 경로를 VDDIO와 VDDCORE의 차이의 함수로 바꾸는 것이다. 구체적으로는, VDDIO와 VDDCORE의 차이가 지정된 레벨보다 크다면, 회로를 낮은 코어 전압 VDDCORE를 기준으로 하는 입력 신호를 높은 전압 VDDIO를 기준으로 하는 출력 신호로 변환하도록 작동시키는 것이다. 그와는 반대로, VDDIO와 VDDCORE의 차이가 지정된 레벨 이하인 경우는, 전압 레벨 변환기 회로는 회로의 입력으로부터 출력까지 직접적인 신호 경로를 제공하여 입력 신호 변환이 없도록 함으로써 본질상 전압 레벨 변환기 회로를 바이패싱하도록 유리하게 취하도록 작동할 수 있다. “자기 우회 전압 레벨 변환기 회로(Self-Bypassing Voltage Level Translator Circuit)”라는 명칭의 미국 출원 번호 11/065,785를 본 명세서에서 참조하면, 기술된 이러한 접근방법을 사용하여, 입력 신호는 상이한 신호 경로를 통해 전과되어, 코어 공급 VDDCORE에 대한 공급 전압 VDDIO의 레벨에 따라 상이한 지연(delay)을 생기게 한다.

[0037] 본 발명의 한 관점에 따르면, 전압 레벨 변환기 회로는 높은 IO 공급 전압 VDDIO와 낮은 코어 공급 전압 VDDCORE 간의 차이의 함수로서, 적어도 두 모드 중 하나를 선택적으로 작동되도록 제공될 수 있다. VDDIO와 VDDCORE의 차이가 지정된 레벨보다 큰 제 1 모드에서 전압 레벨 변환기 회로는 바람직하게는 전압 레벨 변환기 회로에서 전압 클램프 회로를 바이어싱하기 위해 VDDCORE보다 실질적으로 큰(예를 들면, VSS보다 약 임계 전압 2배만큼 큰) 제 1 기준 신호 VREF1을 선택하여 작동할 것이다. VDDIO와 VDDCORE의 차이가 지정된 레벨 이하인 제 2 모드에서 전압 레벨 변환기 회로는 전압 클램프 회로를 바이어싱 하기 위해, 제 1 기준 신호 VREF1보다 크고 실질적으로 코어 공급 VDDCORE와 같은 제 2 기준 신호 VREF2를 선택하여 유리하게 작동할 것이다. VDDIO가 VDDCORE와 비슷할 때 전압 레벨 변환기 회로의 전압 클램프 회로의 바이어스 전압을 증가시키는 매커니즘을 제공함으로써, 전압 레벨 변환기 회로에서 신호 스큐(skew)는 유리하게 작아지고, 속도는 증가된다.

[0038] 도 4는 본 발명의 실시예에 따른 예시적인 기준 선택 회로(400)을 도시하고 있다. 이 예시적인 기준 선택 회로(400)는 감지 회로(402) 및 감지 회로와 연결되어 작동되는 멀티플렉서(multiplexer)(404)를 포함할 수 있다. 감지 회로(402)는 바람직하게는 VDDIO와 VDDCORE의 전압 차이를 측정하고, VDDIO가 규정된 VDDCORE의 임계 전압의 범위내에 있는지 표시하는 적어도 하나의 제어 신호를 발생시킨다. 구체적으로, 감지 회로(402)는 VDDIO를 VDDCORE와 비교하고, VDDIO와 VDDCORE의 차이의 함수인 제어 신호 VIOL과 VIOLB를 발생시킨다. 예를 들면, VDDIO가 VDDCORE보다 임계 전압만큼 클 때, 제어 신호 VIOL은 로직 저 레벨이고, VIOL의 논리적 보수인 제어 신호 VIOLB는 로직 고 레벨이다. VDDIO가 VDDCORE전압의 임계 전압 이하인 경우, 제어신호 VIOL은 고가 되고 제어 신호 VIOLB는 저가 된다.

[0039] 감지 회로(402)에서 발생된 제어 신호 VIOL과 VIOLB를 멀티플렉서(404)에서 사용하여, 기준 선택 회로(400)에 공급되는 두 개의 기준 신호, VREF1과 VREF2 중 하나를 선택한다. 본 발명은 또한, 예를 들면, 밴드갭(bandgap) 기준(명시적으로 도시하지 않음)이나 기준 선택 회로에 포함된 다른 기준 발생기와 같이, 기준 선택 회로(400) 내에서 기준 신호 VREF1과 VREF2를 발생시키도록 고려되었다. 멀티플렉서(404)에서 발생하는 출력 신호 VREF는 제어 신호 VIOL과 VIOLB의 논리적인 상태에 따라, VREF1이나 VREF2와 실질적으로 같을 것이다. 출력 신호 VREF는 바람직하게는 도 2의 전압 레벨 변환기 회로(200)의 바이어스 전압 클램프(202)에 사용된다.

멀티플렉서(404)는 자신의 입력으로 단지 두 개의 기준 신호 VREF1과 VREF2를 받도록 구성된 것으로 도시되었지만, 본 발명은 어떤 특정한 몇 개의 기준 신호로 제한되지 않는다. 오히려, 멀티플렉서(404)는 출력 신호 VREF는 멀티플렉서에 인가되는 임의의 개수의 기준 신호와도 연결되도록 작동될 수 있다. 이를 수행하기 위해, 감지 회로(402)는 VDDIO와 VDDCORE의 차이가 규정된 복수의 전압 범위에 있는 때를 검출하고, 상응하는 전압 레벨 및/또는 범위 이하가 되는 VDDIO와 VDDCORE의 차이를 각각의 나타내는 복수의 제어 신호를 발생시키도록 구성될 수 있다.

[0040] 본 발명의 일실시예에서 기준 신호 VREF1은 도 3에서 도시된 기준 회로(300)의 출력으로 발생된 기준 전압 VREF와 동일하게 설정될 것이다. 이러한 예에서, IO 공급 전압 VDDIO는 도 3에 도시된 기준 회로(300)의 NMOS 장치 M3ND1, M3ND2 및 M3ND3 적절히 바이어스할 정도로 높고, 기준 회로가 파워 온(예를 들면, 제어 신호 PD가 저)되는 경우에는 기준 신호 VREF1은 VSS보다 NMOS 임계 전압의 대략 두 배(예를 들면, 약 1.5 볼트)만큼 높은 값과 실질적으로 같을 것이다. VDDIO가 VSS보다 NMOS 임계 전압의 약 3배만큼 높은 값 아래로(예를 들면, 약 2.25 볼트보다 작은) 떨어지면, NMOS 장치 M3ND1, M3ND2, M3ND3는 턴 오프되기 시작하고, 그리하여 기준 회로(300)은 VREF를 VSS보다 임계 전압의 약 2배만큼 높은 값이 되도록 더 이상 유지할 수 없을 것이다. 기준 신호 VREF2는 코어 공급 전압 VDDCORE와 같게 설정될 수 있다. 그리하여, VDDIO가 VDDCORE보다 임계 전압만큼 높은 값보다 크게 되면, 기준 신호 VREF1은 바람직하게는 기준 선택 회로(400)에 의해 생성된 출력 신호 VREF로서 선택되고, 기준 신호 VREF2는 이와 반대의 경우 선택된다. 높은 공급 전압 VDDIO가 낮은 코어 공급 전압 VDDCORE와 실질적으로 같아지면 VDDCORE가 전압 클램프를 바이어스하기 위한 출력 신호 VREF로 선택되므로, 도 2의 전압 레벨 변환기 회로(200)는 저(low) IO 공급 전압에서도 올바르게 동작을 계속할 것이다.

[0041] 도 5는 본 발명의 한 측면과 관련하여, 도 4에 도시된 감지 회로(402)를 실현하기 위해 사용되는 예시적인 감지 회로(500)을 도시한 개략도이다. 본 발명은 도시된 특정한 감지 회로 구성에 제한되지 않는다는 것은 이해될 것이다. 감지 회로(500)은 바람직하게는 제 1 인버터로 구현된 PMOS 장치(502)와 NMOS 장치(504)를 포함한다. 구체적으로 장치(502)의 소스는 IO 공급 VDDIO와 연결되고, 장치(502)의 드레인은 장치(504)의 드레인과 노드 N1에서 연결되며, 장치들(502, 504)의 게이트는 서로 노드 N2에서 연결되고, 장치(504)의 소스는 VSS와 연결된다. 제 1 인버터는 노드 N2에서 코어 공급 전압 VDDCORE에 의해 작동된다. 감지 회로(500)은 나아가 각각 제어 신호 VIOL과 VIOLB를 발생시키는 제 2 인버터(506)와 제 3 인버터(508)를 포함한다. 인버터(506)의 입력단은 바람직하게는 제 1 인버터의 출력단과 노드 N1에서 연결되고, 인버터(506)의 출력단은 인버터(508)의 입력단에 연결된다. 제어 신호 VIOL은 제 2 인버터(506)의 출력에서 발생된 것이고, 신호 VIOL의 논리적 보수인 제어 신호 VIOLB는 제 3 인버터(508)의 출력단에서 발생한 것이다. 인버터(506, 508)는 적어도 부분적으로는 제 1 인버터에서 발생한 출력 신호 VCOMP를 버퍼링한다.

[0042] 장치(502, 504)는, 예를 들면, 표준의 인버터에 비해 높은 스위칭 포인트(예를 들면, VDDIO/2보다는 VDDIO에 가깝게)를 갖는 상대적으로 약한(weak) 인버터를 형성하도록, 하나나 두 장치의 채널의 폭-길이비(W/L)를 알맞게 선택함으로써 바람직한 크기를 갖게된다. PMOS 장치(502)는 IO 공급 전압 VDDIO가 최소한 코어 공급 전압 VDDCORE보다 최소한 1배의 임계 전압만큼 높기만 하면, 턴 온된 상태로 유지된다. 이러한 경우, 노드 N1에서 제 1 인버터의 출력 VCOMP가 고일 것이고, 그럼으로써 제어 신호 VIOL은 저가 되고, 제어 신호 VIOLB는 고가 된다. VDDIO가 VDDCORE보다 임계 전압만큼 높은 값보다 작게 되면, PMOS 장치(502)는 턴 오프되기 시작하고, NMOS 장치(504)는 N1과 VSS를 연결한다(예컨데, 저 상태로). 이러한 경우, VCOMP는 저가 되고, 제어 신호 VIOL은 고가 되며, 제어 신호 VIOLB는 저가 될 것이다.

[0043] 도 6은 본 발명의 한 측면과 관련하여, 도 4에 도시된 멀티플렉서(404)를 실현하기 위해 사용되는 예시적인 멀티플렉서(600)를 도시하는 개략도이다. 본 발명은 도시된 특정한 멀티플렉서 구성으로 제한되지 않는다는 것은 이해될 것이다. 멀티플렉서(600)는 바람직하게는 대체용 스위칭 회로인 각각 제 1 전달 및 제 2 게이트(602, 604) (패스(pass) 게이트라고도 지칭됨)를 포함한다. 각각의 전달 게이트(602, 604)는 도시된 바와 같이 병렬 구성으로 같이 연결된 NMOS 장치와 PMOS장치를 포함한다. 전달 게이트는 제어 신호에 의해 제어되는 양방향성의 스위치로 기능을 한다. 제 1 전달 게이트(602)의 입력단은 바람직하게는 제 1 기준 신호 VREF1을 받고, 제 2 전달 게이트(604)의 입력단은 제 2 전달 신호 VREF2를 받도록 구성된다. 전달 게이트(602)의 출력단은 전달 게이트(604)의 출력단과 노드 N1에서 연결되고, 멀티플렉서(600)의 출력 신호 VREF를 발생시킨다.

[0044] 제어 신호 VIOL은 전달 게이트(602)의 PMOS장치의 게이트와 전달 게이트(604)의 NMOS 장치의 게이트에 인가되며, 신호 VIOL의 논리적 보수인 제어신호 VIOLB는 전달 게이트(602)의 NMOS 장치의 게이트와 전달 게이트(604)의 PMOS 장치의 게이트에 인가된다. 이러한 방식으로 구성된 멀티플렉서를 이용하면, 제어 신호 VIOL이 저일 때는, 기준 신호 VREF1가 멀티플렉서(600)의 출력 신호 VREF로 선택되고, 기준 신호 VREF2는 이와 반대의

경우 선택된다.

- [0045] 도 7은 본 발명의 일실시에 따라 구성된 예시적인 기준 선택 회로(700)를 도시하는 개략도이다. 기준 선택 회로(700)는 도 2의 전압 레벨 변환기 회로(200)의 전압 클램프 회로(202)를 바이어싱하는 도 4의 기준 선택 회로(400)의 예시적인 실시예에서 사용된다. 본 발명은 도시된 특정한 기준 선택 회로 구성에 제한되지 않음을 이해할 것이다.
- [0046] 기준 선택 회로(700)는 바람직하게 다이오드 구조로 접속되는 제 1 고 전압 NMOS 장치 M3ND1과 실제적으로 게이트 스위치로서 작동하는 고 전압 PMOS 장치 M3PSW를 포함한다. 구체적으로, 장치 M3ND1의 소스는 코어 공급 전압 VDDCORE와 연결되고, M3ND1의 게이트와 드레인은 노드 N1에서 장치 M3PSW의 드레인과 연결된다. 장치 M3PSW의 소스는 IO 공급 전압 VDDIO와 연결되고, M3PSW의 게이트는, 선택적으로 기준 선택 회로(700)을 디스에이블시키기 위한 파워-다운 신호인 제어 신호 PD를 받도록 구성된다. 기준 선택 회로를 선택적으로 디스에이블 시킬 필요가 없다면, 장치 M3PSW는 적절한 값을 가지는 저항이나, 다른 부하 소자로 대체될 수 있다. 도 2에 도시된 전압 레벨 변환기 회로(200)의 전압 클램프 회로(202)를 바이어싱하는 출력 신호 VREF는 노드 N1에서 발생된다.
- [0047] PMOS 장치 M3PSW는 바람직하게는 제어 신호 PD가 비활성(예를 들면, 로직 저)일 때, 기준 선택 회로(700)에서 전류 I1을 제한하는 긴 채널 장치이다. VDDIO가 VDDCORE보다 충분히 크다면(예를 들면, 임계 전압만큼 큰 경우), 노드 N1에서 발생한 출력 신호 N1은 VDDCORE보다 임계 전압만큼 큰 값일 것이다(예를 들면, 약 1.75 볼트). 이 전압은 실질적으로 전압 레벨 변환기 회로의 입력단(204)의 저 전압 NMOS 장치 M1N1과 M1N2를 오버-스트레싱(over\_stressing)하지 않고, 도 2에 도시된 전압 레벨 변환기 회로(200)의 전압 클램프 회로(202)의 NMOS 장치 M3N1과 M3N2의 게이트에 인가될 수 있는 최대 허용가능한 전압 레벨과 실질적으로 동일하다. 이는 노드 i3과 i4는 VDDCORE와 실질적으로 동일한, VREF보다 임계 전압만큼 낮은 값을 최대값으로 가질 수 있기 때문이다.
- [0048] VDDIO가 VDDCORE보다 임계 전압 이하만큼 낮은 값의 범위로 떨어진다면, 다이오드-접속 NMOS 장치 M3ND1은 턴 오프될 것이나, 제어 신호 PD에 의해 게이트되는 장치 M3PSW는 턴 온으로 유지되어, 노드 N1 및 출력 신호 VREF를 실질적으로 VDDIO까지 끌어올리게 된다. 이러한 경우, VREF는 VDDCORE보다 임계 전압 이하만큼 높은 값으로 될 것이다. 장치 M3PSW는 바람직하게는 기준 선택 회로(700)의 전류 I1을 제한하고 출력 신호 VREF가 VDDCORE보다 대략 임계 전압이상 높지 않도록, 긴 채널 W/L의 비를 1보다 상당히 작게 선택하는 등의 방법을 통해 약하게(weak) 사이징된다.
- [0049] 동작의 파워-다운 모드 중, 제어 신호 PD는 바람직하게는 로직 고 레벨이고, 이로써 PMOS 장치 M3PSW를 턴 오프한다. 이때, 노드 N1의 전압 VREF는 정해지지 않고, 바람직하지 않게 부동(float)된다. VREF가 미정의 상태가 되지 않도록 제 2 고 전압 NMOS 장치 M3NSW는 바람직하게는 기준 선택 회로에 포함되고, 노드 N1과 VSS사이에 연결되며, 제어 신호 PD에 의해 게이트로 제어된다. 그리하여, 파워 다운 모드 중인 때와 같이 신호 PD가 고일 때, 장치 M3NSW가 턴 온되고, 그럼으로써 노드 N1이 VSS에 연결된다. 이와는 달리, 장치 M3NSW는 노드 N1과 예를 들면, VDDCORE같은 다른 공급 전압원 사이에 연결될 수 있다. 기준 선택 회로(700)는 노드 N1과 VSS에 연결된 커패시터 CR을 또한 포함할 수도 있다. 커패시터 CR은 적어도 부분적으로는, 노드 N1의 전압 VREF에 유입되는 잡음을 감소시키는 역할을 한다. 이와는 달리, 커패시터 CR은 노드 N1과 실질적으로 일정한 다른 전압원(예를 들면, VDDCORE) 사이에 연결될 수 있는데, 이는 실질적으로 일정한 전압원이 교류 접지의 기능을 할 수 있기 때문이다. 커패시터 CR의 값은 바람직하게는 원하는 감쇠 주파수 성분에 따라 정해지며, 당업자면 이해할 것이다.
- [0050] 도 8은 도 3에 도시된 기준 회로(300)와 함께 사용된 도 2의 예시적인 전압 레벨 변환기 회로(200)의 특정한 신호의 예시적인 시뮬레이션 결과를 시간(초)에 따른 함수로 나타낸 그래프 표시이다. 시뮬레이션 결과는 최악의 프로세스, 전압, 온도(PVT) 조건하에서(예를 들면, 느린 집적 회로 프로세스와 낮은 온도) 약 10 메가헤르츠(MHz)의 속도로 동작하는 예시적인 전압 레벨 변환기 회로에 대해 제공된다. 높은 IO 공급 전압 VDDIO는 그래프(802)로 도시되고, 낮은 코어 공급 전압 VDDCORE는 그래프(804)로 도시되며, 도 2의 전압 클램프 회로(202)를 바이어싱하는 도 3의 기준 회로(300)에 의해 발생한 VREF는 그래프(806)로 도시되고, 도 2의 전압 레벨 변환기 회로(200)에 인가되는 입력 신호 A는 그래프(808)로 도시되며, 전압 레벨 변환기 회로에 의해 발행된 출력 신호 Z는 그래프(810)로 도시된다. VDDCORE가 0.85 볼트로 유지되는 동안 VDDIO는 0.9 볼트에서 약 3.6 볼트로 변한다. 이 그래프로부터 명백하듯이, VDDIO가 약 1.9 볼트보다 낮을 때, 전압 레벨 변환기 회로에서 발생된 출력 신호 Z는 0이고, 이는 회로가 의도된 공급 전압 범위에서 올바르게 작동하지 않는다는 것을 나타낸다.
- [0051] 한편으로, 도 9는 도 7에 도시된, 기준 회로(700)와 함께 사용된 도 2의 예시적인 전압 레벨 변환기 회로(200)

의 특정한 신호의 예시적인 시뮬레이션 결과를 시간(초)에 대한 함수로 나타낸 그래프이다. 시뮬레이션 결과는 최악의 경우 PVT 상태(예를 들면, 느린 집적회로 과정과 낮은 온도)에서 약 10MHz의 속도로 동작하는, 즉 8과 같은 조건에서 동작되는 예시적인 전압 레벨 변환기 회로에 대해 제공되었다. IO 공급 전압 VDDIO는 그래프(902)로 도시되고, 낮은 코어 공급 전압 VDDCORE는 그래프(904)에서 도시되며, 도 2의 전압 레벨 변환기 회로(200)의 바이어싱을 위해, 도 7의 기준 선택 회로(700)에서 발생한 전압 VREF는 그래프(906)로 도시되고, 도 2의 전압 레벨 변환기 회로(200)에 인가되는 입력 신호 A는 그래프(908)로 도시되며, 전압 레벨 변환기 회로에서 발생한 출력 신호 Z는 그래프(910)로 도시된다.

[0052] 도 8에서 도시된 시뮬레이션에서처럼, VDDCORE는 0.85 볼트로 유지되고, VDDIO는 0.9 볼트에서 3.6 볼트로 변한다. VDDIO가 매우 낮을 때, VREF의 값은 VDDIO와 실질적으로 같다. VDDIO가 증가하면, VREF는 VDDCORE는 실질적으로 연속하여 증가하며, VDDCORE보다 대략 한 임계값만큼 높은 값을 갖는 정상상태에 도달한다. 이 그래프로부터 명백하듯이, 전압 레벨 변환기 회로는 VDDIO의 변경값 전체에 대해 수용가능한 출력 신호 Z(이를테면, 약 0.9 볼트로부터 약 3.6 볼트까지)를 발생시키며, 이는 이 회로가 도 3의 기준 회로(300)와 함께 사용된 전압 레벨 변환기 회로에 비해 상당히 넓은 공급 전압 범위에서 올바르게 동작함을 나타낸다.

[0053] 여기서 기술된 본 발명의 전압 레벨 변환 기법이 다른 전압 레벨 사이에서 변환하는 다른 회로 구성에서도 사용될 수 있음은 당업자라면 명백하게 인식할 것이다. 예를 들면, 변환 회로(설명되지 않았지만)는 도 2에 도시된 전압 레벨 변환기 회로(200)의 트랜지스터 장치의 극성에 반대되는 극성을 갖는 트랜지스터 장치를 포함할 수 있으며, 이는 당업자라면 이해할 것이다.

[0054] 본 발명의 전압 레벨 변환기 회로의 적어도 일 부분은 집적회로로 구현할 수 있다. 집적회로를 형성할 때, 통상적으로 복수의 동일한 다이(die)를 반도체 웨이퍼(wafer)의 표면에 반복적인 패턴으로 제조할 수 있다. 각 다이는 본 명세서에서 기술된 장치를 포함하고, 다른 구조 및/또는 회로도 포함할 수 있다. 개별적인 다이는 웨이퍼로부터 절단되어, 집적회로로 패키징 된다. 당업자라면 어떻게 웨이퍼를 절단하고, 다이를 패키징하여 집적 회로로 만드는지 알 것이다. 그렇게 제조된 집적 회로는 본 발명의 일부분으로 고려될 수 있다.

[0055] 본 발명의 예시적 실시예가 첨부된 도면을 참조로 본 명세서에서 설명되었지만, 본 발명은 그러한 실시예에 정확히 제한되는 것이 아니며, 첨부된 청구 범위의 범위에서 벗어남 없이 다양한 다른 변화나 수정이 당업자에 의해 만들어질 수 있다.

**발명의 효과**

[0056] 본 발명에 따르면 회로의 저 코어 공급 전압을 기준으로 한 입력 신호와 회로의 고 공급 전압을 기준으로 한 출력 신호 사이 같은 다수의 전압 레벨들 사이를 효율적으로 조정할 수 있다.

**도면의 간단한 설명**

[0001] 도 1은 본 발명의 기법을 구체화하도록 수정 가능한, 예시적인 전압 레벨 변환기 회로를 나타내는 개략도이다.

[0002] 도 2는 본 발명의 기법을 구현하는 예시적인 레벨 변환기 회로를 나타내는 개략도이다.

[0003] 도 3은 도 2에서 나타난 전압 레벨 변환기 회로와 같이 사용되기 적합한 예시적인 기준 회로를 나타내는 개략도이다.

[0004] 도 4는 본 발명의 일실시예에 따라서 형성된 예시적인 기준 선택 회로를 나타내는 블록 다이어그램이다.

[0005] 도 5는 본 발명의 일실시예에 따라서, 도 4에서 도시된 기준 선택 회로와 같이 사용하기에 적합한 예시적인 감지 회로를 나타내는 개략도이다.

[0006] 도 6은 본 발명의 일실시예에 따라서, 도 4에서 도시된 기준 선택 회로와 같이 사용하기에 적합한 예시적인 멀티플렉서 회로를 나타내는 개략도이다.

[0007] 도 7은 본 발명의 예시적인 실시예에 따라서 형성되고, 도 2에서 도시된 전압 레벨 변환기 회로와 같이 사용하기 적합한 예시적인 기준 회로를 나타내는 개략도이다.

[0008] 도 8은 도 3의 예시적인 기준 회로를 사용하는 도 2에서 도시된 전압 레벨 변환기 회로의 예시적인 시뮬레이션 파형을 나타낸다.

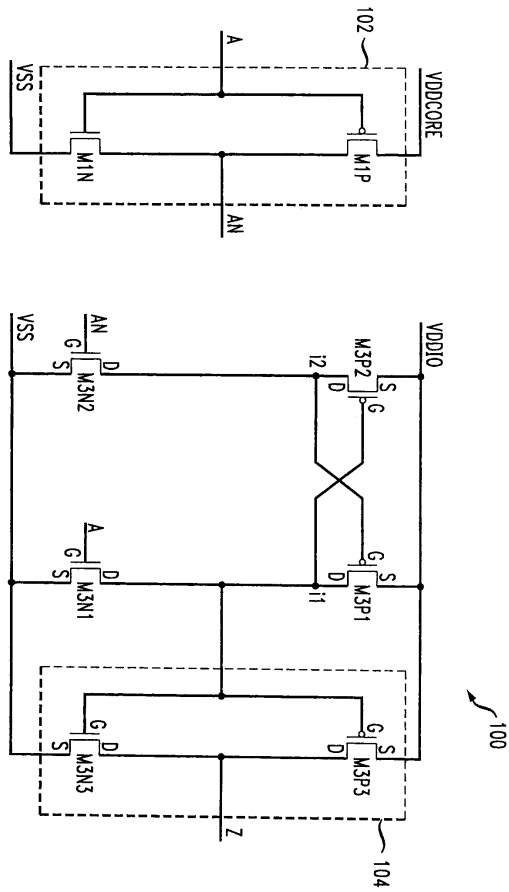
[0009] 도 9는 도 7의 예시적인 기준 회로를 사용하는 도 2에서 도시된 전압 레벨 변환기 회로의 예시적인 시뮬레이션



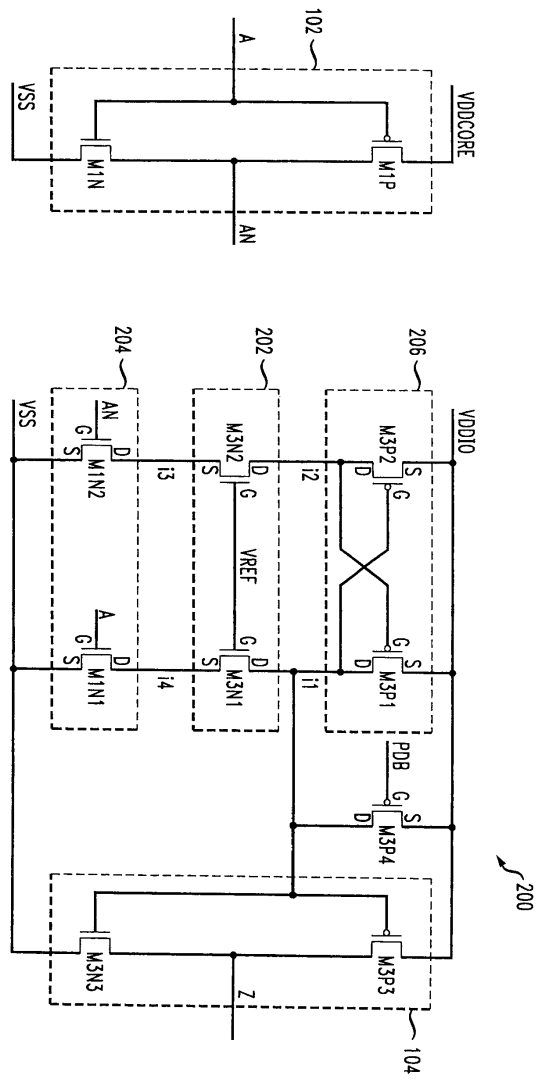
파형을 나타낸다.

도면

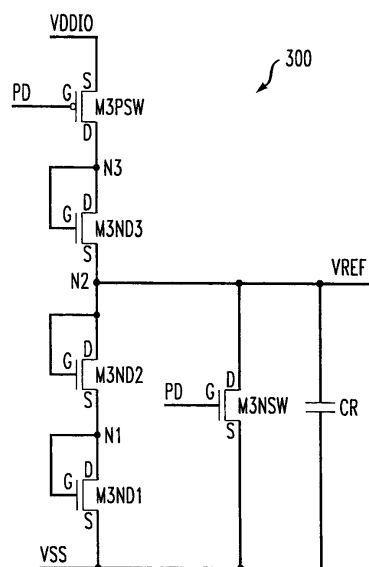
도면1



도면2

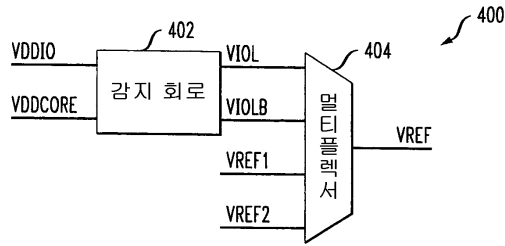


도면3

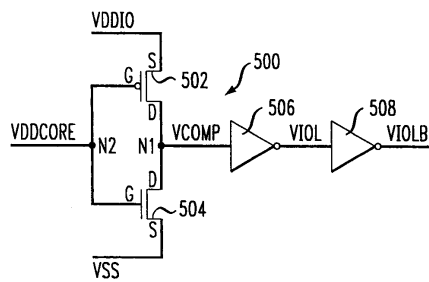




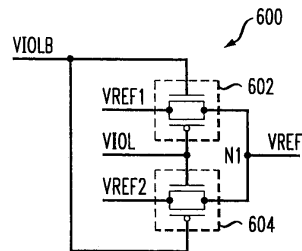
도면4



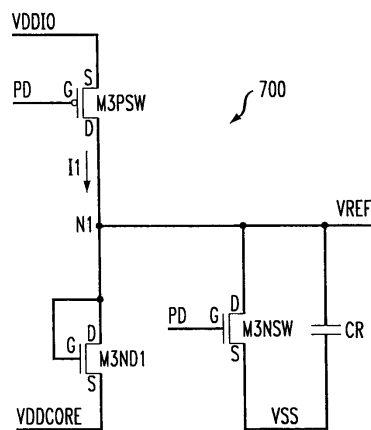
도면5



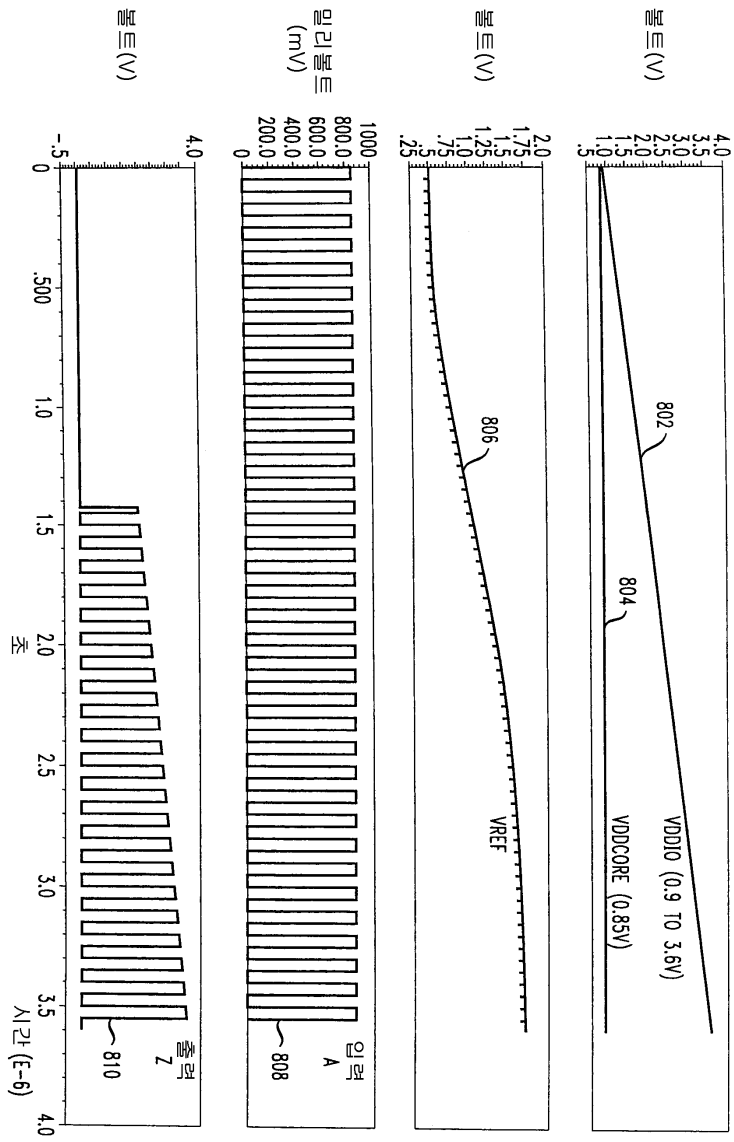
도면6



도면7



도면8



도면9

