

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-209121

(P2007-209121A)

(43) 公開日 平成19年8月16日(2007.8.16)

(51) Int. Cl. F I テーマコード(参考)
 H O 2 M 3 / 0 0 (2 0 0 6 . 0 1) H O 2 M 3 / 0 0 W 5 H 7 3 0

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号	特願2006-25230 (P2006-25230)	(71) 出願人	000237662 富士通アクセス株式会社 神奈川県川崎市高津区坂戸1丁目17番3号
(22) 出願日	平成18年2月2日(2006.2.2)	(74) 代理人	100105337 弁理士 眞鍋 潔
		(74) 代理人	100072833 弁理士 柏谷 昭司
		(74) 代理人	100075890 弁理士 渡邊 弘一
		(74) 代理人	100110238 弁理士 伊藤 壽郎
		(72) 発明者	手塚 征吾 神奈川県川崎市高津区坂戸1丁目17番3号 富士通アクセス株式会社内 最終頁に続く

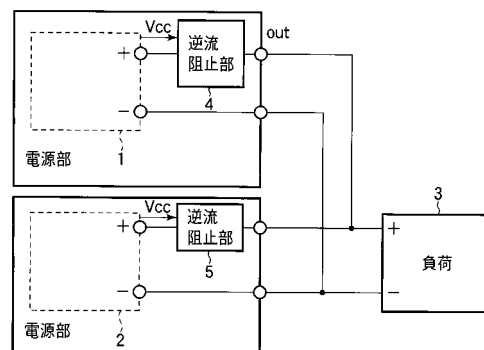
(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 複数の電源部にそれぞれ逆流阻止部を接続した電源装置に関し、逆流阻止を確実化し、且つ効率向上を図る。

【解決手段】 安定化直流電圧を出力する複数の電源部の出力端子にそれぞれ逆流阻止部を介して負荷に直流電流を供給する電源装置に於いて、逆流阻止部は、電源部と接続する入力端子 T i n と、負荷と接続する出力端子 T o u t との間に接続した n 型 F E T Q 1 と、この n 型 F E T Q 1 のソース S ・ドレイン D 間の電圧を比較して、ソース電圧 V s がドレイン電圧 V d より高い時にローレベル出力、低い時にハイレベル出力となる比較回路 C O M と、この比較回路 C O M のローレベル出力時に n 型 F E T Q 1 のゲート G に電圧を印加してオン状態とし、比較回路 C O M のハイレベル出力時に n 型 F E T Q 1 のゲートに電圧を印加しないでオフ状態とする制御用 n 型 F E T Q 2 とを含む構成を有するものである。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

安定化直流電圧を出力する複数の電源部の出力端子にそれぞれ逆流阻止部を介して負荷に直流電流を供給する電源装置に於いて、

前記逆流阻止部は、前記電源部と接続する入力端子と、前記負荷と接続する出力端子との間に接続した n 型電界効果トランジスタと、該 n 型電界効果トランジスタのソース・ドレイン間の電圧を比較して、ソース電圧がドレイン電圧より高い時にローレベル出力、低い時にハイレベル出力となる比較回路と、該比較回路のローレベル出力時に前記 n 型電界効果トランジスタのゲートに電圧を印加してオン状態とし、前記比較回路のハイレベル出力時に前記 n 型電界効果トランジスタのゲートに電圧を印加しないでオフ状態とする制御用 n 型電界効果トランジスタとを含む構成を備えた

10

ことを特徴とする電源装置。

【請求項 2】

前記逆流阻止部は、前記比較回路の動作電圧及び前記 n 型電界効果トランジスタと制御用 n 型電界効果トランジスタの動作電圧とを供給する端子と、前記電源部と接続する前記入力端子と、前記負荷と接続する出力端子との 3 端子構成の集積回路化した構成を有することを特徴とする請求項 1 記載の電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、低損失の逆流阻止手段を備えた電源装置に関する。

【背景技術】

【0002】

低電圧且つ大電流の直流負荷に安定化直流電力を供給する電源装置は、複数個のスイッチング電源等からなる電源部を並列運転する構成が一般的である。その場合、内部障害発生等により出力電圧が低下した電源部に対して、正常な他の電源部から電流が逆流する問題があることになるから、この逆流を阻止する為のブロッキングダイオードを各電源部の出力端子に接続し、各電源部は、ブロッキングダイオードを介して負荷に安定化直流電力を供給する構成が知られている。このブロッキングダイオードを接続した電源装置の一例を図 3 に示すもので、電源部 31, 32 は、例えば、スイッチング電源により構成し、負荷 33 にそれぞれブロッキングダイオード D1, D2 を介して安定化直流電圧を印加するものである。各電源部 31, 32 が正常の場合、ブロッキングダイオード D1, D2 を介して矢印方向の電流を負荷 33 に供給する。又障害発生の際の電源部に対しては、ブロッキングダイオードの逆方向に電圧が印加されるから、逆流を阻止することができる。

30

【0003】

このブロッキングダイオード D1, D2 の順方向に電流が流れる正常な状態に於いて、低電圧且つ大電流を負荷 33 に供給する場合に、ブロッキングダイオード D1, D2 の順方向電圧降下に相当する電力損失が生じることになり、電源装置の効率を向上する点から、この電力損失を低減する必要がある。そこで、ブロッキングダイオード D1, D2 を、オン抵抗の小さい電界効果トランジスタ（以下 FET と略称する）に置換した構成が各種提案されている。例えば、負荷電流が大きい時に FET をオン状態として低抵抗状態とし、負荷電流が小さい時は FET をオフ状態として、内部の寄生ダイオード（ボディダイオード）の順方向特性により負荷電流を供給し、且つオフ状態として時の寄生ダイオードをブロッキングダイオードと同様に逆流阻止用として作用させる構成が提案されている（例えば、特許文献 1 参照）。

40

【0004】

又ブロッキングダイオードと並列に FET を接続し、この FET をオン状態として、ブロッキングダイオードと FET との並列回路を介して負荷に直流電流を供給して、FET のオン抵抗がブロッキングダイオードの順方向抵抗に比較して小さいことにより、電力損失を低減し、障害発生によりオン状態の FET を介して逆流する場合、この逆流電流を検

50

出してFETのゲート電圧を遮断してオフ状態とし、ブロッキングダイオードにより逆流を阻止する構成が提案されている（例えば、特許文献2参照）。

【特許文献1】特開平03-103029号公報

【特許文献2】特開2001-119950号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

負荷に印加する電圧は、1～2V程度以下の低電圧化の傾向にあり、それに伴って電流は増大する傾向にある。従って、電源装置の出力電圧を低電圧とし、出力電流容量の増大又は電源部の並列数の増大を図ることになる。その場合に、前述のように、ダイオードの順方向抵抗分に比較して、オン抵抗値が小さいFETを用いた構成を適用することが考えられる。又電源部の出力電圧が1～2V以下の低電圧とすることにより、FETのオン、オフ制御を迅速且つ確実に実行することが容易でなくなる問題がある。又ブロッキングダイオードの単体に比較して、FETとその駆動制御部分とを含む構成が大型化する問題がある。更に、FETは、p型とn型とがあり、p型はn型に比較してオン抵抗が大きく、且つ高価である問題がある。

10

【0006】

本発明は、従来の問題点を解決するものであり、低電圧大電流の電源装置の小型化及び効率向上を図ることを目的とする。

【課題を解決するための手段】

20

【0007】

本発明の電源装置は、安定化直流電圧を出力する複数の電源部の出力端子にそれぞれ逆流阻止部を介して負荷に直流電流を供給する電源装置に於いて、前記逆流阻止部は、前記電源部と接続する入力端子と、前記負荷と接続する出力端子との間に接続したn型電界効果トランジスタと、該n型電界効果トランジスタのソース・ドレイン間の電圧を比較して、ソース電圧がドレイン電圧より高い時にローレベル出力、低い時にハイレベル出力となる比較回路と、該比較回路のローレベル出力時に前記n型電界効果トランジスタのゲートに電圧を印加してオン状態とし、前記比較回路のハイレベル出力時に前記n型電界効果トランジスタのゲートに電圧を印加しないでオフ状態とする制御用n型電界効果トランジスタとを含む構成を備えている。

30

【0008】

又前記逆流阻止部は、前記比較回路の動作電圧及び前記n型電界効果トランジスタと制御用n型電界効果トランジスタの動作電圧とを供給する端子と、前記電源部と接続する前記入力端子と、前記負荷と接続する出力端子との3端子構成の集積回路化した構成とすることができる。

【発明の効果】

【0009】

n型電界効果トランジスタは、p型電界効果トランジスタに比較してオン抵抗が低く、且つ廉価であり、電源部が正常で負荷に電流を供給する状態に於ける電力損失を低減して効率の向上を図ることができる。又従来のブロッキングダイオードと大差のない大きさの集積回路化が可能であり、電源装置の小型化を図ることができる。

40

【発明を実施するための最良の形態】

【0010】

本発明の電源装置は、図2を参照して説明すると、安定化直流電圧を出力する複数の電源部の出力端子にそれぞれ逆流阻止部を介して負荷に直流電流を供給する電源装置に於いて、逆流阻止部は、電源部と接続する入力端子Tinと、負荷と接続する出力端子Toutとの間に接続したn型電界効果トランジスタQ1と、このn型電界効果トランジスタQ1のソースS・ドレインD間の電圧を比較して、ソース電圧Vsがドレイン電圧Vdより高い時にローレベル出力、低い時にハイレベル出力となる比較回路COMと、この比較回路COMのローレベル出力時に前記n型電界効果トランジスタQ1のゲートGに電圧を印

50

加してオン状態とし、比較回路COMのハイレベル出力時に前記n型電界効果トランジスタQ1のゲートに電圧を印加しないでオフ状態とする制御用n型電界効果トランジスタQ2を含む構成を有するものである。

【実施例1】

【0011】

図1は、本発明の実施例1の説明図であり、1, 2はスイッチング電源等の安定化直流電圧を出力する電源部、3は負荷、4, 5は逆流阻止部、Vccは逆流阻止部の動作電圧を示す。逆流阻止部4, 5は、n型FETとその駆動部とを含み、電源部1, 2の出力端子と負荷3との間に接続する。

【0012】

図2は、本発明の実施例1の逆流阻止部の説明図であり、図1に於ける逆流阻止部4, 5の構成を示すもので、Q1は寄生ダイオードを有するn型電界効果トランジスタ(以下n型FETと略称する)、Q2は寄生ダイオードを有する制御用n型電界効果トランジスタ(以下制御用n型FETと略称する)、Dはドレイン、Sはソース、Gはゲート、COMは比較回路、C1はコンデンサ、ZDはツェナーダイオード、R1~R3は抵抗、Tinは電源部の出力端子に接続する入力端子、Idは負荷に供給する電流、Vsはソース電圧、Vdはドレイン電圧、Toutは負荷に接続する出力端子、Vccは電源部から供給する動作電圧を示す。

【0013】

動作電圧Vccは、電源部から所望の値として供給し、比較回路COMの動作電圧とすると共に、抵抗R1を介して制御用n型FETQ2のゲートに印加し、又ツェナーダイオードZDと抵抗R2とにより定電圧化して、抵抗R3を介して制御用n型FETQ2のドレインDとn型FETQ1のゲートGとに印加する。又入力端子Tinと出力端子Toutとの間に、n型FETQ1のソースSとドレインDとを接続し、ゲートGに電圧を印加してオン状態とした時に、矢印方向の電流Idを負荷に供給し、電圧を印加しない時にオフ状態とし、寄生ダイオードも逆方向の特性で接続されているから、逆流阻止を行うことができる。又制御用n型FETQ2は、n型FETQ1のゲートGに電圧を印加するか否かを制御するFETであり、寄生ダイオードは、n型FETQ1のゲートGに対して逆方向となるように接続する。又コンデンサC1は、比較回路COMの動作電圧Vccの安定化を図る為のものである。

【0014】

比較回路COMは、n型FETQ1のソース電圧Vsとドレイン電圧Vdとが、 $V_s > V_d$ の関係の場合に、ローレベル出力、反対に $V_s < V_d$ の関係の場合に、ハイレベル出力となる構成を有し、既に知られているFET等による各種の構成を適用することができる。入力端子Tinに接続した電源部が正常の場合、 $V_s > V_d$ の関係となるから、比較回路COMはローレベル出力となり、従って、制御用n型FETQ2はオフ状態となって、抵抗R2の両端の電圧が、n型FETQ1のゲートGに印加され、オン状態となる。このオン状態のn型FETQ1を介して、矢印方向の電流Idが出力端子Toutから負荷に供給される。

【0015】

入力端子Tinに接続した電源部の出力電圧が低下し、出力端子Toutから負荷に印加する電圧が、他の電源部の出力電圧より低下すると、n型FETQ1のソース電圧Vsとドレイン電圧Vdとの関係は、 $V_s > V_d$ となる。それにより、比較回路COMはハイレベル出力となり、抵抗R1を介して制御用n型FETQ2のゲートGに電圧が印加されてオン状態となる。従って、n型FETQ1のゲートGは、制御用n型FETQ2を介してソースSとの間が短絡状態となり、n型FETQ1はオフ状態となる。即ち、逆流阻止状態となる。

【0016】

逆流阻止部は、n型FETQ1を介して負荷に供給する電流Idの大きさに対応した電流容量の構成とし、他の制御用n型FETQ2や比較回路COM等を含めて集積回路化が

10

20

30

40

50

可能であり、入力端子 T_{in} と出力端子 T_{out} と動作電圧 V_{cc} を印加する端子との 3 端子構成とすることができる。従って、ブロッキングダイオードを用いる場合に比較しても、特に大型化することはない。逆流阻止部の動作電圧 V_{cc} を供給することにより、比較回路 COM や n 型 FET の動作の確実化が可能となる。

【図面の簡単な説明】

【0017】

【図1】本発明の実施例1の説明図である。

【図2】本発明の実施例1の逆流阻止部の説明図である。

【図3】従来例の電源回路の要部説明図である。

【符号の説明】

【0018】

1, 2 電源部

3 負荷

4, 5 逆流阻止部

Q_1 n 型電界効果トランジスタ (n 型 FET)

Q_2 制御用 n 型電界効果トランジスタ (制御用 n 型 FET)

COM 比較回路

C_1 コンデンサ

ZD ツェナーダイオード

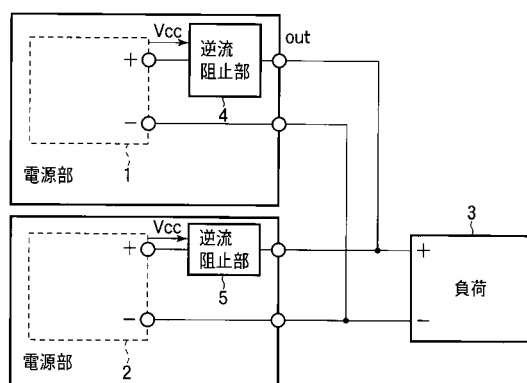
$R_1 \sim R_3$ 抵抗

V_{cc} 動作電圧

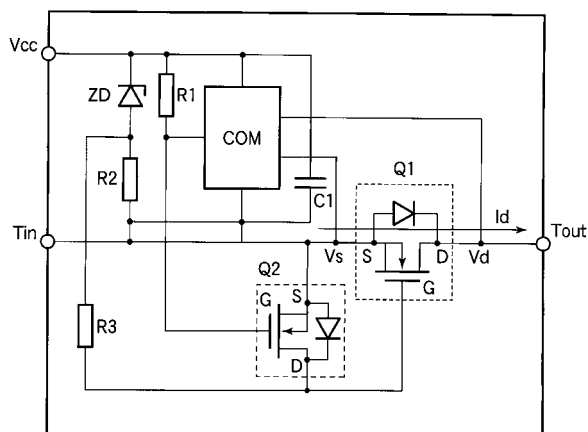
10

20

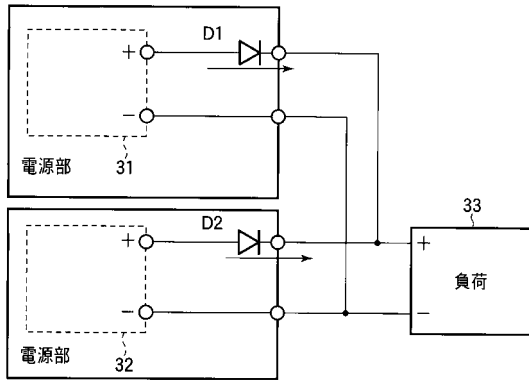
【図1】



【図2】



【 図 3 】



フロントページの続き

(72)発明者 山下 茂治

神奈川県川崎市高津区坂戸1丁目17番3号 富士通アクセス株式会社内

(72)発明者 稲垣 克哉

神奈川県川崎市高津区坂戸1丁目17番3号 富士通アクセス株式会社内

Fターム(参考) 5H730 AA14 AS01 BB84 BB98 DD04 EE13