



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월24일 10-0711001 2007년04월17일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2003-0099399 2003년12월29일 2003년12월29일	(65) 공개번호 (43) 공개일자	10-2005-0068235 2005년07월05일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 박재용
 경기도안양시동안구평촌동933-7꿈마을APT305-701

(74) 대리인 허용록

(56) 선행기술조사문헌 JP2001015761 A US5929489 B US6639281 B *	JP2003066859 A US6066506 B KR1020030086167 *
---	--

* 심사관에 의하여 인용된 문헌

심사관 : 한상일

전체 청구항 수 : 총 11 항

(54) 유기전계발광 소자

(57) 요약

본 발명에 의한 유기전계발광 소자는, 어레이 영역 상에서 매트릭스 형태로 다수 형성된 어레이 소자가 포함되는 상부발광 방식의 유기전계발광 소자에 있어서, 게이트 라인; 상기 게이트 라인과 교차되어 화소 영역을 한정하는 데이터 라인; 상기 데이터 라인과 평행하게 배치된 전원 라인; 상기 게이트 라인 및 데이터 라인이 교차하는 지점에 위치하는 스위칭 박막트랜지스터 및 구동 박막트랜지스터, 스토리지 캐패시터가 구비되는 매트릭스 형상의 어레이 소자와; 상기 어레이 소자의 화소 영역에 대응되는 유기전계발광 다이오드가 포함되며, 상기 구동 박막트랜지스터는 게이트 전극에 적어도 하나 이상의 수직 돌기가 구비되고, 상기 게이트 전극 상부에 형성되면서 소스/드레인 전극중 어느 하나는 하나 이상의 수직돌기가 형성되어 있고, 소스/드레인 전극중 다른 하나는 두개 이상의 수직돌기가 형성되어 상기 소스/드레인 전극의 수직 돌기들이 서로 핑거(finger) 형태로 맞물려 구성됨을 특징으로 한다.

대표도

도 6

특허청구의 범위

청구항 1.

게이트 라인;

상기 게이트 라인과 교차되어 화소 영역을 한정하는 데이터 라인;

상기 데이터 라인과 평행하게 배치된 전원 라인;

상기 게이트 라인 및 데이터 라인이 교차하는 지점에 위치하는 스위칭 박막트랜지스터 및 구동 박막트랜지스터, 스토리지 캐패시터가 구비되는 매트릭스 형상의 어레이 소자와;

상기 어레이 소자의 화소 영역에 대응되는 유기전계발광 다이오드가 포함되며,

상기 구동 박막트랜지스터는 게이트 전극에 다수개의 수직 돌기가 구비되고, 상기 게이트 전극의 각 수직 돌기와 소정부분 중첩되는 다수개의 수직 돌기가 구비된 빗살(comb) 형태의 소스 전극과;

상기 소스 전극의 각 수직 돌기와 소정부분 이격되어 엇갈리게 배열되며, 상기 게이트 전극의 각 수직 돌기와 소정부분 중첩되는 다수개의 수직 돌기가 구비된 빗살(comb) 형태의 드레인 전극과;

상기 게이트 전극의 수직 돌기 및 소스/드레인 전극의 수직 돌기들을 모두 포함하는 영역에 대해 상기 게이트 전극과 소스/드레인 전극 사이의 층에 게재되는 액티브층이 포함되어 구성됨을 특징으로 하는 유기전계발광 소자.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제 1항에 있어서,

상기 액티브층은 일정한 폭을 갖으며, 일정한 간격을 두고 다수 배열된 형태로 상기 게이트 전극과 소스/드레인 전극 사이의 층에 게재됨을 특징으로 하는 유기전계발광 소자.

청구항 5.

제 1항에 있어서,

상기 유기전계발광 소자는, 화면이 구현되는 최소 단위 영역인 서브픽셀이 정의되어 있으며, 서로 일정간격 이격되어 대향되게 배치된 제 1, 2 기판과; 상기 제 1기판 내부면에 서브픽셀 단위로 형성된 박막트랜지스터를 가지는 어레이 소자와; 상기 제 2기판 하부에 위치하는 공통전극으로서의 제 1 전극과, 상기 제 1 전극 하부에 위치하는 유기전계발광층 및 서브픽셀별로 패터닝된 제 2 전극과, 상기 각 서브픽셀 별로 구비된 상기 어레이 소자와 상기 제 2전극을 전기적으로 연결시키는 전기적 연결패턴이 포함되는 유기전계발광 소자임을 특징으로 하는 유기전계발광 소자.

청구항 6.

제 1항에 있어서,

상기 유기전계발광 다이오드는,

공통전극으로 이용되는 제 1 전극과;

상기 제 1 전극 하부에 위치하는 유기전계발광층과;

상기 유기전계발광층 하부에 위치하며, 서브픽셀별로 패터닝된 제 2 전극으로 구성됨을 특징으로 하는 유기전계 발광소자.

청구항 7.

제 6항에 있어서,

상기 유기전계발광층은 서브픽셀별로 적, 녹, 청 컬러를 띠는 발광물질이 배열된 발광층과, 상기 발광층의 상부 및 하부에 각각 위치하는 제 1 유기물질층 및 제 2 유기물질층으로 구성됨을 특징으로 하는 유기전계발광 소자.

청구항 8.

서로 일정간격 이격되어 마주보며 배치된 제 1, 2 기관과;

상기 제 1기관 내부면에 서브픽셀 단위로 형성된 박막트랜지스터 및 구동 박막트랜지스터를 가지는 어레이 소자와;

상기 제 2기관 내부면에 위치하는 유기전계발광 다이오드와;

상기 각 서브픽셀 별로 구비된 상기 구동 박막트랜지스터와 상기제 2 기관의 제 2전극을 전기적으로 연결시키는 전도적 연결패턴이 포함되며,

상기 구동 박막트랜지스터는 게이트 전극에 다수개의 수직 돌기가 구비되고, 상기 게이트 전극 상부에 형성되면서 소스/드레인 전극중 어느 하나는 다수개의 수직돌기가 형성되어 있고, 소스/드레인 전극중 다른 하나는 다수개의 수직돌기가 형성되어 상기 소스/드레인 전극의 수직 돌기들이 서로 핑거(finger) 형태로 맞물려 구성됨을 특징으로 하는 유기전계발광 소자.

청구항 9.

제 8항에 있어서,

상기 유기전계발광 다이오드는,

투광성을 가지는 금속물질로 이루어진 제 1전극, 상기 서브픽셀 단위로 형성된 유기전계발광층 및 제 2전극이 순차적으로 형성되어 구성됨을 특징으로 하는 유기전계발광 소자.

청구항 10.

제 9항에 있어서,

상기 유기전계발광층은 서브픽셀별로 적, 녹, 청 컬러를 띠는 발광물질이 배열된 발광층과, 상기 발광층의 상부 및 하부에 각각 위치하는 제 1 유기물질층 및 제 2 유기물질층으로 구성됨을 특징으로 하는 유기전계발광 소자.

청구항 11.

제 8항에 있어서,

상기 구동 박막트랜지스터는,

다수개의 수직 돌기가 구비된 게이트 전극과;

상기 게이트 전극의 각 수직 돌기와 소정부분 중첩되는 다수개의 수직 돌기가 구비된 빗살(comb) 형태의 소스 전극과;

상기 소스 전극의 각 수직 돌기와 소정부분 이격되어 엇갈리게 배열되며, 상기 게이트 전극의 각 수직 돌기와 소정부분 중첩되는 다수개의 수직 돌기가 구비된 빗살(comb) 형태의 드레인 전극과;

상기 게이트 전극의 수직 돌기 및 소스/ 드레인 전극의 수직 돌기의 사이에 게재되는 액티브층이 포함되어 구성됨을 특징으로 하는 유기전계발광 소자.

청구항 12.

제 11항에 있어서,

상기 액티브층은 상기 수직 돌기들을 모두 포함하는 영역에 대해 상기 게이트 전극과 소스/ 드레인 전극 사이의 층에 게재됨을 특징으로 하는 유기전계발광 소자.

청구항 13.

제 11항에 있어서,

상기 액티브층은 일정한 폭을 갖으며, 일정한 간격을 두고 다수 배열된 형태로 상기 게이트 전극과 소스/ 드레인 전극 사이의 층에 게재됨을 특징으로 하는 유기전계발광 소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광 소자에 관한 것으로, 특히 상부발광식 유기전계발광 소자의 각 어레이 소자에 구비된 구동 박막트랜지스터의 게이트 전극, 소스/ 드레인 전극의 구조에 대한 유기전계발광 소자에 관한 것이다.

새로운 평판 디스플레이(FPD : Flat Panel Display) 중 하나인 유기전계발광 소자는 자체 발광형이기 때문에 액정표시장치에 비해 시야각, 콘트라스트 등이 우수하며 백라이트가 필요 없어 경량 박형이 가능하고, 소비전력 측면에서도 유리하다.

또한, 직류 저전압 구동이 가능하고 응답속도가 빠르며 전부 교체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

특히, 상기 유기전계발광 소자의 제조공정에는, 액정표시장치나 PDP(Plasma Display Panel)와 달리 증착(deposition) 및 인캡슐레이션(encapsulation) 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.

종래에는 이러한 유기전계발광 소자의 구동방식으로 별도의 스위칭 소자를 구비하지 않는 패시브 매트릭스형(passive matrix)이 주로 이용되었다.

그러나, 상기 패시브 매트릭스 방식에서는 게이트 라인(scan line)과 데이터 라인(signal line)이 교차하면서 매트릭스 형태로 소자를 구성하므로, 각각의 픽셀을 구동하기 위하여 게이트 라인을 시간에 따라 순차적으로 구동하므로, 요구되는 평균 휘도를 나타내기 위해서는 평균 휘도에 라인수를 곱한 것 만큼의 순간 휘도를 내야만 한다.

그러나, 액티브 매트릭스 방식에서는, 픽셀(pixel)을 온/오프(on/off)하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor)가 서브픽셀(sub pixel)별로 위치하고, 이 박막트랜지스터와 연결된 제 1 전극은 서브픽셀 단위로 온/오프되고, 이 제 1 전극과 대향하는 제 2 전극은 공통전극이 된다.

그리고, 상기 액티브 매트릭스 방식에서는 픽셀에 인가된 전압이 스토리지 캐패시터(C_{ST})에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될 때까지 전원을 인가해 주도록 함으로써, 게이트 라인 수에 관계없이 한 화면동안 계속해서 구동한다. 따라서, 액티브 매트릭스 방식에 의하면 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가진다.

이하, 이러한 액티브 매트릭스형 유기전계발광 소자의 기본적인 구조 및 동작특성에 대해서 도면을 참조하여 상세히 설명한다.

도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 픽셀 구조를 나타낸 회로도이다.

도시한 바와 같이, 제 1 방향으로 게이트 라인(GL)(2)이 형성되어 있고, 이 제 1 방향과 교차되는 제 2 방향으로 형성되며, 서로 일정간격 이격된 데이터 라인(DL)(3) 및 전원 라인(VDD)(4)이 형성되어 있어, 하나의 서브픽셀 영역을 정의한다.

상기 게이트 라인(2)과 데이터 라인(3)의 교차지점에는 어드레싱 엘리먼트(addressing element)인 스위칭 박막트랜지스터(switching TFT)(5)가 형성되어 있고, 이 스위칭 박막트랜지스터(5) 및 전원 라인(4)과 연결되어 스토리지 캐패시터(C_{ST})(6)가 형성되어 있으며, 이 스토리지 캐패시터(C_{ST})(6) 및 전원 라인(4)과 연결되어, 전류원 엘리먼트(current source element)인 구동 박막트랜지스터(7)가 형성되어 있고, 이 구동 박막트랜지스터(7)와 연결되어 유기전계발광 다이오드(Electro luminescent Diode)(8)가 구성되어 있다.

이 유기전계발광 다이오드(8)는 유기발광물질에 순방향으로 전류를 공급하면, 정공 제공층인 양극(anode electrode)과 전자 제공층인 음극(cathode electrode)간의 P(positive)-N(negative) 접합(Junction)부분을 통해 전자와 정공이 이동하면서 서로 재결합하여, 상기 전자와 정공이 떨어져 있을 때보다 작은 에너지를 가지게 되므로, 이때 발생하는 에너지 차로 인해 빛을 방출하는 원리를 이용하는 것이다.

상기 유기전계발광 소자는 유기전계발광 다이오드에서 방광된 빛의 진행방향에 따라 상부 발광방식(top emission type)과 하부 발광방식(bottom emission type)으로 나뉜다.

도 2는 종래의 하부발광방식 유기전계발광 소자에 대한 개략적인 단면도이다.

도시한 바와 같이, 유기전계발광 소자(10)는 투명한 제 1 기판(12)의 상부에 박막트랜지스터(T) 어레이부(14)와, 상기 박막트랜지스터 어레이부(14)의 상부에 제 1 전극(16)과 유기 발광층(18)과 제 2 전극(20)이 구성된다.

이 때, 상기 발광층(18)은 적(R), 녹(G), 청(B)의 컬러를 표현하게 되는데, 일반적인 방법으로는 상기 각 화소(P)마다 적, 녹, 청색을 발광하는 별도의 유기물질을 패터닝하여 사용한다.

상기 제 1 기판(12)이 흡습제(22)가 부착된 제 2 기판(28)과 실런트(26)를 통해 합착되므로써 캡슐화된 유기전계 발광소자(10)가 완성된다.

여기서, 상기 흡습제(22)는 캡슐내부에 침투할 수 있는 수분과 산소를 제거하기 위한 것이며, 기관(28)의 일부를 식각하고 식각된 부분에 흡습제(22)를 채우고 테이프(25)로 고정한다.

도 3은 도 1 및 2에 도시된 유기전계발광 소자에 포함되는 박막트랜지스터 어레이부의 한 화소를 개략적으로 도시한 평면도이다.

일반적으로, 능동 매트릭스형 유기전계 발광소자의 박막트랜지스터 어레이부는 기관에 정의된 다수의 화소(P)마다 스위칭 소자와 구동 소자와 스토리지 캐패시터(미도시)가 구성되며, 동작의 특성에 따라 상기 스위칭 소자 또는 구동 소자는 각각 하나 이상의 박막트랜지스터의 조합으로 구성될 수 있다.

이 때, 상기 기관은 투명한 절연 기관을 사용하며, 그 재질로는 유리나 플라스틱을 예로 들 수 있다.

도시한 바와 같이, 기관 상에 서로 소정 간격 이격 하여 일 방향으로 구성된 게이트 라인(32)과, 상기 게이트 라인(32)과 절연막(미도시)을 사이에 두고 서로 교차하는 데이터 라인(34)이 구성된다.

동시에, 상기 데이터 라인(34)과 평행하게 이격된 위치에 일 방향으로 전원 라인(35)이 구성된다.

상기 스위칭 박막트랜지스터(T_S)와 구동 박막트랜지스터(T_D)로 각각 게이트 전극(36,38)과 액티브층(미도시)과 소스 전극(46,48) 및 드레인 전극(50,52)을 포함하는 박막트랜지스터가 사용된다.

전술한 구성에서, 상기 스위칭 박막트랜지스터(T_S)의 게이트 전극(36)은 상기 게이트 라인(32)과 연결되고, 상기 소스 전극(46)은 상기 데이터 라인(34)과 연결된다.

상기 스위칭 박막트랜지스터(T_S)의 드레인 전극(50)은 상기 구동 박막트랜지스터(T_D)의 게이트 전극(38)과 콘택홀(54)을 통해 연결된다.

상기 구동 박막트랜지스터(T_D)의 소스 전극(48)은 상기 전원 라인(35)과 연결되어 있으며, 상기 구동 박막트랜지스터(T_D)의 드레인 전극(52)은 화소부(P)에 구성된 제 1 전극(16)과 콘택홀(56)을 통해 접촉하도록 구성된다.

이 때, 상기 각 화소에 구비되는 박막트랜지스터는 비정질 실리콘을 통해 액티브 층을 형성하는 것으로, 이 경우 상기 비정질 실리콘의 이동도는 결정질 실리콘에 비해 $0.5 \sim 1\text{cm}^2/\text{Vsec}$ 정도 낮기 때문에, 유기 발광층을 구동시키기 위해서는 구동 박막트랜지스터(T_D)의 폭(Width)과 길이(Length)의 비율(W/L)을 크게 해야만 한다.

이 때, 박막트랜지스터(T_D)의 폭(Width)은 게이트 전극 상에서 액티브층과 소스/드레인 전극이 오버랩(Overlap) 되는 부분이 되며, 길이(Length)는 소스-드레인의 거리가 된다.

이와 같이 상기 구동 박막트랜지스터(T_D)의 폭과 길이의 비율을 크게 하기 위해서는 구동 박막트랜지스터(T_D)의 크기가 커질 수 밖에 없으며, 상기 구동 박막트랜지스터(T_D)가 커지게 되면, 하부발광방식의 유기전계발광 소자의 개구율이 감소되는 문제점이 있다.

또한, 이로 인해 상기 유기발광층에 인가되는 전류밀도가 상대적으로 높아 상기 구동 박막트랜지스터(T_D)가 장시간 DC stress를 받게 되어 결과적으로 유기전계발광 소자 패널의 수명이 단축되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상부발광식 유기전계발광 소자의 각 어레이 소자에 구비된 구동 박막트랜지스터의 소스/드레인 전극이 다수의 수직 돌기를 구비한 빗살 형태로 구성되고, 상기 소스/드레인 전극이 각각 핑거 형태로 맞물려 형성됨으로써, 구동 박막트랜지스터(T_D)의 폭(Width)과 길이(Length)의 비율(W/L)을 크게 하여, 고정세 및 DC 신뢰성이 높은 유기전계발광 소자를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명에 의한 유기전계발광 소자는, 게이트 라인;
 상기 게이트 라인과 교차되어 화소 영역을 한정하는 데이터 라인;
 상기 데이터 라인과 평행하게 배치된 전원 라인;
 상기 게이트 라인 및 데이터 라인이 교차하는 지점에 위치하는 스위칭 박막트랜지스터 및 구동 박막트랜지스터, 스토리지 캐패시터가 구비되는 매트릭스 형상의 어레이 소자와;
 상기 어레이 소자의 화소 영역에 대응되는 유기전계발광 다이오드가 포함되며,
 상기 구동 박막트랜지스터는 게이트 전극에 적어도 하나 이상의 수직 돌기가 구비되고, 상기 게이트 전극 상부에 형성되면서 소스/드레인 전극중 어느 하나는 하나 이상의 수직돌기가 형성되어 있고, 소스/드레인 전극중 다른 하나는 두개 이상의 수직돌기가 형성되어 상기 소스/드레인 전극의 수직 돌기들이 서로 핑거(finger) 형태로 맞물려 구성됨을 특징으로 한다.
 여기서, 상기 구동 박막트랜지스터는, 하나 이상의 수직 돌기가 구비된 게이트 전극과; 상기 게이트 전극의 각 수직 돌기와 소정부분 중첩되는 하나 또는 두개 이상의 수직 돌기가 구비된 빗살(comb) 형태의 소스 전극과; 상기 소스 전극의 각 수직 돌기와 소정부분 이격되어 엇갈리게 배열되며, 상기 게이트 전극의 각 수직 돌기와 소정부분 중첩되는 하나 또는 두개 이상의 수직 돌기가 구비된 빗살(comb) 형태의 드레인 전극과; 상기 게이트 전극의 수직 돌기 및 소스/드레인 전극의 수직 돌기의 사이에 게재되는 액티브층이 포함되어 구성됨을 특징으로 한다.
 본 발명의 다른 실시예에 따른 유기전계발광 소자는,
 서로 일정한간격 이격되어 마주보며 배치된 제 1, 2 기판과;
 상기 제 1기판 내부면에 서브픽셀 단위로 형성된 박막트랜지스터를 가지는 어레이 소자와;
 상기 제 2기판 내부면에 위치하는 유기전계발광 다이오드와;
 상기 각 서브픽셀 별로 구비된 상기 박막트랜지스터와 상기 제 2전극을 전기적으로 연결시키는 전도적 연결패턴이 포함되며,
 상기 구동 박막트랜지스터는 게이트 전극에 적어도 하나 이상의 수직 돌기가 구비되고, 상기 게이트 전극 상부에 형성되면서 소스/드레인 전극중 어느 하나는 하나 이상의 수직돌기가 형성되어 있고, 소스/드레인 전극중 다른 하나는 두개 이상의 수직돌기가 형성되어 상기 소스/드레인 전극의 수직 돌기들이 서로 핑거(finger) 형태로 맞물려 구성됨을 특징으로 한다.
 여기서, 상기 유기전계발광 다이오드는, 투광성을 가지는 금속물질로 이루어진 제 1전극, 상기 서브픽셀 단위로 형성된 유기전계발광층 및 제 2전극이 순차적으로 형성되어 구성되고, 상기 유기전계발광층은 서브픽셀별로 적, 녹, 청 컬러를 띠는 발광물질이 배열된 발광층과, 상기 발광층의 상부 및 하부에 각각 위치하는 제 1 유기물질층 및 제 2 유기물질층으로 구성됨을 특징으로 한다.
 또한, 상기 구동 박막트랜지스터는, 하나 이상의 수직 돌기가 구비된 게이트 전극과; 상기 게이트 전극의 각 수직 돌기와 소정부분 중첩되는 하나 또는 두개 이상의 수직 돌기가 구비된 빗살(comb) 형태의 소스 전극과; 상기 소스 전극의 각 수직 돌기와 소정부분 이격되어 엇갈리게 배열되며, 상기 게이트 전극의 각 수직 돌기와 소정부분 중첩되는 하나 또는 두개 이상의 수직 돌기가 구비된 빗살(comb) 형태의 드레인 전극과; 상기 게이트 전극의 수직 돌기 및 소스/드레인 전극의 수직 돌기의 사이에 게재되는 액티브층이 포함되어 구성됨을 특징으로 한다.
 이 때, 본 발명은 상부발광식으로 동작하는 유기전계발광 소자에 모두 적용이 가능한 것이나, 이하에서는 그 일 실시예로서 상부발광식으로 동작하는 듀얼 패널 타입의 유기전계발광 소자를 설명하도록 한다.

- 삭제

이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다.

도 4는 본 발명의 일 실시예에 의한 듀얼 패널 타입의 유기전계발광 소자의 개략적인 단면도로, 단, 도 4의 경우 설명의 편의상 하나의 픽셀 영역을 중심으로 도시하였다.

도 4에 도시된 바와 같이, 제 1, 2 기관(110, 130)이 서로 대향 되게 배치되어 있고, 제 1, 2 기관(110, 130)의 가장자리부는 쉘패턴(140)에 의해 봉지되어 있다.

상기 제 1 기관(110)의 투명 기관(100) 상부에는 어레이 소자(120)가 형성되어 있고, 제 2 기관(130)의 투명 기관(101) 하부에는 유기전계발광 다이오드(E)가 형성되어 있다.

상기 유기전계발광 다이오드(E)는, 공통전극으로 이용되는 제 1 전극(132)과, 제 1 전극(132) 하부에 위치하는 유기전계발광층(134)과, 유기전계발광층(134) 하부에 위치하며, 서브픽셀별로 패턴화된 제 2 전극(136)으로 이루어진다.

상기 유기전계발광층(134)은 서브픽셀별로 적, 녹, 청 컬러를 띠는 발광물질이 배열된 발광층(134b)과, 발광층(134b)의 상부 및 하부에 각각 위치하는 제 1 유기물질층(134a) 및 제 2 유기물질층(134c)으로 구성된다.

상기 제 1 유기물질층(134a) 및 제 2 유기물질층(134c)을 이루는 유기전계발광 물질은 양극 및 음극의 배치구조에 따라 정해지는 것으로, 한 예로, 제 1 전극(132)을 음극, 제 2 전극(136)을 양극으로 구성하는 경우에는 제 1 유기물질층(134a)은 전자주입층, 전자수송층을 포함하며, 제 2 유기물질층(134c)은 정공주입층, 정공수송층을 포함할 수 있다.

그리고, 상기 어레이 소자(120)는 박막트랜지스터(T) 및 박막트랜지스터(T)와 연결되는 제 2 전극 연결패턴(112)으로 구성되는데, 제 2 전극 연결패턴(112)은 박막트랜지스터(T)를 이루는 전극패턴의 연장패턴으로 이루어지거나 또는 별도의 금속물질을 패턴화하여 이루어질 수 있으며, 상기 박막트랜지스터(T)는 유기전계발광 다이오드(E)와 연결되는 구동용 박막트랜지스터에 해당된다.

그리고, 상기 제 2 전극(136)과 제 2 전극 연결패턴(112) 사이 구간에는 전술한 쉘패턴(140)과 평행한 방향으로 제 2 전극(136)과 박막트랜지스터(T)를 연결시키는 전기적 연결패턴(114)이 형성되어 있다.

상기 전기적 연결패턴(114)은 전도성 물질에서 선택되며, 바람직하기로는 연성을 띠고, 비저항값이 낮은 금속물질에서 선택되는 것이 바람직하며, 이러한 전기적 연결패턴(114)은 제 1 기관(110)의 어레이 소자(120) 공정에서 형성할 수 있다.

그리고, 상기 유기전계발광층(134)에서 발광된 빛을 제 2 기관(130) 쪽으로 발광시키는 상부발광방식인 것을 특징으로 한다.

이에 따라, 상기 제 1 전극(132)은 투광성 또는 반투광성을 가지는 도전성 물질에서 선택되며, 한 예로 상기 제 1 전극(132)을 음극으로 구성하는 경우 일함수값이 낮은 금속물질에서 선택되는 것이 바람직하다.

이를 위하여, 상기 유기전계발광층(134)과 접하는 음극용 제 1 전극(132)의 물질층은 일함수값이 낮은 반투명 금속물질을 박막으로 형성하는 것이 바람직하다.

또한, 상기 반투명 금속물질로는 알루미늄(Al), 마그네슘(Mg)과 알루미늄의 합금(이하, 마그네슘:알루미늄으로 표시함), 알루미늄:리튬(Li), 알루미늄:벤조네이트(benzonate) 중 어느 하나에서 선택되는 것이 바람직하다.

그리고, 상기 제 2 전극(136)은 하부로 발광되는 빛의 반사에 의해 보상간섭이 발생하는 것을 방지하기 위해, 불투명 금속물질에서 선택되는 것이 바람직하다.

또한, 상기 제 1, 2 기관(110, 130)간의 이격공간(I)은 질소(N₂) 분위기를 이루는 것이 바람직하다. 도면으로 제시하지 않았지만, 상기 어레이 소자(120)는 상기 제 1기관(110)의 어레이 영역 상에서 매트릭스 형태로 구비되어 있으며, 이는 게이트 라인과, 상기 게이트 라인에 교차하고, 서로 일정간격 이격되는 데이터 라인 및 전원 라인과, 상기 게이트 라인 및 데이터 라인이 교차하는 지점에 위치하는 스위칭 박막트랜지스터 그리고, 구동 박막트랜지스터 및 스토리지 캐패시터를 포함한다.

본 발명의 경우 상기 어레이 소자에 구비된 스위칭 및 구동 박막트랜지스터가 비정질 실리콘의 액티브층을 구비하고, 상기 구동 박막트랜지스터의 성능, 즉 이동도 등을 향상시키기 위해 구동 박막트랜지스터의 소스/드레인 전극을 다수의 수직 돌기를 구비한 빗살(comb) 형태로 구성하고, 상기 소스/드레인 전극이 각각 핑거 형태로 맞물리도록 형성함을 그 특징으로 한다. 이는 이하 도 5 내지 도 7을 통해 보다 상세히 설명하도록 한다.

앞서 설명한 상기 듀얼 패널 타입의 유기전계발광 소자는, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 구성하기 때문에, 기존의 어레이 소자와 유기전계발광 다이오드 소자를 동일 기판 상에 형성하는 경우와 비교할 때, 어레이 소자의 수율에 유기전계발광 다이오드 소자가 영향을 받지 않아 각 소자의 생산관리 측면에서도 양호한 특성을 나타낼 수 있다.

또한, 전술한 조건 하에서 상부발광방식으로 화면을 구현하게 되면, 개구율을 염두하지 않고 박막트랜지스터를 설계할 수 있어 어레이 공정효율을 높일 수 있고, 고개구율/고해상도 제품을 제공할 수 있으며, 듀얼 패널(dual panel) 타입으로 유기전계발광 다이오드 소자를 형성하기 때문에, 기존의 상부발광방식보다 외기를 효과적으로 차단할 수 있어 제품의 안정성을 높일 수 있다.

또한, 종래의 하부발광방식 제품에서 발생되었던 박막트랜지스터 설계에 대해서도 유기전계발광 다이오드 소자와 별도의 기판에 구성함에 따라, 박막트랜지스터 배치에 대한 자유도를 충분히 얻을 수 있고, 유기전계발광 다이오드 소자의 제 1 전극을 투명 기판 상에 형성하기 때문에, 기존의 어레이 소자 상부에 제 1 전극을 형성하는 구조와 비교해볼 때, 제 1 전극에 대한 자유도를 높일 수 있는 장점을 가지게 된다.

도 5는 본 발명에 의한 유기전계발광 소자에 포함되는 어레이 영역의 한 어레이 소자를 개략적으로 도시한 평면도이다.

도 5는 도 4에 도시된 제 1기판(110) 상의 하나의 어레이 소자 즉, 박막트랜지스터(T) 및 박막트랜지스터(T)와 연결되는 제 2 전극 연결패턴(112)으로 구성된 어레이 소자에 대한 평면도이다.

본 발명에 의한 듀얼 패널 타입 유기전계발광 소자의 어레이 소자는, 제 1기판(도 4의 110) 즉, 하부 기판 상에 정의된 다수의 화소(P)마다 스위칭 소자(T_S)와 구동 소자(T_D)와 스토리지 캐패시터(storage capacitor : C_{ST})가 구성되며, 동작의 특성에 따라 상기 스위칭 소자(T_S) 또는 구동 소자(T_D)는 각각 하나 이상의 박막트랜지스터의 조합으로 구성될 수 있다.

이 때, 상기 하부 기판 상에 정의된 다수의 화소는 제 2 기판 즉, 상부기판에 형성된 제 1전극(도 4의 132), 유기전계발광층(도 4의 134), 제 2전극(도 4의 136)에 대응되는 것으로, 상기 제 1기판 상에는 상기 다수의 화소 영역에 상기 상부기판의 제 2전극과 연결되는 제 2전극 연결패턴(도 4의 112)이 형성되어 있음을 특징으로 한다.

또한, 상기 상부기판의 제 2전극(136)과, 하부기판의 제 2전극 연결패턴(112)은 그 사이에 형성된 전기적 연결패턴(도 4의 114)에 의해 전기적으로 연결된다.

여기서, 도 6은 상기 하부기판 상에 형성된 어레이 소자에 대한 평면도이며, 이는 도시한 바와 같이, 기판 상에 서로 소정 간격 이격 하여 일 방향으로 구성된 게이트 라인(232)과, 상기 게이트 라인(232)과 절연막을 사이에 두고 서로 교차하는 데이터 라인(234)이 구성된다.

동시에, 상기 데이터 라인(234)과 평행하게 이격된 위치에 일 방향으로 전원 라인(235)이 구성된다.

상기 스위칭 박막트랜지스터(T_S)와 구동 박막트랜지스터(T_D)로 각각 게이트 전극(236,238)과 액티브층(미도시)과 소스 전극(246,248) 및 드레인 전극(250,252)을 포함하는 박막트랜지스터가 사용된다.

전술한 구성에서, 상기 스위칭 박막트랜지스터(T_S)의 게이트 전극(236)은 상기 게이트 라인(232)과 연결되고, 상기 소스 전극(246)은 상기 데이터 라인(234)과 연결된다.

상기 스위칭 박막트랜지스터(T_S)의 드레인 전극(250)은 상기 구동 박막트랜지스터(T_D)의 게이트 전극(238)과 콘택홀(254)을 통해 연결된다.

상기 구동 박막트랜지스터(T_d)의 소스 전극(248)은 상기 전원 라인(235)와 연결되어 있으며, 상기 구동 박막트랜지스터(T_d)의 드레인 전극(252)은 제 2전극 연결패턴(216)과 콘택홀(256)을 통해 접촉하도록 구성된다.

또한, 상기 제 2 전극 연결패턴(216)은 그 상부에 형성된 전기전 연결패턴(260)에 의해 제 2기판, 즉 상부기판에 형성된 제 2전극(미도시)과 전기적으로 연결된다.

이 때, 상기 박막트랜지스터(T_s , T_d)는 비정질 실리콘을 통해 액티브 층(미도시)을 형성하는 것으로, 이 경우 상기 비정질 실리콘의 이동도는 결정질 실리콘에 비해 $0.5 \sim 1\text{cm}^2/\text{Vsec}$ 정도 낮기 때문에, 유기 발광층을 구동시키기 위해서는 구동 박막트랜지스터(T_d)의 폭(Width)과 길이(Length)의 비율(W/L)을 크게 해야만 한다.

이 때, 박막트랜지스터(T_D)의 폭(Width)은 게이트 전극 상에서 액티브층과 소스/ 드레인 전극이 오버랩(Overlap) 되는 부분이 되며, 길이(Length)는 소스-드레인의 거리가 된다.

본 발명은 상기 구동 박막트랜지스터(T_d)에 있어서, 소스/ 드레인 전극(248, 252)을 다수의 수직 돌기를 구비한 빗살(comb) 형태로 구성하고, 상기 소스/ 드레인 전극(248, 252)이 각각 핑거 형태로 맞물리도록 형성함으로써, 구동 박막트랜지스터(T_D)의 폭(Width)과 길이(Length)의 비율(W/L)을 크게 하여, 고정세 및 DC 신뢰성이 높은 유기전계발광 소자를 제공하도록 한다.

이하 도 6 내지 도 7을 참조하여 상기 구동 박막트랜지스터의 구조를 보다 상세히 설명하도록 한다.

도 6은 도 5에 도시된 구동 박막트랜지스터의 일 실시예에 대한 확대도이다.

도 6을 참조하면, 본 발명의 일 실시예에 의한 구동 박막트랜지스터는 다수의 수직 돌기(638a)이 구비된 게이트 전극(638)과; 상기 게이트 전극의 각 수직 돌기(638a)과 소정부분 중첩되는 다수의 수직 돌기(648a)이 구비된 소스 전극(648)과; 상기 소스 전극의 각 수직 돌기(648a)과 소정부분 이격되어 엇갈리게 배열되며, 상기 게이트 전극의 각 수직 돌기(638a)과 소정부분 중첩되는 다수의 수직 돌기(652a)이 구비된 드레인 전극(652)과; 상기 게이트 전극의 수직 돌기(638a) 및 소스/ 드레인 전극의 수직 돌기(648a, 652a)의 사이에 게재되는 액티브층(600)으로 구성되어 있다.

도 6에서는 상기 게이트 전극의 수직 돌기(638a)이 4개 형성되어 있고, 소스 전극의 수직 돌기(648a)이 3개 형성되어 있으며, 드레인 전극의 수직 돌기(652a)이 2개 형성되어 있으나, 이는 하나의 실시예로 상기 수직 돌기의 수는 이에 한정되지 않는다.

또한, 상기 액티브층(600)은 상기 수직 돌기들(638a, 648a, 652a)을 모두 포함하는 영역에 대해 상기 게이트 전극(638, 638a)과 소스/ 드레인 전극(648, 648a, 652, 652a) 사이의 층에 게재되어 있다.

상기와 같은 박막트랜지스터 구조에 의할 경우 상기 박막트랜지스터의 폭(W)은, 게이트 전극(638, 638a) 상에서 액티브층(600)과 소스/ 드레인 전극(648, 648a, 652, 652a)이 오버랩(Overlap) 되는 영역에 해당하기 때문에 종래의 구조보다 훨씬 커지게 된다.

즉, 상기 소스 전극(648, 648a)과 게이트 전극(638, 638a)의 중첩부분(610) 및 드레인 전극(652, 652a)과 게이트 전극(638, 638a)의 중첩부분(620)의 하부 전체에 액티브층(600)이 형성되어 있으므로, 상기 박막트랜지스터의 폭(W)은 도 6의 경우 3배 이상 증가하게 되는 것이다.

이에 따라 상기 구조에 의한 박막트랜지스터의 경우 그 폭(Width)과 길이(Length) 비율(W/L)이 커지게 되어, 결과적으로 이동도 등이 향상되므로 박막트랜지스터의 성능이 좋아지게 된다.

또한, 상기 소스/ 드레인 전극(648, 652)이 각각 다수개의 수직 돌기(648a, 652a)을 구비하고 있고, 상기 수직 돌기들(648a, 652a)이 핑거 형태로 맞물려 구성되어 있기 때문에 열적 분산 효과 및 전류 분산 효과를 유지시킬 수 있어 DC stress에 둔감해 짐으로써, 그 수명이 연장된다는 장점이 있다.

이와 같은 박막트랜지스터의 구성은 하부발광식 유기전계발광 소자의 경우 개구율 감소를 초래할 수 있으나, 본 발명에 의한 유기전계발광 소자는 상부발광식으로 구동되므로 이는 문제되지 않는다.

도 7은 도 5에 도시된 구동 박막트랜지스터의 다른 실시예에 대한 확대도이다.

단, 도 6과 동일한 구성요소의 경우 동일한 도면부호를 사용하며, 그에 대한 설명은 생략하도록 한다.

도 7을 참조하면, 이는 도 6에 도시된 박막트랜지스터 구조와 비교할 때 액티브층(700)이 상기 수직 돌기들(638a, 648a, 652a)들을 모두 포함하는 영역에 대해 형성되지 않고, 일정한 폭을 갖으며, 일정한 간격을 두고 다수 배열된 형태로 구성되어 있음을 그 특징으로 한다.

이 때, 도 7에 도시된 박막트랜지스터의 폭(W)은, 게이트 전극(638, 638a) 상에서 액티브층(600)과 소스/드레인 전극(648, 648a, 652, 652a)이 오버랩(Overlap) 되는 영역에 해당하기 때문에, 도 6에 도시된 박막트랜지스터와 동일한 크기로 제조할 경우에는 감소될 수 있다.

그에 따라 도 6에 도시된 박막트랜지스터의 폭(W)과 동일한 박막트랜지스터를 형성하기 위해서는 전체적인 크기가 좀 더 커야되는 것이다.

그러나, 도 7에 도시된 박막트랜지스터의 경우 액티브층(700)이 다수개로 분리되어 있기 때문에, 상기 액티브층(700)을 통한 신호의 이동도는 도 6에 도시된 박막트랜지스터보다 더 효율적이라 할 수 있다.

결과적으로 도 7에 도시된 박막트랜지스터의 구조를 갖는 경우에도 종래의 박막트랜지스터보다 그 성능이 향상되고, 또한, 상기 소스/드레인 전극(648, 652)이 각각 다수개의 수직 돌기(648a, 652a)를 구비하고 있고, 상기 수직 돌기들(648a, 652a)이 핑거 형태로 맞물려 구성되어 있기 때문에 열적 분산 효과 및 전류 분산 효과를 유지시킬 수 있어 DC stress에 둔감해 짐으로써, 그 수명이 연장된다는 장점이 있다.

발명의 효과

본 발명에 의한 유기전계발광 소자에 의하면, 제조 및 생산성이 뛰어난 비정질 실리콘 박막트랜지스터를 각 어레이 소자의 구동 박막트랜지스터로 사용하면서, 상기 구동 박막트랜지스터의 소스/드레인 전극이 다수의 수직 돌기를 구비한 빗살 형태로 구성하고 이를 각각 핑거 형태로 맞물려 형성함으로써, 구동 박막트랜지스터(T_D)의 폭(Width)과 길이(Length)의 비율(W/L)을 크게 하여, 고정세 및 DC 신뢰성이 높은 유기전계발광 소자를 제공할 수 있다는 장점이 있다.

도면의 간단한 설명

도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 픽셀 구조를 나타낸 회로도.

도 2는 종래의 하부발광방식 유기전계발광 소자에 대한 개략적인 단면도.

도 3은 도 1 및 2에 도시된 유기전계발광 소자에 포함되는 박막트랜지스터 어레이부의 한 화소를 개략적으로 도시한 평면도.

도 4는 본 발명의 일 실시예에 의한 듀얼 패널 타입의 유기전계발광 소자의 개략적인 단면도.

도 5는 본 발명에 의한 유기전계발광 소자에 포함되는 어레이 영역의 한 어레이 소자를 개략적으로 도시한 평면도.

도 6은 도 5에 도시된 구동 박막트랜지스터의 일 실시예에 대한 확대도.

도 7은 도 5에 도시된 구동 박막트랜지스터의 다른 실시예에 대한 확대도.

<도면의 주요 부분에 대한 부호의 설명>

638 : 게이트 전극 638a : 게이트 전극의 수직 돌기

648 : 소스 전극 648a : 소스 전극의 수직 돌기

652 : 드레인 전극 652a : 드레인 전극의 수직 돌기

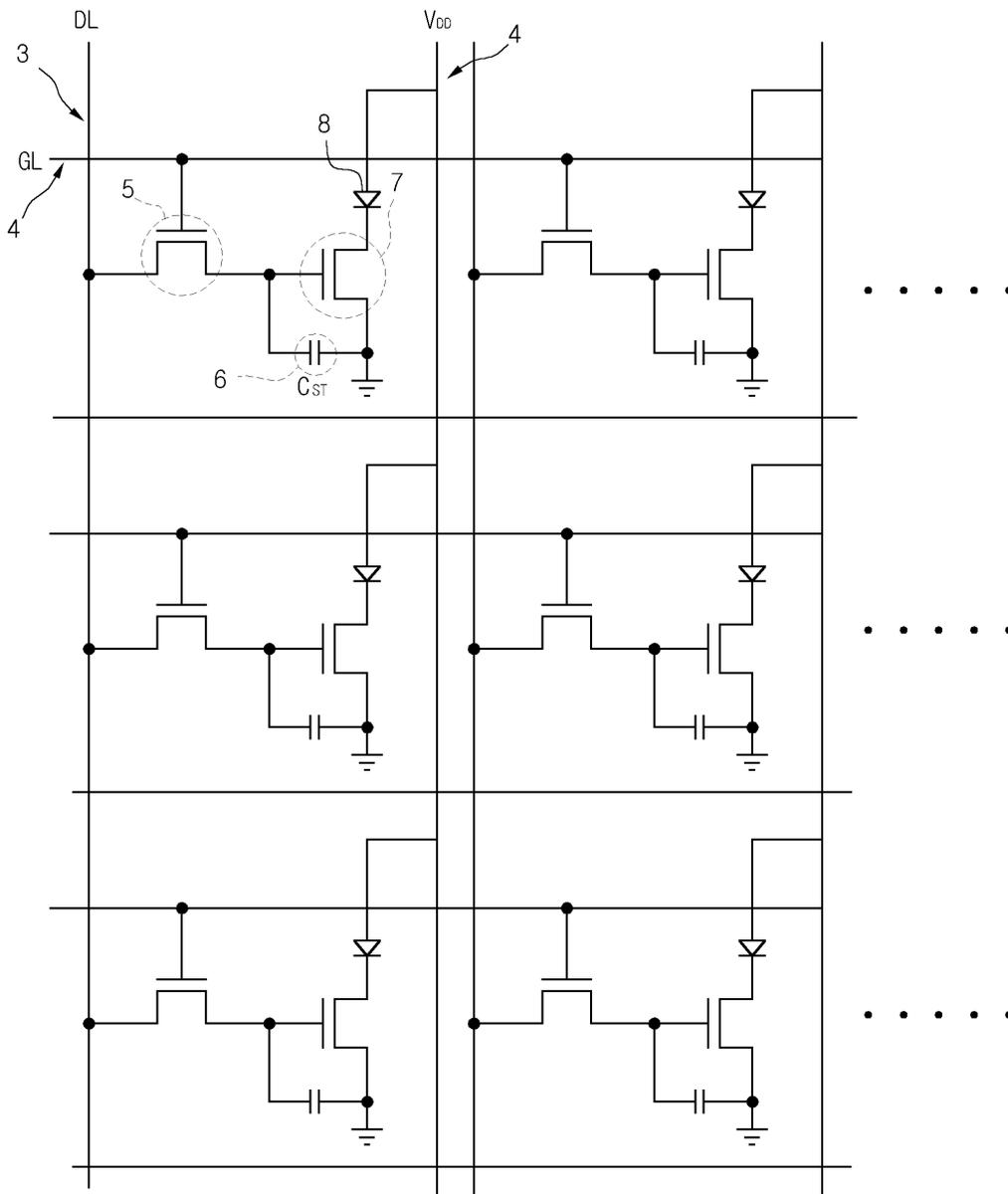
610 : 소스 전극과 게이트 전극의 중첩 영역

620 : 드레인 전극과 게이트 전극의 중첩 영역

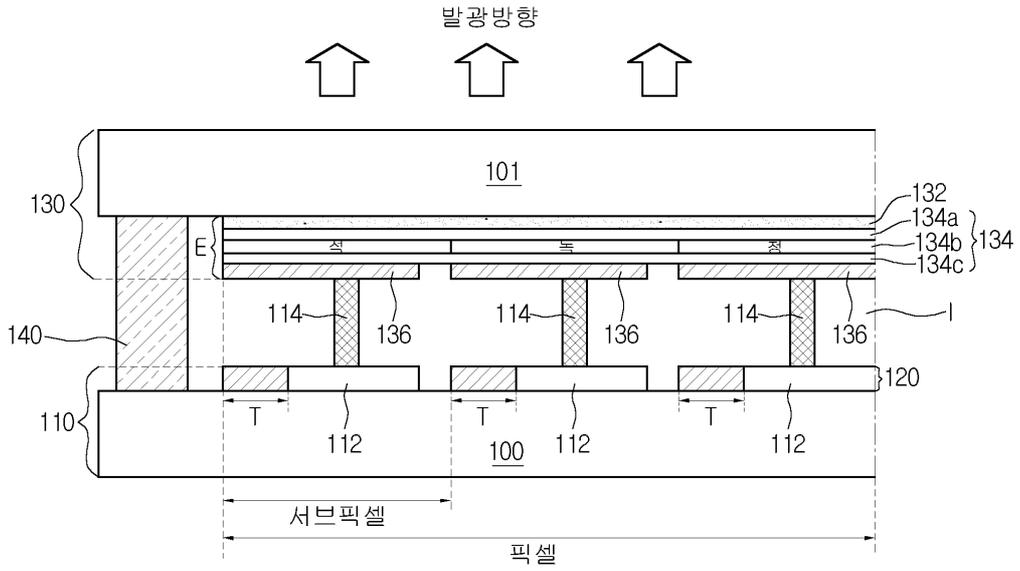
600, 700 : 액티브 층

도면

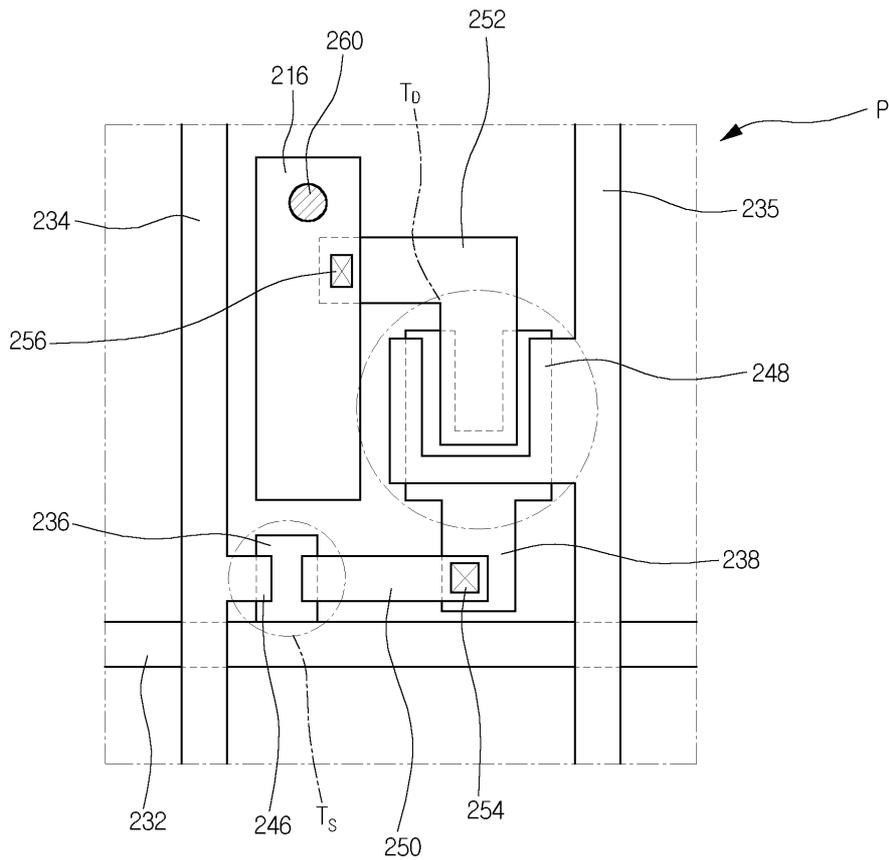
도면1



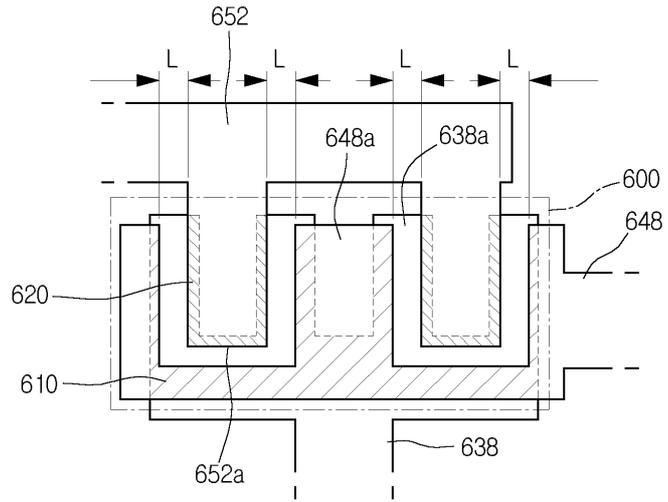
도면4



도면5



도면6



도면7

