

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4939839号
(P4939839)

(45) 発行日 平成24年5月30日(2012.5.30)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.	F I
HO 1 L 29/872 (2006.01)	HO 1 L 29/48 F
HO 1 L 29/47 (2006.01)	HO 1 L 29/48 D
	HO 1 L 29/48 E

請求項の数 3 (全 16 頁)

(21) 出願番号	特願2006-150266 (P2006-150266)	(73) 特許権者	000003078
(22) 出願日	平成18年5月30日(2006.5.30)		株式会社東芝
(65) 公開番号	特開2007-324218 (P2007-324218A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成19年12月13日(2007.12.13)	(74) 代理人	100075812
審査請求日	平成20年3月26日(2008.3.26)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 半導体整流素子

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板上に形成された第1導電型のドリフト層と、
前記ドリフト層の表面部分において、互いに離間して形成された複数の第2導電型の電界緩和層と、

前記ドリフト層の表面上にショットキーコンタクトを形成するようにして接触されたショットキー電極と、

前記半導体基板の下方にオーミックコンタクトを形成するようにして接触されたオーミック電極と

を備え、前記ショットキー電極は、

隣り合う前記電界緩和層の間に位置し、かつ前記ドリフト層の表面上に接触するようにして形成された第1の領域と、前記ショットキー電極のうち前記第1の領域を除く第2の領域とを有し、前記第1の領域は、前記第2の領域よりバリアハイトが高い導電性材料によって形成され、

前記ドリフト層の表面部分において互いに離間して形成された複数の溝をさらに備え、

前記電界緩和層は、前記溝の下方に形成され、

前記ショットキー電極は、前記溝を埋め込むように前記ドリフト層の表面上にショットキーコンタクトを形成するようにして接触され、

前記ショットキー電極は、前記ドリフト層に形成された前記溝の側壁に接触するように、前記第2の領域とは異なる導電性材料によって形成された第3の領域をさらに有し、

前記第2の領域におけるバリアハイトと前記第3の領域におけるバリアハイトとの差分は、前記第2の領域と前記第3の領域とが同一の導電性材料によって形成されたと仮定した場合における、前記第2の領域におけるバリアハイトと前記第3の領域におけるバリアハイトとの差分より小さい

ことを特徴とする半導体整流素子。

【請求項2】

前記第1の領域は、

その端部が、隣り合う前記電界緩和層の端部より内側に位置するように形成されたことを特徴とする請求項1記載の半導体整流素子。

【請求項3】

前記導電性材料は、金属である

ことを特徴とする請求項1記載の半導体整流素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体整流素子に関する。

【背景技術】

【0002】

ダイオードの耐圧は、逆方向にバイアスを印加した場合に流れる逆方向電流の値を決定し、その電流が流れたときの電圧の値として決められる。

【0003】

p i nダイオードの場合、p / n接合に逆方向バイアスが掛かり、空乏層からキャリアが生成し、なだれ（アバランシェ）増倍で発生した電流が、決定された逆方向電流の値を超えた電圧が耐圧（アバランシェ電圧）となるが、この耐圧は、ドリフト層濃度とドリフト層厚さによって決められる。

【0004】

一方、ショットキーダイオードに逆方向バイアスを印加した場合、ショットキー電極にかかる電界により電極からの漏れ電流が増大し、アバランシェ電圧を迎えるより前に逆方向電流が増大し、耐圧がアバランシェで決定される耐圧よりも下がってしまう問題がある。

【0005】

この問題を解決するひとつの方法として、ショットキー電極のバリアハイトを上げる方法があるが、この場合、順方向にバイアスを印加した際の立ち上がり電圧も上がってしまい、オン電圧が上昇してしまう問題があった。

【0006】

別の解決手段として、ショットキー電極近傍にドリフト層とは逆導電型の領域を配置し、ショットキー電極に掛かる電界を緩和し、リーク電流を抑制するJBS（ジャンクション・バリア・ショットキーダイオード）という構造がある。（例えば、特許文献1参照）

【0007】

以下、JBSに関する文献名を記載する。

【特許文献1】特開2002-100784号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、かかるJBS構造の場合、電極に掛かる電界を充分抑制するためには、p型領域間隔を狭める必要があるが、コンタクト面積が小さくなることでコンタクト抵抗が上昇し、さらに、隣り合ったp型領域間で挟搾された部分のドリフト層抵抗（JFET抵抗）が上昇し、オン電圧が上昇してしまう問題があった。

【0009】

10

20

30

40

50

さらにこのリーク電流は、素子の動作温度の上昇にともない、熱電子放出が顕著になり、耐圧を低下させてしまう問題がある。

【0010】

本発明は、順方向バイアス印加時におけるオン抵抗の増加を抑制しながら、逆方向バイアス時におけるリーク電流を抑制して耐圧の低下を抑制することができる半導体整流素子を提供する。

【課題を解決するための手段】

【0011】

本発明の一態様による半導体整流素子は、
第1導電型の半導体基板上に形成された第1導電型のドリフト層と、
前記ドリフト層の表面部分において、互いに離間して形成された複数の第2導電型の電界緩和層と、

前記ドリフト層の表面上にショットキーコンタクトを形成するようにして接触されたショットキー電極と、

前記半導体基板の下方にオーミックコンタクトを形成するようにして接触されたオーミック電極と

を備え、前記ショットキー電極は、

隣り合う前記電界緩和層の間に位置し、かつ前記ドリフト層の表面上に接触するようにして形成された第1の領域と、前記ショットキー電極のうち前記第1の領域を除く第2の領域とを有し、前記第1の領域は、前記第2の領域よりバリアハイトが高い導電性材料によって形成され、

前記ドリフト層の表面部分において互いに離間して形成された複数の溝をさらに備え、
前記電界緩和層は、前記溝の下方に形成され、

前記ショットキー電極は、前記溝を埋め込むように前記ドリフト層の表面上にショットキーコンタクトを形成するようにして接触された

ことを特徴とする。

【発明の効果】

【0013】

本発明の半導体整流素子によれば、順方向バイアス印加時におけるオン抵抗の増加を抑制しながら、逆方向バイアス時におけるリーク電流を抑制して耐圧の低下を抑制することができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について図面を参照して説明する。

【0015】

(1) 第1の実施の形態

図1に、本発明の第1の実施の形態による半導体整流素子10の構成を示す。この半導体整流素子10では、n型の半導体基板20上に、当該半導体基板20より不純物濃度が低い、n型ドリフト層30が形成され、当該ドリフト層30の表面部分には、p型の電界緩和層40が所定間隔毎に順次形成されている。なお、この電界緩和層40は、逆方向バイアス印加時に、ショットキー電極50に印加される電界を緩和するために設けられる。

【0016】

このドリフト層30の表面上には、ショットキーコンタクトを形成するようにして、ショットキー電極50が形成されている。このショットキー電極50は、例えばTiSi₂(チタンシリサイド)からなるTiSi₂領域50Aと、当該TiSi₂よりバリアハイト(障壁高さ)が高い金属などの導電性材料である、例えばTi(チタン)からなるTi領域50Bとを有し、このTi領域50Bは、隣り合う電界緩和層40の間に位置するようにして、ドリフト層30上に形成される。なお、この場合、領域50Bは、Tiではなく、他の種々の材料によって形成されることができ、要は、ショットキー電極50のうち少なくとも領域50Aがショットキーコンタクトを形成すれば良い。

【0017】

因みに、電界緩和層40の端部とTi領域50Bの端部との間の距離Lは、例えば5 μm以下であることが望ましく、特に高電界が印加され始める1 μmであることが望ましい。

【0018】

ここで、図29に、ドリフト層30のキャリア密度が $5 \times 10^{15} \text{ cm}^{-3}$ の場合における、当該ドリフト層30の電界強度分布を示し、図30に、ドリフト層30のキャリア密度が $5 \times 10^{16} \text{ cm}^{-3}$ の場合における、当該ドリフト層30の電界強度分布を示す。なお、図中に示す電界強度の単位はV/cmである。これら図29及び図30に示すように、電界緩和層40から約1 μm以上離れた位置で高電界領域が発生する。

10

【0019】

なお、半導体基板20の下方には、オーミックコンタクトを形成するようにして、オーミック電極60が形成されている。

【0020】

図2に示すように、この半導体整流素子10に逆バイアスを印加すると、電界緩和層40からドリフト層30側に空乏層70が伸びてくる。

【0021】

図3に示すように、この場合、リーク電流80が最も流れやすい部分である、隣り合う電界緩和層40の間のショットキー電極(すなわちTi領域50B)が、他の部分のショットキー電極(すなわちTiSi₂領域50A)よりもバリアハイトが高くなっていることにより、リーク電流80を抑制することができ、耐圧を向上させることができる。

20

【0022】

また、電界緩和層40の間の高バリアハイト電極(すなわちTi領域50B)が備わっていることで、電界緩和層40の間隔を狭める必要がなく、オン抵抗の上昇を抑制することができる。

【0023】

本素子の場合、順方向にバイアスを印加すると、0.6VあたりからTiSi₂領域50Aから電流が流れ始め、さらに0.9VあたりからTi領域50Bから電流が流れ始める。すなわち、Ti領域50Bは逆方向バイアス印加時には耐圧向上の役割を果たすが、順方向バイアス印加時には、順方向電流を流す役割を果たしている。

30

【0024】

ここで図4に、比較例として、例えばTiSi₂のみからなるショットキー電極110を有する半導体整流素子100を示す。なお、図1に示した要素と同一のものには同一の符号を付して説明を省略する。

【0025】

図5に示すように、かかる半導体整流素子100に逆バイアスを印加した場合、電界緩和層40からドリフト層30側に空乏層120が伸びてくる。隣り合う電界緩和層40から伸延した空乏層120がお互いくっつくためには、さらに半導体整流素子100に大きな逆バイアスを印加する必要がある。しかし、図6に示すように、比較例の半導体整流素子100の場合、隣り合う電界緩和層40から伸延する空乏層120がお互いくっつかない状態で大きな逆バイアスが印加されると、ショットキー電極110の空乏層120で保護されない部分に強い電界が掛かり、リーク電流130が流れやすくなってしまふ。そのため、耐圧を向上させるためには電界緩和層40の間隔を狭める必要があり、これによりキャリア(電子)の導通面積が狭くなるため、オン抵抗が上昇してしまう問題がある。

40

【0026】

また、隣り合う電界緩和層40から伸延した空乏層が完全にくっついた状態でも、半導体整流素子100の動作温度を上昇させると、隣り合う電界緩和層40の中心近傍からリーク電流が流れ始める。これは、隣り合う電界緩和層40から伸延した空乏層がお互いくっつく中心部分のポテンシャルが、電界緩和層40近傍の空乏層のポテンシャルよりも低

50

く、熱により励起したエレクトロンがその障壁を越えやすくなることにより、熱電子放出が増大し、リーク電流が流れてしまうためである。

【0027】

ここで図7～図13に、本発明の第1の実施の形態による半導体整流素子の製造方法を示す。なお、ここでは、半導体材料として4H-SiC(シリコンカーバイド)基板を用いるが、材料はこれに限らず、Si、ダイヤモンド、GaN、3C-SiC、6H-SiCなど、種々の半導体材料を使用することが可能である。

【0028】

図7に示すように、まず、低抵抗のn型のSiC基板200を準備し、このSiC基板200上に、ドリフト層となる不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ のn型のエピタキシャル層210を10 μm 成長させる。

10

【0029】

基板濃度と厚さに関しては、目的設計に依存する。例えば4H-SiC(0001)のユニポーラ素子を作る際、その目標耐圧 $V[\text{V}]$ とドリフト層最適濃度 $N(\text{cm}^{-3})$ の関係は、 $N = 1.70 \times 10^{20} \times V^{-1.303}$ で表され、目標耐圧 V とドリフト層最適厚さ $W(\text{cm})$ の関係は $W = 1.94 \times 10^{-7} \times V^{1.1517}$ で表される。

【0030】

同様に、4H-SiC(11-20)のユニポーラ素子を作る際の目標耐圧 $V[\text{V}]$ とドリフト層最適濃度 $N(\text{cm}^{-3})$ の関係は $N = 8.00 \times 10^{19} \times V^{-1.303}$ 、ドリフト層最適厚さ $W(\text{cm})$ の関係は $W = 2.82 \times 10^{-7} \times V^{1.1517}$ であり、6H-SiC(0001)のユニポーラ素子を作る際の目標耐圧 $V[\text{V}]$ とドリフト層最適濃度 $N(\text{cm}^{-3})$ の関係は $N = 2.62 \times 10^{20} \times V^{-1.323}$ 、ドリフト層最適厚さ $W(\text{cm})$ の関係は $W = 1.57 \times 10^{-7} \times V^{1.1617}$ で表される。

20

【0031】

ここで、4H、6HとはSiC単結晶の多形を表しており、4Hは4回周期の六方晶、6Hは6回周期の六方晶である。また、(0001)および(11-20)は結晶の方位を表している。例えば、1200Vを目標耐圧とした時の厚さは6.8 μm 、濃度は $1.7 \times 10^{16} (\text{cm}^{-3})$ となる。

【0032】

また、ドリフト層厚さとは、低抵抗基板表面に成膜されたエピタキシャル層底部から、主接合部分までの厚さを示しており、本実施の形態の場合ではエピタキシャル層底部から電界緩和層界面までの厚さとなる。そのため、ドリフト層厚さと電界緩和層厚さとを加算した厚さが、要求されるエピタキシャル層厚さとなる。

30

【0033】

さらに、一般的には目標耐圧を達成する素子の歩留まりの向上と、順方向特性および動特性の向上を狙い、ドリフト層厚を最適ドリフト層厚の $\pm 50\%$ (より好ましくは $\pm 20\%$)、ドリフト層濃度を最適ドリフト層濃度の $\pm 50\%$ (より好ましくは $\pm 20\%$)の範囲で最適化をはかる。

【0034】

エピタキシャル層210が形成されたSiC基板200を、硫酸と過酸化水素水の混酸で、SiC基板200およびエピタキシャル層210に付着した有機汚れを除去し、純水によりリンスする。続いて、希塩酸と過酸化水素水との混酸で、SiC基板200およびエピタキシャル層210に付着した金属不純物を除去し、純水によりリンスする。そして、最後に希フッ酸によりSiC基板200およびエピタキシャル層210の表面の自然酸化膜を除去し、純水によりリンスする。

40

【0035】

その後、SiC基板200およびエピタキシャル層210を、酸素雰囲気、900～1200で5分から4時間加熱し、エピタキシャル層210の表面を酸化し犠牲酸化膜(図示せず)を形成する。本実施形態では1100において2時間加熱する。この犠牲酸化膜は後の工程で形成されるイオン注入用マスクとなる酸化膜との密着性をあげるた

50

めに形成するものであり、さらに、次工程のメタルマスクにより、基板表面が金属で汚染されるのを防ぐ役割がある。

【0036】

次に、エピタキシャル層210の上面に、犠牲酸化膜を介してイオン注入用マスクとなるメタル層(図示せず)を成膜し、このメタル層上にレジスト(図示せず)を塗布し、このレジストを、フォトリソグラフィ技術を用いてパターニングすることにより、終端構造となるリサーフ領域およびガードリング領域に対応する領域に開口を有するレジストパターンを形成する。

【0037】

図8に示すように、このレジストパターンをマスクとして、メタル層をパターニングし、イオン注入用のマスクを形成する。このイオン注入マスクを用いて、総ドーズ量 $1.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{15} \text{ cm}^{-2}$ 、最大加速エネルギー $50 \text{ keV} \sim 500 \text{ keV}$ の条件でアルミイオンの多段注入を行い、リサーフ領域220、ガードリング領域230を形成する。本実施形態では、総ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ 、最大加速エネルギー 300 keV の条件で、リサーフ領域220、ガードリング領域230を形成している。その後、硫酸と過酸化水素水の混酸で、基板表面に付着したレジストなどの有機物と、イオン注入マスクを除去し、純水によりリンスする。

【0038】

次に、反応性スパッタやCVD(Chemical Vapor Deposition)などを用いて、犠牲酸化膜上にイオン注入マスクとなる酸化膜を数 μm 成膜する。その後、この酸化膜上にレジストを塗布し、レジストをパターニングすることにより、レジストパターンを形成する。

【0039】

図9に示すように、この酸化膜マスクを用いて、エピタキシャル層210の表面に最大加速エネルギー $100 \text{ keV} \sim 2 \text{ MeV}$ 、例えば 1 MeV でAlイオンの多段注入をし、p型の電界緩和層240を形成する。この電界緩和層240は、深さが $1 \mu\text{m}$ 程度でAl濃度は $1 \times 10^{18} \text{ cm}^{-2} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度、例えば $1 \times 10^{20} \text{ cm}^{-3}$ のボックスプロファイルを有するように形成する。

【0040】

次に、SiC基板200の裏面に総ドーズ量 $5 \times 10^{13} \text{ cm}^{-2} \sim 1 \times 10^{17} \text{ cm}^{-2}$ 、例えば $7 \times 10^{15} \text{ cm}^{-2}$ 、最大加速エネルギー 200 keV で、P(リン)イオンの多段注入を行い、オーミック電極用のオーミックコンタクト領域(図示せず)を形成する。

【0041】

次に、基板を、硫酸と過酸化水素水の混酸で洗浄し、その他の金属、基板に付着したレジストを除去した後、純水によりリンスする。ついで、希塩酸と過酸化水素水の混酸で基板に付着した微量の金属不純物を除去し、純水によりリンスする。そして、最後に希フッ酸により基板表面の酸化膜マスクを除去し、純水によりリンスする。なお、エピタキシャル層210の表面に形成された犠牲酸化膜も同時に除去される。

【0042】

このようにして洗浄が終了したSiC基板200を誘導加熱型の活性化アニール炉に導入し、到達真空度 $1 \times 10^{-4} \text{ Pa}$ まで真空にした後、不活性ガスであるArで満たし、 $1500 \sim 1800$ 、5分~2時間の活性化アニールを行う。ここでは、 1600 、5分間の活性化アニールを行う。これによりイオン注入領域が活性化される。

【0043】

次に、再び基板表面を熱酸化した後に、図10に示すように、CVDにより基板表面にシリコン酸化膜(SiO_2)膜250を成膜し、Ar雰囲気中 1000 でシリコン酸化膜250をシンタする。その後、レジストパターニングとRIEにより、シリコン酸化膜502にショットキー電極領域260を開口させる。

【0044】

図11に示すように、電子銃蒸着、スパッタなどによりTi膜270を 1000 成膜

10

20

30

40

50

した後、各電界緩和層40の間に位置するTi膜270を残すように、レジストパターニングをし、RIEにより不要なTi膜270を除去する。

【0045】

図12に示すように、電子銃蒸着、スパッタなどによりTiSi₂膜280を1000成膜しその上にAl電極290を成膜し、ショットキー電極領域260の開口部と、シリコン酸化膜250上の一部とが残るようにレジストパターニングをした後に、RIEなどにより不要なAl電極290、TiSi₂膜280を除去する。

【0046】

図13に示すように、基板表面をレジストで保護し、基板裏面のn型のオーミックコンタクト領域に接するようにTi/Ni/Auからなるオーミック電極300を形成する。その後、パッシベーション膜(図示せず)で保護することにより、半導体整流素子310を完成する。

【0047】

因みに、ここでは、TiはTiSi₂よりもバリアハイトが高い組み合わせの一例を示しているが、電極材料はこの組み合わせに限らない。

【0048】

なお上述の第1の実施の形態は一例であって、本発明を限定するものではない。ここでは、第1の実施の形態の他の例を示す。

【0049】

例えば、図14に示す半導体整流素子400のように、隣り合う電界緩和層40の間に位置するようにして、ドリフト層30上に酸化膜420を形成し、ドリフト層30及び酸化膜420上にショットキー電極410を形成しても良く、また、この酸化膜420は、半導体膜であっても良い。

【0050】

また、図15に示す半導体整流素子430のように、隣り合う電界緩和層40の間に位置するようにしてドリフト層30の表面部分に、電界緩和層40より接合深さが浅いp型層(バリアハイト制御層)440を形成し、ドリフト層30の表面上にショットキー電極450を形成しても良い。この場合、p型層440の厚さを、例えば2~10nmの範囲で変化させることにより、バリアハイトを制御することができ、さらにp型層440の不純物濃度を電界緩和層40より低くなるように変化させても、バリアハイトを制御することができる。

【0051】

また、図16に示す半導体整流素子460のように、ドリフト層470のうち、当該ドリフト層470底部から電界緩和層40界面までの領域470Aと、隣り合う電界緩和層40間に形成されている領域470Bとの間で、不純物濃度が異なるようにしても良い。

【0052】

この場合、ドリフト層470のうち領域470Bの不純物濃度を、ショットキー電極50界面に向かうにしたがって薄くなるようにすれば、図17に示すように、空乏層480が電界緩和層40に対して平行に伸びるように形成することができ、空乏層480の形状を制御することができる。

【0053】

(2)第2の実施の形態

図18に、本発明の第2の実施の形態による半導体整流素子500の構成を示す。なお、図1に示した要素と同一のものには同一の符号を付して説明を省略する。本実施の形態の場合、電界緩和層520は、ショットキー電極50と接触している部分の断面積が、他の部分の断面積よりも小さくなるように形成されている。

【0054】

これにより、順方向バイアスを印加した際、ショットキー電極50とドリフト層510のコンタクト面積が大きくなることから、オン抵抗が低下する。一方、逆バイアスを印加した際は、凹部530も空乏化され、図2に示す場合と同様に空乏層が形成されるので耐

10

20

30

40

50

圧が低下しない。従って、耐圧を低下させることなく、さらにオン抵抗を低減することができる。

【0055】

なお上述の第2の実施の形態は一例であって、本発明を限定するものではない。ここでは、第2の実施の形態の他の例を示す。

【0056】

例えば、図19に示す半導体整流素子540のように、ドリフト層550の表面部分に溝560を所定間隔毎に形成し、当該溝560の下方に電界緩和層570を形成すると共に、当該溝560を埋め込むようにドリフト層550上にショットキー電極580を形成しても良い。

10

【0057】

この場合、溝560の側壁部560Sもショットキー電極580が接しており、ショットキー電極580とドリフト層550の接触面積が大きくなることから、オン抵抗を低減することができる。

【0058】

ところで、半導体材料としてSiCを使用した場合には、ドリフト層550の頂部550Tと、当該ドリフト層550に形成された溝560の側壁部560Sとの間で、バリアハイトが異なる。

【0059】

そこで、図20に示す半導体整流素子590のように、ショットキー電極600のうち、溝560の側壁部560Sに、溝560の側壁部560Sにおけるバリアハイトが、ドリフト層550の頂部550Tにおけるバリアハイトにほぼ等しくなるような材料からなる領域600Cを形成する。

20

【0060】

これにより、ドリフト層550の頂部550Tと溝560の側壁部560Sに同じショットキー電極を成膜したときよりも、バリアハイトの差が小さくなる。

【0061】

なお、このショットキー電極600の領域600Cにおいて使用される材料としては、Ti、Ni、Mo、W、Co、Pt、Pd、Zr、Hfから選ばれる1つの材料、又は選ばれた材料のSi化合物、又は選ばれた材料のAu合金がある。

30

【0062】

(3) 第3の実施の形態

図21に、本発明の第3の実施の形態による半導体整流素子610の構成を示す。なお、図1に示した要素と同一のものには同一の符号を付して説明を省略する。本実施の形態の場合、電界緩和層630は、ショットキー電極50と接触することなく、ドリフト層620内に埋め込まれるように形成されている。これにより、耐圧を低下させることなく、オン抵抗を低減することができる。

【0063】

なお上述の第3の実施の形態は一例であって、本発明を限定するものではない。ここでは、第3の実施の形態の他の例を示す。

40

【0064】

例えば、図22に示す半導体整流素子640のように、ドリフト層650の表面部分に溝660を所定間隔毎に形成し、当該溝660の下方であってかつドリフト層650内に埋め込むように、電界緩和層670を形成すると共に、当該溝660を埋め込むようにドリフト層650上にショットキー電極680を形成しても良い。

【0065】

この場合、溝660の側壁部660Sもショットキー電極680が接しており、ショットキー電極680とドリフト層650の接触面積が大きくなることから、オン抵抗を低減することができる。

【0066】

50

ところで、第2の実施の形態と同様に、半導体材料としてSiCを使用した場合には、ドリフト層650の頂部650Tと、当該ドリフト層650に形成された溝660の側壁部660Sとの間で、バリアハイトが異なる。

【0067】

そこで、図23に示す半導体整流素子690のように、ショットキー電極700のうち、溝660の側壁部660Sに、溝660の側壁部660Sにおけるバリアハイトが、ドリフト層650の頂部650Tにおけるバリアハイトにほぼ等しくなるような材料からなる領域700Cを形成する。

【0068】

これにより、ドリフト層650の頂部650Tと溝660の側壁部660Sに同じショットキー電極を成膜したときよりも、バリアハイトの差が小さくなる。

10

【0069】

なお、このショットキー電極700の領域700Cにおいて使用される材料としては、Ti、Ni、Mo、W、Co、Pt、Pd、Zr、Hfから選ばれる1つの材料、又は選ばれた材料のSi化合物、又は選ばれた材料のAu合金がある。

【0070】

(4)他の実施の形態

なお上述の実施の形態は一例であって、本発明を限定するものではない。例えば、縦型素子ではなく、横型素子に適用することも可能である。なお、図24～図28に、横型の半導体整流素子の製造方法を示す。

20

【0071】

図24に示すように、p型の半導体基板800上にn型のエピタキシャル層810を成膜する。図25及び図26に示すように、イオン注入マスク(図示せず)をフォトリソグラフィ法により、選択的に開口し、カソード領域(n+型領域)820にn型不純物を注入する。その後、イオン注入マスクを剥離する。次に、再度、イオン注入マスク(図示せず)を成膜した後、フォトリソグラフィ法により選択的に電界緩和層形成領域を開口し、p型不純物をイオン注入することにより、電界緩和層830を形成する。

【0072】

その後、イオン注入マスクを除去し、基板を混酸により洗浄した後、1500～1700の活性化アニールを行い、イオン注入した不純物を活性化する。

30

【0073】

図27に示すように、基板表面に絶縁膜(図示せず)を成膜し、アノード領域840の、電界緩和層830に挟まれた部分に、例えばTiからなるバリアハイトの高い電極850を成膜し、パターニングする。

【0074】

図28に示すように、例えばTiSi₂からなるバリアハイトの高い電極860を成膜し、パターニングした後、カソード領域820のオーミック電極870を成膜する。これにより、横型の半導体整流素子880が形成される。

【0075】

また、半導体整流素子は、JBS構造ではなく、例えば、アノード領域では、電界緩和層とオーミック電極とを形成した後、ショットキー電極を成膜することにより、MPS(pin/ショットキー混合ダイオード)構造にすることができる。

40

【0076】

これにより、アノード電極と電界緩和層のコンタクト抵抗が減少し、逆方向バイアス印加時に電界緩和層から吐き出されやすくなり、スイッチングが上昇する。これと共に、順方向バイアスを印加した際、低電圧領域ではショットキー電極から流れる電子電流だけであるが、高電圧領域では、電界緩和層からホールが注入し、さらに抵抗を下げることもできる。

【図面の簡単な説明】

【0077】

50

【図 1】本発明の第 1 の実施の形態による半導体整流素子の構成を示す断面図である。

【図 2】同半導体整流素子の構成を示す断面図である。

【図 3】同半導体整流素子の構成を示す断面図である。

【図 4】比較例による半導体整流素子の構成を示す断面図である。

【図 5】同半導体整流素子の構成を示す断面図である。

【図 6】同半導体整流素子の構成を示す断面図である。

【図 7】本発明の第 1 の実施の形態による半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

【図 8】同半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

10

【図 9】同半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

【図 10】同半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

【図 11】同半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

【図 12】同半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

【図 13】同半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

20

【図 14】第 1 の実施の形態の他の例による半導体整流素子の構成を示す断面図である。

【図 15】第 1 の実施の形態の他の例による半導体整流素子の構成を示す断面図である。

【図 16】第 1 の実施の形態の他の例による半導体整流素子の構成を示す断面図である。

【図 17】同半導体整流素子の構成を示す断面図である。

【図 18】本発明の第 2 の実施の形態による半導体整流素子の構成を示す断面図である。

【図 19】第 1 の実施の形態の他の例による半導体整流素子の構成を示す断面図である。

【図 20】第 1 の実施の形態の他の例による半導体整流素子の構成を示す断面図である。

【図 21】本発明の第 3 の実施の形態による半導体整流素子の構成を示す断面図である。

【図 22】第 3 の実施の形態の他の例による半導体整流素子の構成を示す断面図である。

【図 23】第 3 の実施の形態の他の例による半導体整流素子の構成を示す断面図である。

30

【図 24】本発明の他の実施の形態による半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

【図 25】同半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

【図 26】同半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

【図 27】同半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

【図 28】同半導体整流素子の製造方法における工程別素子の断面構造を示す縦断面図である。

40

【図 29】ドリフト層における電界強度分布を示す説明図である。

【図 30】ドリフト層における電界強度分布を示す説明図である。

【符号の説明】

【0078】

10、430、460、500、540、590、610、640、690 半導体整流素子

20 半導体基板

30、470、510、620、650 ドリフト層

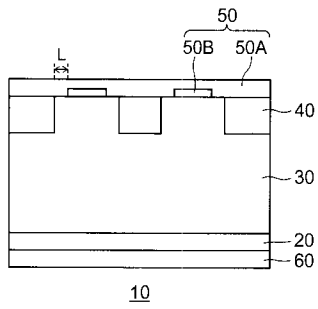
40、520、570、630、670 電界緩和層

50、450、580、600、680、700 ショットキー電極

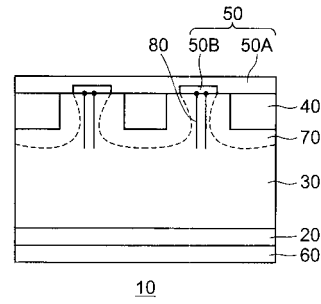
50

50A、580A、600A、680A、700A TiSi₂領域
50B、580B、600B、680B、700B Ti領域
440 p型層

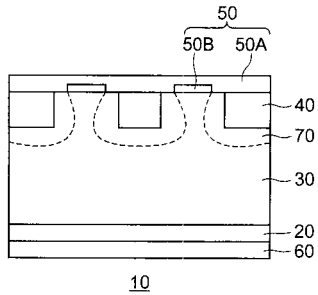
【圖1】



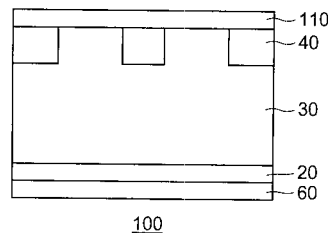
【圖3】



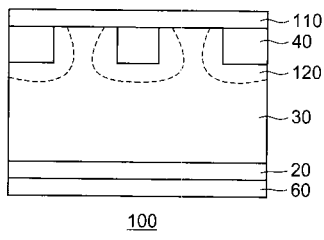
【圖2】



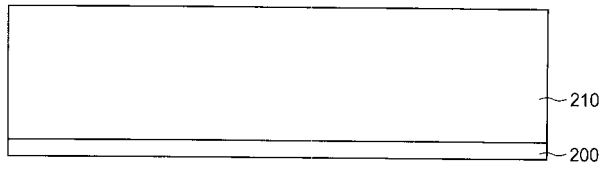
【圖4】



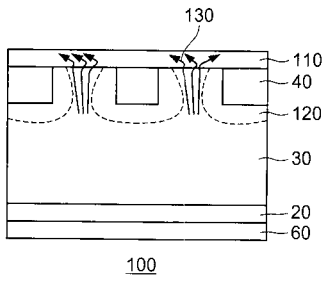
【図5】



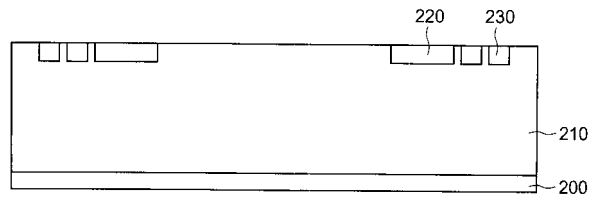
【図7】



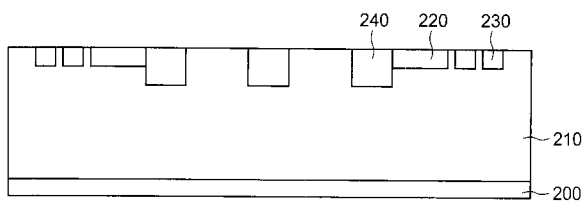
【図6】



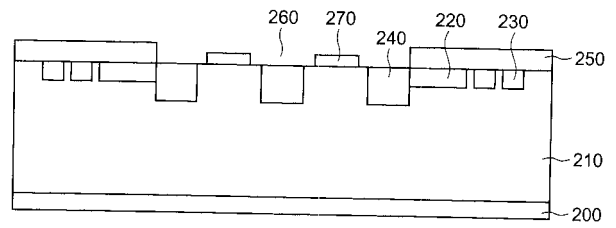
【図8】



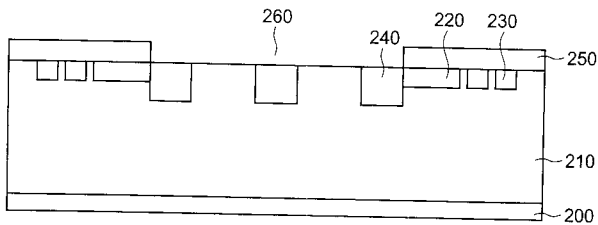
【図9】



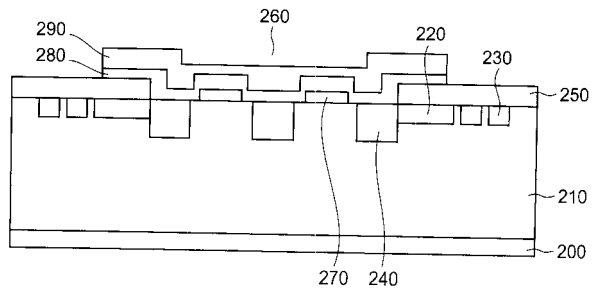
【図11】



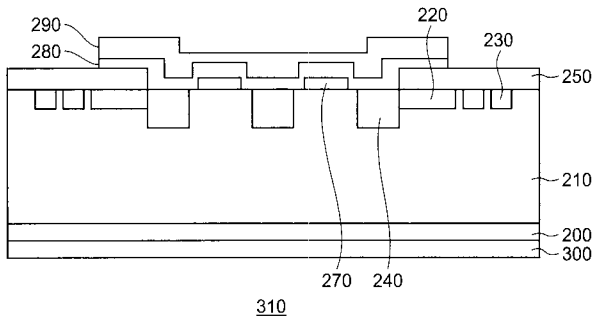
【図10】



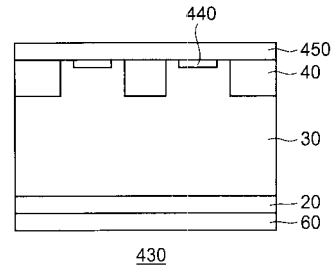
【図12】



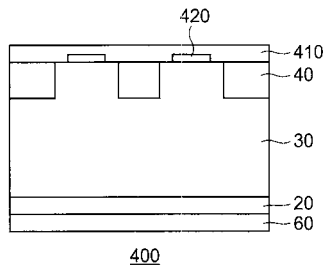
【図13】



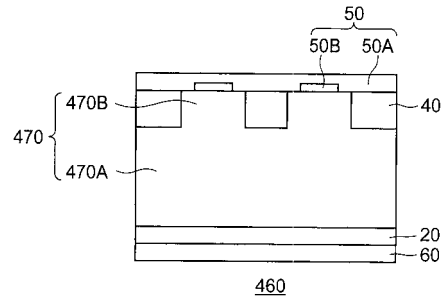
【図15】



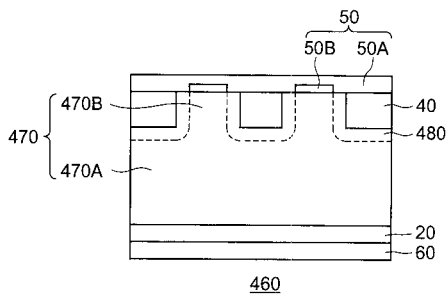
【図14】



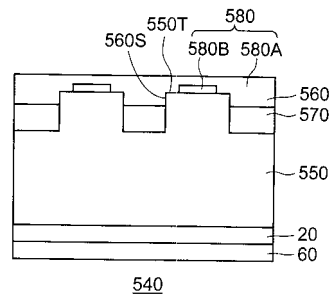
【図16】



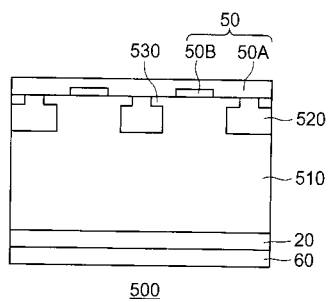
【図17】



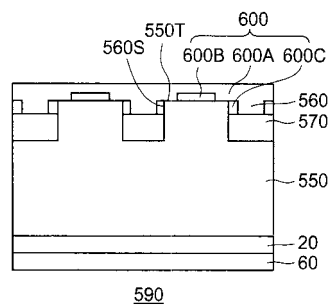
【図19】



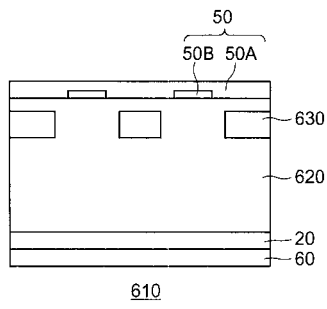
【図18】



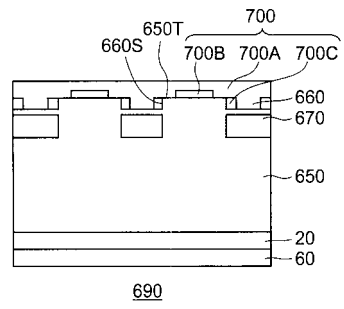
【図20】



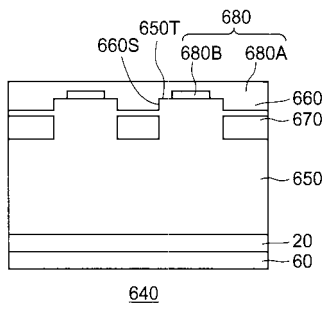
【 図 2 1 】



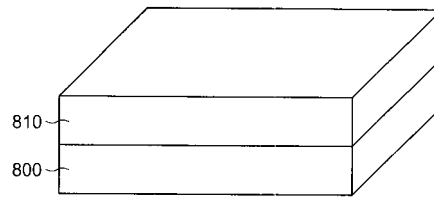
【 図 2 3 】



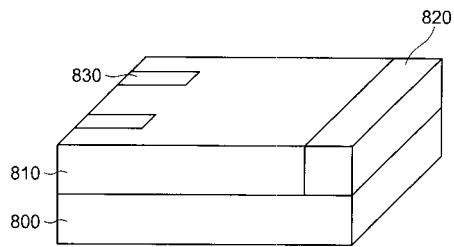
【 図 2 2 】



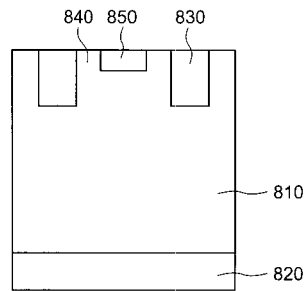
【 図 2 4 】



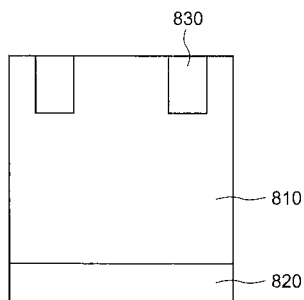
【 図 2 5 】



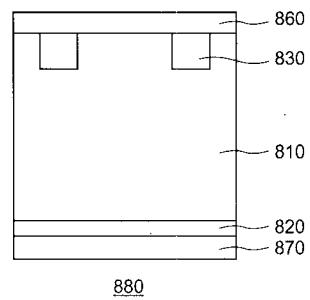
【 図 2 7 】



【 図 2 6 】



【 図 2 8 】



フロントページの続き

- (72)発明者 水 上 誠
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 鈴木 拓馬
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

審査官 早川 朋一

- (56)参考文献 特開2005-243715(JP,A)
特開平05-259436(JP,A)
国際公開第2006/048387(WO,A1)
特表2004-528728(JP,A)
特開平07-263716(JP,A)
特開平10-233515(JP,A)
特開平05-048082(JP,A)
特開平03-248465(JP,A)
特開平11-330498(JP,A)
特開平09-121062(JP,A)
特表2008-519448(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/872
H01L 21/28 - 21/288
H01L 21/44 - 21/445
H01L 29/40 - 29/51