

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3841598号

(P3841598)

(45) 発行日 平成18年11月1日(2006.11.1)

(24) 登録日 平成18年8月18日(2006.8.18)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 3 O 1 P

H O 1 L 21/336 (2006.01)

請求項の数 9 (全 8 頁)

(21) 出願番号	特願平11-260261	(73) 特許権者	390019839
(22) 出願日	平成11年9月14日(1999.9.14)		三星電子株式会社
(65) 公開番号	特開2000-101069(P2000-101069A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成12年4月7日(2000.4.7)		C o . , L t d .
審査請求日	平成16年5月26日(2004.5.26)		大韓民国443-742京畿道水原市靈通
(31) 優先権主張番号	1998P38199		区梅灘洞416
(32) 優先日	平成10年9月16日(1998.9.16)	(74) 代理人	100093779
(33) 優先権主張国	韓国(KR)		弁理士 服部 雅紀
		(72) 発明者	林 勲
			大韓民国ソウル特別市西大門区新村洞2-
			199番地201号
		(72) 発明者	金 周永
			大韓民国京畿道水原市八達区梅灘4洞81
			0-2番地東南アパート1棟1303号
			最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

ゲート絶縁膜が形成された単結晶シリコン基板又はシリコンオンインシュレータ基板からなる半導体基板上に、ポリシリコン膜からなるゲート電極を形成する工程と、

前記ゲート電極をイオン注入マスクとして前記半導体基板に所定の不純物イオンを注入し、LDD領域を形成する工程と、

前記ゲート電極の両側壁に第1スペーサ絶縁膜を形成する工程と、

前記ゲート電極及び前記第1スペーサ絶縁膜が形成された前記半導体基板の全面に、伝導性膜を堆積した後、前記伝導性膜に対する異方性エッチングを行い、前記第1スペーサ絶縁膜の両側壁に前記伝導性膜からなる第2伝導性スペーサを形成すると共に、更に過度エッチングを行い、前記ゲート電極及び前記第2伝導性スペーサの上部を一部除去して、前記第1スペーサ絶縁膜の上部を前記ゲート電極及び前記第2伝導性スペーサの上面から突起させる工程と、

前記第2伝導性スペーサの両側壁に第3スペーサ絶縁膜を形成する工程と、

前記半導体基板の表面に、前記LDD領域に接続するソース/ドレイン領域を形成する工程と、

前記ゲート電極の上面及び前記ソース/ドレイン領域の表面が露出された前記半導体基板の全面に、金属膜を堆積した後、急速熱処理を行い、前記金属膜のシリサイド化反応を起こして前記ゲート電極及び前記ソース/ドレイン領域上にシリサイド層を形成すると共に、前記第2伝導性スペーサを前記ソース/ドレイン領域に電氣的に連結させる工程とを

10

20

備えることを特徴とする半導体素子の製造方法。

【請求項 2】

前記第 1 スペース絶縁膜は、酸化膜 (SiO₂) 又は酸化膜を含む複合膜で構成することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】

前記第 3 スペース絶縁膜は、窒化膜又は窒化膜を含む複合膜で構成することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 4】

前記第 1 スペース絶縁膜及び第 3 スペース絶縁膜は、異方性エッチングを利用して形成することを特徴とする請求項 1 に記載の半導体素子の製造方法。

10

【請求項 5】

前記第 2 伝導性スペースは、不純物がドーピングされたポリシリコンを使用して形成することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 6】

前記ソース/ドレイン領域を形成する工程は、前記第 3 絶縁膜スペースが形成された前記ゲート電極をイオン注入マスクとして前記半導体基板に所定の不純物イオンを注入し、ソース/ドレイン領域を形成する工程であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 7】

前記金属膜は、コバルト層又はチタン層であり、前記シリサイド層は、ケイ化コバルト層又はチタン層であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

20

【請求項 8】

前記第 2 伝導性スペースが前記ソース/ドレイン領域と電気的に連結される工程は、前記ソース/ドレイン領域の前記シリサイド層の下部が前記急速熱処理工程で前記半導体基板の表面に露出した前記シリサイド層よりさらに広く拡張されながら前記第 2 伝導性スペースと連結される工程であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 9】

前記第 2 伝導性スペースが前記ソース/ドレイン領域と電気的に連結される工程は、前記第 2 伝導性スペースにドーピングされた不純物が前記急速熱処理工程で下部の前記 L D D 領域に拡散され前記ソース/ドレイン領域と連結される工程であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体素子及びその製造方法に関し、さらに詳しくは伝導層が含まれたゲートスペースを有する半導体素子及びその製造方法に関する。

【0002】

【従来の技術】

半導体素子の高集積化が急進展することによりゲート線幅の間隔は次第に狭くなっている。特に L D D (Lightly Doped Drain、以下「L D D」と称する) 構造の M O S 電界効果トランジスタ (M O S F E T) でチャンネル長さが短くなるにしたがって、その特性面で限界を示している。このような L L D 構造を有する M O S 電界効果トランジスタの特性低下をもたらす代表的な原因がホットエレクトロン (Hot electron) による飽和電流 (saturation current) 特性の劣化である。

40

【0003】

これに対する改善方案として提示されたものの中の一つがシリサイドシリコン側壁ソース/ドレイン (Silicide Silicon Side wall Source/Drain) 構造であるが、これに対する先行研究が IEEE Transactions on Electron Device (Vol. 44, NO. 11, November 1997) に "A Hot-Carrier Degradation Mechanism and Electrical Characteristics in S⁴D n-MOSFET" という題目で掲載されている。

50

【 0 0 0 4 】

図 1 は従来技術による伝導層が含まれたゲートスペーサを有する半導体素子を説明するために示した断面図である。

図 1 を参照すれば、半導体基板 5 1 にゲート絶縁膜 5 3 を介したゲート電極 5 5 がポリシリコンで構成されている。ゲート電極 5 5 両側壁は第 1 スペーサ絶縁膜 5 7 により包まれ、第 1 スペーサ絶縁膜 5 7 の外側は不純物がドーピングされた第 2 伝導性スペーサ 5 9 に包まれている。第 2 伝導性スペーサ 5 9 はソース/ドレイン領域 6 5 の上部を覆うシリサイド層 6 1 により再び包まれる。そしてゲート電極 5 5 の上部には第 2 伝導性スペーサ 5 9 とシリサイド層 6 1 によるゲート電極 5 5 の短絡を防止するための絶縁膜 6 3 が形成されている。この絶縁膜 6 3 は酸化膜と窒化膜の複合膜を使用して構成されている。そして、LDD領域 6 7 は第 1 スペーサ絶縁膜 5 7 にイオン注入マスクにより形成している。

10

【 0 0 0 5 】

一般に半導体素子に強い電界を印加する時、半導体基板から生じるホットエレクトロンが LDD領域 6 7 に隣接したゲート絶縁膜 5 3 及び第 1 スペーサ絶縁膜 5 7 に捕獲される。このように捕獲されたホットエレクトロンはキャリアの移動度を減少させることによって飽和電流のような半導体素子の特性を劣化させるという問題を発生する。第 2 伝導性スペーサ 5 9 はゲート絶縁膜 5 3 及び第 1 スペーサ絶縁膜 5 7 に捕獲されたホットエレクトロンが抜け出る通路を作ることによって半導体素子の劣化を防止する重要な役割をする。すなわち、捕獲されたホットエレクトロンは第 2 伝導性スペーサ 5 9 を通してソース/ドレイン領域 6 5 または LDD領域に抜け出すことによってホットエレクトロンによる半導体素子の劣化を抑制できる。

20

【 0 0 0 6 】

しかし、上述の従来技術は次のような問題点を有している。

第一に、シリサイド層 6 1 と第 2 伝導性スペーサ 5 9 とがゲート電極 5 5 と短絡されることを防止するためには第 1 スペーサ絶縁膜 5 7 がゲート電極 5 5 を十分に包みながら薄く形成すべきである。しかしこのような第 1 スペーサ絶縁膜 5 7 を具現することは工程上の多くの難しさが伴う。

【 0 0 0 7 】

第二に、ゲート電極 5 5 の両側面と同様に、ゲート電極 5 5 の上部もシリサイド層 6 1 と第 2 伝導性スペーサ 5 9 との短絡を防止するために絶縁膜 6 3 を形成すべきことである。このような構造はゲート電極 5 5 の上部にシリサイド層を形成できないため半導体素子が動作する時、遅延時間の伸びをもたらして動作速度が落ちるといった問題点がある。

30

【 0 0 0 8 】

【 発明が解決しようとする課題 】

本発明の目的は、ホットエレクトロンによる半導体素子の特性劣化を抑制し、ゲートとソース/ドレイン間の短絡問題を解決することができ、ゲート電極上にもシリサイド層を形成できる伝導層が含まれたゲートスペーサを備える半導体素子を提供することにある。本発明の他の目的は、伝導層が含まれたゲートスペーサを備える半導体素子の製造方法を提供することにある。

【 0 0 1 2 】

40

【 課題を解決するための手段 】

上記の課題を解決するために本発明の請求項 1 記載の半導体素子の製造方法によると、ゲート絶縁膜が形成された単結晶シリコン基板又はシリコンオンインシュレータ (SOI : Silicon On Insulator) 基板からなる半導体基板上に、ポリシリコン膜からなるゲート電極を形成する工程と、前記ゲート電極をイオン注入マスクとして前記半導体基板に所定の不純物イオンを注入し、LDD領域を形成する工程と、前記ゲート電極の両側壁に第 1 スペーサ絶縁膜を形成する工程と、前記ゲート電極及び前記第 1 スペーサ絶縁膜が形成された前記半導体基板の全面に、伝導性膜を堆積した後、前記伝導性膜に対する異方性エッチングを行い、前記第 1 スペーサ絶縁膜の両側壁に前記伝導性膜からなる第 2 伝導性スペーサを形成すると共に、更に過度エッチングを行い、前記ゲート電極及び前記第 2 伝導性

50

スペーサの上部を一部除去して、前記第1スペーサ絶縁膜の上部を前記ゲート電極及び前記第2伝導性スペーサの上面から突起させる工程と、前記第2伝導性スペーサの両側壁に第3スペーサ絶縁膜を形成する工程と、前記半導体基板の表面に、前記LDD領域に接続するソース/ドレイン領域を形成する工程と、前記ゲート電極の上面及び前記ソース/ドレイン領域の表面が露出された前記半導体基板の全面に、金属膜を堆積した後、急速熱処理を行い、前記金属膜のシリサイド化反応を起こして前記ゲート電極及び前記ソース/ドレイン領域上にシリサイド層を形成すると共に、前記第2伝導性スペーサを前記ソース/ドレイン領域に電氣的に連結させる工程とを備えることを特徴とする。

【0013】

第1スペーサ絶縁膜は、酸化膜(SiO₂)又は酸化膜を含む複合膜で構成され、第3スペーサ絶縁膜は、窒化膜又は窒化膜を含む複合膜で構成される。これらの第1スペーサ絶縁膜及び第3スペーサ絶縁膜は、異方性エッチングを利用して形成される。

10

第2伝導性スペーサは、所定の不純物がドーピングされたポリシリコンを使用して形成される。

【0014】

ソース/ドレイン領域を形成する工程は、第3絶縁膜スペーサが形成されたゲート電極をイオン注入マスクとして半導体基板に所定の不純物イオンを注入し、ソース/ドレイン領域を形成する。

金属膜は、コバルト層又はチタン層であり、シリサイド層は、ケイ化コバルト層又はチタン層である。

20

【0015】

第2伝導性スペーサがソース/ドレイン領域と電氣的に連結される工程は、ソース/ドレイン領域のシリサイド層の下部が急速熱処理工程で半導体基板の表面に露出したシリサイド層よりさらに広く拡張されながら前記第2伝導性スペーサと連結される工程である。

第2伝導性スペーサが前記ソース/ドレイン領域と電氣的に連結される工程は、第2伝導性スペーサにドーピングされた不純物が急速熱処理工程で下部のLDD領域に拡散されソース/ドレイン領域と連結される工程である。

【0016】

本発明によれば、半導体素子に強い電界が印加される時に生じるホットエレクトロンにより飽和電流特性の低下を抑制でき、伝導性のゲートスペーサを使用することによって引き起こされるゲートとソース/ドレイン間の短絡問題を解決し、ゲート電極上にもシリサイド層を形成して半導体素子の動作速度を改善することができる。

30

【0017】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

図2から図8は、本発明による伝導層が含まれたゲートスペーサを有する半導体素子の製造方法を示す断面図である。

【0018】

図2に示すように、単結晶シリコンまたはSOI型よりなる半導体基板100にゲート絶縁膜104を形成し、ゲート絶縁膜104上に不純物がドーピングされたポリシリコン膜を積層してパタニングを進めてゲート電極102を形成する。そしてゲート電極102をイオン注入マスクとして半導体基板100にイオン注入を実施してLDD領域106領域を形成する。続いて、第1スペーサ絶縁膜108に使われる絶縁膜、例えば酸化膜(SiO₂)又は酸化膜の複合膜を半導体基板の全面に積層する。

40

【0019】

図3に示すように、第1スペーサ絶縁膜108が形成された半導体基板100に異方性エッチング(Anti-isotropic etching)を実施してLDD領域106及びゲート電極102の上部にある第1スペーサ絶縁膜108を取り除くことによって、第1スペーサ絶縁膜108'がゲート電極102の両側壁を包むように形成する。

図4に示すように、第1スペーサ絶縁膜108'が形成された半導体基板の全面に第2伝

50

導性スペーサ 110 として使われる膜質、例えば不純物が $1 \times 10^{19} \text{cm}^2$ 以上の高濃度でドーピングされたポリシリコン膜をデポジットする。

【0020】

図5に示すように、第2伝導性スペーサ 110 に対して異方性エッチングを進めて第2伝導性スペーサ 110' が第1スペーサ絶縁膜 108' を外側の部分を包むように形成する。この際、若干の過度エッチングを実施してゲート電極 102 の上部にあるポリシリコンが一部消耗されるようエッチングを進める。これにより、エッチング選択比差によって相対的にエッチングされない第1スペーサ絶縁膜の上部(A)が第2伝導性スペーサ 110' とゲート電極 102 間の絶縁効果を増大させ、第2伝導性スペーサ 110' とゲート電極 102 間の短絡を抑制する。

10

【0021】

図6に示すように、第2伝導性スペーサ 110' が形成された半導体基板の全面に第3スペーサ絶縁膜 112 を 100 ~ 500 の厚さで積層する。このような第3スペーサ絶縁膜 112 は窒化膜または窒化膜の複合膜を使用して形成することができる。

【0022】

図7に示すように、窒化膜で構成された第3スペーサ絶縁膜 112 に異方性エッチング実施し、第3スペーサ絶縁膜 112' が第2伝導性スペーサ 110' を完全に包むように形成させる。続いて、第3スペーサ絶縁膜 112' が形成されたゲート電極 102 をイオン注入マスクとして半導体基板 100 にイオン注入を実施してLDD領域 106 よりさらに深い接合深さを有するソース/ドレイン領域 114 を形成する。

20

図8に示すように、第3スペーサ絶縁膜 112' が形成された半導体基板の全面にシリサイド層形成のための金属層、例えばコバルトまたはチタンを積層して急速熱処理を実施する。このような急速熱処理はシリコンで構成されたゲート電極 102 上部及びソース/ドレイン領域 114 でシリサイド層形成のための金属層とシリサイド化反応を起こしシリサイド層 116、118 を形成する。そして第3スペーサ絶縁膜 112' で包んだスペーサ領域ではシリサイド化反応が起こらず後続の洗浄工程でコバルトとチタンのようなシリサイド層形成のための金属層を容易に除去できる。

【0023】

この際、急速熱処理を進める条件としては、第2伝導性スペーサ 110' がLDD領域 106 またはソース/ドレイン領域 114 と電氣的に連結されるように実施する必要がある。すなわち、急速熱処理を 850 で 60 秒間実施するとソース/ドレイン領域 114 でシリサイド層 118 が下部に 500 程度成長し、側面方向に約 300 程度成長させながらシリサイド層 118 を形成するようになる。それゆえソース/ドレイン領域 114 上のシリサイド層 118 がさらに広く拡張されながら形成され、第2伝導性スペーサ 110' とLDD領域 106 とを電氣的に連結することができる。

30

【0024】

そして急速熱処理工程で第2伝導性スペーサ 110' を構成する $1 \times 10^{19} \text{cm}^2$ 以上の高濃度でドーピングされたポリシリコンの不純物が下部のLDD領域 106 に拡散され、ソース/ドレイン領域 114 と連結することができるように急速熱処理の諸般工程条件を調節することができる。

40

【0025】

以下、伝導層を有するゲートスペーサを含む半導体素子の構造及び特性を説明する。伝導性ゲートスペーサを含む半導体素子は、半導体基板と 100、半導体基板 100 の所定領域にゲート絶縁膜 104 を介して構成されたゲート電極 102 と、ゲート電極の隣接半導体基板に構成されたLDD領域 106 及びソース/ドレイン領域 114 と、ゲート電極の両側壁を包む第1スペーサ絶縁膜 108' と、第1スペーサ絶縁膜外側でゲート電極の両側壁を包む第2伝導性スペーサ 110' と、第2伝導性スペーサ外側でゲート電極の両側壁を包む第3スペーサ絶縁膜 112' と、ゲート電極の上部及びソース/ドレイン領域上に構成されたシリサイド層 116、118 よりなる。

【0026】

50

第1スペーサ絶縁膜108'及び第3スペーサ絶縁膜112'により包まれた形態で構成された第2伝導性スペーサ110'との半導体素子に強い電界が印加される時生じるホットエレクトロンがゲート絶縁膜及びスペーサに捕獲されて飽和電流特性を劣化させることを防止する。そしてホットエレクトロンがLDD領域106またはソース/ドレーン領域114に流れられる通路を提供する。またゲート電極102上部でポリシリコンの一部が除去されるように過度エッチングして形成した第1スペーサ絶縁膜108'上部(図5のA)は、ゲート電極とソース/ドレーン領域が短絡されるという問題を解決する主要な役割をする。最後に、ソース/ドレーン領域114上のみならずゲート電極102上部で形成されたシリサイド層116は、従来のゲート電極上部を絶縁膜で形成する半導体素子と比較して、半導体素子の遅延時間を短縮させ半導体素子の動作速度を早くすることができる。

10

【0027】

【発明の効果】

以上説明したように、本発明の半導体素子によると、半導体素子に強い電解が印加された時に生じるホットエレクトロンによる飽和電流特性の劣化を抑制できる。また、伝導性のゲートスペーサを使用することによって引き起こされ得るゲートとソース/ドレーン間の短絡を防止することができる。さらに、ソース/ドレーン領域のみならず、ゲート電極上にもシリサイド層を形成することにより、半導体素子の動作速度を向上させることができる。

本発明は前記の実施例に限らず、本発明が属する技術的思想内で当分野の通常の知識を有する者により多くの変形が可能なが明白である。

20

【図面の簡単な説明】

【図1】従来の伝導層が含まれたゲートスペーサを有する半導体素子を示す断面図である。

【図2】本発明の一実施例による半導体素子を示す断面図である。

【図3】本発明の一実施例による半導体素子を示す断面図である。

【図4】本発明の一実施例による半導体素子を示す断面図である。

【図5】本発明の一実施例による半導体素子を示す断面図である。

【図6】本発明の一実施例による半導体素子を示す断面図である。

【図7】本発明の一実施例による半導体素子を示す断面図である。

30

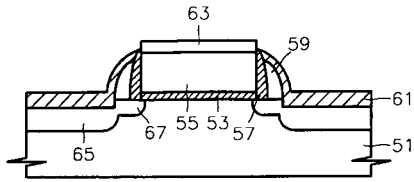
【図8】本発明の一実施例による半導体素子を示す断面図である。

【符号の説明】

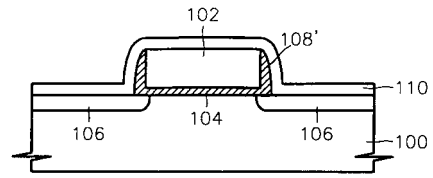
- 100 半導体基板
- 102 ゲート電極
- 104 ゲート絶縁膜
- 106 LDD領域
- 108' 第1スペーサ絶縁膜
- 110' 第2伝導性スペーサ
- 112' 第3スペーサ絶縁膜
- 114 ソース/ドレーン領域
- 116、118 シリサイド

40

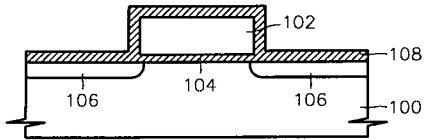
【 図 1 】



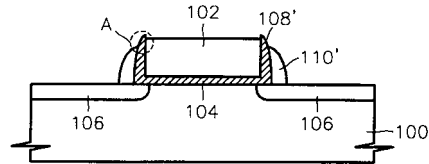
【 図 4 】



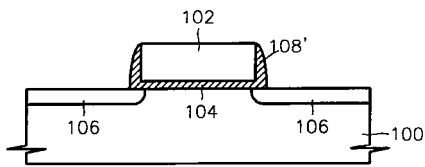
【 図 2 】



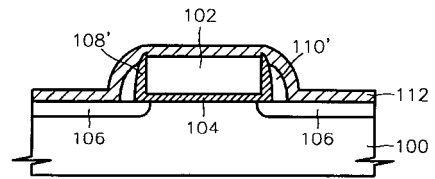
【 図 5 】



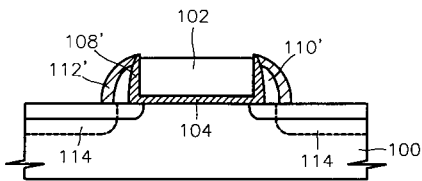
【 図 3 】



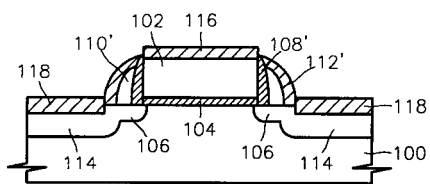
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 黄 善夏

大韓民国京畿道富川市遠美区駅谷1洞106-9番地振興アパートビル棟103号

審査官 河口 雅英

(56)参考文献 特開平06-021089(JP,A)

特開平04-321269(JP,A)

特開平04-326524(JP,A)

特開平09-097837(JP,A)

特開平06-112219(JP,A)

特開平05-047785(JP,A)

特開平05-218410(JP,A)

特開平09-148568(JP,A)

特開平10-233371(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 21/336