

申請日期	90 - 09 - 28
案 號	90124154
類 別	G06F 9/30

A4  
C4

569137

(以上各欄由本局填註)

發 明 專 利 說 明 書 <del>新 型</del>		
一、發明 名稱	中 文	可變寬度指令校準引擎
	英 文	VARIABLE WIDTH INSTRUCTION ALIGNMENT ENGINE
二、發明 創作人	姓 名	1.湯瑪斯 杜馬進 THOMAS TOMAZIN 2.威廉 C. 安德生 WILLIAM C. ANDERSON 3.查理 P. 洛西 CHARLES P. ROTH 4.凱拉 查爾莫 KAYLA CHALMERS
	國 籍	均美國
三、申請人	住、居所	1.美國德州奧斯汀市亞拉利亞大道8112號 2.美國德州奧斯汀市愛德華山大道3910號 3.美國德州奧斯汀市帝徹斯特廣場13305號 4.美國德州奧斯汀市失落綠洲山谷3310號
	姓 名 (名稱)	1.美商英特爾公司 INTEL CORPORATION 2.美商亞拿羅設計公司 ANALOG DEVICES, INC.
三、申請人	國 籍	均美國
	住、居所 (事務所)	1.美國加州聖塔卡拉瓦市米遜大學路2200號 2.美國麻州諾伍市科技路1號
三、申請人	代 表 人 姓 名	1.F. 湯姆士. 當烈二世 F. THOMAS DUNLAP, JR. 2.威廉 A. 威斯 WILLIAM A. WISE

裝 訂 線

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

# 發 明 專 利 說 明 書

## ~~新 型~~

一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	5.朱安 里維拉 JUAN REVILLA 6.拉維 P. 辛格 RAVI P. SINGH
	國 籍	5.美國 6.印度
三、申請人	住、居所	5.美國德州奧斯汀市奧斯楚港灣路10016號 6.美國德州奧斯汀市梅翠克大道12349號
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

-1a-

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美國 2000年09月28日 09/675,817 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

### 發明領域

本發明與數位信號處理器有關，尤其，本發明與數位信號處理器內可變寬度指令校準有關。

### 發明背景

數位信號處理與數位形式的信號表示法以及使用數字計算轉換或處理此類信號表示法有關。數位信號處理是一種許多現今高技術產品(如無線通訊、網路連接及多媒體)領域中的核心技術。數位信號處理流行的原因之一是，已發展出可為工程師提供可靠計算功能的低成本、功能強大的數位信號處理器(DSPs)，使這些產品更便宜且更具效率。自開發第一個DSPs以來，DSP架構及設計已進展到可執行更精密視訊速率序列即時處理。

DSPs通常運用在各種多媒體應用，例如，數位視訊、影像處理及音訊。DSPs可操作數位信號以建立並開啟此類的多媒體檔案。

MPEG-1 (Motion Picture Expert Group；運動圖像專家組)、MPEG-2、MPEG-4及H.263均屬於數位視訊壓縮標準及檔案格式。這些標準實現數位視訊信號的高壓縮率，其方式逐一視訊訊框來儲存主要變化，而不是儲存整個訊框。然後，可使用一些不同的技術來進一步壓縮視訊資訊。

於壓縮期間，DSP可用來執行與視訊資訊有關的各種作業。這些作業可包括運動搜尋及空間插值法演算法。主要目的是測量鄰接訊框內區塊之間的失真。這些作業屬於計算密集型作業，並且可能需要高資料總處理能力。

## 五、發明說明(2)

MPEG標準系列不斷進展，以跟上持續增加的多媒體應用及檔案頻寬需求。每個新版本的標準均提出更精密的演算法，使MPEG相符視訊處理設備中使用的DSPs需要更多的處理需求。

視訊處理設備製造商通常依賴針對依據MPEG和H.263標準之視訊編碼所自訂的專用積體電路(application specific integrated circuits; ASICs)。但是，與DSPs相比，ASICs的設計更複雜，生產成本更高，並且應用彈性更低。

### 圖式簡單說明

只要詳讀下文中詳細說明並參考隨附的圖式，將可明白本發明的這些及其他目的及優點。

圖1顯示利用根據本發明一項具體實施例之處理器之行動視訊裝置的方塊圖。

圖2顯示根據本發明一項具體實施例之信號處理系統的方塊圖。

圖3顯示根據本發明一項具體實施例之另一種信號處理系統的方塊圖。

圖4顯示圖1所示之根據本發明一項具體實施例之處理器之示範性管線階的圖式。

圖5顯示利用根據本發明一項具體實施例之校準多工器中資料流程的邏輯圖。

圖6顯示根據本發明一項具體實施例之指令要求單元的方塊圖。

### 詳細說明

## 五、發明說明(3)

圖1顯示包括根據本發明一項具體實施之處理器的行動視訊裝置100。行動視訊裝置100可能是一種攜帶型裝置，用以顯示從天線105或數位視訊儲存媒體120(例如數位視訊光碟(digital video disc; DVD)或記憶卡)接收到之已編輯視訊信號所產生的視訊影像。處理器110與記憶體115(其可能是快取記憶體)通訊，其中記憶體可儲存供處理器作業使用的指令及資料。處理器110可能是微處理器、數位信號處理器(DSP)、控制受控DSP的微處理器或是具有混合微處理器/DSP架構的處理器。基於此份說明書目的，下文中將處理器110稱為DSP 110。

DSP 110可執行關於已編碼視訊信號的各種作業，例如，包括類比轉數位轉換、解調變、濾波、資料復原及解碼。DSP 110可依據各種數位視訊壓縮標準(如MPEG標準系列及H.263標準)的一種標準來解碼已壓縮數位視訊信號。然後，可將已解碼視訊信號輸入至顯示器驅動器130，以在顯示器125上產生視訊影像。

攜帶型裝置通常具有有限的電源供應。再者，視訊解碼作業屬於計算密集型作業。因此，在此類裝置中使用之處理器的優點為是一種相當高速且低功率裝置。

DSP 110可能具有深層的管線化、載入/儲存架構。相對於非管線化DSP，藉由採用管線化可增強DSP的性能。管線化DSP 110的作業方式不是擷取第一指令、執行第一指令並且接著擷取第二指令，而是可在執行第一指令時同時擷取第二指令，藉此改良指令總處理能力。另外，管線化DSP的

## 五、發明說明(4)

時脈週期比非管線化 DSP 的時脈週期短，其中會在同一時脈週期期間擷取及執行指令。

此類的 DSP 110 被運用在視訊攝錄像機、電信會議、PC 視訊卡及高解析度電視 (HDTV) 中。此外，DSP 110 還可結合利用數位信號處理的其他技術一起使用，例如，行動電話中使用的語音處理、語音辨識及其他應用。

現在請參考圖 2，圖中顯示包含根據圖示具體實施例之 DSP 110 之信號處理系統 200 的方塊圖。一個或一個以上類比信號可能係由外部來源 (例如，天線 105) 提供給信號調節器 202。信號調節器 202 可執行有關類比信號的某些預先處理功能。示範性預先處理功能可包括混合數個類比信號、濾波、放大等等。類比轉數位轉換器 (ADC) 204 可被耦合，以接收來自於信號調節器 202 的已預先處理類比信號，並且將已預先處理類比信號轉換成由樣本所組成的數位信號，如上文所述。取樣係依據由信號調節器 202 接收到之類比信號的性質所決定的取樣率。DSP 110 可被耦合以在 ADC 204 的輸出端接收數位信號。DSP 110 可對接收到的數位信號執行所要的信號轉換，產生一個或一個以上輸出數位信號。數位轉到類比轉換器 206 可被耦合，以接收來自於 DSP 110 的輸出數位信號。DAC 206 將輸出數位信號轉換為輸出類比信號。然後，將輸出類比信號轉遞到另一個信號調節器 208。信號調節器 208 可對該輸出類比信號執行後置處理功能。示範性後置處理功能上文提及預先處理功能。請注意，信號調節器 202 和 208、ADC 204 及 DAC 206 的各種替代方案已眾所皆

## 五、發明說明(5)

知。這些裝置的任何適當組態配置均可耦合至具有 DSP 110 的信號處理系統 200。

接著請參考圖 3，圖中顯示根據另一項具體實施例的信號處理系統 300。在這個具體實施例中，數位接收器 302 可被排列，以接收一個或一個以上數位信號，並將接收到的數位信號轉遞至 DSP 110。如同圖 2 所示的具體實施例，DSP 110 可對接收到的數位信號執行所要的信號轉換，產生一個或一個以上輸出數位信號。可耦合數位信號發射器 304，以接收輸出數位信號。在一項示範性應用中，信號處理系統 300 是一種數位音訊裝置，其中數位接收器 302 將信號轉遞至 DSP 110，該信號是儲存在數位儲存裝置 120 上之資料的數位信號指示。然後，DSP 110 處理數位信號，並將產生的輸出數位信號轉遞至數位發射器 304。然後，數位發射器 304 使輸出數位信號值傳輸至顯示器驅動器 130，以在顯示器 125 上產生視訊影像。

圖 4 所示的管線包括八階，每階均可包括指令擷取 402 至 403、解碼 404、位址計算 405、執行 406 至 408 及寫回 409 階。可在一個時脈週期期間擷取指令  $i$ ，然後在後續時脈週期期間運算並執行指令  $i$ ，並且同時擷取新指令例如， $i+1$  及  $i+2$ 。

管線化可會引出額外的協調問題，並且會影像處理器性能。程式流程中的跳躍點 (Jumps) 會在管線中產生空插槽 (empty) 或「泡泡」。引發發生執行條件分支或產生例外狀況或中斷的情況會改變指令的連續流程。發生此類情況之



## 五、發明說明(6)

後，可在連線程式流程外部擷取指令，使管線中的其餘指令變成毫無關係。在管線中可採用如資料轉遞、分支預測及組合有效位元與指令位址之類的方法，以應付這些複雜度。

圖5顯示利用根據本發明一項具體實施例之校準多工器中資料流程500的邏輯圖。在資料流程500中，將指令載入至記憶體505。記憶體505包括複數個緩衝器510、515，用以儲存指令。在一項具體實施例中，緩衝器510、515是64位元緩衝器。第一緩衝器510被分割成複數個較小型、16位元緩衝器520、525、530及535。第二緩衝器515也被分割成複數個較小型、16位元緩衝器540、545、550及555。每個較小型、16位元緩衝器520至555均被連接至複數個選擇多工器560、565、570及575。每個選擇多工器560、565、570及575均被連接至選擇線路580，用以選取多工器560、565、570及575的輸出。多工器560、565、570及575均輸出一個16位元信號，其被儲存至複數個正反器585、587、590及592中，以在管線中使用。

儲存至複數個正反器585、587、590及592中的信號可代表要在管線中執行的指令。如果指令為16位元或更低，則只有第一正反器585可包含資料。隨著指令大小遞增，則有更多的正反器585至592會包含資料。例如，32位元指令可具有在第一正反器585及第二正反器587中的資料，而64位元指令可具有在所有正反器585至592中的資料。

最初，個別指令可在複數個16位元緩衝器520至555中分

## 五、發明說明(7)

割。例如，64位元指令可從第三緩衝器530開始，並且在第六緩衝器545結束。圖5所示的校準多工器確保會在管線中處理這個指令之前先校準指令，其方式是將資料轉遞至複數個多工器560至575，然後選取適當的資料以傳送至正反器585至592。為了降低泡泡不會被插入至管線中的風險，一旦將緩衝器510、515中所有的指令資料分派管線之後，校準多工器會重新載入記憶體505中的緩衝器510、515。在一項具體實施例中，記憶體505可能是快取記憶體。

本發明係使用提供64位元或更短指令的64位元指令暫存器進行說明。當然，可使用提供(N位元)或更短指令的任何大小指令暫存器(N位元)進行來實現本發明。另外，雖然本發明係使用兩個緩衝器510、515進行說明，但是本發明可按比例調整成任何大小，以容納任何數量的緩衝器。

圖6顯示根據本發明項具體實施例之指令要求單元600的方塊圖。在本特定具體實施例中，指令要求單元600可預查詢數個週期，以決定緩衝器510、515何時會被清空，以便重新載入緩衝器510、515，使管線中不會插入任何泡泡。指令要求單元600的具體實施例將使用2週期的快取等待時間(latency)來說明。因此，指令要求單元應預查詢2週期，以確保持續重新載入緩衝器510、515。顯而易見，本發明可運用在具有各種快取等待時間的系統中，並且指令要求單元600將需要預查詢至少等於快取等待時間的週期數量，以確保不會插入泡泡。當然，指令要求單元600可預查詢低於快

## 五、發明說明(8)

取等待時間。在這項具體實施例中，可將泡泡插入至管線中。

指令要求單元600接收來自於緩衝器510、515的指令資料，以輸入至校準多工器615中。校準多工器615可校準目前從緩衝器510、515接收到的指令資料，並且輸出從指令資料剖析的個別指令。下文中將參考圖5來詳細說明校準多工器615中的資料流程。當從校準多工器615接收個別指令時，會預先解碼指令以產生寬度位元。於區塊620中，從與指令相關的寬度位元來解碼指令的寬度(cur\_width)。在一項具體實施例中，寬度位元是2位元信號，用以指示目前指令的寬度。使用2位元信號，有四個可能的寬度值。例如，寬度位元00指示指令無效，寬度位元01指示16位元指令，寬度位元10指示32位元指令，以及寬度位元11指示64位元指令。

多工器628接收緩衝器510、515中的分支目標位址及指令位址的目前狀態(cstate)。多工器628選擇分支目標位址或目前狀態，以將目前狀態或分支目標位址載入至正反器630，而變成目前狀態。然後於區塊625，組合目前狀態與目前指令的寬度。藉由組合目前狀態與目前寬度，即可決定下一指令的開始位置(nstate)。然後，將位置資訊提供給第二校準多工器635，以在校準下一指令時使用。還可在下一時脈週期期間將下一指令位置資訊饋送給正反器630。於下一時脈週期，下一指令位置變成目前指令位置，並且會在正反器630中更新這個資訊。還會將下一指令位置提供給轉換區

## 五、發明說明(9)

塊 645，以協助決定已發生從第一緩衝器 510 轉換至第二緩衝器 515。

第二校準多工器 635 接收來自於緩衝器 510'、515' 的輸入指令資料。緩衝器 510'、515' 可能和緩衝器 510、515 一樣，或可能含有新資料。如果緩衝器 510、515 已用完，則緩衝器 510'、515' 可含有下一指令的新資料。第二校準多工器 635 校準下一指令，其方式與第一校準多工器 615 校準第一指令的方式相同。然後於區塊 640 預先解決下一指令的寬度，以決定對應的寬度位元。然後於區塊 645，將寬度資訊 (next\_width) 提供給轉換邏輯。

處理下一指令之後，轉換邏輯決定緩衝器 510 和 515 任一緩衝器是否已清空。轉換邏輯 645 包括當作輸入的下一狀態位址及下一指令寬度。然後，轉換邏輯 645 依據下一狀態位址及指令寬度來決定在下一指令之後緩衝器 510 和 515 任一緩衝器是否已用完。例如，如果指示的下一狀態位址是 16 位元緩衝器 530 的起點並且下一指令寬度為 64 位元，則轉換邏輯 645 決定從 16 位元緩衝器 530、535、540 和 545 取得指令，以此方式徹底清空第一緩衝器 510。然後，轉換邏輯 645 可將信號傳送至正反器 650，以指示第一緩衝器 510 可供重新載入使用，這會產生要求記憶體填滿空的緩衝器 510。

轉換邏輯 645 還可決定緩衝器 510 和 515 是否已用完，其方式是比較指標的最高有效位元 (MSB) 與緩衝器 520 至 555。例如，16 位元緩衝器 520 至 555 均可具有相關的指標。因為有八個 16 位元緩衝器，所以使用三位元指標來唯一識別每

## 五、發明說明(10)

個緩衝器。在一項具體實施例中，緩衝器 520 的指標值為 000、緩衝器 525 的指標值為 001、緩衝器 530 的指標值為 010、緩衝器 535 的指標值為 011、緩衝器 540 的指標值為 100、緩衝器 545 的指標值為 101、緩衝器 550 的指標值為 110 及緩衝器 555 的指標值為 111。因此，包含較大緩衝器 510 之 16 位元緩衝器 520、525、530 和 535 之每個緩衝器的指標值的最高有效位元為「0」。包含較大緩衝器 515 之 16 位元緩衝器 540、545、550 和 555 之每個緩衝器的指標值的最高有效位元為「1」。

如上文所述，一個指令可偵用複數個 16 位元緩衝器 520 至 555。例如，64 位元指令可從緩衝器 525 開始，並且在緩衝器 540 結束。指令開始之緩衝器 525 的指標值為 001，而指令結束之緩衝器 540 的指標值為 100。因此，緩衝器的最高有效位元從「0」變更為「1」，藉此指示從緩衝器 510 轉換至緩衝器 515。藉由比較指標的最高有效位元與緩衝器 520 至 555，可決定緩衝器 510 與緩衝器 515 之間的轉換。

在本發明另一項具體實施例中，可使用計數器來管理所提出之載入緩衝器的要求數量。每當提出載入要求時，可遞增計數器。當緩衝器被清空時，可遞減計數器。當計數器值等於緩衝器數量時，則本發明停止提出要求。因此，在發出載入要求之後可先檢查計數器，以決定緩衝器是否可用來接收資料。

熟知技藝人士應很容易明白本發明的各種變化及修改。因此，本發明能夠用其他特定形式來具體化，而不會脫離本發明的精神或基本特性。

## 四、中文發明摘要(發明之名稱:可變寬度指令校準引擎)

在一項具體實施例中，本發明揭示一種數位信號處理器，其包括預查詢邏輯，以減少插入至處理管線中之泡泡的數量。該處理器於複數個緩衝器中接收含有指令的資料，並且解碼一第一指令的大小。一第二指令的起點係依據該第一指令的大小來決定。解碼該第二指令的大小，並且處理器決定載入該第二指令是否會用盡該等複數個緩衝器的一個緩衝器。

## 英文發明摘要(發明之名稱: VARIABLE WIDTH INSTRUCTION ALIGNMENT ENGINE)

In one embodiment, a digital signal processor includes look ahead logic to decrease the number of bubbles inserted in the processing pipeline. The processor receives data containing instructions in a plurality of buffers and decodes the size of a first instruction. The beginning of a second instruction is determined based on the size of the first instruction. The size of the second instruction is decoded and the processor determines whether loading the second instruction will deplete one of the plurality of buffers.

## 六、申請專利範圍

1. 一種於一處理器中校準指令的方法，該方法包括下列步驟：

校準一第一指令；

解碼該第一指令的大小；

依據該第一指令的大小來決定一第二指令的起點；

解碼該第二指令的大小；

決定處理該第二指令是否會用盡複數個緩衝器的一個緩衝器；以及

如果該第二指令是否會用盡該等複數個緩衝器的一個緩衝器，則指示該等複數個緩衝器的一個緩衝器接收額外資料。

2. 如申請專利範圍第1項之方法，該方法進一步包括將該等複數個指令儲存於複數個子緩衝器中。
3. 如申請專利範圍第1項之方法，該方法進一步包括比較該等複數個子緩衝器之第一子緩衝器之指標的最高有效位元與該等複數個子緩衝器之第二子緩衝器之指標的最高有效位元，以決定處理該等複數個指令的一個指令是否會用盡一個緩衝器。
4. 如申請專利範圍第1項之方法，該方法進一步包括在處理該等指令之前，先橫跨複數個儲存元件來儲存一第一指令。
5. 如申請專利範圍第1項之方法，該方法進一步包括相加該第一指令大小與目前指令位置，以決定該第二指令的起點。

## 六、申請專利範圍

6. 如申請專利範圍第1項之方法，該方法進一步包括預先校準等於一快取等待時間的週期數量。
7. 如申請專利範圍第1項之方法，該方法進一步包括於一數位信號處理器中校準該等指令。
8. 如申請專利範圍第1項之方法，該方法進一步包括向一記憶體發出一要求，以重新載入該等複數個緩衝器。
9. 一種於一處理器內處理指令的方法，該方法包括下列步驟：  
    預測在大約等於一快取等待時間的週期數量期間內的指令資料是否會用盡複數個緩衝器的一個緩衝器；  
    如果會用盡該等複數個緩衝器的一個緩衝器，則準備該等複數個緩衝器的一個緩衝器以重新載入額外指令資料。
10. 如申請專利範圍第9項之方法，該方法進一步包括：  
    解碼該指令資料中之一第一指令的大小；  
    依據該第一指令的大小及位置來決定該指令資料中之一第二指令的起點；  
    解碼該第二指令的大小。
11. 如申請專利範圍第9項之方法，其中該等複數個緩衝器被分割成複數個子緩衝器。
12. 如申請專利範圍第11項之方法，其中完成預測的方式為，比較該等複數個子緩衝器之第一子緩衝器之指標的最高有效位元與該等複數個子緩衝器之第二子緩衝器之指標的最高有效位元，以決定處理該等複數個指令的一



## 六、申請專利範圍

- 個指令是否會用盡該等複數個緩衝器的一個緩衝器。
- 13.如申請專利範圍第9項之方法，該方法進一步包括校準該指令資料。
- 14.如申請專利範圍第9項之方法，該方法進一步包括於一數位信號處理器中處理該等指令。
- 15.如申請專利範圍第9項之方法，該方法進一步包括發出一要求，以重新載入該等複數個緩衝器。
- 16.一種處理器包括：
- 複數個緩衝器，其被調整以儲存包含複數個指令的指令資料；
  - 一指令要求單元，其被調整以校準要執行的該等複數個指令；
  - 一寬度解碼器，其被調整以決定該等複數個指令的大小；
  - 一轉換偵測器，其被調整以預測何時會用盡該等複數個緩衝器的一個緩衝器，該轉換偵測器被調整以傳送一信號，用以指示該等複數個緩衝器的一個緩衝器載入一第二指令資料。
- 17.如申請專利範圍第16項之處理器，其中該等複數個緩衝器被分割成複數個子緩衝器。
- 18.如申請專利範圍第16項之處理器，其中該轉換偵測器比較該等複數個子緩衝器之第一子緩衝器之指標的最高有效位元與該等複數個子緩衝器之第二子緩衝器之指標的最高有效位元，以決定處理該等複數個指令的一個指令

## 六、申請專利範圍

是否會用盡一個緩衝器。

19.如申請專利範圍第16項之處理器，其中該處理器預先校準等於一快取等待時間的週期數量。

20.如申請專利範圍第16項之處理器，其中該處理器是一數位信號處理器。

21.一種包含駐存在一機器可讀取儲存媒體上之指令的裝置，用以在一機器系統中使用以在一處理器中校準指令，該等指令會引發該機器執行下列動作：

於複數個緩衝器中接收含有指令的資料；

解碼一第一指令的大小；

依據該第一指令的大小來決定一第二指令的開始；

解碼該第二指令的大小；

決定處理該第二指令是否會用盡該等複數個緩衝器的一個緩衝器；以及

如果該第二指令是否會用盡該等複數個緩衝器的一個緩衝器，則指示該等複數個緩衝器的一個緩衝器接收額外資料。

22.如申請專利範圍第21項之裝置，其中該等複數個指令被儲存在複數個子緩衝器中。

23.如申請專利範圍第21項之裝置，其中比較該等複數個子緩衝器之第一子緩衝器之指標的最高有效位元與該等複數個子緩衝器之第二子緩衝器之指標的最高有效位元，以決定處理該等複數個指令的一個指令是否會用盡一個緩衝器。

## 六、申請專利範圍

24.如申請專利範圍第21項之裝置，其中在處理該等指令之前，先橫跨複數個儲存元件來儲存一第一指令。

裝

訂

線

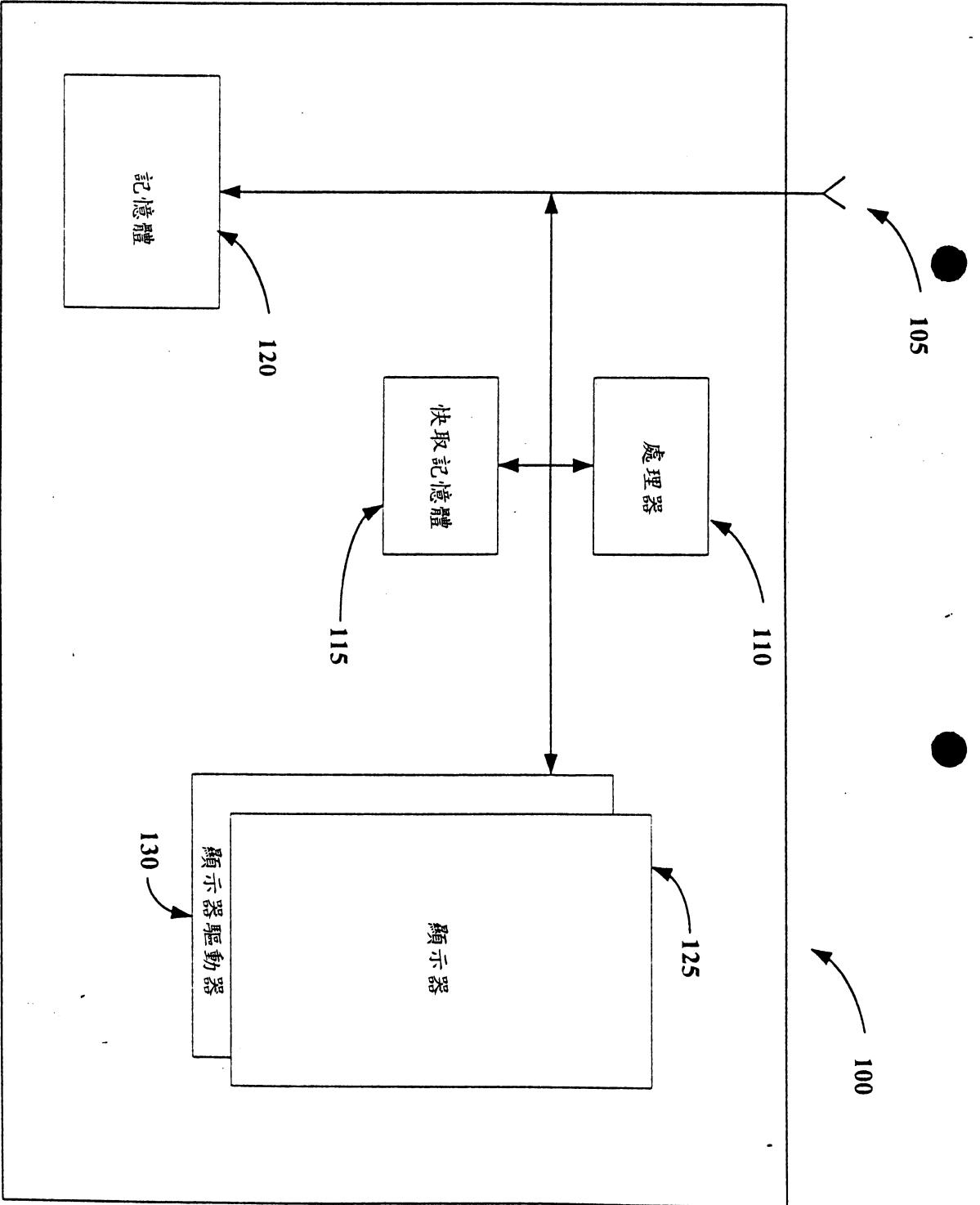


圖 1

200

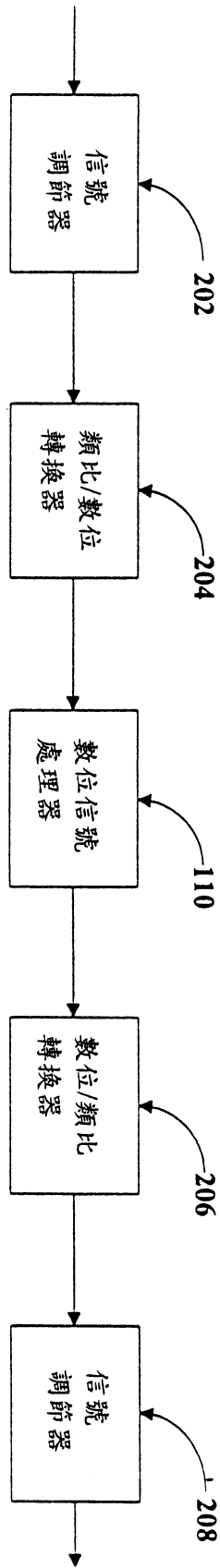


圖 2

300

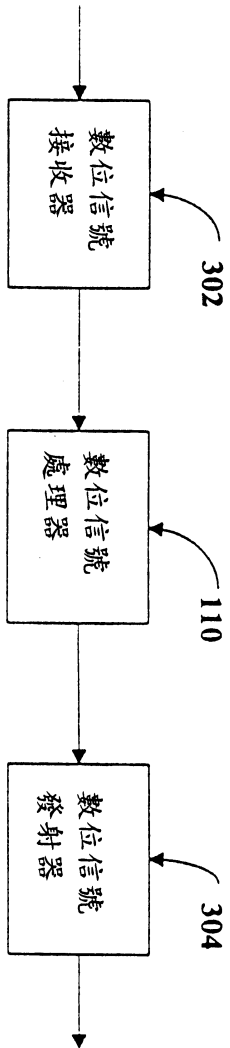


圖 3

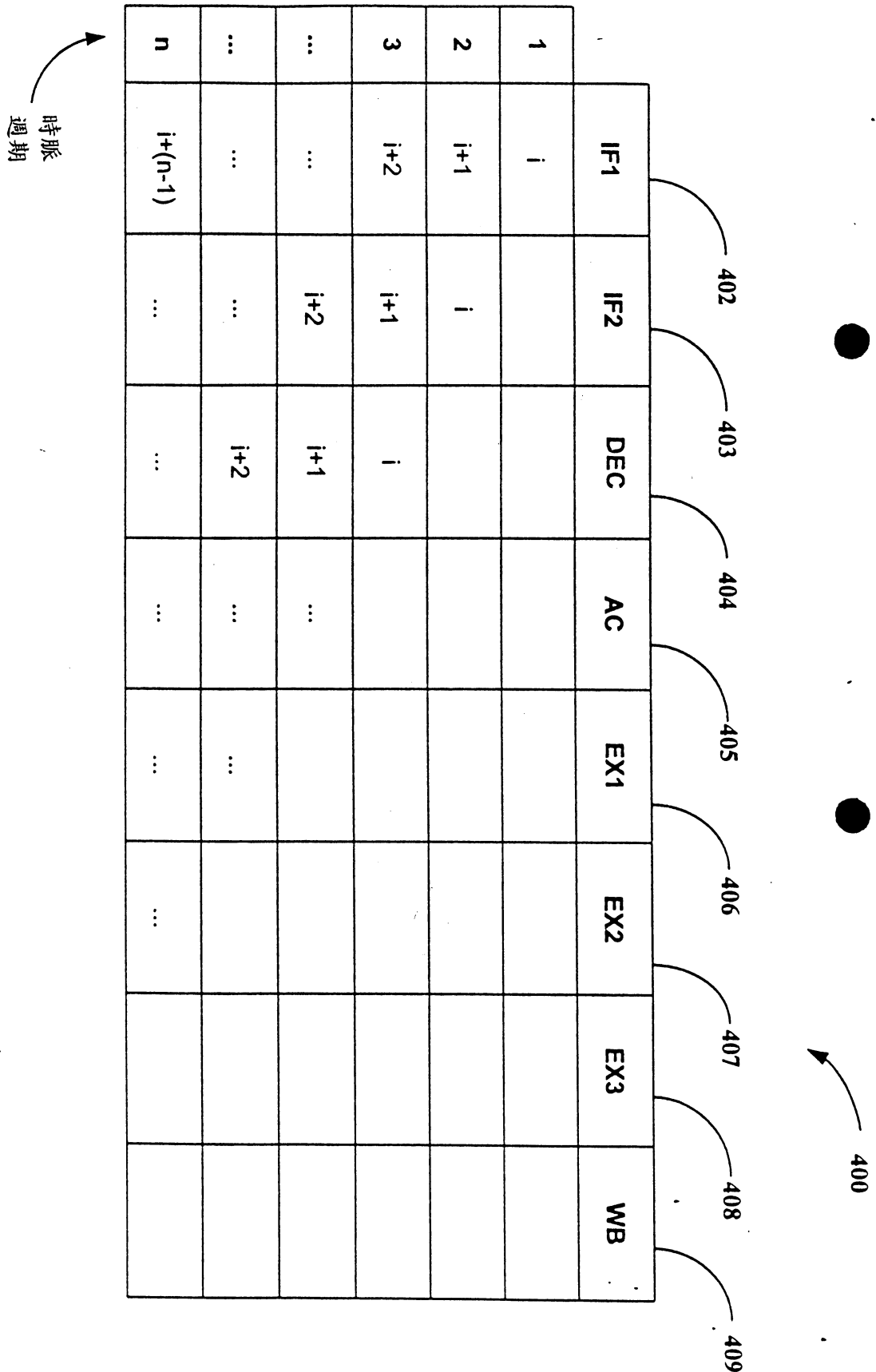


圖 4

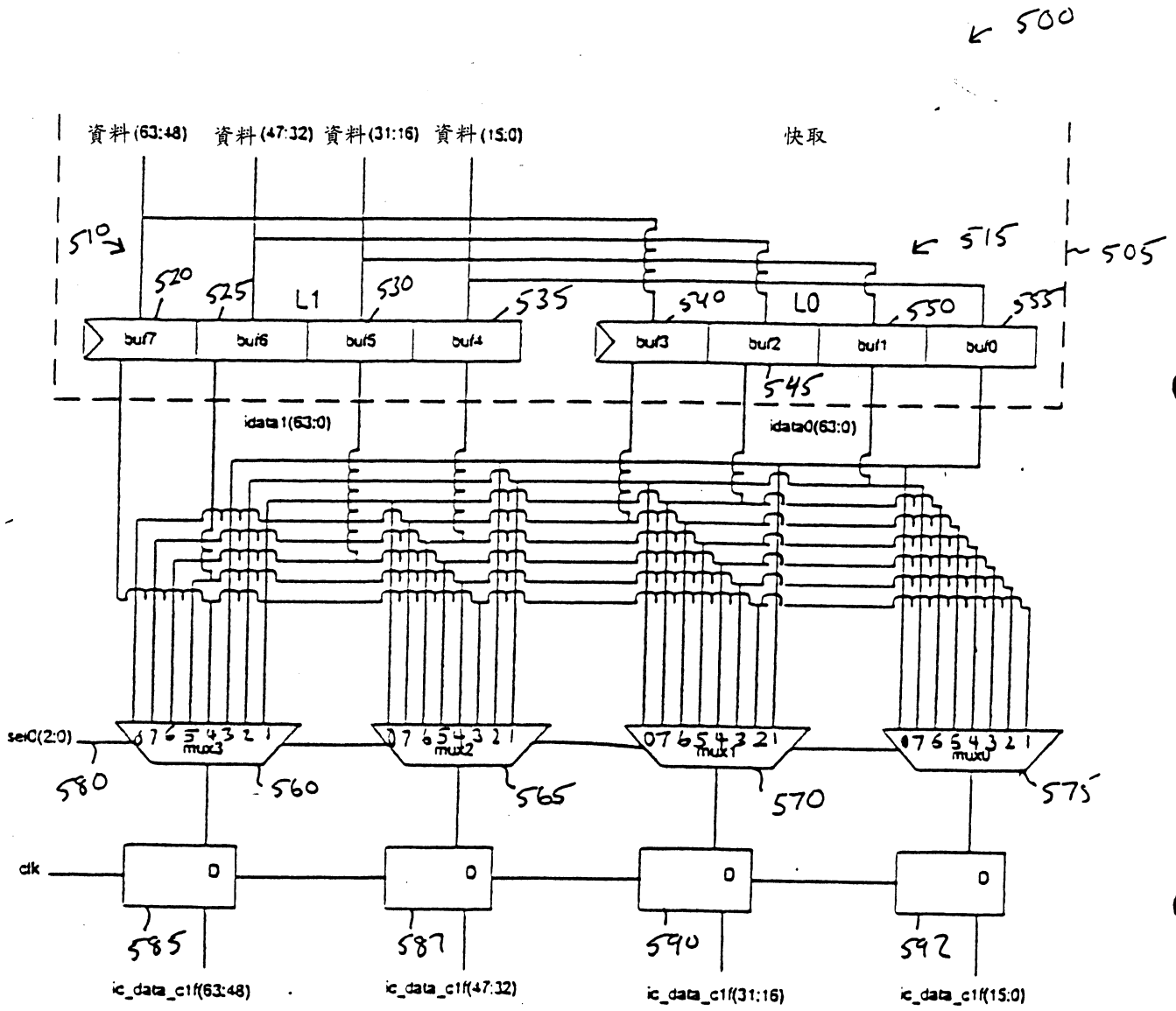


圖 5

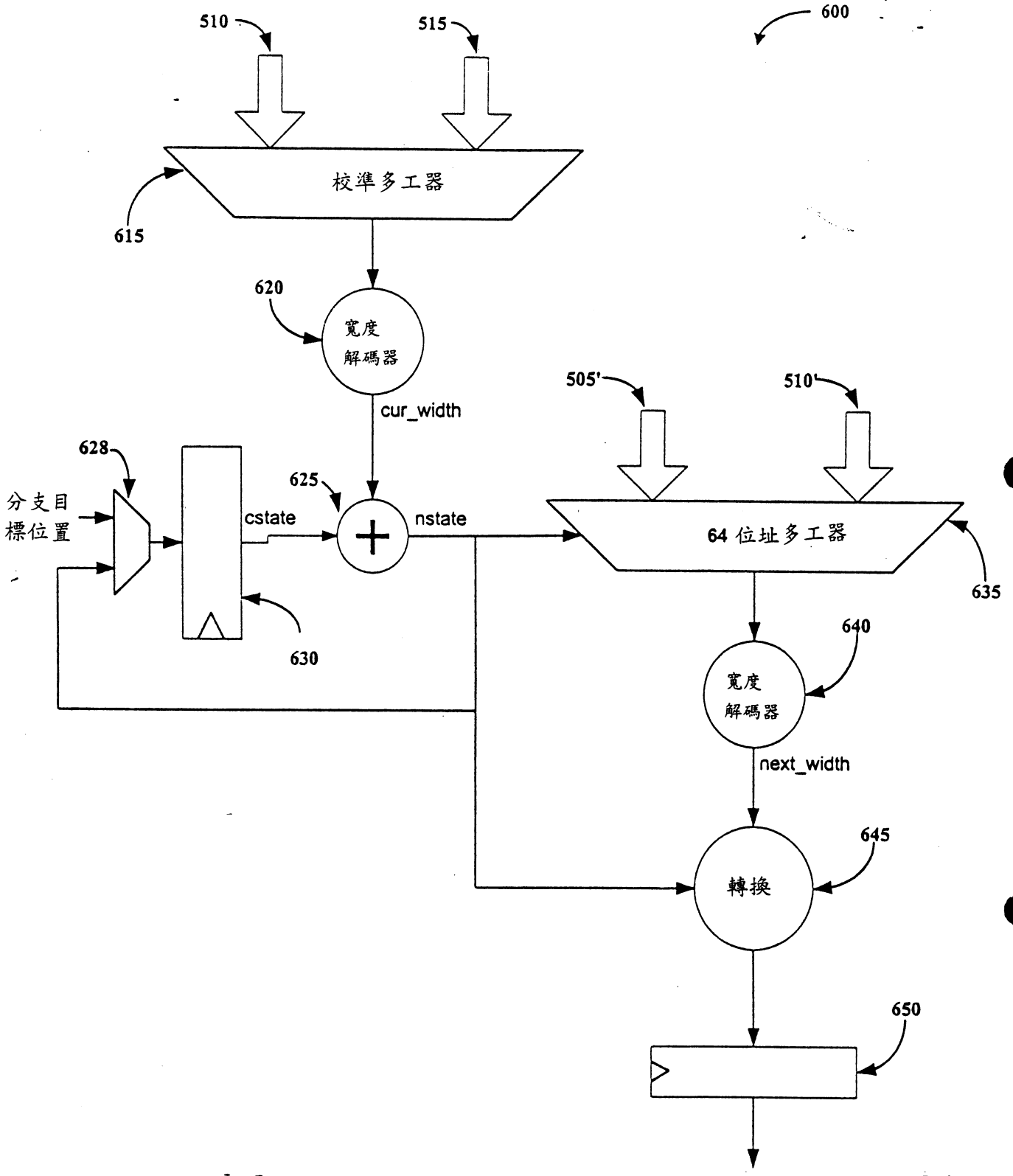


圖 6