

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5145848号
(P5145848)

(45) 発行日 平成25年2月20日 (2013. 2. 20)

(24) 登録日 平成24年12月7日 (2012.12.7)

(51) Int. Cl.	F I		
G 0 6 F 12/02 (2006.01)	G 0 6 F 12/02	5 9 0 A	
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34	3 6 2 H	
G 0 6 F 12/04 (2006.01)	G 1 1 C 11/34	3 7 1 H	
G 0 6 F 12/06 (2006.01)	G 0 6 F 12/04	5 1 0 G	
	G 0 6 F 12/02	5 9 0 B	
請求項の数 4 (全 84 頁) 最終頁に続く			

(21) 出願番号	特願2007-260363 (P2007-260363)	(73) 特許権者	308014341 富士通セミコンダクター株式会社 神奈川県横浜市港北区新横浜二丁目10番 23
(22) 出願日	平成19年10月3日 (2007.10.3)	(74) 代理人	100094525 弁理士 土井 健二
(62) 分割の表示	特願2006-345415 (P2006-345415) の分割	(74) 代理人	100094514 弁理士 林 恒徳
原出願日	平成18年12月22日 (2006.12.22)	(72) 発明者	佐藤 貴彦 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
(65) 公開番号	特開2008-159030 (P2008-159030A)	(72) 発明者	内田 敏也 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
(43) 公開日	平成20年7月10日 (2008.7.10)		
審査請求日	平成21年12月21日 (2009.12.21)		
最終頁に続く			

(54) 【発明の名称】 メモリ装置、メモリコントローラ及びメモリシステム

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に回路を集積した半導体集積回路において、
ワード線およびビット線に接続された複数のメモリセルをそれぞれ有し、単一のコラムアドレスにそれぞれ割り当てられた複数のメモリ単位領域が、マトリックス状に配置されたメモリアレイと、

外部から入力されるリードコマンドにตอบสนองして、複数のメモリセルから複数のデータを読み出す入出力ユニットとを有し、

前記入出力ユニットは、互いに隣接する第1のコラムアドレス及び第2のコラムアドレスにおいて、第1のコラムアドレスに割り当てられた第1の複数データの一部と第2のコラムアドレスに割り当てられた第2の複数データの一部を組み合わせる読み出す際に、組み合わせ情報に応じて、前記読み出される複数データの組み合わせを変更し、

前記組み合わせ情報は、前記半導体基板に実装されたレジスタに記憶されることを特徴とする半導体集積回路。

【請求項2】

請求項1において、外部から入力されるモードレジスタセットコマンドにตอบสนองして、前記組み合わせ情報が前記レジスタに記憶される半導体集積回路。

【請求項3】

請求項2において、前記第1の複数データは、第1、第2、第3及び第4のデータからなり、前記第2の複数データは第5、第6、第7及び第8のデータからなり、前記組み合

わせ情報が第1の情報のとき、前記読み出される複数データは前記第2、第3、第4及び第5データで構成され、前記組み合わせ情報が第2の情報のとき、前記読み出される複数データは前記第3、第4、第5及び第6データで構成される半導体集積回路。

【請求項4】

請求項3において、前記組み合わせ情報が第3の情報のとき、前記読み出される複数データは前記第4、第5、第6及び第7データで構成される半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタル画像データをはじめとする二次元配列データを記録するメモリ装置、そのメモリ装置のメモリコントローラ、及びメモリシステムに関し、特に、単位時間に処理できるデータ数を意味する帯域幅を実効的に大きくするメモリ装置、メモリコントローラ及びメモリシステムに関する。 10

【背景技術】

【0002】

デジタル画像データなどの二次元に配列されたデータを記録するメモリ装置は、デジタル放送やインターネットによる動画配信などの普及に伴ってますます大きな市場規模になりつつある。デジタル画像データは、画素の階調情報を複数ビット（例えば8ビット、256階調）で構成したデータ群であり、例えば、ハイビジョン放送用の画像データは、1フレームが1920×1040画素の画像データで構成される。そして、このフレーム単位の画像データが、所定のマッピング方法にしたがって、画像メモリ内のアドレス空間内に配置される。 20

【0003】

このメモリマッピングは、現在普及している同期型DRAM（SDRAM）のメモリ構成と動作に基づいて、最も効率的なアクセスが可能になるように定められている。例えば、SDRAMは、複数のバンクを有し、各バンクが複数のワード線及びビット線とそれらの交差位置の複数のメモリセルとビット線に対応するセンスアンプとを有し、複数のバンクが独立してアクティブ動作を実行可能である。SDRAMにおけるアクティブ動作とは、ロウアドレスに基づいてワード線を選択しセンスアンプを活性化する一連の動作である。また、SDRAMのリード動作とは、コラムアドレスに基づいてセンスアンプで増幅されたビット線電位をリードデータとして入出力端子に出力する一連の動作であり、ライト動作とは、入出力端子から入力された選択されたライトデータをコラムアドレスに基づいて選択されたビット線に出力する一連の動作である。 30

【0004】

SDRAMにおけるメモリ内のアドレス空間は、バンクアドレスとロウアドレスとで選択可能な複数のページ領域で構成され、各ページ領域はコラムアドレスで選択可能なビット群またはバイト群を有する。このコラムアドレスにより選択されたバイト群（またはビット群）が、複数の入出力端子を介して入出力される。

【0005】

そして、一般的なマッピング方法によれば、デジタル画像データの画素が、ページ領域内のコラムアドレスで選択可能なバイト群（またはビット群）の各バイト（またはビット）に対応付けられる。さらに、このマッピング方法によれば、SDRAMの各バンクが独立してアクティブ動作とリードまたはライト動作とを実行することができるので、デジタル画像データの画素の配置に対応付けられる複数のページ領域が、画像上の上下左右に隣接するページ領域が異なるバンクアドレスに対応するように配置される。例えば、SDRAMが4バンク構成の場合は、奇数行にはバンクアドレスBA=0、1のページ領域を交互に配置し、偶数行にはバンクアドレスBA=2、3のページ領域を交互に配置する。このように配置することで、1フレームの画像データのリードまたはライトを行う場合、異なるバンクを交互に且つ時間的にオーバーラップしてアクティブ動作及びリードまたはライト動作を実行することができ、単位時間当たりに処理可能な画素数である帯域幅を飛躍 40 50

的に高めることができる。

【 0 0 0 6 】

特許文献 1, 2 には, 画像データを記憶する半導体メモリにおいて, 複数の行に同時にアクセス可能にして, アクセス効率を高めることが記載されている。

【特許文献 1】特開 2 0 0 1 - 3 1 2 8 8 5 号公報

【特許文献 2】特開平 0 8 - 1 8 0 6 7 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

デジタル画像データなどを格納するメモリ装置では, 画像データの書き込みと読み出しを, マトリクス状の画素の配置順に行う水平アクセスと, マトリクス状の画素の部分的な矩形領域に対して行う矩形アクセスとが必要になる。水平アクセスは, 例えば, 1 フレームの画像データを水平スキャンを繰り返して書き込んだり読み出したりするラスタスキャン動作に対応する。また, 矩形アクセスは, 例えば, M P E G などのエンコード動作において, 小さい矩形形状のブロックの画像データを読み出して動きベクトルを求めたりする動作や, デコード動作での画像再生において, ブロックの画像データを読み出したり書き込んだりする動作に対応する。

10

【 0 0 0 8 】

しかしながら, 前述のメモリマッピングによりメモリのアドレス空間内に画素の画像データが記憶されるので, 矩形アクセスにおける実効的な帯域幅の低下が問題になる。第 1 に, バンクアドレスとロウアドレスで選択されるページ領域内において, コラムアドレスによりバイト群, つまり複数バイト(または複数ビット)が同時にアクセスされる。しかし, 矩形アクセスにおいてアクセスしたい矩形画像領域と, コラムアドレスにより選択される複数バイト(または複数ビット)とが一致しない場合は, 1 つのコラムアドレスによるアクセスにおいて無駄な入出力データが発生する。第 2 に, 矩形アクセスにおいてアクセスしたい矩形画像領域とアドレス空間内のページ領域とが一致しない場合は, ページ領域の境界を越えて複数のページ領域に対してアクセスすることが要求され, 複雑なメモリ制御が必要になる。

20

【 0 0 0 9 】

上記第 1, 第 2 の問題点は, アクセス対象の矩形画像領域が, ページ領域とも一致せず且つコラムアドレスで選択される複数バイト(または複数ビット)とも一致しない場合は, さらに, メモリ制御が複雑になり, 実効的な帯域幅の低下を招く。

30

【 0 0 1 0 】

そこで, 本発明の目的は, メモリ装置の矩形アクセスにおける上記の問題点を解決したメモリ装置, メモリ装置のメモリコントローラ, 及びメモリシステムを提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

上記の目的を達成するために, 本発明の第 1 の側面によれば, アドレスにより選択される複数のメモリ単位領域を有するメモリセルアレイと,

40

複数の入出力端子と,

前記メモリセルアレイと複数の入出力端子との間に設けられる入出力ユニットとを有し,

前記メモリ単位領域内には, 前記複数の入出力端子に対応する複数のバイト又はビットのデータが記憶され,

さらに, 前記メモリセルアレイと入出力ユニットは, 第 1 の動作コードにตอบสนองして, 入力アドレスと前記バイト又はビットの組み合わせ情報とに基づいて, 前記入力アドレスに対応する第 1 のメモリ単位領域とそれに隣接する第 2 のメモリ単位領域内の複数のバイト又はビットにアクセスし, 前記アクセスした第 1 及び第 2 のメモリ単位領域の複数のバイト又はビットから, 前記組み合わせ情報に基づく組み合わせの複数のバイト又はビットを

50

、前記複数の入出力端子に対応付けることを特徴とするメモリ装置である。

【0012】

上記第1の側面によれば、メモリ装置は、入力アドレスと共に与えられる第1の動作コードにตอบสนองして、入力アドレスと組み合わせ情報とに基づいて、任意の組み合わせの複数バイト（または複数ビット）のデータを同時に入出力できるので、メモリ単位領域の境界を越える矩形アクセスにおいて実効的な帯域幅の低下を回避できる。

【0013】

上記の目的を達成するために、本発明の第2の側面によれば、メモリシステムは、第1の側面のメモリ装置と、前記第1の動作コードと共に、前記アドレスと、前記バイト又はビットの組み合わせ情報とを前記メモリ装置に供給して、前記メモリ装置内の第1及び第2のメモリ単位領域内の複数のバイト又はビットにアクセスするメモリコントローラとを有する。

10

【0014】

上記の目的を達成するために、本発明の第3の側面によれば、第1の側面のメモリ装置を制御するメモリコントローラにおいて、前記第1の動作コードと共に、前記アドレスと、前記バイト又はビットの組み合わせ情報とを前記メモリ装置に供給して、前記メモリ装置内の第1及び第2のメモリ単位領域内の複数のバイト又はビットにアクセスする。

【発明の効果】

【0015】

メモリ装置に対するアクセス対象領域が、入力アドレスにより選択されるメモリ単位領域を越えていても、バイト又はビットの組み合わせ情報を利用して、隣接する2つのメモリ単位領域内の任意の組み合わせの複数のバイト又はビットにアクセスすることができる。

20

【発明を実施するための最良の形態】

【0016】

以下、図面にしたがって本発明の実施の形態について説明する。但し、本発明の技術的範囲はこれらの実施の形態に限定されず、特許請求の範囲に記載された事項とその均等物まで及ぶものである。

【0017】

〔画像メモリのメモリマッピングと問題点〕

30

図1は、本実施の形態における画像メモリのメモリマッピングを示す図である。図1において、表示デバイス10を含む画像処理システムにおける表示画像データは、画像メモリ15内に記憶される。表示画像データは、各画素の輝度信号Yと色差信号Ca、Cbや、各画素のRGB階調信号などのデータで構成され、各信号は例えば8ビット（1バイト）のデータで構成される。

【0018】

一方、画像メモリ15は、一般的にSDRAMなどの半導体基板上に集積回路が形成された大容量且つ高速の半導体メモリ装置からなる。このような画像メモリは、複数のバンクBank0～3（図1では4つのバンク）で構成され、各バンクBank0は複数のブロックBLK-0を有し、各ブロックは複数のワード線WLとビット線BLとその交差位置のメモリセルMCとを有する。メモリセルは、図示しないがワード線にゲートが接続されたMOSトランジスタとトランジスタに接続されたキャパシタとで構成される。そして、図1の例では、4つのバンクはバンクアドレスBA0～BA3に対応付けられ、ワード線はロウアドレスRA0～RA7に対応付けられ、ビット線はコラムアドレスCA0～CA127に対応付けられる。バンクアドレスBAとロウアドレスRAの組み合わせであるバンク内のワード線が選択され、コラムアドレスCAによりビット線が選択される。バンクアドレスBA、ロウアドレスRA、コラムアドレスCAにより、4バイトBY0～3のデータがアクセスされる。1バイトは8ビットで構成されるので、一回のアクセスで4バイト、つまり4×8＝32ビットのデータがメモリの入出力端子に関連付けられて、読み出しまたは書き込みが行われる。一般に、上記の1バイトのデータ（8ビットデータ）が

40

50

画素の信号に対応する。一度のアクセスで4バイトデータを入出力することで、画像メモリに対する単位時間に処理できる画素数を意味する帯域幅を大きくすることができる。

【0019】

表示画像データに対するメモリマッピング12によれば、バンクアドレスBAとロウアドレスRAにより特定されるページ領域14が行列に配置される。そして、1つのページ領域14は、拡大領域14Eに示されるとおり、コラムアドレスCA0-127で特定される128のメモリ単位領域を有し、各メモリ単位領域は4バイトBY0-3のデータを記憶する。この4バイトBY0-3のデータが、メモリの入出力端子DQ0-7, DQ8-15, DQ16-23, DQ24-31の、合計32の入出力端子を經由して入出力される。この各バイトの8ビットデータが画素の信号データに対応する。

10

【0020】

上記のメモリマッピング12は、複数バンク構成のSDRAMなどの画像メモリ15を高速動作させるのに適している。SDRAMは、バンクアドレスBAとロウアドレスRAと共に与えられるアクティブコマンドに 응답して、選択されたバンク内の選択されたワード線を駆動し、メモリセルのデータをビット線に読み出し、ビット線に対応付けられたセンスアンプを活性化してビット線電位を増幅するアクティブ動作を行い、その後、コラムアドレスCAと共に与えられるリードコマンドに 응답して、選択されたビット線からデータを読み出すリード動作を行う。あるいは、SDRAMは、アクティブ動作後に、コラムアドレスCAと書き込みデータと共に与えられるライトコマンドに 응답して、選択されたビット線に書き込みデータを書き込むライト動作を行う。リード動作またはライト動作の後にプリチャージコマンドによるプリチャージ動作が行われ、再度、アクティブ動作、リードまたはライト動作になる。このように、SDRAMでは、各バンクが独立してアクティブ動作、リード動作、ライト動作を行うことができる。

20

【0021】

図1のメモリマッピング12によれば、上下左右に隣接するページ領域14には異なるバンクアドレスBA0-3が対応付けられる。すなわち、メモリマッピング12の奇数行にはバンクアドレスBA0, 1が交互に配置され、偶数行にはバンクアドレスBA2, 3が交互に配置される。さらに、メモリマッピング12のラスタ方向(行方向)に、ロウアドレスRA0-7が2つずつ繰り返しながらインクリメントされ、メモリマッピング12の各行は、4つのロウアドレスRA0-3, RA4-7で折り返されている。

30

【0022】

このように画像上のページ領域を、メモリ上において、同一バンクのページ領域がロウ方向とコラム方向のいずれにも隣接しないように割り当てるメモリマッピングを採用すれば、画像メモリへの代表的なアクセスである水平アクセス、つまりページ領域14を行方向に移動して選択するアクセスでは、2つのバンクで同時にアクティブ動作とリード・ライト動作とを実行させながらアクセスすることができ、アクセス効率を高めることができる。また、垂直方向にアクセスする場合も同様である。

【0023】

図2は、画像メモリにおける2つのアクセスを示す図である。図2(A)の水平アクセスは、映像のフレーム画像の入出力時に多く発生するアクセスであり、画像を左上から右下に向けて水平方向20にアクセスするラスタスキャンに相当する。一方、図2(B)の矩形アクセスは、MPEGなどの画像の圧縮と伸長処理で多く発生するアクセスで、任意の縦横比の矩形22内を左上から右下に向けて矢印24のようにアクセスする動作に相当する。矩形領域22は、MPEGの動きベクトル抽出対象のブロックなどに対応する。

40

【0024】

一般に、画像メモリを使用する画像システムでは、フレームメモリである画像メモリの転送レートが画面表示動作よりも速く設定され、画像メモリの水平アクセスで読み出された画像データを画面表示している間に、矩形アクセスにより新しいフレームデータを作成し、とぎれることなくフレームデータの作成とフレームデータの出力とが行えるようになっている。このため、実際の画像システムでは水平アクセスと矩形アクセスとが混在する

50

ことになる。

【 0 0 2 5 】

水平アクセスでは、水平方向 2 0 にスキャンされるので、隣接するバンクを同時にアクティブさせながら効率的にメモリアクセスを行うことができる。一方、矩形アクセスでは、アクセスされる矩形領域 2 2 の位置を、単一のバンクを越えないようにし、更にバンク内のページ領域を超えないようにすることで、バンクアドレス B A とロウアドレス R A とを指定する 1 回のアクティブ動作で矩形領域 2 2 内のデータをアクセスできるので、水平アクセスと同様に効率的なメモリアクセスを行うことができる。

【 0 0 2 6 】

図 3 は、水平アクセスの課題を示す図である。前述のメモリマップ 1 2 において水平方向 2 0 にアクセスする水平アクセスのタイミングチャート 3 0 が示されている。このタイミングチャートでは、メモリマップ 1 2 の 4 行目のページ領域 (B A 0 / R A 4 , B A 1 / R A 4 , B A 0 / R A 5 , B A 1 / R A 5) を水平アクセス (図中 2 0) している時に、自動リフレッシュコマンド A R E F が発生している。タイミングチャート 3 0 には、コマンド C M D , クロック C L K , バンクアドレス B A , ロウアドレス R A , コラムアドレス C A , 入出力端子 D Q が示されている。

10

【 0 0 2 7 】

前提としてバーストレンジス B L は 4 に設定されている。アクティブコマンド A C T 3 2 で B A 0 / R A 4 のページ領域がアクティブ動作し、リードコマンド R D 3 3 で B A 0 / C A 0 の読み出しが指示されると、所定のレイテンシ (図中では 4 クロック) 後に 4 組の 3 2 ビットデータが入出力端子 D Q から 4 クロックサイクルで連続して出力される。つまり、ページ領域 B A 0 / R A 4 内のコラムアドレス C A 0 ~ C A 3 における 4 組の 3 2 ビットデータが 4 回に分けて連続出力される。このバースト動作は、S D R A M が規格上要求されている動作である。図 1 の拡大されたページ領域 1 4 E のコラムアドレス C A 0 ~ C A 3 の各 4 バイト (3 2 ビット) データが 4 回に分けて連続出力されることを意味する。

20

【 0 0 2 8 】

次に、アクティブコマンド A C T 3 4 とリードコマンド R D 3 5 で、ページ領域 B A 1 / R A 4 の 4 バイトデータが出力される。同様に、アクティブコマンド A C T 3 6 とリードコマンド R D 3 7 で、ページ領域 B A 0 / R A 5 の 4 バイトデータが、アクティブコマンド A C T 3 8 とリードコマンド R D 3 9 で、ページ領域 B A 1 / R A 5 の 4 バイトデータがそれぞれ出力される。

30

【 0 0 2 9 】

この時点で、ロウアドレス R A 6 を指定する自動リフレッシュコマンド A R E F 4 0 が発生すると、画像メモリを構成する S D R A M メモリは、内蔵する全てのバンク、4 バンク B A 0 - 3 でリフレッシュ動作を並列に実行する。つまり、4 バンク内のロウアドレス R A 6 のワード線が同時に駆動され、センスアンプが活性化され、再書き込みが行われ、プリチャージ動作が行われる。このリフレッシュ動作は、図 3 中のメモリマップ 1 2 中の 4 つのページ領域 3 1 に対して行われることを意味する。そのため、リフレッシュ動作期間 t_{REF} の間、水平アクセス (矢印 2 0) は一時的に停止する。そして、リフレッシュ動作期間 t_{REF} 後に、再度アクティブコマンド A C T 4 1 とリードコマンド R D (図示せず) により次のページ領域 B A 0 / R A 6 をアクセスすることで、水平アクセスを再開する。

40

【 0 0 3 0 】

自動リフレッシュコマンド A R E F によるリフレッシュ動作が 4 バンク同時に行われるので、水平アクセス中にリフレッシュコマンドが発生すると水平アクセスが一時的に中断することになり、実効的な帯域幅が狭くなる。これが、水平アクセスにおける課題である。

【 0 0 3 1 】

図 4 は、矩形アクセスの第 1 の課題を示す図である。図 4 (A) に水平アクセスの例が

50

、図4(B)に矩形アクセスの例が示される。いずれもコラムアドレスCAで選択されるメモリ単位領域(4バイト領域)45の境界を越えるアクセスである。前述したとおり、一般的なメモリマップによれば、バンクアドレスBAとロウアドレスRAで特定されるページ領域14内は、コラムアドレスCA0-127で選択される複数のメモリ単位領域45に区分され、1つのコラムアドレスCAにより4バイトBY0-3のデータが同時にアクセスされる。各バイトの8ビットデータが画素の信号に対応する。

【0032】

そのため、水平アクセスでは比較的無駄なくアクセスが行われるが、矩形アクセスでは無駄なデータの入出力が発生し、実効的な帯域幅が低下する。

【0033】

図4(A)の水平アクセスでは、領域22Aをアクセスする場合、ページ領域BA0/RA0を指定するアクティブコマンドACTに続いて、4つのリードコマンドRDがコラムアドレスCA0-3について発行され、コラムアドレスCA0-3それぞれの4バイトデータBY0-3が連続して入出力される。この場合、領域22Aは、コラムアドレスCA0のバイトBY2,3からコラムアドレスCA3のバイトBY0,1までを含むので、コラムアドレスCA0に対応する4バイトの入出力DQのうち、バイトBY0,1のデータは必要なく、コラムアドレスCA3に対応する4バイトの入出力DQのうち、バイトBY2,3のデータも必要ない。よって、有効出力データは、12バイト/16バイトである。

【0034】

これに対して、図4(B)の矩形アクセスでは、矩形領域22Bをアクセスする場合、ページ領域BA0/RA0を指定するアクティブコマンドACTに続いて、6つのリードコマンドRDがコラムアドレスCA0,1,4,5,8,9について発行され、それらのコラムアドレスCA0,1,4,5,8,9それぞれの4バイトデータBY0-3が連続して入出力される。しかし、矩形領域22Bがコラムアドレスで選択されるメモリ単位領域(4バイト領域)45の境界と一致せず且つ4バイト領域の境界を越えているので、各4バイトデータBY0-3のうちそれぞれ半分は必要のないデータになる。つまり、有効出力データは、12バイト/24バイトである。図4(B)はワーストケースを示している。

【0035】

このように、同じバイト数のデータであっても、上記の矩形アクセスは、6回のリードコマンドRDにより24バイトのデータを入出力する必要があるが、水平アクセスでは、4回のリードコマンドRDにより16バイトのデータを入出力すれば良い。よって、1つのコラムアドレスで選択される4バイト領域(メモリ単位領域)45の境界を越える矩形領域のアクセスは、実効的な帯域幅が低下する。これが、矩形アクセスの第1の課題である。

【0036】

図5は、矩形アクセスの第2の課題を示す図である。矩形アクセスは、任意の矩形領域に対するアクセスであり、矩形領域が隣接するページ領域14の境界14BOUを越える場合がある。図5には、矩形領域22(A)が同じページ領域BA1/RA6内の16バイト領域の場合と、矩形領域22(B)が4つの隣接するページ領域BA3/RA2, BA2/RA3, BA1/RA6, BA0/RA7にまたがる16バイト領域の場合とが示されている。

【0037】

矩形領域22(A)の場合は、タイミングチャートに示されるとおり、ページ領域BA1/RA6についての1回のアクティブコマンドACT(図中50)と、コラムアドレスCA6,7,10,11についての4回のリードコマンドRD(図中52)を発行すれば、16バイトのデータを入出力できる。

【0038】

一方、矩形領域22(B)の場合は、タイミングチャートに示されるとおり、ページ領

10

20

30

40

50

域 $BA3/RA2$, $BA2/RA3$, $BA1/RA6$, $BA0/RA7$ についての4回のアクティブコマンド ACT (図中54) と , コラムアドレス $CA127$ ($BA3$) , $CA124$ ($BA2$) , $CA3$ ($BA1$) , $CA0$ ($BA0$) についての4回のリードコマンド RD (図中56) を発行しなければ , 16バイトのデータを入出力できない。つまり , 矩形領域22が隣接するページ領域を含む場合は , 異なるバンクをアクティブ動作させるために , 複数回のアクティブコマンド ACT を発行し , それぞれのバンク内のコラムアドレスでリード RD またはライトコマンド WR を発行しなければならない。よって , 単位時間あたりにアクセスできるデータ量が減り , 実効的な帯域幅が狭くなる。

【0039】

図5の矩形領域22(B)が , コラムアドレスで選択されるメモリ単位領域(4バイト領域)の途中で区画される場合は , 図4で示した第1の課題も同時に有することになり , 複数回のアクティブコマンドを必要とすることに加えて(第2の課題) , リードコマンドに対する入出力データ DQ 内に不必要なデータが含まれる(第1の課題)ことになり , より一層 , 実効的な帯域幅の低下を招く。

10

【0040】

以上のとおり , 画像メモリにおいて $SDRAM$ の構造上の特性を利用したメモリマッピングを採用した場合 , 第1に水平アクセス中のリフレッシュコマンドの発生でアクセスが中断するという課題 , 第2に矩形アクセス領域がコラムアドレスで選択されるメモリ単位領域(4バイト領域)の境界を越える場合に入出力データに無駄が生じるという課題 , 第3に矩形アクセス領域がバンクアドレスで特定されるページ領域の境界を越える場合に複数

20

【0041】

[本実施の形態の概略説明]

以下は , それらの課題を解決する構成と動作について概略的に説明する。

【0042】

本実施の形態では , リフレッシュ動作に起因するアクセスの中断 , 矩形アクセスによるアクセス効率の低下などを解決するものであり , 第1に , 水平アクセス時にはアクセス動作と平行してバックグラウンドでリフレッシュ動作を可能にし , 第2に矩形アクセス時にコラムアドレスで選択されるメモリ単位領域(4バイト領域)とずれた領域またはメモリ単位領域を超える領域へのアクセスを効率的に行う機能を可能にし , さらに第3に矩形アクセス時にページ領域の境界を越えて複数のページ領域を含む矩形領域へのアクセスを効率的に行う機能を可能にする。

30

【0043】

図6は , 本実施の形態における全体の動作を示す図である。前述したとおり , 画像メモリを利用する画像システムでは , 画像メモリへの水平アクセスと矩形アクセスとが混在して発生する。図6の例は , メモリマップ12の1行目のバンクアドレス $BA0$, $BA1$ のページ領域に対する水平アクセス20-1と , 2行目のページ領域 $BA2/RA2$ に対する矩形アクセス22と , 2行目のバンクアドレス $BA2$, $BA3$ のページ領域に対する水平アクセス20-2とが順番に発生する例である。矩形アクセス22では , 1つのページ領域 $BA2/RA2$ 内のメモリ単位領域(4バイト領域)45の境界を越えた矩形領域に対してアクセスが行われている。

40

【0044】

この場合 , 矩形アクセスでは , メモリの任意のバンクにアクセスが発生するが , 水平アクセスでは , ある一定期間は決められたバンクにしかアクセスが発生しない。例えば , メモリマップ12内の1行目の水平アクセス中は , バンク $BA0$, 1にしかアクセスが発生せず , 2行目のバンク $BA2$, 3にはアクセスは発生しない。逆に , 2行目の水平アクセス中は , バンク $BA2$, 3にしかアクセスが発生せず , 1行目のバンク $BA0$, 1にはアクセスは発生しない。

【0045】

そこで , 水平アクセス20-1において , メモリアクセスに入る前に , 今後しばらくア

50

クセスが発生しないバンクを指定するバックグラウンド・リフレッシュコマンド $BREN$ を発行して、アクセスが発生しないバンク情報 $SA = 2 / 3$ をメモリに通知する。つまり、バックグラウンド・リフレッシュコマンド $BREN$ で指定されたバンク SA には、その後の自動リフレッシュ動作を許可する。よって、リフレッシュ動作を指定されたバンク $SA = 2, 3$ への通常アクセスは禁止される。

【0046】

図6の水平アクセス20-1では、バックグラウンド・リフレッシュコマンド $BREN$ (図中60)と共にその後のリフレッシュ動作を許可するリフレッシュバンク情報 SA (図中61)が発行され、その後、アクティブコマンド ACT でページ領域 $BA0 / RA0$ がアクティブ動作され、リードコマンド $RD(BA0, CA0)$ でコラムアドレス $CA0$ の4バイトデータ $BY0 - 3$ が入出力端子 DQ に出力される。同様に、アクティブコマンド ACT でページ領域 $BA1 / RA0$ がアクティブ動作され、リードコマンド $RD(BA1, CA0)$ でコラムアドレス $CA0$ の4バイトデータ $BY0 - 3$ が入出力端子 DQ に出力される。但し、図6では、 $BL = 4$ に対応する4組の4バイトデータの出力は省略されている。

10

【0047】

この水平アクセス20-1の期間内において、画像メモリ内でバックグラウンドリフレッシュコマンド $BREN$ に y おり軌道される自動リフレッシュリクエスト(図示せず)が発行されると、バンク $BA2, 3$ に対するリフレッシュ動作が開始される。しかし、水平アクセスは、バンク $BA0, 1$ に対するアクセスしか発生せず、且つ $SDRAM$ では異なるバンクは独立してアクティブ動作可能であるので、バンク $BA2, 3$ でのリフレッシュ動作により水平アクセスがディスターブされて中断することはない。

20

【0048】

次に、図6の矩形アクセスでは、矩形領域22が同じページ領域 $BA2 / RA2$ 内であって、コラムアドレス $CA0$ 内の後半の2バイト $BY2, 3$ と、コラムアドレス $CA1$ の前半の2バイト $BY0, 1$ とを含んでいる。この場合、 $SDRAM$ の一般的なリードコマンドによれば、コラムアドレス $CA0, 1$ に対して2回のリードコマンド RD を発行する必要がある。

【0049】

しかし、本実施の形態では、コラムアドレス $CA0$ (図中63)に対するリードコマンド RD (図中62)を発行し、そのアクセスでのバイト組み合わせ情報 SB (図中64)を供給することで、バイト組み合わせ情報 SB に対応する4バイトを自動的に入出力端子 DQ に対応付けることができる。上記の例では、バイト組み合わせ情報 SB として、2バイトシフトするバイトシフト情報 $SB = 2$ を指定することで、コラムアドレス $CA0$ の4バイトデータのうち2バイトシフトしたバイト $BY2, 3$ のデータと、その隣のコラムアドレス $CA1$ の4バイトデータのうち最初の2バイトのバイト $BY0, 1$ のデータとを自動的に出力する。

30

【0050】

図6の矩形アクセスでは、ページ領域 $BA2 / RA2$ に対するアクティブコマンド ACT に続いて、 $BA2 / CA0$ (図中63)を指定するリードコマンド $RD62$ がバイト組み合わせ情報 $SB = 2$ (図中64)と共に発行される。このバイト組み合わせ情報 $SB = 2$ は、4バイト領域内の2バイトシフトしたバイト $BY2$ から4バイトのデータの組み合わせを意味している。あるいは、このバイト組み合わせ情報 $SB = 2$ は、4バイト領域内の最初のバイト位置(スタートバイト)が $BY2$ であることを意味している。これに回答して、画像メモリは、コラムアドレス $CA0$ の4バイトデータのうち、2バイトシフトした(またはスタートバイト $BY2$ からの)バイト $BY2, 3$ のデータと、コラムアドレス $CA1$ のバイトデータ $BY0, 1$ のデータとを4バイトの入出力端子 DQ に対応させて出力する。メモリコントローラは、コラムアドレス $CA0, 1$ に対するリードコマンド RD を2回発行する必要はない。しかも、4バイトの入出力端子 DQ には全て必要なデータのみが出力され、不必要なデータは出力されずアクセス効率が高くなる。

40

50

【 0 0 5 1 】

更に、画像メモリは、BA2 / CA4を指定するリードコマンドRDが組み合わせ情報SB = 2と共に発行されると、コラムアドレスCA4, 5内それぞれ2バイトからなる4バイトデータを出力し、BA2 / CA8を指定するリードコマンドRDが組み合わせ情報SB = 2と共に発行されると、コラムアドレスCA8, 9内それぞれ2バイトからなる4バイトデータを出力し、BA2 / CA12を指定するリードコマンドRDが組み合わせ情報SB = 2と共に発行されると、コラムアドレスCA12, 13内それぞれ2バイトからなる4バイトデータを出力する。

【 0 0 5 2 】

その結果、矩形アクセス領域22が8つのコラムアドレスCA0, 1, 4, 5, 8, 9, 12, 13のメモリ単位領域(4バイト領域)を含んでいても、リードコマンドRDは、コラムアドレスCA0, 4, 8, 12に対して4回発行するだけでよく、且つ、入出力端子には不必要なデータの出力はなく、アクセス効率を2倍に高めることができる。

10

【 0 0 5 3 】

矩形アクセス後の水平アクセス20 - 2では、メモリマップ12の2行目のページ領域へのアクセスであるので、当分の間はバンクBA0, 1への通常アクセスは発生しない。そこで、前述と同様に、バックグラウンド・リフレッシュコマンドBREN(図中65)と共にリフレッシュ動作を許可するバンク情報SA(図中66)としてSA = 0 / 1が指定され、その後のバンクBA2, 3への通常アクセスに平行して、バンクBA0, 1への自動リフレッシュ動作が許可される。

20

【 0 0 5 4 】

以上のとおり、水平アクセス20 - 1, 20 - 2では、通常アクセス中にバックグラウンドでの自動リフレッシュを許可し、矩形アクセスではバックグラウンドでの自動リフレッシュを許可しない。その結果、水平アクセス20 - 1では、バンクBA0, 1で通常アクセス動作、バンクBA2, 3でリフレッシュ動作が平行して可能になり、水平アクセス20 - 2では、バンクBA2, 3で通常アクセス動作、バンクBA0, 1でリフレッシュ動作が平行して可能になる。これにより、リフレッシュ動作による水平アクセスのディスタープを回避することができ、実効的な帯域幅の低下を抑えることができる。

【 0 0 5 5 】

また、矩形アクセスでは、バックグラウンドリフレッシュ動作を禁止する。これにより、任意の領域への矩形アクセスが、リフレッシュ動作によって中断されることを防止することができる。よって、トータルの実効的な帯域幅の低下を抑制できる。

30

【 0 0 5 6 】

そして、矩形アクセスでは、バイトの組み合わせ情報SBをリードコマンドと共に指定することで、リードコマンドのコラムアドレスCAを先頭として任意のバイトの組み合わせで、組み合わせられたバイトデータを4バイトの入出力端子DQに出力することができる。バイトの組み合わせ情報SBは、アクティブコマンドに先立ってモードレジスタを設定するコマンドと共に指定することも可能である。

【 0 0 5 7 】

図7は、本実施の形態における全体の動作の別の例を示す図である。この例は、メモリマップの1行目のページ領域への水平アクセス20 - 1と、矩形アクセス22と、メモリマップの2行目のページ領域への水平アクセス20 - 2とが順に行われる例である。そして、矩形アクセス22では、矩形領域22がページ領域の境界14BOUを越えて4つのページ領域BA3 / RA2, BA2 / RA3, BA1 / RA6, BA0 / RA7を含んでいる。

40

【 0 0 5 8 】

水平アクセス20 - 1, 20 - 2では、図6と同様に、バックグラウンド・リフレッシュコマンドBRENと共にリフレッシュバンク情報SAを発行することで、そのバンクへのその後の自動リフレッシュ動作を許可して、水平アクセスがリフレッシュ動作でディスタープされることを防止する。そして、複数ページ領域、すなわち複数バンクを含む矩形領

50

域 2 2 への矩形アクセスでは、同時にアクティブ動作させるバンク情報としてマルチバンク情報 $S A'$ をアクティブコマンド $A C T$ と共に発行する。これに应答して、画像メモリは、アクティブコマンド $A C T$ と共に発行されるアドレス情報 $B A$ 、 $R A$ を左上として、マルチバンク情報 $S A'$ で指定された複数バンクのページ領域を同時にアクティブ動作する。その結果、1 回のアクティブコマンド $A C T$ に应答して、複数バンクを同時にアクティブ動作することができ、その後は、各バンクに対するリードコマンド $R D$ をバンクアドレス $B A$ とコラムアドレス $C A$ と共に発行することで、各バンク内のコラムアドレス $C A$ で選択されたメモリ単位領域（4 バンク領域）の 4 バンクデータを入出力端子 $D Q$ に出力することができる。

【 0 0 5 9 】

10

図 7 の矩形アクセスの例では、アクティブコマンド $A C T$ （図中 7 0）と共に左上のページ領域を特定するアドレス情報 $B A 3$ 、 $R A 2$ （図中 7 1）が発行され、それと同時に、マルチバンク情報 $S A' = 0 - 3$ （図中 7 2）も発行されている。これに应答して、画像メモリは、左上のページ領域のバンク $B A 3$ を先頭にして、マルチバンク情報 $S A'$ で指定された 4 バンク $B A 3$ 、 $B A 2$ 、 $B A 1$ 、 $B A 0$ を同時にアクティブ動作し、それに続く 4 つのリードコマンド $R D$ で指定されたバンク $B A$ / コラムアドレス $C A$ の 4 バイトデータを順に出力する。ライトコマンドの場合も同様である。図中では、4 つのリードコマンド $R D$ に対して、 $B A 3 / C A 1 2 7$ 、 $B A 2 / C A 1 2 4$ 、 $B A 1 / C A 3$ 、 $B A 0 / C A 0$ が供給され、それぞれの 4 バイトデータが出力されている。

【 0 0 6 0 】

20

マルチバンク情報 $S A'$ が「横方向の 2 バンク」であれば、アクティブコマンド $A C T$ で供給されるバンクアドレス $B A$ に対応する左上バンクの右隣のバンクも同時にアクティブ動作され、「縦方向の 2 バンク」であれば左上バンクの下隣のバンクも同時にアクティブ動作される。同様に、マルチバンク情報 $S A'$ が「縦横 4 バンク」であれば、左上バンクの右隣、下隣、右下隣の 4 つのバンクも同時にアクティブ動作される。したがって、マルチバンクを自動的にアクティブ動作させるためには、メモリマップの各行のロウアドレス $R A$ がどのように配置されているか、具体的にはロウアドレス $R A$ がどの単位で各行を折り返されているかの情報（ロウアドレスステップ情報）をあらかじめレジスタなどに設定しておくことが好ましい。

【 0 0 6 1 】

30

図 7 の矩形アクセスにおいて、アクティブコマンド $A C T$ 時のマルチバンク情報 $S A'$ に加えて、図 6 で説明したバイト組み合わせ情報 $S B$ がリードコマンド $R D$ と共に指定されると、ページ領域 1 4 の境界 1 4 $B O U$ を越えて、且つコラムアドレス $C A$ で選択されるメモリ単位領域（4 バンク領域）の一部のバイトの組み合わせについて、自動的に入出力端子 $D Q$ に対応付けることができる。

【 0 0 6 2 】

図 8 は、本実施の形態における画像処理システムの構成図である。画像処理システムは、メモリコントローラに対応する画像処理チップ 8 0 と、画像処理対象の画像データを記憶する画像メモリチップ 8 6 とで構成される。画像処理チップ 8 0 とメモリチップ 8 6 は半導体チップであり、それぞれ単一の半導体基板に集積回路が形成されている。

40

【 0 0 6 3 】

画像処理チップ 8 0 は、例えば $M P E G$ の画像圧縮と伸長に対応するエンコーダ、デコーダなどの画像処理を行う画像処理制御部 8 1 と、画像処理制御部 8 1 からの画像領域の指定を含むメモリアクセス要求に应答して、画像メモリチップ 8 6 へのアクセス制御を行うメモリ制御部 8 2 とを有する。メモリ制御部 8 2 は、水平アクセスでのバックグラウンドリフレッシュ動作を制御するバックグラウンドリフレッシュ制御部 8 4 と、矩形アクセスでメモリ単位領域（4 バイト領域）内の任意のバイトの組み合わせのアクセスを制御するバイトバウンダリ制御部 8 5 と、矩形アクセスで複数のページ領域を含むアクセスを制御するマルチバンク活性化制御部 8 3 とを有する。これらの制御により、それぞれの動作に必要なコマンドとバンクアドレス、ロウアドレス、コラムアドレス、バイト組み合わせ情報

50

S B , リフレッシュバンク情報 S A , マルチバンク情報 S A ' などを , 画像メモリ 8 6 に発行する。

【 0 0 6 4 】

画像メモリ 8 6 は , メモリコア 9 2 内に複数のバンク B a n k 0 - 3 を有し , これらのメモリコア 9 2 に対して , 主にアクティブ動作の制御を行うロウ制御部 8 7 と , リードやライト動作の制御を行うコラム制御部 9 0 と , バックグランドリフレッシュ制御部 8 9 とを有する。ロウ制御部 8 7 はマルチバンク活性化制御部 8 8 を有し , コラム制御部 9 0 はバイトバウンダリ制御部 9 1 を有する。また , 各バンク B a n k 0 - 3 内には , ロウデコーダ R o w D e c と , コラムデコーダ C o l D e c と , メモリアレイ M A と , センスアンブ群 S A と , メモリアレイ M A と入出力端子 D Q とを対応付ける入出力ユニット 9 3 など

10

【 0 0 6 5 】

図 9 は , 本実施の形態における画像メモリの構成図である。画像メモリチップ 8 6 は , 外部端子群 9 3 には , クロック C L K に加えて , R A S , C A S , W E , C S からなるコマンド端子 , バンクアドレス端子 B A 0 , B A 1 , リフレッシュバンク情報端子 S A 0 , S A 1 , 複数個のアドレス端子 A d d , 所定ビット数のバイト組み合わせ情報端子 S B , 所定ビット数のデータ入出力端子 D Q , そして , 図示しないマルチバンク情報端子 S A ' などが含まれる。

【 0 0 6 6 】

なお , 前述のバイトバウンダリ機能 , マルチバンクアクセス機能 , バックグランドリフレッシュ機能に必要な端子 S B , S A ' , S A は , 共通の特殊ピンによっても実現可能である。それらの情報は , 異なるコマンドと共に供給されるので , 供給コマンドに応じて特殊ピン入力データを対応するレジスタに設定すればよい。

20

【 0 0 6 7 】

また , これらの端子 S B , S A ' , S A は , 使用されていない端子で実現可能である。例えば , リード動作において , ロウアドレスがアドレス端子 A d d 0 ~ 1 2 で入力され , コラムアドレスがアドレス端子 A d d 0 ~ 9 で入力されるとすると , コラムアドレスが入力される時アドレス端子 A d d 1 0 ~ 1 2 は使用されていない。よって , コラムアドレス入力時に使用されていないアドレス端子 A d d 1 0 ~ 1 2 から制御データ S B , S A ' , S A を入力することができる。

30

【 0 0 6 8 】

これらの外部端子群 9 3 には , それぞれバッファ 9 4 を介して内部回路に接続される。上記のコマンド群はコマンド制御部 9 5 に入力され , コマンドに対応した制御信号が内部回路に供給される。また , モードレジスタセットコマンドに回答して , コマンド制御部 9 5 は , アドレスピン A d d に供給される設定データに基づいて , モードレジスタ 9 6 に所定の設定値を設定する。モードレジスタ 9 6 に設定された設定情報は内部回路に供給される。ロウ制御部 8 7 は , マルチバンク活性化制御部 8 8 を有し , さらにマルチバンク活性化に必要なロウアドレス演算部 9 7 と有する。マルチバンク活性化制御部 8 8 からは , 活性化すべきバンクにアクティブパルスが供給される。また , ロウアドレス演算部 9 7 からは , 活性化すべきロウアドレスが各バンクに供給される。そして , バンク B a n k 内にはバンク内のリフレッシュ対象のロウアドレスを指示するリフレッシュロウアドレス指示部 9 8 が設けられる。リフレッシュロウアドレス指示部 9 8 は , 例えばリフレッシュカウンタを有し , 自動リフレッシュコマンド発生時に必要なロウアドレスを生成する。バンク内の構成は前述の通りである。

40

【 0 0 6 9 】

以下 , 図 6 , 7 で説明したバイトバウンダリ機能と , マルチバンクアクティブ機能と , バックグランド・リフレッシュ機能とについて , 順番に , 画像メモリとメモリコントローラの詳細を説明する。

《バイトバウンダリ》

図 1 0 は , バイトバウンダリ機能を説明する図である。この図は , あるバンク内のロウ

50

アドレスRAとコラムアドレスCAとにより選択されるバイト群（またはビット群）を示している。前述したとおり、この例も、ロウアドレスRAとコラムアドレスCAとにより4バイトのデータ領域（メモリ単位領域）が選択され、32ビットの入出力端子DQ0 - 31と関連付けられる。よって、ロウアドレスRAとコラムアドレスCAの交差位置の「0123」は、それぞれバイトBY0, BY1, BY2, BY3を意味している。または、4バイトの代わりに4ビットであっても良い。その場合は、ロウアドレスRAとコラムアドレスCAとにより4ビットのデータ領域（メモリ単位領域）が選択され、4ビットの入出力端子DQ0 - 3と関連付けられる。以下は、簡単のために4バイトの例で説明する。

【0070】

図10(A)は従来例に対応し、ロウアドレスRAとコラムアドレスCAとにより4バイトのデータ領域が一意に決定し、常に4バイト領域（メモリ単位領域）100, 101の32ビットが入出力端子DQ0 - 31と関連付けられる。

【0071】

それに対して、図10(B)は本実施の形態に対応し、ロウアドレスRAとコラムアドレスCAとで特定される4バイト領域を先頭にして、任意のバイトの組み合わせで入出力端子DQ0 - 31と関連付けることができる。図中、RA = 0, CA = 0で選択される4バイト領域100は全てそのまま入出力端子DQ0 - 31と関連付けている。一方、RA = 2, CA = 1で選択される4バイト領域内の2バイトシフトした3バイト目から連続する4バイトの領域102を入出力端子DQ0 - 31と関連付けている。この場合は、RA = 2, CA = 1で選択される4バイト領域内のどのバイトを先頭にするかの第1の情報（スタートバイト）と、その先頭バイトからアップ方向に4バイト連続かダウン方向に4バイト連続かアップ方向に1つ置きかダウン方向に1つ置きかなどの第2の情報（ビッグエンディアンまたはリトルエンディアン）とが、リードコマンドやライトコマンドと共に与えられる。

【0072】

そして、上記の第1, 第2の情報からなるバイト組み合わせ情報に基づいて、画像メモリの入出力ユニットは、ページ内の異なるコラムアドレスCAに対応するバイトデータのうち合計で4バイトを抽出し、入出力端子DQ0 - 31に関連付ける。そして、必要な4バイトのデータを32ビットの入出力端子DQから1回で入出力する。

【0073】

図11は、バイトバウンダリ機能におけるタイミングチャートを示す図である。この例は、メモリマップ12内の4バイト102をアクセスする例である。まず、アクティブコマンドACT（図中110）と共にバンクアドレスBA = 0とロウアドレスRA = 2とが与えられ、対応するページ領域がアクティブ動作され、リードコマンドRD（図中111）と共にバンクアドレスBA = 0とコラムアドレスCA = 1（図中112）とが与えられ、更に、バイトの組み合わせ情報113として、バイトシフト量またはスタートバイトを示す第1の情報SB = 2（図中114）と組み合わせパターンを示す第2の情報BMR = UP（図中115）とが与えられる。

【0074】

画像メモリは、このバイト組み合わせ情報SB = 2, BMR = UPに基づいて、コラムアドレスCA = 1で選択される4バイト領域の後半の2バイトデータ（BY2, 3）と、コラムアドレスCA = 2で選択される4バイト領域の前半の2バイトデータ（BY0, 1）とを、それぞれ入出力端子DQ16 - 23, DQ24 - 31, DQ0 - 7, DQ8 - 15に図示されるとおり対応付ける。この対応付けは、たとえば図9のバイトバウンダリ制御部91により入出力ユニット93で行われる。よって、異なるコラムアドレスのデータであるにもかかわらず、リードコマンドRDを1回与えるだけで、任意の組み合わせの4バイトデータを入出力端子DQに対応付けることができる。ライトコマンドの場合も同様である。

【0075】

10

20

30

40

50

図 1 1 において，ロウアドレス RA とコラムアドレス CA とにより選択される 4 バイト領域は，4 ビット領域であっても同様のバイトバウンダリ機能を適用できる。その場合は，入出力端子 $DQ0 - 3$ に 4 ビット領域の 4 ビットデータが対応付けられる。

【 0 0 7 6 】

図 1 2 は，異なるマッピングに対するバイトバウンダリ機能を説明する図である。図 1 2 では，簡単のためにロウアドレス RA とコラムアドレス CA とにより選択されるメモリ単位領域が 4 ビットで構成されている。図 1 2 の左側には画像の画素とメモリ空間との対応を示すメモリマッピング 1 2 - 1，1 2 - 2 が，中央にはメモリの論理空間 1 5 - 1，1 5 - 2 が，そして，右側にはそれらに対応するタイミングチャートが示されている。

【 0 0 7 7 】

中央のメモリ論理空間 1 5 - 1，1 5 - 2 内には，ロウアドレス RA とコラムアドレス CA とで選択される 4 ビット領域内の 4 ビットを示す「0 - 3」が示され，入出力端子 $DQ0 - 3$ に対応する。また，左のメモリマッピング 1 2 - 1，1 2 - 2 内にも，画像の画素に対応するメモリ論理空間内の 4 ビットを示す「0 - 3」が示されている。つまり，画像の各画素がメモリの入出力端子 $DQ0 - 3$ にどのように対応付けられるかが，メモリマッピングに示されている。

【 0 0 7 8 】

画像システムでは，画像の画素を，あるアドレス BA ， RA ， CA で同時にアクセスされる 4 ビットの入出力端子 $DQ0 - 3$ のどれに対応付けるかは，システム設計者の自由である。マッピング 1 2 - 1 は，図中左から右の 4 つの画素をアドレスの進行方向（左から右）と同じ方向の入出力端子 $DQ0 - 3$ にマッピングする例であり，ビッグエンディアンと称されている。一方，マッピング 1 2 - 2 は，4 つの画素をアドレスの進行方向と逆方向の入出力端子 $DQ3 - 0$ にマッピングする例であり，リトルエンディアンと称されている。

【 0 0 7 9 】

そして，マッピング 1 2 - 1，1 2 - 2 においていずれも，画像の左上隅から 6 画素から 9 画素までの 4 画素 1 2 3，1 2 7 に矩形アクセスが発生している。しかし，これらのマッピングは，メモリ内の 4 ビットと逆方向にマッピングされているので，それぞれ異なるアクセスが必要になる。つまり，マッピング 1 2 - 1 の場合は，矢印 1 2 0 のように，画像の左から右の画素に対して， $CA = 1$ 内の $DQ1$ ， $CA = 1$ 内の $DQ2$ ， $CA = 1$ 内の $DQ3$ ， $CA = 2$ 内の $DQ0$ の順でデータを入出力する必要がある。一方，マッピング 1 2 - 2 の場合は，矢印 1 2 4 のように，画像の左から右の画素に対して， $CA = 1$ 内の $DQ2$ ， $CA = 1$ 内の $DQ1$ ， $CA = 1$ 内の $DQ0$ ， $CA = 2$ 内の $DQ3$ の順でデータを入出力する必要がある。

【 0 0 8 0 】

このような異なるマッピングに対応するためにビット組み合わせ情報 SB ， BMR が利用される。つまり，マッピング 1 2 - 1 の場合は，図中 1 2 1 のように，リードコマンド RD と共に $BA = 0$ ， $CA = 1$ からなる先頭アドレスと， $SB = 1$ ， $BMR = UP$ からなるビット組み合わせ情報とが発行され，それに応答して，図中 1 2 2 のように， $CA = 1$ の 3 ビット $DQ1$ ，2，3 と $CA = 2$ の $DQ0$ とが同時に出力される。

【 0 0 8 1 】

一方，マッピング 1 2 - 2 の場合は，図中 1 2 5 のように，リードコマンド RD と共に $BA = 0$ ， $CA = 1$ からなる先頭アドレスと， $SB = 1$ ， $BMR = DOWN$ からなるビット組み合わせ情報とが発行され，それに応答して，図中 1 2 6 のように， $CA = 1$ の 3 ビット $DQ0$ ，1，2 と $CA = 2$ の $DQ3$ とが同時に出力される。

【 0 0 8 2 】

このように，ビッグエンディアンとリトルエンディアンという異なるメモリマッピングに対応してビット組み合わせ情報 SB ， BMR を指定することで，画像メモリは，システム側のメモリマッピングに対応して 4 ビット同時に入出力することができる。このビット組み合わせ情報の種類を増やすことにより，様々なマッピングに対して柔軟な 4 ビットア

10

20

30

40

50

クセスを実現することができる。

【 0 0 8 3 】

図 1 3 は、図 1 2 のビッグエンディアンとリトルエンディアンとを説明する図である。図 1 3 は、左右どちらも入出力ビット幅が 4 ビットのメモリを使っている画像処理システムであり、左がメモリの入出力端子DQのDQ0からDQ3へ方向を順方向として扱うビッグエンディアンのシステム、右がメモリの入出力端子DQのDQ3からDQ0へ方向を順方向として扱うリトルエンディアンのシステムである。

【 0 0 8 4 】

画面上の画素位置(X0-X11)は、どちらも同じ画面上の物理位置を示している。そして、各画素位置が持っている「各画素の情報」は、両システムとも同じ"A"~"L"であり、このことは、どちらのシステムも同じ画像を表示していることを意味している。

10

【 0 0 8 5 】

ビッグエンディアンのシステムでは、画素位置X0~X3をメモリのアドレスCA0のDQ0~DQ3に、画素位置X4~X7をメモリのアドレスCA1のDQ0~DQ3に、画素位置X8~X11をメモリのアドレスCA2のDQ0~DQ3に対応させている。

【 0 0 8 6 】

一方、リトルエンディアンのシステムでは、画素位置X0~X3をメモリのアドレスCA0のDQ3~DQ0に、画素位置X4~X7をメモリのアドレスCA1のDQ3~DQ0に、画素位置X8~X11をメモリのアドレスCA2のDQ3~DQ0に対応させている。

【 0 0 8 7 】

つまり、両方のシステムを比較すると、画像処理システム内の画素X0~X3と入出力端子T0~T3の対応関係が、ビッグエンディアンとリトルエンディアンとで逆の関係になっている。よって、画素位置X0の画素情報"A"は、ビッグエンディアンのシステムとリトルエンディアンのシステムでは各々異なるメモリセルの物理位置(CA0のDQ0とCA0のDQ3)に格納されることになる。

20

【 0 0 8 8 】

ここで、画像処理システムが画素位置X5-X8の画素情報"F-G-H-I"に対する矩形アクセス(図中130)を発生した場合、ビッグエンディアンのシステムとリトルエンディアンのシステムで、メモリは各々異なるメモリセルの物理位置132, 134にアクセスしなくてはならない。そのため、メモリに供給される必要がある最低限の情報は、システムがビッグエンディアン(Up)かリトルエンディアン(Down)かという情報BMRと、起点となるビットが含まれるアドレスCAと、起点となるビットのアドレス内での位置情報SBの3つである。

30

【 0 0 8 9 】

上記のビッグエンディアンとリトルエンディアンは、アドレスRA,CAでアクセスされるメモリ単位領域が4バイト領域(バイト群)の場合も同じである。図14は、特殊なメモリマッピングにおけるバイトバウンダリ機能を説明する図である。図14も図12と同様に、左側にメモリマッピング12を、中央にメモリ論理空間15を、そして、右側に対応するタイミングチャートを示す。

【 0 0 9 0 】

図中、左側のメモリマッピング12には、フレーム画像内の各画素にメモリのどのビットを割り当てているかの状態を示している。この例では、1画素が2ビットの情報から構成されており、例えば偶数ビットは輝度、奇数ビットは色差を表すデータを保持している。

40

【 0 0 9 1 】

そこで、Grouping-1は左上隅の2画素目から5画素目における輝度情報(偶数ビット)のみを集める矩形アクセスであり、Grouping-2は左上隅の2画素目から5画素目における色差情報(奇数ビット)のみを集める矩形アクセスを意味している。この場合、Grouping-1/2ともに、画像の左上隅の2画素目から5画素目にかけての矩形アクセスだが、矢印140のような輝度(偶数ビット)と矢印144のような色差(奇数ビット)の違いがあるため

50

、タイミングチャートに示されるように、画像処理システムからメモリへのアクセスと入出力端子DQは以下の通りとなる。

Grouping-1 : CA=0/SB=2で、BMR = AL (1 ビット置きに 4 ビットを集める指定) (図中 1 4 1) のアクセスに対して、入出力端子DQ0-3には、CA=1のDQ0、CA=2のDQ0、CA=0のDQ2、CA=1のDQ2が対応付けられる (図中 1 4 2) 。

Grouping-2 : CA=0/SB=3で、BMR = AL (1 ビット置きに 4 ビットを集める指定) (図中 1 4 5) のアクセスに対して、入出力端子DQ0-3には、CA=2のDQ1、CA=1のDQ1,3、CA=0のDQ3が対応付けられる (図中 1 4 6) 。

【 0 0 9 2 】

このように、異なるコラムアドレスの 4 ビット領域内で同じDQ(例えばGrouping-1ではDQ0やDQ2)を同時にアクセスするので、そのデータを入出力端子DQに転送する入出力ユニットで、一部のデータについては端子を入れ替える処理、つまり別のDQのデータバスを使う処理が必要となる。

【 0 0 9 3 】

図 1 5 は、図 1 4 の特殊なメモリマッピングを説明する図である。図 1 5 は、入出力ビット幅が 4 ビットのメモリを使っている画像処理システムであり、特に、メモリの偶数DQを各画素の輝度情報に、奇数DQを各画素の色差情報に用いる画像処理システムである。そして、図 1 5 (A) は輝度情報のみアクセスする場合を示し、図 1 5 (B) は色差情報のみアクセスする場合を示す。

【 0 0 9 4 】

画面上の画素位置(X0-X5)は、左右どちらも同じ画面上の物理位置を示している。また、各画素位置は「輝度情報」として"A,C,E,G,I,K"を、「色差情報」として"B,D,F,H,J,L"を保持している。

【 0 0 9 5 】

ここで、画像処理システムが画素位置X1-X4の輝度情報"C-E-G-I"に対する矩形アクセス 1 5 1 を発生した場合は、図 1 5 (A) のように、メモリは偶数DQのみにアクセスし (図中 1 5 3) 、色差情報"D-F-H-J"に対する矩形アクセス 1 5 2 を発生した場合は、図 1 5 (B) のように、メモリは奇数DQのみにアクセス (図中 1 5 4) しなくてはならない。

【 0 0 9 6 】

このためにメモリが最低限受け取る必要がある情報は、システムが輝度情報を偶数DQに、色差情報を奇数DQに保持する方式を採用しているか(1DQ置きアクセスが必要かどうか)を示す情報(BMR=AL)と、起点となるビットが含まれるアドレス(CA)と、そのアドレスの 4 ビット領域内において起点となるビットの位置情報(SB)の 3 つである。これらのコラムアドレスCAとビット組み合わせ情報SB,BMRについては、図 1 4 ですでに説明済みである。

【 0 0 9 7 】

また、この場合、異なるアドレスで同じDQ(例えばGrouping-1ではDQ0やDQ2)を同時にアクセスするので、そのデータを入出力端子に転送する入出力ユニットで、一部のデータについては、別のDQのデータバスを使うように端子を入れ替える処理が必要となる。そのために、メモリ内に白丸と黒丸で示した複数のスイッチが設けられ、上記の情報SB、BMRに基づいてこれらのスイッチが制御される。

【 0 0 9 8 】

図 1 6 は、矩形アクセスにおけるバイトバウンダリ機能を示すタイミングチャート図である。この矩形アクセスは、図 6 の矩形領域 2 2 をアクセスする例である。前述のとおり、矩形アクセスにおいて、コラムアドレスCAで選択されるメモリ単位領域 (4 バイト領域または 4 ビット領域) 内の任意のバイト位置 (またはビット位置) から、任意の組み合わせのバイトデータ (ビットデータ) を読み出すためには、先頭のコラムアドレスCAと、バイトの組み合わせ情報 1 6 6 として第 1 の情報SBと第 2 の情報BMRとが必要である。

【 0 0 9 9 】

図 1 6 (A) では、これらのバイト組み合わせ情報SB、BMRが、リードコマンドR

10

20

30

40

50

Dと共に供給される例である。アクティブコマンドACT(図中161)でバンクアドレスBA=2とロウアドレスRA=2とが供給され、続くリードコマンドRD(図中162)でバンクアドレスBA=2, コラムアドレスCA=0と共に、先頭バイト(先頭ビット)位置を示す第1の情報SB=2(図中163)と、バイト(ビット)の組み合わせを示す第2の情報BMR=V(図中165)とが供給される。これにより、図6の矩形領域22の最初の4バイト(4ビット)が入出力端子DQに出力される。矩形領域22の残りの3組の4バイト(4ビット)も同様のバンクアドレスBA, コラムアドレスCAとバイト組み合わせ情報SB, BMRとにより特定される。

【0100】

図16(B)では、バイト組み合わせ情報SB, BMRのうち、第2の情報BMR(図中165)は、アクティブコマンドACTが発行される以前に、レジスタアクセスモードでモードレジスタセットコマンドEMRS(図中167)と同時に供給され、この第2の情報BMRはメモリ内のモードレジスタ内に記録される。そして、その後の矩形アクセスでは、この第2の情報BMRに基づいて、コラムアクセスが行われる。矩形アクセスでのアクティブコマンドACT(図中161)とリードコマンドRD(図中162)とは、第2の情報BMRを除いて図16(A)と同じである。

【0101】

上記の第2の情報BMR=Vは、ビッグエンディアン(V=UP), リトルエンディアン(V=DOWN), 輝度情報を偶数DQに色差情報を奇数DQに格納する場合(V=AL)などの様々な情報を持つことができる。

【0102】

画像システムは、図16(A), (B)のいずれの方式でも、矩形アクセスにおけるバイトバウンダリ機能を実現することができる。

【0103】

図17は、バイトバウンダリ機能を実現するための画像処理システムの構成図である。図8と同様に、画像メモリ86に対してそれを制御するメモリ制御部82が設けられ、メモリ制御部82からは、アドレス情報BA, RA, CAと、それにより選択される4バイト領域(または4ビット領域)内の先頭バイト(先頭ビット)を示す第1の情報SBと、バイトの組み合わせを示す第2の情報BMRとからなるバイト組み合わせ情報(ビット組み合わせ情報)166と、動作コマンドACT, RD, EMRSが、画像メモリ86に供給される。

【0104】

前述のとおり、タイミングチャート(A)では、リードコマンドRD, または図示しないライトコマンドWTと同時にバイト組み合わせ情報SB, BMR(図中166)が供給される。また、タイミングチャート(B)では、モードレジスタセットコマンドEMRS(図中167)と同時に第2の情報BMRが、リードコマンドRD, または図示しないライトコマンドWTと同時に第1の情報SBが供給される。

【0105】

図18は、バイトバウンダリ機能を示す図である。この図は、図6の矩形アクセスと同じである。図10以降では、コラムアドレスCAで選択されるメモリ単位領域が4ビット領域の場合を例にして説明してきた。しかし、前述のとおりメモリ単位領域が4バイト領域の場合も同様にバイトバウンダリ機能により矩形アクセスが可能である。図18はそれを改めて示している。

【0106】

図18の例では、ページ領域14(BA=0, RA=0)内の矩形領域22を効率的にアクセスするために、リードコマンドRD(図中167)と共に、バンクアドレスBA, コラムアドレスCAと、第1の情報SBと第2の情報BMRとからなるバイト組み合わせ情報166とが発行される。それに応答して、矩形領域22内の4バイトのデータBY0-3が入出力端子DQに同時に出力される。ライトコマンドWTの場合も同様の動作が行われる。つまり、入出力端子DQの4組の4バイト端子BY0-3には、最初のリードコ

10

20

30

40

50

マンドRDに対応してCA1, CA1, CA0, CA0内の各バイトデータが対応付けられ、次のリードコマンドRDに対応してCA5, CA5, CA4, CA4内の各バイトデータが対応付けられる。残りのリードコマンドRDに対応するコラムアドレスと入出力端子との対応は図示されるとおりである。

【0107】

このように、入出力端子DQが4ビット幅の場合も32ビット(4バイト)幅の場合も、同じようにビットバウンダリ、バイトバウンダリの機能を実現することができる。

【0108】

図19は、簡素化されたバイトバウンダリ機能を実現する画像処理システムの構成図である。前述したとおり、システム設計において、ビッグエンディアンとリトルエンディアンの2種類のメモリマッピングのいずれかが選択可能である。それに対応して、前述の実施の形態では、バイト組み合わせ情報の第2の情報BMRに、ビッグエンディアン用のBMR=UPと、リトルエンディアン用のBMR=DOWNとを指定して、バイトシフトした矩形アクセスであっても、画像上の画素とメモリ空間内でのバイト位置とが対応つけられるようにした。

10

【0109】

図19の例は、メモリマッピング12ではリトルエンディアンに対応した構成に設計される場合、メモリ空間15内ではビッグエンディアンに対応するバイトバウンダリ機能しか対応できなくても、画像メモリ86とメモリ制御部82との間に、入出力端子群の入れ替え手段190を設けることで、システム全体がリトルエンディアンに対応したバイトバウンダリ機能を実現することができる。

20

【0110】

すなわち、システム側のメモリマッピングがリトルエンディアンの場合は、入れ替え手段190を設けて両者の入出力端子群の0から3を、3から0に入れ替えるようにする。この結果、画像メモリからみるとシステム側がビッグエンディアン対応に見なせるので、第2の情報BMR=UPのみに対応するメモリの構成であっても、リトルエンディアンのバイトバウンダリ機能を実現できる。

【0111】

図20は、図19の簡素化されたバイトバウンダリ機能を実現する画像処理システムを説明する図である。図20(1)は、画像処理システム80と画像メモリ86とが互いの入出力端子T0-T3を入れ替えしないで接続する接続ユニット200で接続された例であり、図20(2)は、入れ替え接続する接続ユニット190で接続された例である。いずれの場合も、画像メモリ86は、ビッグエンディアン対応のビットバウンダリ機能のみを有し、画像処理システム80は、入出力ビット幅の4ビットのデータを、画素位置X0-X3を入出力端子T3-T1に対応付けるリトルエンディアンタイプである。

30

【0112】

図20(1)において、アドレス単位のアクセスをしている場合(A)では、画面上の画素位置(X0-X7)とメモリ側のアドレス(CA)が1対1(X0-X3とCA=0, X4-X7とCA=1)で対応しているので問題ない。しかし、信号SBを指定してビット単位のアクセスをしようとする場合(B)は、ビッグエンディアン対応のビットバウンダリ機能(BMR=UPのみ)しか存在しないメモリでは、画素位置のシフト(X1-X4(BCDE)、図中200)とメモリセルの物理位置のシフト(CBAH、図中201)の関係が一致せず、誤ったデータCBAHが転送されてしまう。この場合は、リトルエンディアン対応のビットバウンダリ機能(BMR=DOWN)があれば、メモリセル上のBCDEを出力することができる。しかし、ビッグエンディアンとリトルエンディアンの両方に対応可能なビットバウンダリ機能をメモリに持たせることはコストアップを招く。

40

【0113】

そこで、図20(2)のように、システム側とメモリ側で入出力端子をタスキがけ接続する接続ユニット190を設けて、画像上の画素X0-X3がメモリセル上でもDQ0-DQ3に対応するようにすれば、リトルエンディアンの画像処理システム80が、みかけ上、メモリ8

50

6からはビッグエンディアンのシステムにみえるようになるため、画素位置のシフト200とメモセルの物理位置のシフト202の関係が一致し、ビッグエンディアン対応のビットシフトしたアクセスを行っても正常なデータBCDEを転送することができる。

【0114】

以上の通り、入れ替え接続するたすきがけ変換可能な接続ユニット190を利用することで、ビッグエンディアン対応のビットバウンダリ（またはバイトバウンダリ）機能しかないメモリであっても、リトルエンディアン対応の画像処理システムに対してビットバウンダリ（またはバイトバウンダリ）機能を実現することができる。また、ビッグエンディアンとリトルエンディアンの両方に対応したビットバウンダリ（またはバイトバウンダリ）機能を有するメモリの場合は、入れ替え接続しない接続ユニット200でメモリとシステムとを接続すればよい。

10

【0115】

図21は、バイトバウンダリ機能を有するメモリ構成の概念を示す図である。このメモリは、1以上の任意数(Nb)のビットでビット群を構成し、前記任意数(Nb)のビットの2以上の倍数(N)の入出力端子(Nb x N)を持ち、前記所定の倍数(N)より多い複数のビット群(Ng)で全記憶領域(Nb x Ng)を構成し、第1の動作コードに同期して複数のビット群(Ng)の内の任意の1つを選択可能なアドレス情報を受け取り、前記アドレス情報で選択された任意の1つのビット群を起点に所定の規則に従い倍数(N)と同数のビット群を選択し、前記選択されたビット群に属する複数のビット(Nb x N)は、入出力端子(Nb x N)を通して、同時に記憶情報の受け渡しを行う。

20

【0116】

上記の任意数のビット(Nb)とは、ビット単位とバイト単位の両方を含む概念であり、前述の実施の形態例に従えば、Nb=8(1バイト)である。また、倍数(N)とは、1つのアドレスから、任意数のビット(Nb)の何倍のデータをアクセスするかを表現したもので、Nb x Nが入出力端子数に対応する。前述の実施の形態例に従えばN=4で、4バイト分の入出力端子数を有する。つまり、より正確には、入出力端子数はNb x Nとなり、入出力端子数=32(=8x4)となる。

【0117】

また、複数のビット群のNgとは、メモリが有する全てのビットまたはバイトのかたまり(Nbビットのビット群)の数のことであり、全記憶領域の容量をNbで割った数字と等価である。通常、一度に入出力されるビット群の数である倍数(N)より遥かに大きい数字になる。例えば64Mビットのメモリにおいて、Nb=1であればNg=64M、Nb=8であればNg=8Mである。これまでの例に従い、64Mビットのメモリで考えれば、Nb=8でNg=8Mになる。任意の1つのビット群を選択可能なアドレス情報とは、これまでの例に従えば、アドレス(BA,RA,CA)と起点となるビットを示す情報(SB)であり、アドレス(BA,RA,CA)により4バイトに絞り込んだデータを、さらに起点となるバイトを示す情報(SB)により、起点となるバイトに限定していた。

30

【0118】

規則に従い倍数(N)と同数のビット群を選択とは、これまでの例に従えば、起点となるバイトと同時にアクセスされるバイトの組み合わせに関する情報(BMR)に従い複数バイトを選ぶことであり、N=4なので、BMR=Upとすれば、ある任意のバイトから、Up方向に連続した4バイトを同時にアクセスすることになる。

40

【0119】

この任意の1つのビット群(これまでの例に従えば1バイト)を選択可能な情報(BA,RA,CA)と、起点となるバイトの情報(SB)と同時にアクセスされるバイトの組み合わせに関する情報(BMR)により選ばれた4バイトは、32ビット(=Nb x N)の入出力端子を介して、画像処理システムにアクセスされる。

【0120】

図21に示されたメモリ装置は、メモリ容量が64ビットである。よって、Nb=8ビットからなるビット群がNg=8群存在する。そして、アドレス(BA,RA,CA)とスタートバイトSB

50

とが合計3ビットで構成され、よって $N_g=8$ のビット群から1つのビット群が選択される。さらに、同時にアクセスされる $N=4$ 群のビット群は、組み合わせ情報(BMR)により決定される。よって、図21の例では、アドレス(BA,RA,CA)とスタートバイトSBとで第2群が選択され、組み合わせ情報BMR=UPにより、第2群から連続する4群(2~5群)が同時に入出力端子からアクセスされる。

【0121】

もし、同じ64ビットのメモリ容量であって、アドレスが1ビット増えると、 $N_b=4$ ビット単位のビット群が $N_g=16$ 群存在し、入出力端子が $N_b \times N=32$ のままだとすると、所定の倍数 $N=8$ となり、組み合わせ情報BMRにより他の7つのビット群が選択されることになる。

10

【0122】

[バイトバウンダリ機能を有するメモリ]

次に、バイトバウンダリ機能を有する画像メモリの構成を詳細に説明する。バイトバウンダリ機能は、コラムアドレスで選択可能なメモリ単位領域(4バイト領域)の境界を越えて4バイトのデータへのアクセスを可能にする。そのために、メモリ内では、必要な4バイトのデータを入出力する機能が付加される。以下の説明では、簡単のために、バイト組み合わせ情報として第1の情報SB(スタートバイトまたはスタートビットと称する)のみが与えられる場合を例にして説明する。第2の情報BMRはUP固定の例である。

【0123】

[内部コラム制御例]

まず、メモリ内部のコラム制御の具体例を幾つか説明する。

20

【0124】

図22は、バイトバウンダリ機能を有する画像メモリの第1の例を示す図である。また、図23は、図22の動作を説明する図である。

【0125】

図22において、図9の画像メモリと同じ構成要素には同じ引用文献番号が与えられている。アドレス信号Aはマルチプル方式で入力され、ロウアドレスRAはロウアドレスバッファ94Rに、コラムアドレスCAはコラムアドレスバッファ94Cにそれぞれラッチされる。ロウ制御部87は、選択されたメモリバンク92のロウデコード223にロウアドレスRAを供給する。また、コラムバッファ94C内のコラムアドレスCAも、選択されたメモリバンク内のコラムデコード222に供給される。

30

【0126】

メモリバンク92は、4つのメモリブロックであるバイト領域Byte0-3に分割され、各バイト領域は、メモリセルアレイ224と、第2アンプ225と、1対のデータラッチ226、227と、データバススイッチ228とを有し、1回のアクセスで1バイト(8ビット)のデータを入出力する。4つのバイト領域から合計で32ビット(4バイト)のデータが入出力バスI/Obusに入出力される。入出力バスI/Obusは32ビットの入出力端子DQ0-31にバッファを介して接続される。なお、図22には、1つのメモリバンク92のみ示され、残りの3つのメモリバンクは省略されている。

【0127】

コラム制御部90は、コラムデコード222の動作タイミングを制御するコラムタイミングコントローラ220と、データラッチ回路226、227とデータバススイッチ228を制御するデータラッチセクタ221とを有する。データラッチセクタ221は、コラムアドレスCAとスタートバイトSBとに応じて、各バイト領域Byte0-3内のデータラッチ回路226、227とデータバススイッチ228とを制御する。

40

【0128】

図23に示されるとおり、ロウアドレスRA0のページ領域内において、コラムアドレスCA0の2バイト目からコラムアドレスCA1の1バイト目までの4バイトデータをアクセスするものと仮定する。よって、スタートバイトSB=1である。

【0129】

50

図23のメモリチップ86には、メモリ空間と入出力端子DQとの関係が示されている。図23では、コラムアドレスCAにより一度に選択されるメモリ単位領域の4バイトデータをQ00～Q15で示している。つまり、コラムアドレスCA0により4バイトデータQ00～03が選択され、コラムアドレスCA1により4バイトデータQ04～07が選択される。

【0130】

図23の右側にはタイミングチャートが示されている。まず、アクティブコマンドACTと共に、図示しないバンクアドレスと共にロウアドレスRA0が与えられ、対応するバンク内のワード線が駆動されセンスアンプが活性化される。その後、リードコマンドRDと共にコラムアドレスCA0とバンク組み合わせ情報としてスタートバイト信号SB=1が与えられる。これに回答して、選択されたメモリバンク92内のコラムデコーダ222は、コラムアドレスCA0に対応する内部デコード信号222Dと、CA0を+1インクリメントしたCA1に対応する内部デコード信号222Dとを時分割で4つのバイト領域Byte0～3に出力し、各バイト領域では、CA0とCA1に対応する2組の1バイトデータをデータラッチ回路226、227にキャッシュする。そして、データバススイッチ228は、各バイト領域でのCA0とSB1の組み合わせに応じて選択される1バイトデータをいずれかのデータラッチ回路226、227から入出力バスI/O busに出力する。つまり、CA0のデータQ01、Q02、Q03と、CA1のデータQ04とが入出力バスI/O busに出力される。ライト動作のときは、入出力バスからいずれかのデータラッチ回路に1バイトのデータが入力される。

【0131】

すなわち、コラムデコーダは1回のアクセスで各バイト領域で1バイト分のコラム線（ビット線）を選択する。リード動作では、各バイト領域のメモリセルアレイ224から1バイト分のデータが選択され第2アンプ225で増幅されデータラッチ回路226、227にキャッシュされる。このとき、各バイト領域では、同じコラムアドレスCAにマッピングされたメモリセルにアクセスする。コラムアドレスで選択できるメモリ単位領域（4バイト領域）の境界をまたぐバイトバウンダリアccessを実現する為、コラムデコーダ222は1回目のアクセス終了後に再度コラム線の選択を行う。このコラム線のアドレスは前回のアドレスCA0より1番地進行したCA1である。メモリセルアレイ224から読み出された1バイトのデータは第2アンプで増幅され、1回目のアクセスとは異なるデータラッチ回路227にキャッシュされる。

【0132】

したがって、データラッチ回路226、227には1回のアクセスで入出力端子DQが必要とする4バイトの2倍の8バイト分のデータが存在する為、データバススイッチ228は、各バイト領域のデータラッチ回路にキャッシュされた2バイト分のデータから半分の1バイト分のデータを選択し、入出力バスI/O busに転送する。データラッチセレクタ221は、コラムアドレスCA0とスタートバイト信号SB=1に応じて、各バイト領域内のデータラッチ回路226、227へのキャッシュ動作と、データバススイッチ228でのスイッチ動作とを制御する。これにより、各バイト領域から異なるコラムアドレスCA0、CA1に対応するバイトデータを入出力バスI/O busに転送することができる。

【0133】

その結果、図23に示されるとおり、入出力バスI/O busを經由して、入出力端子DQには、4バイトのデータQ04、Q01、Q02、Q03がそれぞれ転送される。このように、第2アンプ225、データラッチ回路226、227、データバススイッチ228で、入出力ユニット93が構成される。

【0134】

図24は、バイトバウンダリ機能を有する画像メモリの第2の例を示す図である。また、図25は、図24の動作を説明する図である。

【0135】

10

20

30

40

50

図 2 4 において、図 2 2 と異なる構成は、メモリバンク 9 2 内の各バイト領域 Byte 0 - 3 において、メモリセルアレイが 2 つのアレイ 2 2 4 - 0 , 2 2 4 - 1 に分割され、それぞれに第 2 アンプ 2 2 5 , データラッチ回路 2 2 6 , 2 2 7 が設けられている。1 対のメモリセルアレイ 2 2 4 - 0 , 2 2 4 - 1 は、コラムアドレス CA が偶数 (CA [0] = 0) と、奇数 (CA [0] = 1) とに対応している。そして、コラムデコーダ 2 2 2 は、与えられたコラムアドレス CA 0 から、CA 0 と CA 1 のデコード信号を時分割で出力するのではなく、それら 2 つのデコード信号 2 2 2 D 0 , 2 2 2 D 1 を同時に分割された 1 対のメモリセルアレイ 2 2 4 - 0 , 2 2 4 - 1 に出力する。それに応答して、1 対のメモリセルアレイは、それぞれ 1 バイトデータをデータラッチ回路 2 2 6 , 2 2 7 に出力する。これにより、各バイト領域は供給されたコラムアドレス CA と + 1 インクリメントしたコラムアドレスの 2 バイトのデータを同時にキャッシュすることになる。そして、データラッチセクタ 2 2 1 が、コラムアドレス CA とスタートバイト信号 SB とに応じて、データバススイッチ 2 2 8 の切り替えを制御し、必要な 1 バイトデータを入出力バスに転送する。4 つのバイト領域がそれぞれ 1 バイトずつのデータを出力し、合計で 4 バイトのデータが入出力端子 DQ から出力される。

【 0 1 3 6 】

ライトコマンドの場合は、入出力端子 DQ に供給された 4 バイトのデータが、コラムアドレス CA とスタートバイト信号 SB とに応じて切替制御されたデータバススイッチ 2 2 8 を介して、2 つのデータラッチ回路 2 2 6 , 2 2 7 に格納され、2 つのメモリセルアレイ 2 2 4 - 0 , 2 2 4 - 1 に書き込まれる。

【 0 1 3 7 】

図 2 5 には、スタートバイト信号 SB = 1 , バースト長 BL = 4 の場合の動作が示されている。リードコマンド RD と同時にコラムアドレス CA 0 とスタートバイト信号 SB = 1 が供給され、バースト長 BL = 4 がモードレジスタにセットされているとすると、コラムデコーダ 2 2 2 が、コラムアドレス CA 0 とそれを + 1 インクリメントした CA 1 に対応するデコード信号 2 2 2 D 0 , 1 を同時に、各バイト領域 Byte 0 - 3 に供給する。それに応答して、各バイト領域の 1 対のメモリセルアレイ 2 2 4 - 0 , 2 2 4 - 1 が、第 2 アンプ 2 2 5 を介して、それぞれ 1 バイトのデータをデータラッチ回路 2 2 6 , 2 2 7 に出力する。これにより、各バイト領域から 2 バイトのデータがキャッシュされる。そして、データラッチセクタ 2 2 1 が、コラムデータ CA とスタートバイト信号 SB に基づいて、各バイト領域においていずれのデータラッチ回路のデータを選択するかの制御信号 S 2 2 1 (4 つのバイト領域に 1 ビットずつ合計 4 ビット) をデータバススイッチ 2 2 8 に供給し、データバススイッチ内のスイッチ動作を制御する。その結果、最初のサイクルでは、4 バイトのデータ Q 0 4 , Q 0 1 - 0 3 が入出力バス I / O b u s に転送される。

【 0 1 3 8 】

図 2 5 では、バースト長 BL = 4 であるため、コラムタイミングコントローラ 2 2 0 の制御にしたがって、コラムデコーダ 2 2 2 は、コラムアドレス CA 2 , CA 3 に対応するデコード信号 2 2 2 D 0 , 2 2 2 D 1 を発行し、更に 8 バイトのデータをデータラッチ回路 2 2 6 , 2 2 7 にキャッシュする。データラッチ回路 2 2 6 , 2 2 7 は、CA 0 , CA 1 の 8 バイトデータも保持する必要があるため、各データラッチ回路はそれぞれ 2 バイトのデータを保持できる構成になっている。その結果、新たに 8 バイトデータ Q 0 8 - Q 1 5 がデータラッチ回路にラッチされる。そして、前クロックサイクルで保持していた 8 バイトデータ Q 0 0 - Q 1 5 と現クロックサイクルで保持した 8 バイトデータ Q 0 8 - A 1 5 から、4 バイトデータ Q 0 5 - Q 0 8 がデータバススイッチ 2 2 8 により入出力バスに転送される。よって、この場合のデータラッチセクタ 2 2 1 のセレクト信号 S 2 2 1 は、8 ビット (各バイト領域に 2 ビット) で構成される。

【 0 1 3 9 】

そして、次のクロックサイクルで、コラムデコーダ 2 2 2 は、コラムアドレス CA 4 , CA 5 に対応するデコード信号 2 2 2 D 0 , 2 2 2 D 1 を発行し、更に 8 バイトのデータ Q 1 6 - Q 2 3 をデータラッチ回路にキャッシュする。そして、データバススイッチ 2 2

10

20

30

40

50

8 は、4 バイトのデータ Q 0 9 - Q 1 2 を転送する。そして、更に次のクロックサイクルでは、データバススイッチ 2 2 8 が 4 バイトデータ Q 1 3 - Q 1 6 を入出力バスに転送する。この時は、メモリセルアレイから新たに 8 バイトデータをキャッシュする必要はない。

【 0 1 4 0 】

ライト動作も、前述と同様であり、バースト長 B L = 4 の場合は、4 サイクルで 4 バイトデータが入出力端子 D Q に供給され、データバススイッチ 2 2 8 を介してデータラッチ回路 2 2 6、2 2 7 に格納される。そして、コラムデコーダ 2 2 2 からのコラムアドレス C A 0、1、C A 2、3、C A 4、5 のデコード信号にตอบสนองして、合計で 1 6 バイトデータが 3 サイクルでメモリセルアレイ内に書き込まれる。

10

【 0 1 4 1 】

図 2 6 は、バイトバウンダリ機能を有する画像メモリの第 2 の例の変形例 (1) の動作を示す図である。図 2 5 の例では、各バイト領域 B y t e 0 - 3 が 2 バイトのデータを 1 対のデータラッチ回路 2 2 6、2 2 7 に同時にキャッシュしていた。それに対して、図 2 6 の変形例では、リードコマンド R D 後の最初のコラム制御では、コラムデコーダ 2 2 2 がコラムアドレス C A 0、C A 1 の内部デコード信号 2 2 2 D 0、2 2 2 D 1 を同時に発行して、各バイト領域で 2 バイトのデータを 1 対のデータラッチ回路に同時にキャッシュする。そして、その後のキャッシュ動作では、コラムデコーダ 2 2 2 が、偶数側 (C A 2、C A 4) の内部デコード信号 2 2 2 D 0 と奇数側 (C A 3) の内部デコード信号 2 2 2 D 1 とを、交互に発行し、各バイト領域は 1 バイトデータを 1 対のデータラッチ回路 2 2 6、2 2 7 に交互にキャッシュする。

20

【 0 1 4 2 】

つまり、最初は 8 バイトデータ Q 0 0 - Q 0 7 をキャッシュし、次からは 4 バイトデータ Q 0 8 - Q 1 1、Q 1 2 - Q 1 5、Q 1 6 - Q 1 9 をデータラッチ回路にキャッシュする。そして、データバススイッチ 2 2 8 が、転送すべき 4 バイトデータ D Q 1 - D Q 4、Q 0 5 - Q 0 8、Q 0 9 - Q 1 2、Q 1 3 - Q 1 6 を入出力バスに順番に転送する。この場合も、データラッチセレクト 2 2 1 のセレクト信号 S 2 2 1 は、8 ビット (各バイト領域に 2 ビット) で構成される。以上のように、リード動作において、コラムアドレスのデコード信号によるメモリセルアレイからのデータのデータラッチ回路へのキャッシュ動作は 4 サイクルで行われ、データラッチ回路から入出力バスへのデータ転送動作も 4 サイクルで行われる。

30

【 0 1 4 3 】

書き込み動作の場合も、4 サイクルで 4 バイトデータが入出力端子 D Q に供給され、4 サイクルでデータバススイッチ 2 2 8 を介してデータラッチ回路 2 2 6、2 2 7 に格納される。そして、コラムデコーダ 2 2 2 からのコラムアドレス C A 0 / 1、C A 2、C A 3、C A 4 のデコード信号にตอบสนองして、合計で 1 6 バイトデータが 4 サイクルでメモリセルアレイ内に書き込まれる。

【 0 1 4 4 】

図 2 7 は、バイトバウンダリ機能を有する画像メモリの第 2 の例の変形例 (2) の動作を示す図である。この例は、D D R (Double Data Rate) に適用される例である。D D R の S D R A M は、クロック C L K の立ち上がりエッジと立ち下がりエッジの両方で D Q 端子からデータの入出力を行う。つまり、立ち上がりエッジで 4 バイトデータ Q 0 5 - Q 0 8、立ち下がりエッジで 4 バイトデータ Q 0 9 - Q 1 2 がそれぞれ入出力される。

40

【 0 1 4 5 】

このように入出力レートが 2 倍になるので、メモリ内部のキャッシュするデータ量も 2 倍にする必要がある。図 2 7 の例では、リードコマンド R D の後の最初のキャッシュサイクルで 1 6 バイトのデータ Q 0 0 - Q 0 3、Q 0 4 - Q 0 7、Q 0 8 - Q 1 1、Q 1 2 - Q 1 5 が同時にデータラッチ回路にキャッシュされ、1 6 バイトデータから 4 バイトデータ Q 0 5 - Q 0 8 がクロックの立ち上がりエッジで I / O バスに転送され、次の 4 バイトデータ Q 0 9 - Q 1 2 がクロックの立ち下がりエッジで I / O バスに転送される。

50

【 0 1 4 6 】

図 2 7 のような 1 6 バイトデータの一括キャッシュを可能にするために、メモリは、図 2 4 におけるバイト領域 Byte 0 - 3 内で、4 つのメモリセルアレイに分割され、それぞれに第 2 アンプ、データラッチ回路が設けられる。そして、各バイト領域で、コラムデコーダ 2 2 2 は、先頭コラムアドレス CA 1 に対応してコラムアドレス CA 0 - 3 の内部デコード信号を、4 つのメモリセルアレイに供給し、4 バイトデータが 4 つのデータラッチ回路にキャッシュされる。そして、4 つのデータラッチ回路からデータラッチセレクト信号 S 2 2 1 によりデータバススイッチ 2 2 8 により選択されたデータラッチ回路の 1 バイトデータが入出力バスに転送される。図中、コアバス Core bus は、メモリセルアレイの入出力バスに対応し、それらのデータはデータラッチ回路にキャッシュされる。

10

【 0 1 4 7 】

なお、図 2 7 の例では、入力コラムアドレス CA の LSB (CA [0]) を無視する構成になっていて、入力コラムアドレス CA 0 , CA 1 のいずれの場合も、常にコラムアドレス CA 0 - 3 に対応するデータがアクセスされる。つまり、入力コラムアドレスが奇数、偶数に関わりなく、ペアリングされるコラムアドレスは固定的になっている。

【 0 1 4 8 】

さらに、次のクロックサイクルでは、コラムデコーダ 2 2 2 がコラムアドレス CA 4 - 7 の内部デコード信号を 4 つのメモリセルアレイに発行し、さらに 4 バイトデータを 4 つのデータラッチ回路にキャッシュする。これにより、1 6 バイトデータ Q 1 6 - Q 3 1 がデータラッチ回路にラッチされ、そのなかから選択された、4 バイトデータ Q 1 3 - Q 1 6 と、4 バイトデータ Q 1 7 - Q 2 0 とが、クロックの立ち上がりエッジと立ち下がりエッジでそれぞれ出力される。

20

【 0 1 4 9 】

ライト動作では、上記と逆方向に書き込みデータが入出力端子 D Q からデータラッチ回路を介してメモリセルアレイ内に書き込まれる。

【 0 1 5 0 】

図 2 7 の場合も、データラッチセレクト信号 S 2 2 1 は、各バイト領域に 2 ビット、合計で 8 ビットの制御信号である。そのようなデータラッチセレクト信号は、コラム制御部 9 0 内のデータラッチセクタ 2 2 0 がコラムアドレス CA とスタートバイト信号 S B に応じて生成する。

30

【 0 1 5 1 】

図 2 8 は、バイトバウンダリ機能を有する画像メモリの第 2 の例の変形例 (3) の動作を示す図である。これも図 2 7 と同様に D D R に対応する動作例であり、図 2 7 と異なる点は、入力コラムアドレス CA が奇数が偶数かに応じて、同時にコラムアクセスされるアドレスの組み合わせが異なる。つまり、入力コラムアドレス CA とそれに + 1 , + 2 , + 3 した CA に対応するデータが同時にアクセスされる。つまり、入力コラムアドレス CA 1 の場合は、CA 1 , CA 2 , CA 3 , CA 4 のデータがアクセスされる。つまり、コラムデコーダは、入力コラムアドレス CA の LSB (CA [0]) を監視して、同時アクセスすべきコラムアドレスを決定する。

【 0 1 5 2 】

図 2 8 に示されるとおり、入力コラムアドレス CA 1 に対して、コラムデコーダは、CA 1 - CA 4 の内部デコード信号 2 2 2 D 0 - 3 を生成し、各バイト領域で 4 バイトデータ、合計で 1 6 バイトデータがデータラッチ回路にキャッシュされる。そして、次のクロックサイクルでは CA 5 - CA 8 の内部デコード信号 2 2 2 D 0 - 3 を生成し、更に 1 6 バイトデータがキャッシュされる。よって、キャッシュされる 1 6 バイトデータが、図 2 7 と 4 バイトだけずれている。

40

【 0 1 5 3 】

よって、図 2 8 のリード動作及びライト動作も図 2 7 と同様のメモリ構成で実現できる。

【 0 1 5 4 】

50

図29は、バイトバウンダリ機能を有する画像メモリの第3の例を示す図である。また、図30は、図29の動作を説明する図である。第3の例では、バイトバウンダリ機能により入出力される4バイトデータQ01 - Q04を、各バイト領域Byte0 - 3への1回のコラムアクセスによりアクセスし、入出力バスに転送する。つまり、前述の第1、第2の例のように隣接するコラムアドレスのメモリ単位領域に対する4バイトデータのアクセスのために、それより多い8バイトデータまたは16バイトデータを隣接コラムアドレスの複数メモリ単位領域からキャッシュをすることはしない。

【0155】

図29に示されるとおり、コラム制御部90は、コラムアドレスコントローラ290を有し、メモリバンク92内の各バイト領域Byte0 - 3内のコラムシフト回路291に、コラムアドレスCAを+1シフトすべきか否かのシフト制御信号S290を供給する。各バイト領域は、コラムシフト291と、その出力をデコードするコラムデコーダ222と、内部デコード信号222Dにより1バイトデータを入出力するメモリセルアレイ224と、第2アンプと、データラッチ回路226と、データバススイッチ回路228とを有する。各バイト領域内のコラムシフト291は、シフト制御信号S290にตอบสนองして、コラムアドレスCAを+1シフトする又はシフトしないでコラムアドレスをコラムデコーダ222に出力する。データラッチ回路226は、1バイトデータのみ保持できればよい。したがって、データバススイッチ回路228は、データラッチ回路226内の1バイトデータを常に選択して、入出力バスI/O busに転送するだけである。

【0156】

図30の動作を示す図によれば、コラムアドレスコントローラ290が、入力コラムアドレスCA0とスタートバイト信号SBとに応じて、バイト領域Byte0のコラムシフト291にコラムアドレスCA0を+1シフトしてCA1を生成させるよう制御し、他のバイト領域Byte1 - 3のコラムシフトには+1シフトさせないように制御する。その結果、バイト領域Byte0では、コラムアドレスCA1に対応する内部デコード信号222Dに基づいて1バイトデータQ04がアクセスされ、データラッチ回路226にラッチされる。また、他のバイト領域Byte1 - 3では、コラムアドレスCA0に対応する内部デコード信号222Dにもとづいて各1バイトデータQ01、Q02、Q03がアクセスされ、データラッチ回路226にラッチされる。

【0157】

上記のとおり、図29、図30の第3の例では、メモリ内部でコラムアドレスをアクセス対象の4バイトデータに対応させて発生しているので、その分コラムデコーダ側が複雑な構成になるが、4バイトより多いバイトデータのキャッシュ動作をなくすることができるので、入出力ユニット93での構成がシンプル化され、且つメモリバンク内の消費電力を削減することができる。

【0158】

リード動作では、各バイト領域でコラムデコーダ222からのコラムアドレスに対応する1バイトデータをデータラッチ回路226に出力し、データバススイッチ228を介して入出力端子DQに転送する。ライト動作では、入出力端子DQに入力された4バイトデータが、各バイト領域でデータバススイッチ228を介してデータラッチ回路226にラッチされる。そして、各バイト領域でコラムデコーダ222からのコラムアドレスに対応するメモリにラッチされたデータが書き込まれる。

【0159】

上記の図22～図31に示したバンク内の4つのバイト領域は、コラムアドレスで選択されるメモリ単位領域が4ビットで構成される場合は、4つのビット領域になり、各ビット領域からは1ビット単位のデータが複数組または単数組でアクセスされる。

【0160】

[入出力端子との対応制御]

次に、画像メモリ内における入出力端子DQとメモリセルアレイ内のバスまたはデータラッチ回路との対応制御例について説明する。

【 0 1 6 1 】

図 3 1 は、バイトバウンダリ機能を有する画像メモリの入出力端子との対応手段を示す図である。図 3 2 は、図 3 1 の動作を示す図である。この入出力端子との対応手段では、図 3 2 に示されるとおり、メモリ空間内のコラムアドレス CA に対応する 4 バイトデータは、常に同じ入出力端子群 DQ [7 : 0] ~ DQ [3 1 : 2 4] に対応付けられ、動的に対応関係を入れ替えることは行わない。つまり、入出力端子 DQ とメモリ内のバス（メモリセルアレイ 2 2 4 の入出力バス）との対応関係（割付関係）は、スタートバイト信号 S B の影響を受けず常に固定的である。よって、ライト時とリード時でスタートバイト信号 S B が異なっているとしても、ライト時に入力される入出力端子 D Q とリード時に出力される入出力端子 D Q とは同じ端子である。

10

【 0 1 6 2 】

図 3 1 には、コラムアドレス CA で選択される 4 バイト領域の境界をまたぐ 4 バイトアクセスする場合の DQ 端子との接続方法が示されている。この図ではコラムアドレス CA0 内の 4 バイト領域の Byte1 (Q 0 1) からのリード動作 (S B = 1) を想定している。

【 0 1 6 3 】

入出力端子 DQ の入れ替えを行わない場合、Byte1 のデータとして記憶したデータはスタートバイト信号 S B に依存せず必ず Byte1 に対応する DQ 端子に出力される。そのため、メモリセルアレイ 2 2 4 と入出力バッファ 9 4 I/O の接続は常に固定的に割り付けられる。従って、スタートバイト信号 S B の指定は、単にメモリセルアレイ 2 2 4 のどのコラムアドレス CA のバスを入出力バッファ 9 4 I/O に接続すべきかの判別に利用される。

20

【 0 1 6 4 】

図 3 1 の例は、図 2 2 の第 1 の例、図 2 4 の第 2 の例に対応する構成例であり、各バイト領域 Byte 0 - 3 が 1 対の領域（奇数コラムアドレス、CA [0] = 0 と、偶数コラムアドレス、CA [0] = 1）に分割されている。つまり、図 2 4 と同様に、コラムアドレス CA が奇数と偶数の 2 つのメモリセル領域が存在し、その中がさらに 4 つの Byte 領域に分割されている。バイト領域 Byte0 Area ~ Byte3 Area は、コラムデコーダからデータラッチ回路までを含むものとする。リード動作の場合、1 回のアクセスに必要なデータの 2 倍のデータが Byte Area から出力され、データバススイッチ 2 2 8 のスイッチ群（図中 8 個の四角）でその半分の 4 バイトデータが入出力バッファ 9 4 I/O に接続される。

【 0 1 6 5 】

このように入出力端子 DQ の入れ替えを行わない場合、メモリセルの Byte1 Area から出力されたデータ Q01 は入出力バッファ 9 4 I/O の Byte1 に相当する入出力端子 DQ [15 : 8] に必ず接続される。従って、バイトスタート信号 SB を用いたデータバススイッチ 2 2 8 の制御は、2 つのコラムアドレス CA に対応する領域のいずれのデータラッチ回路を入出力バッファ 9 4 I/O と接続するかの制御である。

30

【 0 1 6 6 】

図 2 4 における 4 つのバイト領域 Byte 0 - 3 内のデータバススイッチ 2 2 8 が、図 3 1 のデータバススイッチ 2 2 8 にまとめて示されている。よって、各バイト領域のデータバススイッチ 2 2 8 は、図 3 1 内の同じ入出力端子 D Q に対応する 1 対のスイッチで構成される。

40

【 0 1 6 7 】

図 3 3 は、バイトバウンダリ機能を有する画像メモリの入出力端子との対応手段を示す図である。図 3 4 は、図 3 3 の動作を示す図である。この入出力端子との対応手段では、図 3 4 に示されるとおり、メモリ空間内のコラムアドレス CA に対応する 4 バイトデータは、スタートバイト信号 S B に応じて先頭バイトから順番に入出力端子群 D Q [7 : 0] ~ D Q [3 1 : 2 4] に対応付けられ、メモリセルアレイ 2 2 4 と入出力端子群 D Q との間で動的に対応関係が入れ替えられる。つまり、入出力端子群 D Q とメモリ内のバスと対応関係（割付関係）はスタートバイト信号 S B の影響を受けて動的に変化する。よって、ライト時とリード時でスタートバイト信号 S B が異なっていると、ライト時に入力される入出力端子群 D Q とリード時に出力される入出力端子群 D Q とは異なる端子になる。

50

【 0 1 6 8 】

図 3 4 から明らかなおりに、スタートバイト信号 $S B = 1$ の場合は、メモリ内のデータ $Q 0 1 - Q 0 4$ が入出力端子群 $D Q [7 : 0] \sim D Q [3 1 : 2 4]$ に対応付けられる。つまり、スタートバイト信号 $S B$ に応じてメモリセルアレイ内のバス又はデータラッチ回路と入出力端子群との対応を、先頭のバイトデータは入出力端子 $D Q [7 : 0]$ に、残りの 3 バイトデータは残りの入出力端子 $D Q$ に順次対応するようにする。そのために、図 3 3 のデータバススイッチ 2 2 8 には、入出力バス群 $I / O b u s$ とメモリセルアレイ 2 2 4 のバスまたはデータラッチ回路との全ての交差位置にスイッチが設けられる。そして、これらのスイッチ群をデータラッチセクタ 2 2 1 からのデータラッチセレクト信号 $S 2 2 1$ によりオン・オフ制御することで、上記のような動的な対応付けを実現することができる。

10

【 0 1 6 9 】

このように、スタートバイト信号 $S B$ に応じて、メモリセルアレイ内のバスまたはデータラッチ回路に対して入出力端子 $D Q$ の入れ替えを行う。具体的には、メモリセルアレイ内のバイト領域 $Byte 1$ から出力されたバイトデータ $Q 0 1$ は、 $S B = "1"$ の場合には入出力バッファ 9 4 I / O の $Byte 0$ に相当する $D Q [7 : 0]$ に接続され、 $S B = "0"$ の場合は $D Q [15 : 8]$ に接続される。バイト領域 $Byte 1$ のバイトデータ $Q 0 5$ は、 $S B = "3"$ の場合は $D Q [23 : 16]$ に接続され、 $S B = "2"$ の場合は $D Q [31 : 24]$ に接続される。つまり、図 3 3 中の閉じた状態の 4 つのスイッチの位置が、スタートバイト信号 $S B$ に応じて右方向にずれることになる。

【 0 1 7 0 】

次に、入出力端子との対応制御において、ビッグエンディアンとリトルエンディアンへの対応制御について説明する。

20

【 0 1 7 1 】

図 3 5 は、バイトバウンダリ機能を有する画像メモリであってエンディアンに対応可能な画像メモリの構成図 (1) である。この例は、図 1 9、図 2 0 で説明した画像メモリと同様に、メモリコア 3 5 0 内の構成はビッグエンディアン (アップモード) にのみ対応している。つまり、バイトバウンダリ動作において、スタートバイト信号 $S B$ に対応するバイト位置から 4 バイトデータをアップモードでアクセスする機能のみである。その場合であっても、データバススイッチ 2 2 8 のスイッチ群を制御することで、ビッグエンディアン対応の画像システムとも、リトルエンディアン対応の画像システムとも正しいデータの入出力を実現することができる。

30

【 0 1 7 2 】

図中、モードレジスタ 9 6 には、アップモードかダウンモードかを示すバイト組み合わせ情報の第 2 の情報 $B M R$ が与えられ、いずれかのモードに設定される。ただし、図 2 9 などのコラムデコーダ、メモリセルアレイ、第 2 アンプを含むメモリコア 3 5 0 は、アップモード制御にしか対応していない。つまり、コラム制御回路にはアップモードコントローラ 3 5 1 のみを有し、ダウンモードコントローラは有していない。

【 0 1 7 3 】

図 3 5 (A) は、アップモードの場合のデータバススイッチ 2 2 8 を示している。つまり、ビッグエンディアンであるアップモードの場合は、メモリコア 3 5 0 はアップモードコントローラ 3 5 1 によりアップモードに制御される。よって、データバススイッチ 2 2 8 は、データラッチ回路 2 2 6 の 4 バイトのデータ $B y t e 0 - 3$ をそのまま入出力バッファ 9 4 I / O に接続する。つまり、メモリコア 3 5 0 のコアデータバス $c d b 0 0 z \sim c d b 3 1 z$ が、I/O データバス $p d b 0 0 z \sim p d b 3 1 z$ にストレートに接続される。

40

【 0 1 7 4 】

一方、図 3 5 (B) は、ダウンモードに設定された場合のデータバススイッチ 2 2 8 を示している。つまり、リトルエンディアンであるダウンモードの場合、メモリコア 3 5 0 はアップモードコントローラ 3 5 1 によりアップモードに制御されるが、データバススイッチ 2 2 8 は、データラッチ回路 2 2 6 の 4 バイトデータ $B y t e 0, 1, 2, 3$ を、たすきがけして入出力バッファ 9 4 I / O の 4 バイト $B y t e 3, 2, 1, 0$ に対応付ける

50

。この場合は、バイト単位でコアバスcdbxxzとI/Oバスpdbxxzとが切り替えられる。

【 0 1 7 5 】

図 3 5 (B) のデータバススイッチ 2 2 8 は、図 1 9 , 2 0 に示した入出力端子群の入れ替え手段 1 9 0 と同じものを、画像メモリ 8 6 内に設けた例である。このように、メモリコアの構成はビッグエンディアンとリトルエンディアンのいずれかに対応可能な構成にし、上記のようなデータバススイッチ 2 2 8 を設けて、そのスイッチをダウンモードまたはアップモードに応じて切り替えることで、両方のエンディアンに対応することが可能になる。

【 0 1 7 6 】

図 3 6 は、バイトバウンダリ機能を有する画像メモリであってエンディアンに対応可能な画像メモリの構成図 (2) である。この画像メモリは、図 3 5 と同様に、アップモード制御にのみ対応可能なメモリコア構成を有し、データバススイッチ 2 2 8 をモードレジスタ 9 6 に設定された第 2 の情報 B M R = U P / D O W N に応じて切り替えることで、いずれのモードにも対応可能にしている。そして、図 3 5 と異なるところは、データバススイッチ 2 2 8 によるデータの入れ替えは、M S B (D Q 3 1) と L S B (D Q 0 0) とが入れ替えられるよう行われる。つまり、4 バイトの入れ替えに加えて、各バイトの 8 ビットのデータも入れ替えられる。

10

【 0 1 7 7 】

図 3 7 は、バイトバウンダリ機能を有する画像メモリであってエンディアンに対応可能な画像メモリの構成図 (3) である。この画像メモリは、図 2 9 の画像メモリに対応し、メモリコア 3 5 0 内の 4 つのバイト領域にの列アドレスの組み合わせを、動作モードに対応して変更制御し、スタートバイト信号 S B に対応したバイトからアップ方向またはダウン方向の 4 バイトデータを 4 つのメモリアレイから入出力する。

20

【 0 1 7 8 】

例えば、図 3 0 に示したように列アドレス C A 0 , スタートバイト S B = 1 の場合は、4 つのバイト領域 B y t e 0 - 3 の内部列アドレスは、アップモードであれば C A 1 , C A 0 , C A 0 , C A 0 となり、データ Q 0 4 , Q 0 1 , Q 0 2 , Q 0 3 が 4 バイトの入出力端子 D Q から入出力される。一方、ダウンモードであれば C A 0 , C A 0 , C A 1 , C A 1 となり、データ Q 0 0 , Q 0 1 , Q 0 6 , Q 0 7 が 4 バイトの入出力端子 D Q から入出力される。

30

【 0 1 7 9 】

このように、列シフタ 2 9 1 により、アップモードとダウンモードとで、メモリコア内の 4 つのバイト領域 B y t e 0 - 3 に与える列データを切り替える。そして、スタートバイト信号 S B とモード信号 B M R とにより一意に決まる列アドレスの組み合わせが、列シフタ 2 9 1 を介して、メモリコア 3 5 0 内の各バイト領域に供給される。この列シフタ 2 9 1 は、列アドレス制御部 9 0 A からの 4 つの列アドレス caby0z-caby3zのうち切り替えが必要な 2 つのうちいずれかを、アップモード・ダウンモード Up/Down に応じて選択する。つまり、バイト領域 Byte0 では、caby0z, caby3z のいずれかが選択され、バイト領域 Byte1 では、caby1z, caby2z のいずれかが選択され、バイト領域 Byte2 では、caby1z, caby2z のいずれかが選択され、そして、バイト領域 Byte3 では、caby0z, caby3z のいずれかが選択される。

40

【 0 1 8 0 】

シングルデータレート (S D R) の場合は、1 回のアクセスで 4 バイトデータを入出力できれば良いので、図 2 9 で説明したとおり、各バイト領域に対応するデータラッチ回路に保持された 1 バイトデータをそのまま入出力バスに転送すればよい。

【 0 1 8 1 】

一方、ダブルデータレート (D D R) の場合は、1 回のアクセスで 8 バイトデータを 4 バイトずつ入出力する必要がある。よって、図 2 9 の構成において、各バイト領域 B y t e 0 - 3 内に偶数列アドレス (C A [0] = 0) のブロックと奇数列アドレス (C A [0] = 1) のブロックとを有し、それら 1 対のブロックにスタートバイト信号 S B

50

とモード信号BMRとにより一意に決まる組み合わせのコラムデータをコラムシフト291から供給し、データバススイッチ228により必要な4バイトデータを選択して入出力バスI/Obusに転送する。その場合は、データバススイッチ228内の各スイッチは、データラッチセクタ221からの制御信号dabyaz-dabydzに応じて、偶数ブロックか奇数ブロックのデータを選択して入出力バスI/Obusに転送する。そのため、データラッチセクタ221には、コラムアドレス制御部90Bからデータバス用のコラムアドレスdaby0z-daby3zが供給され、データラッチセクタ221が、アップモード・ダウンモードUp/Downに応じて、4つのバイト領域の中から切り替えが必要な2つのうちのいずれかを選択する。この切り替え候補の組み合わせは、前述のコラムシフト291と同じである。

【0182】

10

図37のように、コラムアドレスの組み合わせを制御することで、データバススイッチ228のスイッチ群のスイッチ数を減らすことができる。すなわち、図35、36に示したデータバススイッチでは、入出力端子DQ数がNバイトの場合、 $2N \times 8$ 個のスイッチが必要となる。しかし、図37のようにコラムアドレスの組み合わせを制御することで、コラムシフト291とデータバススイッチ228にそれぞれ2N個のスイッチが必要となり、合計で4N個のスイッチが必要になる。よって、図35、36よりもスイッチ数を1/4に減らすことができる。

【0183】

図38、図37のDDRメモリにおけるアップモードの動作タイミングチャート図である。この例は、コラムアドレスCA1とスタートバイト信号SB=1の例であり、ビッグ 20
エンディアンでメモリ86に記憶したデータDQ05 DQ08を読み出す例である。つまり、メモリ86内のコラムアドレスに対するデータQ00-Q19と入出力端子DQとの関係は図示される通りである。

【0184】

前述したとおり、DDRメモリの場合は、メモリセルアレイ内の各バイト領域が偶数コラムアドレスのブロック(CA[0]=0)と奇数コラムアドレスのブロック(CA[0]=1)とを有し、それらのブロックに制御された組み合わせのコラムアドレスcabyが供給され、データバススイッチ228に制御された組み合わせのデータバス切り替え用のコラムアドレスdabyが供給される。

【0185】

30

すなわち、基点となるコラムアドレスCAとしてCA1を入力する。それに伴って、各バイト領域Byte0-3内の偶数ブロック(CA[0]="0")と奇数ブロック(CA[0]="1")とに供給されるコラムアドレスCAが制御され、偶数ブロック(CA[0]="0")の領域はコラムアドレスCA2のコラム線が活性化され、奇数ブロック(CA[0]="1")の領域は、バイト領域Byte0ではコラムアドレスCA3のコラム線が活性化され、バイト領域Byte1,2,3ではコラムアドレスCA1のコラム線が活性化される。

【0186】

この結果、メモリコアのコアバスにはデータQ05~Q12が出力される。つまり、偶数ブロックのコアバスにはデータQ08-Q11が出力され、奇数ブロックのコアバスにはデータQ5-Q7, 40
Q12が出力される。

【0187】

DDRメモリでは、この8バイトのデータから入出力バスI/Obusに4バイトデータを転送する必要がある。そこで、データバススイッチが、スタートバイト信号SBとコラムアドレスCAに基づいて、バイト領域Byte0のみ偶数ブロック(CA[0]="0")のデータを選択し、その結果、データQ05~Q08を入出力端子DQに出力することができる。

【0188】

ここで、偶数、奇数(CA[0]="0"/"1")の各領域で、内部コラムアドレスcabyazはcaby0zを選択し、内部コラムアドレスcabybzはcaby1zを、cabyczはcaby2zを、cabydzはcaby3zをそれぞれ選択している。同様に、偶数、奇数(CA[0]="0"/"1")の各領域でデータバス用のコラムアドレスdabyazはdaby0zを選択し、同様に、dabybzはdaby1zを、dabyczはdaby2z 50

を, dabydzはdaby3zをそれぞれ選択している。

【 0 1 8 9 】

図 3 9 は、図 3 7 の D D R メモリにおけるダウンモードの動作タイミングチャート図である。この例は、コラムアドレス C A 1 とスタートバイト信号 S B = 2 の例であり、リトルエンディアンでメモリ 8 6 に記憶したデータ D Q 0 5 D Q 0 8 を読み出す例である。つまり、メモリ 8 6 内のコラムアドレスに対するデータ Q00-Q19 と入出力端子 DQ との関係は図示される通りである。図 3 8 とは、4 バイトのデータと入出力端子 DQ との関係が逆方向になっている。

【 0 1 9 0 】

この場合は、基点となるコラムアドレス CA として CA1 を入力する。それに伴って、各バイト領域 B y t e 0 - 3 内の偶数ブロック (CA[0]="0") と奇数ブロック (CA[0]="1") とに供給されるコラムアドレス CA が制御され、偶数ブロック (CA[0]="0") にはコラムアドレス CA2 のコラム線が活性化され、奇数ブロック (CA[0]="1") では、バイト領域 Byte 3 はコラムアドレス CA3 のコラム線が活性化され、バイト領域 Byte 2, 1, 0 の各領域はコラムアドレス CA1 のコラム線が活性化される。

10

【 0 1 9 1 】

この結果、メモリコアのコアバスにはデータ Q05 ~ Q12 が出力される。つまり、偶数ブロックのコアバスにはデータ Q08-Q11 が出力され、奇数ブロックのコアバスにはデータ Q5-Q7, Q12 が出力される。

【 0 1 9 2 】

DDR メモリでは、この 8 バイトのデータから入出力バス I/O bus に 4 バイトデータを転送する必要がある。そこで、データバススイッチが、スタートバイト信号 SB とコラムアドレス CA とに基づいて、バイト領域 Byte 3 のみ偶数ブロック (CA[0]="0") のデータ Q 0 8 を選択し、残りは奇数ブロックからデータ Q 0 5 - 0 7 を選択し、4 バイトデータ Q05 ~ Q08 を入出力端子 DQ に出力することができる。

20

【 0 1 9 3 】

ここで、偶数、奇数 (CA[0]="0"/"1") の各領域で、内部コラムアドレス cabyaz は caby3z を選択し、内部コラムアドレス cabybz は caby2z を、cabycz は caby1z を、cabydz は caby0z をそれぞれ選択している。同様に、偶数、奇数 (CA[0]="0"/"1") の各領域でデータバス用のコラムアドレス dabyaz は daby3z を選択し、同様に、dabybz は daby2z を、dabycz は daby1z を、dabydz は daby0z をそれぞれ選択している。

30

【 0 1 9 4 】

以上のとおり、図 3 8 のアップモードと比較すると、cabyz, dabyz をバイト領域 Byte 0 と Byte 3 で入れ替え、さらにバイト領域 Byte 1 と Byte 2 で入れ替えることで、ビッグエンディアンとリトルエンディアンの 2 種類のバイトデータの並びに対応することができる。図 4 0 は、バイトバウンダリ機能におけるバウンダリの指定方法について説明する図である。図中、コラムアドレス C A [7 : 0] が # n と # n + 1 の隣接する 4 バイト領域の境界を越えてアクセスが行われるバイトバウンダリ機能では、バウンダリの指定方法がスタートバイト S B による場合と、シフトバリュース V による場合とが考えられる。スタートバイト S B は、バイト N から 4 バイトアクセスすることを意味し、シフトバリュース V が、コラムアドレスの 4 バイト領域の境界から N バイトシフトした位置から 4 バイトアクセスすることを意味する。

40

【 0 1 9 5 】

その場合、エンディアンの 2 つのモードに対応して、アップモードとダウンモードとでは、スタートバイト S B とシフトバリュース V との対応関係が異なってくる。つまり、アップモードなら、バイトデータの並びが B y t e 0 - 3 となっているので、S B と S V は等価である。しかし、ダウンモードでは、バイトデータの並びが B y t e 3 - 0 となっているので、S B と S V とは等価にならず、逆の関係になる。

【 0 1 9 6 】

したがって、画像メモリがスタートバイト信号 S B の端子のみを有し、内部構造がシフ

50

トバリュースVに応じて制御される場合は、アップモードかダウンモードかに応じて、スタートバイト信号SBを非反転または反転して、シフトバリュースVに変換する必要がある。画像メモリがシフトバリュースV端子のみを有し、内部構造がスタートバイトSBに応じて制御される場合も同様である。

【0197】

図41は、スタートバイトSBとシフトバリュースVとの変換回路を示す図である。変換回路410は、2ビット構成410[0]、410[1]であり、CMOSトランジスタ412、413とインバータ414、415で構成され、入力スタートバイトSBが、アップモードかダウンモードかを示すカウントタイプ信号に応じて、非反転または反転してシフトバリュースVに変換される。変換回路410の真理値表411に示される

10

【0198】

[矩形アクセスでのコラムアドレス制御]

図1に示したように、画像メモリのメモリ空間を画像の画素に対応付けるメモリマッピング12、14Eでは、バンクアドレスBAとロウアドレスRAで選択されるページ領域14内において、画像のマトリクス状の画素の配置に対応して、コラムアドレスCAで選択されるメモリ単位領域(4バイト領域)を所定の折り返し幅(CA Wrap)で折り返すようにマッピングされる。図1の例では、ページ領域14内はコラムアドレスCAが4単位で折り返されている。つまりコラムアドレスの折り返し幅CA Wrapは4である。このコ

20

【0199】

このようなコラムアドレスで選択されるメモリ単位領域を所定の折り返し幅で折り返してマッピングすることで、画像メモリで頻繁に行われる矩形アクセスのアクセス効率を高めることができる。つまり、アクティブコマンドによりページ領域をアクティブ動作させた状態で、アクセス対象の矩形領域に対応してリードコマンドとコラムアドレスを繰り返し発行することで、同じページ領域内の矩形領域へのアクセスを行うことができる。1回のアクティブ動作で同じページ領域内の矩形領域にアクセスできるので、効率的なアクセスが可能になる。

【0200】

図16で示されるとおり、このような矩形アクセスでは、リードコマンドRDとバンクアドレスBAとコラムアドレスCAとスタートバイト信号SBとを繰り返し発行することが必要である。しかしながら、メモリのマッピング情報、特にページ領域のコラムアドレスCAの折り返し幅(CA Wrap)があらかじめわかっているならば、矩形領域の先頭コラムアドレスCAと、矩形幅と、矩形サイズとを与えれば、画像メモリは内部で自動的にアクセスすべきコラムアドレスを発行して矩形領域の画像データにアクセスすることができる。その場合は、リードコマンドとコラムアドレスを1回発行すればよく、図16のように複数回発行する必要はない。

30

【0201】

図42は、バイトバウンダリ機能を利用した自動矩形アクセスを説明する図である。この例では、メモリマッピング421にアクセスされるデータ領域を矢印で示している。このメモリマッピングでは、ページ領域内でコラムアドレスCAが8で折り返されている。つまり、コラムアドレス折り返し幅CAWrapが8である。よって、ページ領域14の右端のコラムアドレスCAは#07,#0F,#17,#1F(16進数)と折り返し幅CAWrap=8になっている。そして、アクセスすべき矩形領域の先頭アドレスがCA=#0Bで、スタートバイトSB=2で、矩形領域の幅Rwidth=2クロック(4バイト×2クロック=8バイト)、矩形領域のサイズがバースト長BL=8(4×8=32バイト)である。したがって、矩形領域の高さは、BL/Rwidth=4である。

40

【0202】

図43は、自動矩形アクセスでのタイミングチャート図である。図44は、自動矩形ア

50

クセスに必要な内部コラムアドレス演算器の構成図である。図42のような矩形アクセスをするためには、供給コラムアドレスCA=#0BとSB=2に応じて、メモリ内部でコラムアドレスCA=#0B/#0C, #0C/#0D, #13/#14, #14/#15, #1B/#1C, #1C/#1D, #23/#24, #24/#25が発行されればよい。つまり、最初のアクセスではByte2,3はCA=#0B, Byte0,1はCA=#0Cにアクセスする。2度目のアクセスではコラムアドレスCAは1だけ進行してByte2,3=#0C, Byte0,1はCA=#0Dにアクセスする。そして、この例では矩形幅Rwidth=2のため、次の3度目のアクセスはコラムアドレスCAを1だけ進行した位置とはならず、折り返されたコラムアドレスCA=#13, #14になる。したがって、コラムアドレス折り返し幅CAWrapと矩形幅Rwidthから3番目のコラムアドレスを演算により求める必要がある。この3度目のアドレスをByte2,3で考えると、現在のコラムアドレスCA=#0C (=12 (10進数)), CA Wrap = 8, Rwidth = 2にもとづき、図43中の式 $(CA + CAWrap - Rwidth + 1)$ により、3度目のアクセスのCAは、 $CA=12 + 8 - 2 + 1 = 19$ (10進数) = #13 (16進数) と求められる。図44にはコラム制御部90内のコラムアドレス演算器が示されている。この演算器は、外部から供給されるコラムアドレスCA, 折り返したときのコラムアドレスCA(Wrap)をクロックのタイミングに同期した内部クロックpclenzに同期して+1インクリメントするコラムアドレスカウンタ440と、コラムアドレスカウンタのカウント値にCA Rwapを加算し、Rwidthを減算する演算器441と、矩形領域の折り返し時に演算器441の出力を選択するスイッチ442と、同期クロックpclenzをカウントし、アクセス中の水平方向のカウント値をカウントする矩形幅カウンタ444と、矩形幅カウンタ444の水平方向のカウント値widthzが矩形幅Rwidthと一致することを検出して、スイッチ442に切り替え信号wrapzを生成する比較器445とを有する。

10

20

【0203】

図43のタイミングチャートに従って説明する。まず、矩形領域サイズがバースト長BL=8としてモードレジスタに設定され、また、ページ領域内のコラムアドレスの折り返し幅CAWrap = 8もモードレジスタに設定されているものとする。そして、アクティブコマンドに続くリードコマンドと共に、先頭コラムアドレスCA = #0Bと、スタートバイトSB=2と、アクセス対象の矩形幅Rwidth=2とが供給される。これに回答して、タイミングクロックpclenzがクロックに同期して発生し、矩形幅カウンタ444がアクセス中の水平方向のカウント値widthzをカウントアップし、コラムアドレスカウンタ440が先頭コラムアドレスCA=#0Bからカウントアップする。

30

【0204】

最初のアクセス用に発行される内部コラムアドレスcaz[7:0]は、図43に示されるとおり、CA=#0B/#0Cである。2番目のアクセスでは、コラムアドレスカウンタ440が+1インクリメントしたコラムアドレスcaz[7:0]=#0Cに対応して、#0C/#0Dが出力される。3番目のアクセスでは、矩形幅の折り返しが必要になり、演算器441の演算値がスイッチ442により選択され、コラムアドレスcaz[7:0]=#03が出力され、それに対応して折り返し後のコラムアドレスCA=#13/#14が生成される。4番目は#14/#15が生成され、5番目で矩形領域の折り返しが行われ、#1B/#1Cが生成される。その後は、#1C/#1D, #23/#24, #24/#25が同様に生成される。

40

【0205】

この自動矩形アクセスに対応する画像メモリの構成は、例えば、図29に示したとおりであり、4つのバイト領域Byte0-3にバイトバウンダリ機能に対応した4つのコラムアドレスの組み合わせが供給される。つまり、図43の内部コラムアドレスcazのコラムアドレスの組み合わせが、各バイト領域内のコラムデコーダに供給される。その結果、これらのコラムアドレスのデータが4つのバイト領域からそれぞれ出力される。

【0206】

上記の例では、矩形アクセスの矩形幅Rwidthをリードコマンドと共に供給したが、あらかじめモードレジスタセットコマンドでモードレジスタに設定してもよい。あるいは、矩形サイズBLと矩形幅Rwidthをリードコマンドと共に供給してもよい。コラムアドレスの折り返し幅CAWrapは、画像システムがあらかじめ設定しているため、モードレジスタセット

50

コマンドで設定するのが望ましい。

【 0 2 0 7 】

このように、矩形アクセスにおいて、起点となるコラムアドレスCAと、矩形幅Rwidthと、矩形サイズ (BL) とが与えられれば、あらかじめ設定されているコラムアドレスの折り返し幅CAWrapに基づいて、アクセスすべき内部コラムアドレスを自動的に生成することができる。よって、1回のリードコマンドの発行で、矩形アクセスを行うことができる。

【 0 2 0 8 】

[ページ領域境界のバイトバウンダリ機能]

バイトバウンダリ機能は、コラムアドレスで選択されるメモリ単位領域 (4 バイト領域) の境界を越えて所定バイト (4 バイト) のデータを効率的にアクセスすることができる。ところが、ページ領域境界を越えて矩形アクセスをする場合は、再度別のアクティブコマンドで隣接するページ領域をアクティブ動作させることが必要になる。

10

【 0 2 0 9 】

図 4 5 は、バイトバウンダリ機能によるアクセスがページ領域の末尾に及んだ場合のメモリ動作の例を示す図である。この図では、ページ領域がコラムアドレスCA[7:0] = #00 ~ #FFで構成され、右端がCA=#FFの例である。この場合、図中矢印で示した4バイトのデータをバイトバウンダリ機能を利用してアクセスすると、アップモードにおいて、SB=0では、4バイトデータを出力することができるが、SB=1,2,3では、ページ領域の右端で折り返して左端のバイトデータをアクセスする。つまり、新たなアクティブ動作を行わずに同じページ領域内で折り返しアクセスが行われる例である。ダウンモードの場合は逆に、SB=0,1,2では左端から右端に折り返す (Wrap) する必要があるが、SB=3のみ折り返しは不要である。

20

【 0 2 1 0 】

上記のようなアクセスが行われると、無駄なデータが出力されるだけである。ページ領域の末尾から隣のページ領域へのアクセスを行うためには、新たなアクティブコマンドを発行して隣接ページ領域をアクティブ動作させる必要がある。

【 0 2 1 1 】

図 4 6 は、バイトバウンダリ機能によるアクセスがページ領域の末尾に及んだ場合のメモリ動作の別の例を示す図である。この例は、バースト長BLが8に設定されている例である。BL=8が設定されると、各バンク内のバーストカウンタはBL=8のカウント幅で内部コラムアドレスのカウントを繰り返す。つまり、図 4 6 の例では、バーストカウンタにより生成される内部コラムアドレスは、CA=#k8 ~ #kF (16ビット表記) の幅8である。このようなカウンタによりアクセス領域がバースト長BLを基準にする矩形領域に区分されるメモリの場合にも、図 4 5 と同様にバースト長領域CA=#k8 ~ #kFの右端でバイトバウンダリ機能を利用しようとすると、図 4 5 と同様の課題が生じる。図 4 6 の例では、アップモードでSB=1,2,3で折り返しが発生し、ダウンモードでSB=0,1,2で折り返しが発生している。これでは、無駄なデータが出力されてしまう。

30

【 0 2 1 2 】

図 4 7 は、バイトバウンダリ機能によるアクセスがページ領域の末尾に及んだ場合のメモリ動作の別の例を示す図である。この例では、図 7 で説明した矩形アクセスにおけるマルチバンクアクセス機能を利用してバイトバウンダリ動作を実現する例である。つまり、アクティブコマンドACTでロウアドレスRA = #nが指定され、リードコマンドRDで起点のコラムアドレスCAがページ領域の右端のCA = #FFの場合は、矢印のようにページ領域の境界PBを超えてアクセスが行われる。

40

【 0 2 1 3 】

つまり、アップモードでは、SB = 1, 2, 3 の場合、RA = #n のページ領域内の CA = #FF のバイトデータと、RA = #n + 1 のページ領域内の CA = #00 のバイトデータとがアクセスされる。ダウンモードでは、SB = 0, 1, 2 の場合、RA = #n のページ領域内の CA = #FF のバイトデータと、RA = #n + 1 のページ領域内の CA = #00 のバイトデータとがアクセスされる。この場合、隣接するページ領域へのアクセスが必

50

要であるので、アクティブコマンドACTと共に与えられるロウアドレスRA = # nのページ領域がアクティブ化され、リードコマンドRDと共に供給されるコラムアドレスCA = # FFとスタートバイト信号SB = 2に应答して、隣接するロウアドレスRA = # n + 1のページ領域がアクティブ化される。つまり、1つのアクティブコマンドACTに应答して、複数のバンク内のワード線がアクティブ化されることを意味する。

【0214】

このように複数バンクが並行してアクティブ化されるように制御されれば、ページ領域の末尾でバイトバウンダリ機能が要求されても、必要な領域のデータを無駄なく入出力することができる。

【0215】

[バイトバウンダリ機能のその他の用途]

バイトバウンダリ機能は、メモリに画像データを記憶し任意の画素に対応したデータにアクセスする場合に、効率的なデータの入出力を可能にする。バイトバウンダリ機能は、このような画像メモリ以外の用途においても、同様のメリットを有する。

【0216】

図48～図50は、バイトバウンダリ機能のその他の用途を説明する図である。図48、49は従来例に、図50は本実施の形態に対応する。メモリの構成として同一のコラムアドレスCAに複数のバイト領域を割り付け、一度のアクセスで同一のコラムアドレスCAに割り付けられた複数バイトのデータをアクセスすることが行われている。このような構造では、メモリへのアクセスは、同一のコラムアドレスCAに割り付けられている固定のバイトサイズ(ワード構成)のデータに対する処理については、効率良く行うことができる。

【0217】

しかし、システムで処理すべきデータのサイズはメモリのワード構成未満となる場合もある。このような場合の対処方法として、ワード構成サイズ以下のデータが複数のコラムアドレスCAの領域にまたがらないようにパディングをするという方法がある。図48の例では、メモリのワード構成を4バイト(図中483参照)、処理するデータサイズの単位を1バイト(図中280のフォーマットA)、2バイト(同フォーマットB)、4バイト(同フォーマットC)としている。そのため、4バイトサイズのデータはByte0を基点に記憶することでコラムアドレスCAをまたがらないようにすることができる。2バイトサイズのデータではByte0,Byte2を基点とする位置に記憶する。1バイトサイズのデータはByte0,Byte1,Byte2,Byte3のいずれの位置を基点とすることも可能とする。

【0218】

いま仮に、図中482のライトデータのように、2Byte,4Byte,1Byte,2Byte,2Byte,1Byteのサイズのデータ0～5を連続してメモリに記憶する場合を考える。この場合、図中481のようにライト動作を行えば、図中483に示されるようにメモリ内の幾つかのバイト領域でパディングが行われ、合計で4バイトの領域は有効なデータの記憶に利用されない。これでは、メモリの容量が有効に利用されていないことになる。ただし、コラムアドレスCAにより4バイト単位で出力すれば、各データを1回のコラムアドレスアクセスで読み出せるので、読み出し速度は速くなる。

【0219】

しかし、上記の記憶容量の無駄をなくすためには、パディングを行わずにメモリの各バイト領域に連続してデータを記憶すればよい。例えば、図49の図中491のように3サイクルのライトコマンドWRで書き込みを行って、図中493に示される通りにメモリ内のバイト領域にデータを記憶することができる。

【0220】

図49のようにデータ書き込みを行えば、メモリの記憶容量を有効に活用することができる。しかし、データ3の2バイトのデータB03、B13のように、あるいは、データ1の4バイトのデータC01-C31のように、異なるコラムアドレスの領域にまたがってデータが記憶された場合は、従来のメモリでは1回のコラムアクセスで読み書きを実行することはできず、2回のアクセスが必要となる。図中491に示されるとおり、データ

10

20

30

40

50

4の読み出しに2回リードコマンドRDを発行しなければならず、アクセス効率が低下する。

【0221】

そこで、図50の図中500に示されるように、バイトバウンダリ機能を利用して、1回のリードコマンドRDの発行とスタートバイト信号SB=3の指定を行うことで、異なるコラムアドレスの領域にまたがるデータ3(03, B13)をアクセスすることができる。したがって、バイトバウンダリ機能を有するメモリは、アクセス性能の低下を発生させずにメモリ利用率の向上を実現することが可能である。

【0222】

[バイトバウンダリ機能に対応したメモリコントローラ]

次に、バイトバウンダリ機能に対応したメモリコントローラについて説明する。図8で画像処理システムを説明したが、この画像処理システム内の画像処理チップ80内に、画像処理制御部81とメモリ制御部(メモリコントローラ)82とが含まれる。

【0223】

図51は、画像処理システムの構成図である。図8と同様に、画像処理制御部81と、メモリ制御部82と、画像メモリ86とで構成される。画像処理制御部81は、一例としてMPEG復号処理を行う構成である。画像処理部81は、符号化、圧縮されたストリームデータSTMが入力されるエントロピー復号化処理部510と、DCT係数DCT-Fに基づいてデータ処理を行う逆量子化及び逆IDC処理部511と、イントラ予測部512と、動きベクトルMVとマイクロブロック分割情報MBdivに基づいてメモリ制御部82に参照画像読み出しを行うインター予測部513と、処理選択部515とを有する。メモリ制御部82は、画像処理制御部81と画像メモリ86との間でコマンドやアドレスの発行などを含むメモリ制御を行う。処理選択部515から出力される復号画像データD-IMGがメモリ制御部82により画像メモリ86に格納される。また、インター予測部513の参照画像読み出し制御部514は、メモリ制御部82を介して画像メモリ86から参照画像R-IMGのデータを取得し、処理選択部515に与える。

【0224】

MPEGデコーダでは、動きベクトルに基づいてメモリから読み出される過去の画像または未来の画像内の参照画像R-IMGと、その参照画像との差分データとに基づいて、現在の画像データを復号化する。したがって、一旦画像メモリ86に格納した画像から動きベクトルの位置にある矩形の参照画像を読み出す動作が頻繁に行われる。この矩形アクセス制御において、バイトバウンダリ機能を有する画像メモリ86及びそれに対応したメモリ制御部82を利用することで、アクセス効率を高めることができる。

【0225】

図52は、メモリ制御部(メモリコントローラ)の入力及び出力信号を示す図である。図53は、フレーム画像内の読み出し対象の参照画像領域を説明する図である。フレーム画像FM-IMGにおいて、左上が画素座標の原点(0,0)であり、矩形の参照画像RIMGの領域を特定するためには、矩形の左上の座標(POSX, POSY)と、縦横のサイズSIZEY, SIZEXとが必要である。したがって、画像処理部内の参照画像読み出し制御部514は、参照画像RIMGの領域を特定する上記の情報(POSX, POSY), SIZEY, SIZEXを、メモリコントローラ82に供給する。また、参照画像読み出し制御部514とメモリコントローラ82との間では、ダイレクトメモリアクセス制御信号DMA-CONが入出力される。

【0226】

一方、メモリコントローラ82は、上記の参照画像領域を特定する情報(POSX, POSY), SIZEY, SIZEXに基づいて、メモリ空間内のアドレスAdd(バンクアドレス、ロウアドレス、コラムアドレス)を算出し、コマンドCMD, アドレスAdd, マルチバンクアクセス情報SA', スタートバイト信号SB, 書き込みデータDataなどをメモリ86に供給する。また、メモリ86から読み出された読み出しデータDataを受信する。

10

20

30

40

50

【 0 2 2 7 】

図 5 4 は、メモリ制御部の詳細な構成図である。メモリ制御部 8 2 は、前述した画像処理制御部のようにメモリへのアクセスを要求するアクセス要求元ブロック 8 1 - 1 ~ 8 1 - N から、アクセス対象の画像領域の情報 P O S X , P O S Y , S I Z E X , S I Z E Y , 書き込みデータ D a t a を受信するインターフェース制御部 5 4 1 - 1 ~ N と、これらのインターフェース部を経由して上記の画像領域情報を受け取り、アドレスとコマンドを生成するアドレスコマンド生成部 5 4 2 - 1 ~ N を有する。これらのインターフェース制御部とアドレスコマンド生成部とは、調停回路 5 4 0 によりいずれが活性化されるべきか調停される。調停回路 5 4 0 により選択され活性化されているアドレスコマンド生成部 5 4 2 が、セクタ S E L を経由して、コマンド C M D , アドレス A d d (バンクアドレス , ロウアドレス , コラムアドレス) , マルチバンクアクセス情報 S A ' , スタートバイト信号 S B などをメモリ 8 6 に発行する。それにより、メモリ制御部 8 2 は、調停により選択されたアクセス要求元ブロックのために、メモリ 8 6 へのアクセス制御を行い、データ書き込みまたはデータ読み出しを行う。また、メモリ制御部 8 2 は、必要な頻度でメモリに対してリフレッシュ要求なども行う。

10

【 0 2 2 8 】

メモリ制御部 8 2 が発行するコマンド C M D には、例えば、モードレジスタセットコマンド、アクティブコマンド、リードコマンド、ライトコマンド、プリチャージコマンド、リフレッシュコマンドなど、通常の S D R A M に必要なコマンドが含まれる。また、メモリ制御部 8 2 内の設定レジスタ 5 4 3 には、フレーム画像 F M - I M G の左上画素のアドレスや、メモリマッピング情報や、メモリ 8 6 が有する機能についての情報が設定される。メモリが有する機能とは、例えば、後述するとおり、マルチバンクアクセス機能や、エンディアンに対応するデータ配列の切り替え機能などであり、コントロール対象のメモリが有する機能の有無がこの設定レジスタ 5 4 3 に設定される。

20

【 0 2 2 9 】

図 5 5 は、参照画像読み出し制御部 5 1 4 でのインター予測部 5 1 3 の演算を説明する図である。M P E G の場合、マクロブロック M B を処理単位にしている。マクロブロック M B は 1 6 × 1 6 画素の輝度データと、8 × 8 画素の色差 (C b , C r) データ (Y : U : V = 4 : 2 : 0 の場合) で構成される。そして、このマクロブロック M B を 4 等分した 8 × 8 画素の輝度データを含む 1 / 4 マクロブロック Q M B が、動きベクトル M V , 参照画像 R I M G の処理単位である。仮に、現在処理中のマクロブロック M B の左上座標が (M B a d d r x , M B a d d r y) , そのマクロブロック分割情報が M b d i v x , M b d i v y , 動きベクトル M V = (M V x , M V y) とすると、演算処理部 5 1 5 では、図示される演算式の演算により、参照画像 R I M G の左上座標 (P O S X , P O S Y) と横幅 S I Z E X と高さ S I Z E Y とが算出される。この横幅 S I Z E X は、メモリの 1 回のアクセスで入出力されるバイト数の倍数に設定され、高さ S I Z E Y は垂直方向の画素数に設定される。

30

【 0 2 3 0 】

上記のようにして算出された参照画像特定情報 (P O S X , P O S Y) , S I Z E Y , S I Z E X が、参照画像読み出し制御部 5 1 4 からメモリコントローラ 8 2 へ出力され、メモリコントローラ 8 2 内のコマンドアドレス生成部 5 4 2 が、上記参照画像特定情報と、設定レジスタ 5 4 3 内のメモリマッピング情報とフレーム領域の左上のアドレスなどに基づいて、矩形アクセスに必要なメモリ空間のアドレスを生成する。

40

【 0 2 3 1 】

図 5 6 は、参照画像読み出し制御部 5 1 4 でのインター予測部 5 1 3 の演算例を示す図である。図 5 5 の具体例である。まず、マクロブロック M B の左上座標が (M B a d d r x , M B a d d r y) = (0 , 0) , マクロブロック分割情報が M b d i v x , M b d i v y = 8 , 動きベクトル M V = (M V x , M v y) = (1 3 , 4) であるので、参照画像 R I M G の左上座標 (P O S X , P O S Y) , 横幅 S I Z E X と高さ S I Z E Y は、次の通り演算で求められる。

$$P O S X = 0 + 8 + 1 3 = 2 1$$

$$P O S Y = 0 + 8 + 4 = 1 2$$

50

SIZE X = 8 , SIZE Y = 8

上記の参照画像 R I M G の矩形領域は、コラムアドレスで選択される 4 バイト領域の単位と整合しない。4 バイト領域の単位と整合させるためには、図 5 6 中の拡大領域 E - R I M G のように、左上座標 (2 0 , 1 2)、横幅 1 2、高さ 8 の領域にアクセスすることが必要になる。しかし、バイトバウンダリ機能を利用することで、4 バイト単位の境界を越えてバイト単位でアクセスが可能になる。このように、M P E G などの参照画像データのアクセスにおいて、バイトバウンダリ機能はアクセス効率の向上に寄与する。

【 0 2 3 2 】

図 5 7 は、メモリマッピング例を示す図である。図 1 に示したメモリマッピング 1 2 と同様に、画像の画素とメモリ空間内のページ領域 1 4 とがメモリマッピング 1 2 のように 10
対応付けられていて、隣接するページ領域は異なるバンクアドレス B A になるよう配置されている。ページ領域 1 4 は、バンクアドレス B A とロウアドレス R A で選択される領域であり、各ページ領域 1 4 は、コラムアドレスで選択される複数のメモリ単位領域 (4 バイト領域) で構成される。図 5 7 の例では、ページ領域 1 4 は、6 4 画素 × 1 6 画素の画像データを格納する単位である。

【 0 2 3 3 】

図 5 8 は、メモリマッピング 1 2 におけるページ領域 1 4 の構成を示す図である。バンク B A N K 0 内のロウアドレス R A 0 で特定されるページ領域 1 4 は、コラムアドレス C A 0 ~ C A 2 5 5 のメモリ単位領域を有し、各コラムアドレスにより 4 バイトが選択され、コラムアドレス C A の折り返し幅 (ステップ幅) が 1 6 である。よって、ページ領域 1 4 は、横幅が 6 4 (= 4 × 1 6) バイト、高さが 1 6 (= 2 5 6 / 1 6) バイトの構成になっ 20
ている。

【 0 2 3 4 】

図 5 9 は、図 5 6 の参照画像領域のメモリマップ上での配置を示す図である。図 5 9 に示されるとおり、参照画像領域 R I M G は、左上座標 (2 1 , 1 2)、横幅 8、高さ 8 であるので、コラムアドレス C A 5 を先頭番地とし、バイト B Y 1 から横幅 8 バイト、高さ 8 バイトのメモリ領域に対応する。つまり、矩形アクセス領域の左端 5 9 1 は、コラムアドレス C A による境界 5 9 0 から 1 バイト (図中 5 9 2) だけシフトしている。よって、前述のバイトバウンダリ機能を有するメモリに対しては、アクティブコマンド A C T と共にバンクアドレス B A 0、ロウアドレス R A 0 を発行し、リードコマンド R D (又はライトコマンド W R) と共に先頭コラムアドレス C A 5、C A 6 ~ C A 1 1 7、C A 1 1 8 とスタートバイト信号 S B = 1 を連続して発行すれば良い。または、図 4 2 ~ 4 4 で示した自動内部コラムアドレス生成機能を有するメモリに対しては、コラムアドレス折り返し幅 CAWrap = 1 6 を設定しておき、リードコマンド R D (又はライトコマンド W R) と共に先頭コラムアドレス C A 5 と、スタートバイト信号 S B = 1 と、矩形幅 Rwidth = 2 と、バースト長 B L = 1 6 とを発行すれば良い。 30

【 0 2 3 5 】

図 6 0 は、参照画像領域のメモリマップ上での別の配置例を示す図である。この図では、参照画像領域 R I M G が、隣接するページ領域 1 4 - 0、1 4 - 1 にまたがっている。つまり、ページ領域の境界 6 0 0 を超えている。この場合は、図 7 で説明したマルチバンクアクセス機能を有するメモリであれば、マルチバンクアクセス情報 S A ' を発行することで、1 回のアクティブコマンドによりアクセスすることができる。メモリがマルチバンクアクセス機能を有していない場合は、バンク B A N K 0、1 に対する複数回のアクティブコマンドを発行してアクセスしなければならない。よって、メモリコントローラは、コントロール対象の画像メモリがマルチバンクアクセス機能を有するか否かをレジスタに設定しておき、その設定情報に応じて、画像メモリへのアクセス制御を変更する必要がある。 40

【 0 2 3 6 】

図 6 1 は、バイトバウンダリ機能を有しないメモリに対するメモリコントローラでのタイミングチャート図である。図 5 9 の参照画像 R I M G のアクセス例である。従来の S D 50

R A Mにはバイトバウンダリ機能は設けられていない。その場合は、メモリコントローラは、図 6 1 に示すような制御を行わなければならない。

【 0 2 3 7 】

図 6 1 中、参照画像読み出し制御部とメモリコントローラとの間の信号 6 1 0 と、メモリコントローラと画像メモリとの間の信号 6 1 1 とが示されている。前述したとおり、参照画像読み出し制御部 5 1 4 は、メモリコントローラにアクセス要求 R E Q と共に参照画像領域の左上座標 P O S X , P O S Y と横幅 S I Z E X , 高さ S I Z E Y の情報を送信し、メモリコントローラはそれに応答してアクノリッジ信号 A C K を返信する。メモリマッピング情報とフレーム画像の左上原点のアドレスとはあらかじめ設定レジスタに設定されているものとする。

10

【 0 2 3 8 】

このアクセス要求 R E Q に応答して、メモリコントローラは、画像メモリに対して、アクティブコマンド A C T とバンクアドレス B A = 0 , ロウアドレス R A = 0 を発行して、メモリにアクティブ動作を行わせる。その後、メモリコントローラは、クロック C L K に同期して、リードコマンド R D とバンクアドレス B A = 0 , コラムアドレス C A = 5 , 6 , 7 ~ 1 1 7 , 1 1 8 , 1 1 9 (2 4 回) を発行して、4 バイトデータを 2 4 回受信する。その後、メモリコントローラは、ストロブ信号 S T B を H レベルにしてその受信したデータを読み出し制御部に送信する。

【 0 2 3 9 】

図 6 2 は、バイトバウンダリ機能を有するメモリに対するメモリコントローラでのタイミングチャート図である。この図は、図 5 9 の参照画像 R I M G のアクセス例であり、メモリがバイトバウンダリ機能を有する場合の制御である。図中、参照画像読み出し制御部とメモリコントローラとの間の信号 6 2 0 と、メモリコントローラと画像メモリとの間の信号 6 2 1 とが示されている。

20

【 0 2 4 0 】

この場合は、参照画像読み出し制御部からメモリコントローラに図 6 1 と同じ信号が送信される。メモリコントローラは、画像メモリに対して、アクティブコマンド A C T とバンクアドレス B A = 0 , ロウアドレス R A = 0 を発行して、メモリにアクティブ動作を行わせ、その後、メモリコントローラは、リードコマンド R D と、バンクアドレス B A = 0 と、コラムアドレス C A = 5 , 6 ~ 1 1 7 , 1 1 8 (1 6 回) と、スタートバイト信号 S B = 0 1 とを発行して、4 バイトデータを 1 6 回受信する。さらに、メモリコントローラは、ストロブ信号 S T B を H レベルにしてその受信した 6 4 バイトのデータを読み出し制御部に送信する。メモリがバイトバウンダリ機能を有するので、リードコマンドの発行は 1 6 回でよく、アクセス効率が高くなる。

30

【 0 2 4 1 】

また、図示していないが、図 4 2 ~ 4 4 で示した自動内部コラムアドレス生成機能を有するメモリに対しては、コラムアドレス折り返し幅 C A W r a p = 1 6 を設定しておき、リードコマンド R D と共に先頭コラムアドレス C A 5 と、スタートバイト信号 S B = 0 1 と、矩形幅 R w i d t h = 2 と、バースト長 B L = 1 6 とを発行すれば良い。それに応答して、画像メモリは内部でコラムアドレスを自動生成し矩形領域の 4 バイトデータを 1 6 サイクルで出力し、メモリコントローラは、4 バイトデータを 1 6 回連続して受信する。

40

【 0 2 4 2 】

図 6 3 は、バイトバウンダリ機能とマルチバンクアクセス機能を有しないメモリに対するメモリコントローラでのタイミングチャート図である。この例は、図 6 0 の参照画像 R I M G をアクセスする例であり、マルチバンクアクセス機能を有しない画像メモリに対する制御例である。図中、参照画像読み出し制御部とメモリコントローラとの間の信号 6 3 0 と、メモリコントローラと画像メモリとの間の信号 6 3 1 とが示されている。

【 0 2 4 3 】

マルチバンクアクセス機能を有しないメモリは、図 4 5 に示したとおり、バンク境界をまたぐ領域へのアクセスは不可能である。したがって、この場合は、メモリコントローラ

50

は、アクティブコマンドACTとBA = 0, RA = 0を発行してページ領域14 - 0をアクティブ動作させ、リードコマンドRDと共にバンクアドレスBA = 0, コラムアドレスCA = 15 ~ 127を発行して、8バイトのデータを受信する。さらに、メモリコントローラは、アクティブコマンドACTとBA = 1, RA = 0を発行してページ領域14 - 1をアクティブ動作させ、リードコマンドRDと共にバンクアドレスBA = 1, コラムアドレスCA = 0, 1 ~ 112, 113を発行して、16バイトのデータを受信する。そして、メモリコントローラは、受信した24バイトのデータを参照画像読み出し制御部に送信する。

【0244】

図64は、マルチバンクアクセス機能とバイトバウンダリ機能を有するメモリに対するメモリコントローラにおけるタイミングチャート図である。これも図60の参照画像RIMGをアクセスする例である。図中、参照画像読み出し制御部とメモリコントローラとの間の信号640と、メモリコントローラと画像メモリとの間の信号641とが示されている。

【0245】

メモリコントローラは、アクティブコマンドACTと共にバンクアドレスBA = 0, ロウアドレスRA = 0, そしてマルチバンクアクセス情報SA' = 10(横方向に隣接する2バンクのアクセスを示す)を発行する。これに応答して、画像メモリは、バンクBA = 0のバンクをアクティブ動作させる。そして、メモリコントローラは、リードコマンドRDと共に、スタートバイト信号SB = 01とバンクアドレスBA, コラムアドレスCAを順次発行する。このコラムアドレスCA = 15に応答して、画像メモリは、BA = 1のバンクもアクティブ動作させる。メモリコントローラは、16回のリードコマンドRDに対応して、16バイトのデータを受信する。さらに、メモリコントローラは、受信した16バイトのデータを参照画像読み出し制御部に送信する。

【0246】

このように、メモリコントローラは、マルチバンクアクセス機能を有するメモリに対しては、異なるバンク領域にまたがるデータであっても、1回のアクティブコマンドを発行すればよい。

【0247】

図65は、メモリコントローラの制御動作のフローチャート図である。まず、上位のCPUによりメモリコントローラ内の設定レジスタにマルチバンクアクティブ機能のON/OFFが設定される(S1)。参照画像読み出し制御部が、動きベクトル情報、マクロブロック分割情報、対象マクロブロック情報により、参照画像ブロックの座標(POSX, POSY)とサイズ(SIZE X, SIZE Y)を算出し(S2)、矩形アクセスのリクエストをそれらの矩形パラメータと共にメモリコントローラに発行する(S3)。

【0248】

メモリコントローラは、この矩形パラメータ(POSX, POSY)(SIZE X, SIZE Y)と、設定レジスタに設定されているメモリマップ情報及びフレーム画像のアドレス情報とから、矩形アクセスで発行すべきBA, RA, CA, SB, SA'を算出する(S4)。マルチバンクアクティブ機能がONの場合は(S5のYES)、メモリコントローラは、アクティブコマンドACTと共にBA, RA, SA'を発行し、更に、リードコマンドRDと共にBA, CA, SBを順次発行しながら、リードデータを受信する(S6, S7, S8)。ライト動作の場合は、リードコマンドの代わりにライトコマンドWRと共にBA, CA, SBを順次発行しながら、ライトデータを出力する。

【0249】

また、マルチバンクアクティブ機能がOFFの場合は(S5のNO)、メモリコントローラは、リクエストのあった矩形がページ領域、つまりバンクをまたぐか否かをチェックし(S9)、またがない場合(S9のNO)は、アクティブコマンドACTと共にBA, RAを発行し、更に、リードコマンドRDと共にBA, CA, SBを順次発行しながら、リードデータを受信する(10, 11, 12)。ライト動作の場合は、リードコマンドの

10

20

30

40

50

代わりにライトコマンドWRと共にBA, CA, SBを順次発行しながら, ライトデータ
を出力する。

【0250】

さらに, バンクをまたぐ場合(S9のYES), バイトバウンダリ機能を利用できない
ので, メモリコントローラは, 図56に示した拡大矩形領域E-RIMGの座標PO SX
と幅S I Z E Xを算出し, それに対応する左上座標のアドレスBA, RA, CAを算出す
る(S13)。そして, 拡大矩形領域に対して, アクティブコマンドACTと共にBA,
RAを発行を発行し, リードコマンドRDと共にBA, CAを順次発行しながらリードデ
ータを受信する(S15, 16, 17)。そして, 左上座標のバンク内のリードが完了す
ると(S17のYES, S14のYES), 一旦プリチャージコマンドを発生したのち, 10
次のバンクに対してアクティブコマンドを発生し, 更にリードコマンドRDと共にBA,
CAを順次発行しながらリードデータを受信する(S19, S16, 17)。そのバンク
内のデータを全て受信し(S17のYES), 全てのデータ読み出しが完了したら(S1
8), メモリ制御を終了する。

【0251】

なお, メモリコントローラの設定レジスタに, バイトバウンダリ機能をOFFにする設
定がある場合は, 図65の構成S13~S18により図61のようにメモリコントローラ
がアクティブコマンドとリードコマンドと必要なアドレスとを発行する。

【0252】

このように, メモリコントローラは, 内蔵の設定レジスタにバイトバウンダリ機能のO
N, OFFやマルチバンクアクティブ機能のON, OFFとを設定可能であり, 制御対象
の画像メモリの機能に応じて, 必要なコマンドとアドレス, マルチバンク情報, スタート
バイト情報, アップモード, ダウンモード, オルターナティブなどのバイト組み合わせ情
報などを適宜発行する。 20

【0253】

図66は, メモリコントローラの制御動作のフローチャート図である。この例は, 図3
5, 36に示したエンディアンに対応して入出力データの入れ替え機能を制御対象の画像
メモリが有するか否かをメモリコントローラに設定できるようになっている。まず, 上位
のCPUがメモリコントローラの設定レジスタに, 画像メモリにおける出力データの並び
替え機能の有無を設定する(S20)。そして, 参照画像読み出し制御部が, 動きベクトル
情報, マクロブロック分割情報, 対象マクロブロック情報により, 参照画像ブロックの
座標(PO SX, PO SY)とサイズ(S I Z E X, S I Z E Y)を算出し(S21), 30
矩形アクセスのリクエストをそれらの矩形パラメータと共にメモリコントローラに発行す
る(S22)。

【0254】

次に, メモリコントローラは, この矩形パラメータ(PO SX, PO SY)(S I Z E
X, S I Z E Y)と, 設定レジスタに設定されているメモリマップ情報及びフレーム画像
のアドレス情報とから, 矩形アクセスで発行すべきBA, RA, CA, SB, SA'を算
出する(S23)。そして, 出力データの並び替え機能がONに設定されている場合は
(S24のYES), メモリコントローラは, アクティブコマンドと共にバンクアドレスB
A, ロウアドレスRA, マルチバンク情報SA'を発行し, さらにリードコマンドと共に
バンクアドレスBA, コラムアドレスCA, スタートバイト情報SBを発行する(S25) 40
)。その後は, 全てのデータの読み出しが完了するまで, リードコマンド, BA, CA,
SBを繰り返し発行する(S26, S27)。

【0255】

一方, 出力データの並び替え機能がOFFに設定されている場合は(S24のNO),
メモリコントローラは, アクティブコマンドと共にバンクアドレスBA, ロウアドレスR
A, マルチバンク情報SA'を発行し, さらにリードコマンドと共にバンクアドレスBA
, コラムアドレスCA, スタートバイト情報SBを発行する(S25)。その後は, 全て
のデータの読み出しが完了するまで, リードコマンド, BA, CA, SBを繰り返し発行 50

すると共に、受信したデータの並びが元の画像データの順番になるように並び替えを行う（S28, S29, S30）。

【0256】

上記の図65と図66とは、設定レジスタの設定項目によって適宜組み合わせることができる。

【0257】

なお、上記の実施の形態では、複数画素の画像データを二次元配置したデジタル画像データを記憶する画像メモリを例にして説明した。しかしながら、本発明は、画像データを記憶する画像メモリに限定されず、画像データ以外でも二次元配列されたデータを所定のマッピングルールに基づいて記憶するメモリ装置に適用可能である。記憶データが二次元配列されたデータであれば、その二次元配列データ内の任意の矩形領域をアクセスするときに複数のメモリ単位領域に跨ってデータにアクセスすることが求められることがある。その場合にも本発明は適用可能である。

10

以上の実施の形態をまとめると、次の付記のとおりである。

【0258】

（付記1）アドレスにより選択される複数のメモリ単位領域を有するメモリセルアレイと、

複数の入出力端子と、

前記メモリセルアレイと複数の入出力端子との間に設けられる入出力ユニットとを有し

20

、
前記メモリ単位領域内には、前記複数の入出力端子に対応する複数のバイト又はビットのデータが記憶され、

さらに、前記メモリセルアレイと入出力ユニットは、第1の動作コードにตอบสนองして、入力アドレスと前記バイト又はビットの組み合わせ情報とに基づいて、前記入力アドレスに対応する第1のメモリ単位領域とそれに隣接する第2のメモリ単位領域内の複数のバイト又はビットにアクセスし、前記アクセスした第1及び第2のメモリ単位領域の複数のバイト又はビットから、前記組み合わせ情報に基づく組み合わせの複数のバイト又はビットを、前記複数の入出力端子に対応付けることを特徴とするメモリ装置。

【0259】

30

（付記2）付記1において、

前記アドレスは、ロウアドレスとコラムアドレスとを有し、

前記メモリセルアレイは、前記ロウアドレスで選択される複数のページ領域を有し、当該ページ領域は、前記コラムアドレスで選択される複数の前記メモリ単位領域を有し、

アクティブコマンド、リード又はライトコマンドが供給され、前記第1の動作コードが前記リード又はライトコマンドであり、

前記アクティブコマンドにตอบสนองして、前記ロウアドレスで選択されるページ領域がアクティブ動作を行い、前記リード又はライトコマンドにตอบสนองして、前記コラムアドレスに対応する前記第1のメモリ単位領域とそれに隣接する第2のメモリ単位領域の複数のバイト又はビットから、前記組み合わせ情報に基づく組み合わせの複数のバイト又はビットが、前記複数の入出力端子に対応付けられるメモリ装置。

40

【0260】

（付記3）付記2において、

二次元配列データが前記複数のメモリ単位領域に所定のマッピングルールにしたがって記憶され、

前記メモリセルアレイは、複数のバンクを有し、各バンクは複数の前記ページ領域を有し、各ページ領域は複数のメモリ単位領域を有し、

前記アクティブコマンドと共に、前記バンクを選択するバンクアドレスと前記ロウアドレスが供給され、前記リード又はライトコマンドと共に、前記バンクアドレス及びコラムアドレスと、前記組み合わせ情報とが供給されるメモリ装置。

50

【 0 2 6 1 】

(付記 4) 付記 3 において、

前記組み合わせ情報は、前記メモリ単位領域内の先頭バイト又は先頭ビットを示す第 1 の情報 (S B) と、前記マッピングルールを示す第 2 の情報 (B M R) とを有し、
前記第 1 の情報と第 2 の情報とが前記リード又はライトコマンドと共に供給されるメモリ装置。

【 0 2 6 2 】

(付記 5) 付記 3 において、

前記組み合わせ情報は、前記メモリ単位領域内の先頭バイト又は先頭ビットを示す第 1 の情報 (S B) と、前記マッピングルールを示す第 2 の情報 (B M R) とを有し、
前記第 1 の情報が前記リード又はライトコマンドと共に供給され、
前記第 2 の情報が、前記アクティブコマンドに先行するモードレジスタセットコマンドと共に供給され、
前記第 2 の情報がモードレジスタ内に設定されるメモリ装置。

【 0 2 6 3 】

(付記 6) 付記 1 において、

二次元配列データが前記複数のメモリ単位領域に所定のマッピングルールにしたがって記憶され、

前記組み合わせ情報は、前記メモリ単位領域内の先頭バイト又は先頭ビットを示す第 1 の情報 (S B) と、前記マッピングルールを示す第 2 の情報 (B M R) とを有し、

前記マッピングルールを示す第 2 の情報には、前記二次元配列データの配列順と前記メモリ単位領域内のデータの配列順とが同じであるビッグエンディアンと、前記二次元配列データの配列順と前記メモリ単位領域内のデータの配列順とが逆であるリトルエンディアンと、前記二次元配列データの奇数及び偶数の配列順と前記メモリ単位領域内のデータの奇数及び偶数の配列順とが異なる奇数偶数反転ルールとを含むマッピングルールグループ内のいずれかが含まれるメモリ装置。

【 0 2 6 4 】

(付記 7) 付記 1 において、

前記メモリセルアレイは、複数のバンクを有し、各バンクは複数の前記ページ領域を有し、各ページ領域は複数のメモリ単位領域を有し、

前記アドレスは、バンクアドレスとロウアドレスとコラムアドレスとを有し、

前記ページ領域が前記バンクアドレスとロウアドレスで選択され、前記メモリ単位領域が前記バンクアドレスとコラムアドレスで選択され、

動作コードとしてアクティブコマンド、リード又はライトコマンドが供給され、前記第 1 の動作コードが前記リード又はライトコマンドであり、

前記アクティブコマンドと共に、前記バンクを選択するバンクアドレスと前記ロウアドレスが供給され、それに応答して、前記バンクアドレス及びロウアドレスで選択されるページ領域がアクティブ動作を行い、

前記リード又はライトコマンドと共に、前記バンクアドレス及びコラムアドレスと前記組み合わせ情報とが供給され、それに応答して、前記バンクアドレス及びコラムアドレスに対応する前記第 1 のメモリ単位領域とそれに隣接する第 2 のメモリ単位領域の複数のバイト又はビットから、前記組み合わせ情報に基づく組み合わせの複数のバイト又はビットが、前記複数の入出力端子に対応付けられるメモリ装置。

【 0 2 6 5 】

(付記 8) 付記 1 において、

前記メモリセルアレイは複数のバンクに分割され、各バンク内のメモリセルアレイは複数の前記ページ領域を有し、各ページ領域は複数のメモリ単位領域を有し、

前記アドレスは、バンクアドレスとロウアドレスとコラムアドレスとを有し、

前記ページ領域が前記バンクアドレスとロウアドレスで選択され、前記メモリ単位領域が前記バンクアドレスとコラムアドレスで選択され、

前記バンクは、前記メモリセルアレイと、コラムデコーダと、ロウデコーダと、前記入出力ユニットとを有し、

前記入出力ユニットは、前記メモリセルアレイにアクセスされるデータをラッチするデータラッチ回路と、前記データラッチ回路内のデータを前記組み合わせ情報に基づいて選択するデータバススイッチ回路とを有するメモリ装置。

【0266】

(付記9)付記8において、

前記リード又はライトコマンドにตอบสนองして、前記コラムデコーダは、供給コラムアドレスの第1のデコード信号と前記供給コラムアドレスに隣接するコラムアドレスの第2のデコード信号とを順次生成し、前記第1のデコード信号に対応するデータが第1のデータラッチ回路に格納され、前記第2のデコード信号に対応するデータが第2のデータラッチ回路に格納され、

10

前記リードコマンドの場合は、前記第1、第2のデータラッチ回路内のデータが前記データバススイッチ回路により選択されて前記入出力端子に出力され、

前記ライトコマンドの場合は、前記入出力端子に入力されたデータが前記データバススイッチ回路により選択された前記第1、第2のデータラッチ回路に格納されるメモリ装置。

【0267】

(付記10)付記8において、

前記リード又はライトコマンドにตอบสนองして、前記コラムデコーダは、供給コラムアドレスの第1のデコード信号と前記供給コラムアドレスに隣接するコラムアドレスの第2のデコード信号とを同時に生成し、前記第1のデコード信号に対応するデータが第1のデータラッチ回路に格納され、前記第2のデコード信号に対応するデータが第2のデータラッチ回路に格納され、

20

前記リードコマンドの場合は、前記第1、第2のデータラッチ回路内のデータが前記データバススイッチ回路により選択されて前記入出力端子に出力され、

前記ライトコマンドの場合は、前記入出力端子に入力されたデータが前記データバススイッチ回路により選択された前記第1、第2のデータラッチ回路に格納されるメモリ装置。

【0268】

30

(付記11)付記10において、

前記コラムデコーダは、前記第1、第2のデコード信号に加えて、更に隣接するコラムアドレスの第3、第4のデコード信号を同時に生成し、前記第3、第4のデコード信号に対するデータが第3、第4のデータラッチ回路に格納され、

前記リードコマンドの場合は、前記第1、第2、第3、第4のデータラッチ回路内のデータが前記データバススイッチ回路により選択されて前記入出力端子に出力され、

前記前記ライトコマンドの場合は、前記入出力端子に入力されたデータが前記データバススイッチ回路により選択された前記第1、第2のデータラッチ回路に格納されるメモリ装置。

【0269】

40

(付記12)付記8において、

前記メモリセルアレイは、複数のバイト又はビット領域に分割され、各バイト又はビット領域は偶数コラムアドレスでアクセスされる偶数バイト又はビット領域と奇数コラムアドレスでアクセスされる奇数バイト又はビット領域とを有し、

前記データバススイッチ回路は、前記複数のバイト又はビット領域それぞれにおいて、偶数バイト又はビット領域か、あるいは奇数バイト又はビット領域かのいずれかを入出力端子群に接続するスイッチ群を有し、当該スイッチ群が前記供給コラムアドレスと組み合わせ情報とに応じて導通・非導通制御されるメモリ装置。

【0270】

(付記13)付記8において、

50

前記メモリセルアレイは、複数のバイト又はビット領域に分割され、各バイト又はビット領域は偶数コラムアドレスでアクセスされる偶数バイト又はビット領域と奇数コラムアドレスでアクセスされる奇数バイト又はビット領域とを有し、

前記データバススイッチ回路は、前記複数のバイト又はビット領域それぞれにおいて、偶数バイト又はビット領域か、あるいは奇数バイト又はビット領域かのいずれかをいずれかの入出力端子群に接続するスイッチ群を有し、当該スイッチ群が前記供給コラムアドレスと組み合わせ情報とに応じて導通・非導通制御されるメモリ装置。

【0271】

(付記14)付記13において、

二次元配列データが前記複数のメモリ単位領域に所定のマッピングルールにしたがって記憶され、

10

前記組み合わせ情報がアップモードかダウンモードかに応じて、前記データバススイッチ回路は、前記複数のバイト又はビット領域のバイト又はビットデータを、アップモードまたはダウンモードの組み合わせで前記入出力端子群に接続するメモリ装置。

【0272】

(付記15)付記1において、

前記メモリセルアレイは複数のバンクに分割され、各バンク内のメモリセルアレイは複数の前記ページ領域を有し、各ページ領域は複数のメモリ単位領域を有し、

前記アドレスは、バンクアドレスとロウアドレスとコラムアドレスとを有し、

前記ページ領域が前記バンクアドレスとロウアドレスで選択され、前記メモリ単位領域が前記バンクアドレスとコラムアドレスで選択され、

20

前記バンクは、複数のバイト又はビット領域に分割され、各バイト又はビット領域が前記メモリセルアレイと、コラムデコーダと、前記入出力ユニットとを有し、

前記複数のバイト又はビット領域内のコラムデコーダは、前記供給されるコラムアドレスと組み合わせ情報に基づくコラムアドレスのデコード信号をそれぞれ出力し、前記メモリセルアレイが前記デコード信号に対応するバイト又はビットのデータの入出力を行うメモリ装置。

【0273】

(付記16)付記15において、

前記供給されるコラムアドレスと組み合わせ情報とに基づいて、前記複数のバイト又はビット領域内のコラムデコーダへ供給するコラムアドレスを制御するコラムアドレス制御回路(290)を有するメモリ装置。

30

【0274】

(付記17)付記15において、

前記入出力ユニットは、前記複数のバイト又はビット領域と前記入出力端子群とを接続するスイッチ群を有し、当該スイッチ群は、前記供給される組み合わせ情報のアップモードとダウンモードとに応じて、前記複数のバイト又はビット領域のバイト又はビットデータを、アップモードまたはダウンモードの組み合わせで前記入出力端子群に接続するメモリ装置。

【0275】

40

(付記18)付記15において、

二次元配列データが前記複数のメモリ単位領域に所定のマッピングルールにしたがって記憶され、

前記供給されるコラムアドレスと組み合わせ情報とに加えて、前記二次元配列データのアクセスされる矩形領域の幅情報と矩形サイズ情報とを供給され、

さらに、1回のリード又はライトコマンドにตอบสนองして、前記供給コラムアドレス、組み合わせ情報、矩形領域の幅情報と矩形サイズ情報に基づき、前記複数のバイト又はビット領域のコラムデコーダに、前記矩形領域に対応するコラムアドレスの組み合わせ群を順番に供給するコラム制御部を有するメモリ装置。

【0276】

50

(付記 19) 付記 1 に記載されたメモリ装置と、
前記第 1 の動作コードと共に、前記アドレスと、前記バイト又はビットの組み合わせ情報とを前記メモリ装置に供給して、前記メモリ装置内の第 1 及び第 2 のメモリ単位領域内の複数のバイト又はビットにアクセスするメモリコントローラとを有するメモリシステム。

【0277】

(付記 20) 付記 19 において、
前記メモリ装置において、
前記メモリセルアレイは、複数のバンクを有し、各バンクは複数の前記ページ領域を有し、各ページ領域は複数のメモリ単位領域を有し、

10

前記アドレスは、バンクアドレスとロウアドレスとコラムアドレスとを有し、
前記ページ領域が前記バンクアドレスとロウアドレスで選択され、前記メモリ単位領域が前記バンクアドレスとコラムアドレスで選択され、

動作コードとしてアクティブコマンド、リード又はライトコマンドが供給され、前記第 1 の動作コードが前記リード又はライトコマンドであり、

前記アクティブコマンドと共に、前記バンクを選択するバンクアドレスと前記ロウアドレスが供給され、それに応答して、前記バンクアドレス及びロウアドレスで選択されるページ領域がアクティブ動作を行い、

前記リード又はライトコマンドと共に、前記バンクアドレス及びコラムアドレスと前記組み合わせ情報とが供給され、それに応答して、前記バンクアドレス及びコラムアドレスに対応する前記第 1 のメモリ単位領域とそれに隣接する第 2 のメモリ単位領域の複数のバイト又はビットから、前記組み合わせ情報に基づく組み合わせの複数のバイト又はビットが、前記複数の入出力端子に対応付けられ、

20

前記メモリコントローラは、前記アクティブコマンドと共に、前記バンクを選択するバンクアドレスと前記ロウアドレスとを、メモリ装置に供給し、前記リード又はライトコマンドと共に、前記バンクアドレス及びコラムアドレスと前記組み合わせ情報とを供給するメモリシステム。

【0278】

(付記 21) 付記 19 において、
二次元配列データが前記複数のメモリ単位領域に所定のマッピングルールにしたがって記憶され、

30

前記メモリコントローラは、前記二次元配列データ内の所定の矩形領域を特定する情報に基づいて、前記アドレスと前記バイト又はビットの組み合わせ情報を算出することを特徴とするメモリシステム。

【0279】

(付記 22) 付記 1 に記載されたメモリ装置を制御するメモリコントローラにおいて、
前記第 1 の動作コードと共に、前記アドレスと、前記バイト又はビットの組み合わせ情報とを前記メモリ装置に供給して、前記メモリ装置内の第 1 及び第 2 のメモリ単位領域内の複数のバイト又はビットにアクセスするメモリコントローラ。

【0280】

40

(付記 23) 付記 22 において、
二次元配列データが前記複数のメモリ単位領域に所定のマッピングルールにしたがって記憶され、

前記二次元配列データ内の所定の矩形領域を特定する情報に基づいて、前記アドレスと前記バイト又はビットの組み合わせ情報を算出するメモリコントローラ。

【0281】

(付記 24)
半導体基板上に回路を集積した半導体集積回路装置において、
ワード線およびビット線に接続された複数のメモリセルを有するメモリ単位領域が、マトリクス状に配置されたメモリアレイと、

50

外部から入力されるリードコマンドにตอบสนองして、複数のメモリセルから複数のデータを読み出す入出力ユニットとを有し、

前記入出力ユニットは、組み合わせ情報に応じて、前記読み出される複数データの組み合わせを変更することを特徴とする半導体集積回路。

【0282】

(付記25)

付記24において、前記組み合わせ情報は、前記半導体基板に内蔵されたレジスタに記憶される半導体集積回路。

【0283】

(付記26)

付記25において、外部から入力されるモードレジスタセットコマンドにตอบสนองして、前記組み合わせ情報が前記レジスタに記憶される半導体集積回路。

【0284】

(付記27)

付記24において、前記組み合わせ情報は、前記リードコマンドと関連して外部から入力される半導体集積回路。

【0285】

(付記28)

付記24～27のいずれかにおいて、前記メモリ単位領域の複数データは単一のコラムアドレスにそれぞれ割り当てられている半導体集積回路。

【0286】

(付記29)

付記24～27のいずれかにおいて、前記組み合わせられて読み出される複数データは、第1のコラムアドレスに割り当てられた第1の複数データの一部と第2のコラムアドレスに割り当てられた第2の複数データの一部とで構成される半導体集積回路。

【0287】

(付記30)

付記29において、前記第1の複数データは、第1、第2、第3及び第4のデータからなり、前記第2の複数データは第5、第6、第7及び第8のデータからなり、前記組み合わせ情報が第1の情報のとき、前記読み出される複数データは前記第2、第3、第4及び第5データで構成され、前記組み合わせ情報が第2の情報のとき、前記読み出される複数データは前記第3、第4、第5及び第6データで構成される半導体集積回路。

【0288】

(付記31)

付記30において、前記組み合わせ情報が第3の情報のとき、前記読み出される複数データは前記第4、第5、第6及び第7データで構成される半導体集積回路。

【0289】

(付記32)

半導体メモリコントローラ装置と表示画像データを記憶する半導体メモリ装置とを有する画像処理システムにおいて、

前記半導体メモリ装置は複数のバンクを有し、各バンク内に複数のワード線を有し、前記複数バンクはお互いに異なるバンクアドレスが割り当てられ、前記各バンク内の複数のワード線はお互いに異なるロウアドレスが割り当てられ、前記バンクアドレスと前記ロウアドレスによりページ領域が特定され、前記ページ領域は異なるコラムアドレスにそれぞれ割り当てられた複数のメモリ単位領域を有し、

前記半導体メモリコントローラは、前記表示画像データを所定のメモリマッピングに基づいて前記半導体メモリ装置内の前記複数のページ領域に記憶するよう制御し、

当該メモリマッピングでは上下左右に隣接するページ領域には異なるバンクアドレスが割り当てられ、

前記半導体メモリ装置は、前記半導体メモリコントローラ装置から供給される組み合わせ

10

20

30

40

50

せ情報に基づき、2つの前記メモリ単位領域内のデータを組み合わせる前記半導体コントローラ装置へ出力することを特徴とする画像処理システム。

【0290】

(付記33)

付記32において、前記半導体メモリコントローラ装置から出力された前記組み合わせ情報は、前記半導体メモリ装置内のレジスタに記憶される画像処理システム。

【0291】

(付記34)

付記33において、前記半導体メモリコントローラ装置は前記組み合わせ情報とモードレジスタセットコマンドを出力し、前記半導体メモリ装置は前記モードレジスタセットコマンドに回答して前記組み合わせ情報を前記レジスタに記憶する画像処理システム。

10

【0292】

(付記35)

付記32において、前記半導体メモリコントローラ装置は前記組み合わせ情報とリードコマンドを前記半導体メモリ装置に出力する画像処理システム。

【0293】

(付記36)

付記32において、前記ページ領域は第1のコラムアドレスに割り当てられた第1のメモリ単位領域と第2のコラムアドレスに割り当てられた第2のメモリ単位領域とを有し、前記半導体メモリコントローラ装置から供給される前記組み合わせ情報に基づき、前記半導体メモリ装置は前記第1および第2のメモリ単位領域のデータを前記半導体メモリコントローラ装置へ出力する画像処理システム。

20

【0294】

(付記37)

付記36において、前記第1のメモリ単位領域は、第1、第2、第3及び第4のデータからなり、前記第2のメモリ単位領域は第5、第6、第7及び第8データからなり、前記組み合わせ情報が第1の情報するとき、前記半導体メモリ装置は前記第2、第3、第4及び第5のデータを前記半導体メモリコントローラ装置に出力し、前記組み合わせ情報が第2の情報するとき、前記半導体メモリ装置は前記第3、第4、第5及び第6のデータを前記半導体メモリコントローラ装置に出力する画像処理システム。

30

【0295】

(付記38)

付記36において、前記組み合わせ情報が第3情報するとき、前記半導体メモリ装置は前記第4、第5、第6及び第7データを前記半導体コントローラ装置に出力する画像処理システム。

【0296】

(付記39)

付記24に記載された半導体集積回路装置を制御する半導体メモリコントローラにおいて、

前記リードコマンドと、前記組み合わせ情報とを前記半導体集積回路装置に供給すること
を特徴とする半導体メモリコントローラ。

40

【0297】

(付記40)

半導体メモリコントローラにおいて、
半導体メモリ装置をアクセスするためにリードコマンド、バンクアドレス、ロウアドレス、コラムアドレスを生成するコマンド・アドレス生成部と、

スタートバイト信号を生成するスタートバイト生成部とを有し、

前記バンクアドレスと前記ロウアドレスにより前記半導体メモリ装置内のページ領域を指定し、前記コラムアドレスにより前記ページ領域内のメモリ単位領域を指定し、前記ス

50

スタートバイト信号により前記メモリ単位領域内に含まれる複数のデータ群から1つのデータ群を選択することを特徴とする半導体メモリコントローラ。

【0298】

(付記41)

半導体基板上に回路を集積した半導体集積回路装置において、
符号化された画像データを復号化する画像処理制御部と、
画像メモリを制御するメモリ制御部と、
前記画像メモリが有する機能を示す機能情報を設定する設定レジスタとを有し、
前記画像処理部は矩形画像の始点座標と当該矩形画像の縦及び横サイズ情報を前記メモリ制御部へ出力し、

前記メモリ制御部は、前記始点座標、縦及び横サイズ情報及び前記設定レジスタに設定された設定情報に基づいて、前記画像メモリをアクセスするためのコマンド、アドレス、スタートバイト信号を生成し、前記スタートバイト信号は前記アドレスで選択される画像メモリ内のメモリ単位領域のスタート位置を示すことを特徴とする半導体集積回路装置。

【0299】

(付記42)

付記41において、前記設定レジスタには、更に、画像データと画像メモリのアドレス論理空間との対応を示すメモリマップ情報が設定されることを特徴とする半導体集積回路装置。

【0300】

(付記43)

付記41において、前記アドレスはバンクアドレス、ロウアドレス、コラムアドレスを有し、バンクアドレスとロウアドレスにより前記画像メモリ内のページ領域を指定し、コラムアドレスにより前記ページ領域内の前記単位メモリ領域を指定し、前記スタートバイト信号により前記単位メモリ領域内に含まれる複数のデータ群内の1つのデータ群が選択されることを特徴とする半導体集積回路装置。

【図面の簡単な説明】

【0301】

【図1】本実施の形態における画像メモリのメモリマッピングを示す図である。

【図2】画像メモリにおける2つのアクセスを示す図である。

【図3】水平アクセスの課題を示す図である。

【図4】矩形アクセスの第1の課題を示す図である。

【図5】矩形アクセスの第2の課題を示す図である。

【図6】本実施の形態の全体の動作を示す図である。

【図7】本実施の形態の全体の動作の別の例を示す図である。

【図8】本実施の形態における画像処理システムの構成図である。

【図9】本実施の形態における画像メモリの構成図である。

【図10】バイトバウンダリ機能を説明する図である。

【図11】バイトバウンダリ機能におけるタイミングチャートを示す図である。

【図12】異なるマッピングに対するバイトバウンダリ機能を説明する図である。

【図13】図12のビッグエンディアンとリトルエンディアンとを説明する図である。

【図14】特殊なメモリマッピングにおけるバイトバウンダリ機能を説明する図である。

【図15】図14の特殊なメモリマッピングを説明する図である。

【図16】矩形アクセスにおけるバイトバウンダリ機能を示すタイミングチャート図である。

【図17】バイトバウンダリ機能を実現するための画像処理システムの構成図である。

【図18】バイトバウンダリ機能を示す図である。

【図19】簡素化されたバイトバウンダリ機能を実現する画像処理システムの構成図である。

【図20】図19の簡素化されたバイトバウンダリ機能を実現する画像処理システムを説

10

20

30

40

50

明する図である。

【図 2 1】バイトバウンダリ機能を有するメモリ構成の概念を示す図である。

【図 2 2】バイトバウンダリ機能を有する画像メモリの第 1 の例を示す図である。

【図 2 3】図 2 2 の動作を説明する図である。

【図 2 4】図 2 4 は、バイトバウンダリ機能を有する画像メモリの第 2 の例を示す図である。

【図 2 5】図 2 4 の動作を説明する図である。

【図 2 6】バイトバウンダリ機能を有する画像メモリの第 2 の例の変形例 (1) の動作を示す図である。

【図 2 7】バイトバウンダリ機能を有する画像メモリの第 2 の例の変形例 (2) の動作を示す図である。

10

【図 2 8】バイトバウンダリ機能を有する画像メモリの第 2 の例の変形例 (3) の動作を示す図である。

【図 2 9】バイトバウンダリ機能を有する画像メモリの第 3 の例を示す図である。

【図 3 0】図 2 9 の動作を説明する図である。

【図 3 1】バイトバウンダリ機能を有する画像メモリの入出力端子との対応手段を示す図である。

【図 3 2】図 3 1 の動作を示す図である。

【図 3 3】バイトバウンダリ機能を有する画像メモリの入出力端子との対応手段を示す図である。

20

【図 3 4】図 3 3 の動作を示す図である。

【図 3 5】バイトバウンダリ機能を有する画像メモリであってエンディアンに対応可能な画像メモリの構成図 (1) である。

【図 3 6】バイトバウンダリ機能を有する画像メモリであってエンディアンに対応可能な画像メモリの構成図 (2) である。

【図 3 7】バイトバウンダリ機能を有する画像メモリであってエンディアンに対応可能な画像メモリの構成図 (3) である。

【図 3 8】図 3 7 の D D R メモリにおけるアップモードの動作タイミングチャート図である。

【図 3 9】図 3 7 の D D R メモリにおけるダウンモードの動作タイミングチャート図である。

30

【図 4 0】バイトバウンダリ機能におけるバウンダリの指定方法について説明する図である。

【図 4 1】スタートバイト S B とシフトバリュース V との変換回路を示す図である。

【図 4 2】バイトバウンダリ機能を利用した自動矩形アクセスを説明する図である。

【図 4 3】自動矩形アクセスでのタイミングチャート図である。

【図 4 4】自動矩形アクセスに必要な内部コラムアドレス演算器の構成図である。

【図 4 5】バイトバウンダリ機能によるアクセスがページ領域の末尾に及んだ場合のメモリ動作の例を示す図である。

【図 4 6】バイトバウンダリ機能によるアクセスがページ領域の末尾に及んだ場合のメモリ動作の別の例を示す図である。

40

【図 4 7】バイトバウンダリ機能によるアクセスがページ領域の末尾に及んだ場合のメモリ動作の別の例を示す図である。

【図 4 8】バイトバウンダリ機能のその他の用途を説明する図である。

【図 4 9】バイトバウンダリ機能のその他の用途を説明する図である。

【図 5 0】バイトバウンダリ機能のその他の用途を説明する図である。

【図 5 1】画像処理システムの構成図である。

【図 5 2】メモリ制御部 (メモリコントローラ) の入力及び出力信号を示す図である。

【図 5 3】フレーム画像内で読み出し対象の参照画像領域を説明する図である。

【図 5 4】メモリ制御部の詳細な構成図である。

50

【図 5 5】参照画像読み出し制御部 5 1 4 でのインター予測部 5 1 3 の演算を説明する図である。

【図 5 6】参照画像読み出し制御部 5 1 4 でのインター予測部 5 1 3 の演算例を示す図である。

【図 5 7】メモリマッピング例を示す図である。

【図 5 8】メモリマッピング 1 2 におけるページ領域 1 4 の構成を示す図である。

【図 5 9】図 5 6 の参照画像領域のメモリマップ上での配置を示す図である。

【図 6 0】参照画像領域のメモリマップ上での別の配置例を示す図である。

【図 6 1】バイトバウンダリ機能を有しないメモリに対するメモリコントローラでのタイミングチャート図である。

10

【図 6 2】バイトバウンダリ機能を有するメモリに対するメモリコントローラでのタイミングチャート図である。

【図 6 3】バイトバウンダリ機能とマルチバンクアクセス機能を有しないメモリに対するメモリコントローラでのタイミングチャート図である。

【図 6 4】マルチバンクアクセス機能とバイトバウンダリ機能を有するメモリに対するメモリコントローラにおけるタイミングチャート図である。

【図 6 5】メモリコントローラの制御動作のフローチャート図である。

【図 6 6】メモリコントローラの制御動作のフローチャート図である。

【符号の説明】

【 0 3 0 2 】

20

1 0 : 表示デバイス 1 2 : メモリマッピング 1 4 , 1 4 E : メモリ単位領域

1 5 : 画像メモリ 2 2 : 矩形領域 S A : リフレッシュバンク情報

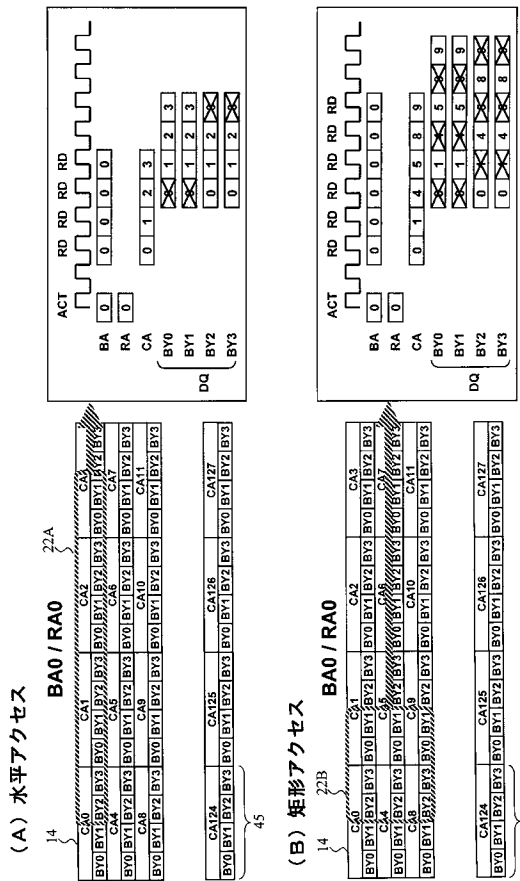
S B , B M R : バイト組み合わせ情報

S B : 第 1 の情報 (スタートバイト情報) B M R : 第 2 の情報 (U P , D O W N ,

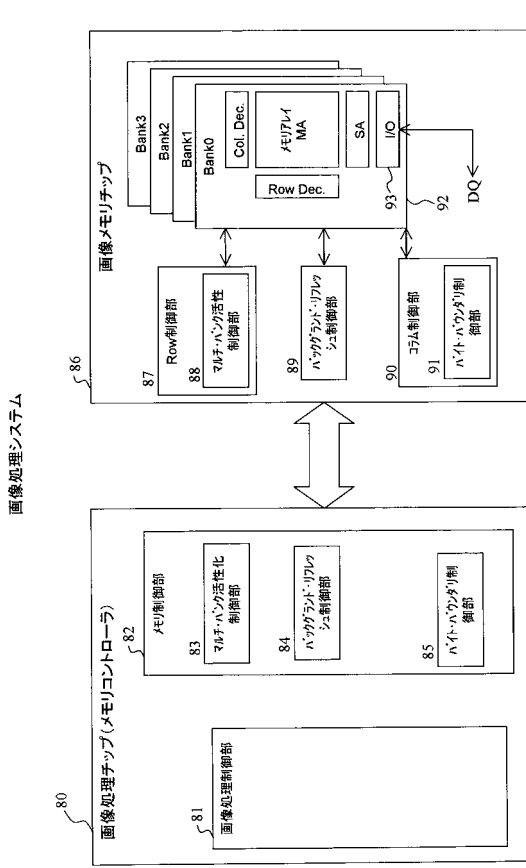
A L)

S A ' : マルチバンク情報

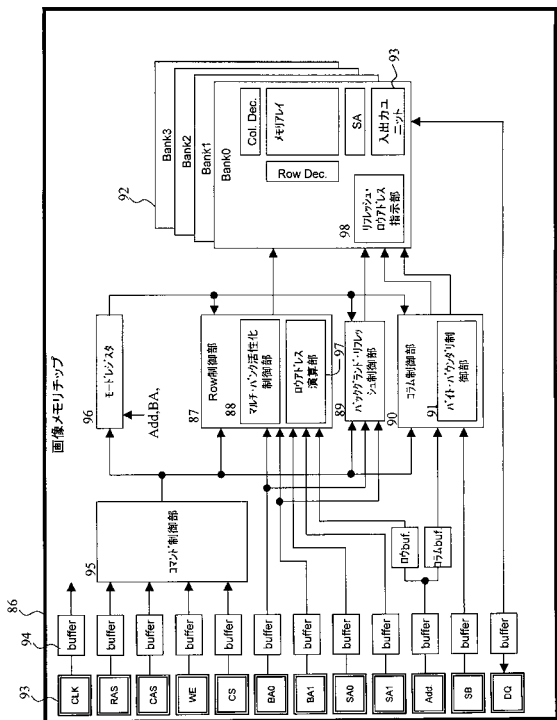
【 図 4 】



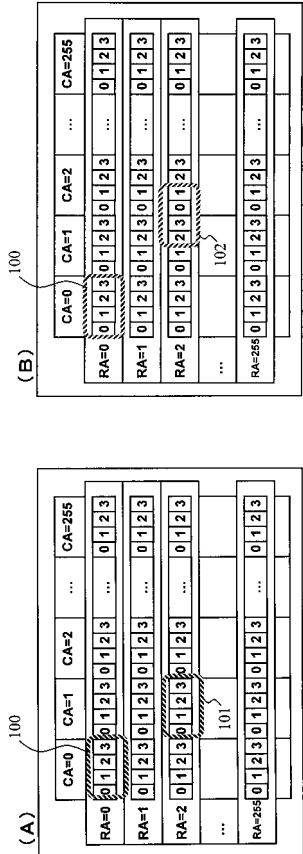
【 図 8 】



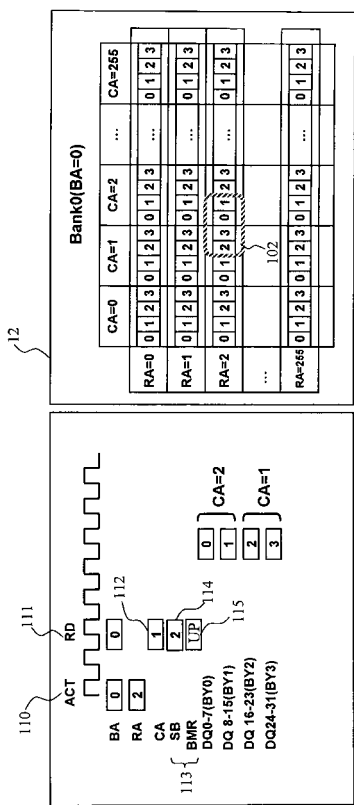
【 図 9 】



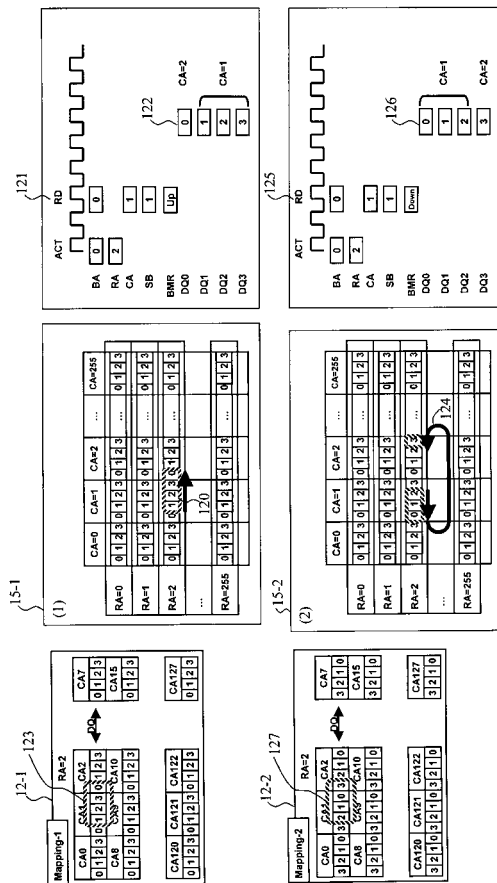
【 図 10 】



【図 1 1】

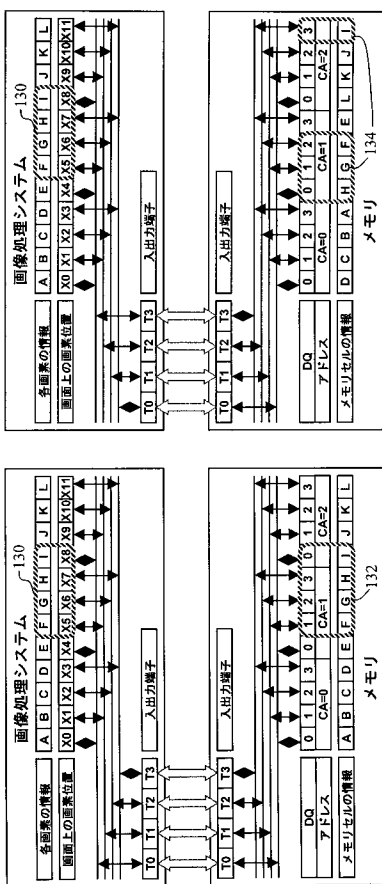


【図 1 2】

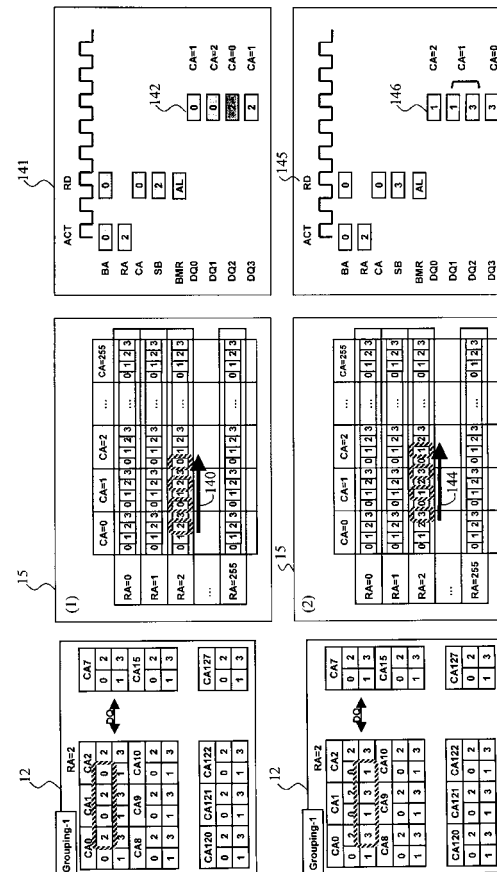


【図 1 3】

リトルエンディアン

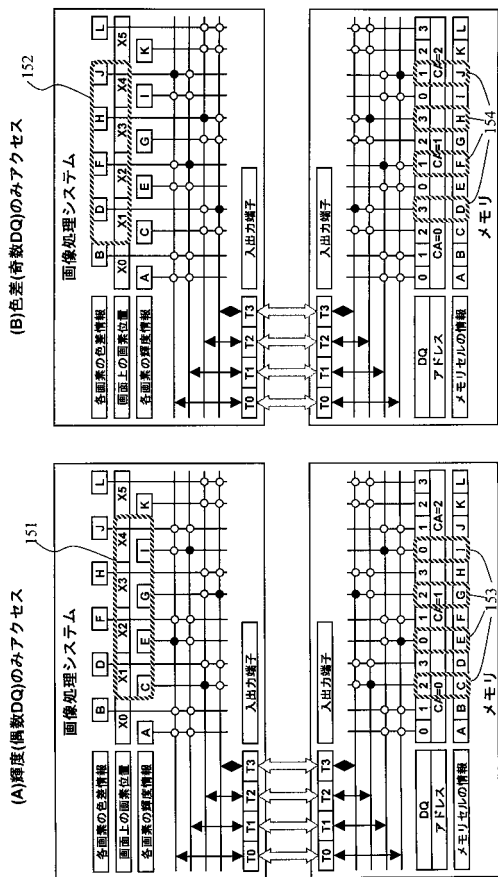


【図 1 4】

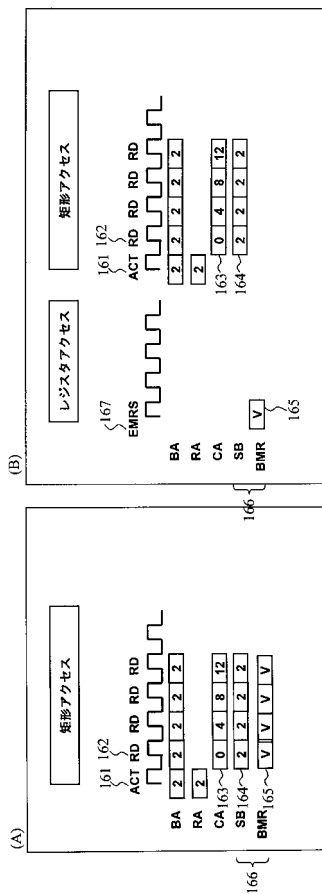


ビッグエンディアン

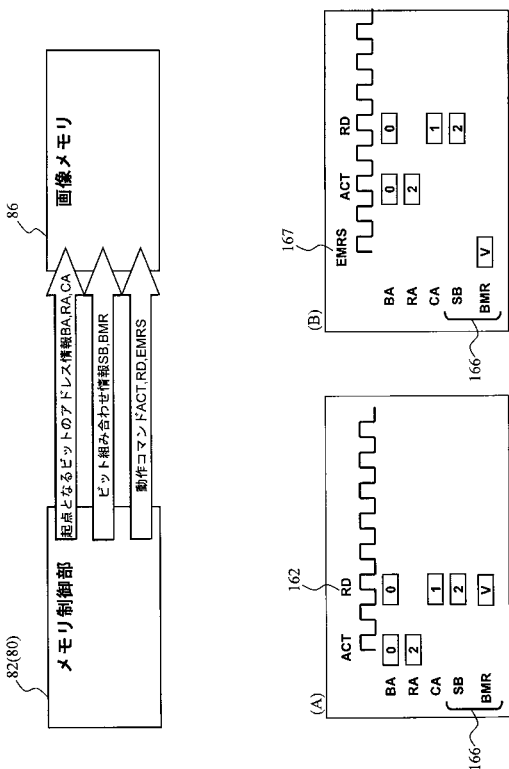
【図 15】



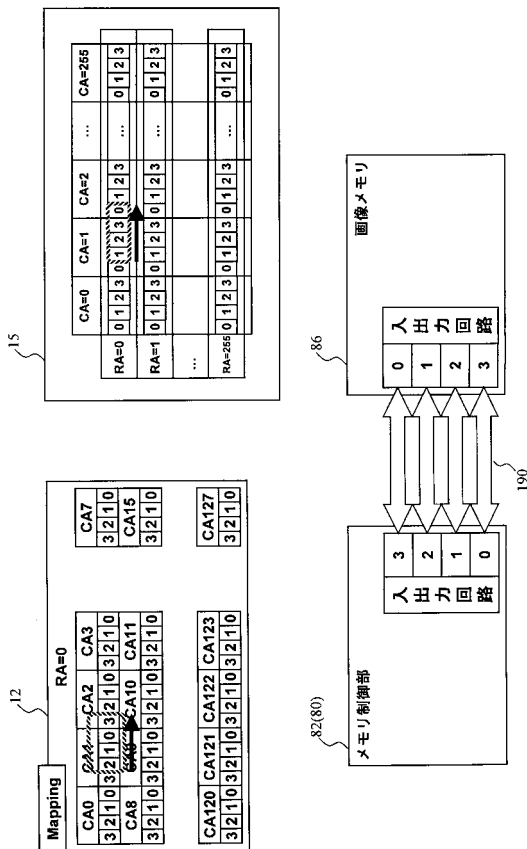
【図 16】



【図 17】



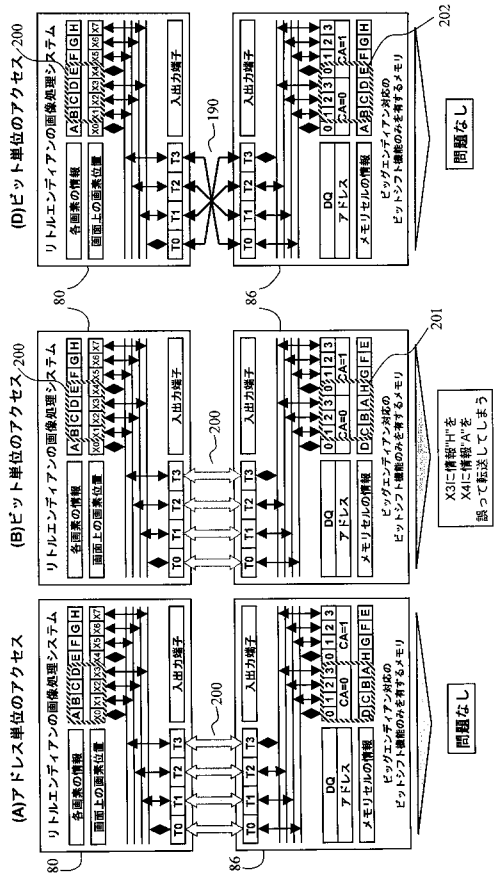
【図 19】



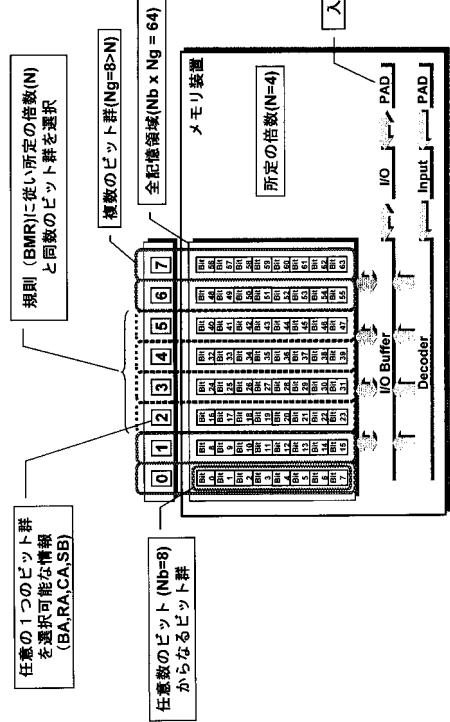
【図 20】

(2)システム側とメモリ側でDQ端子を
たずきながら接続する

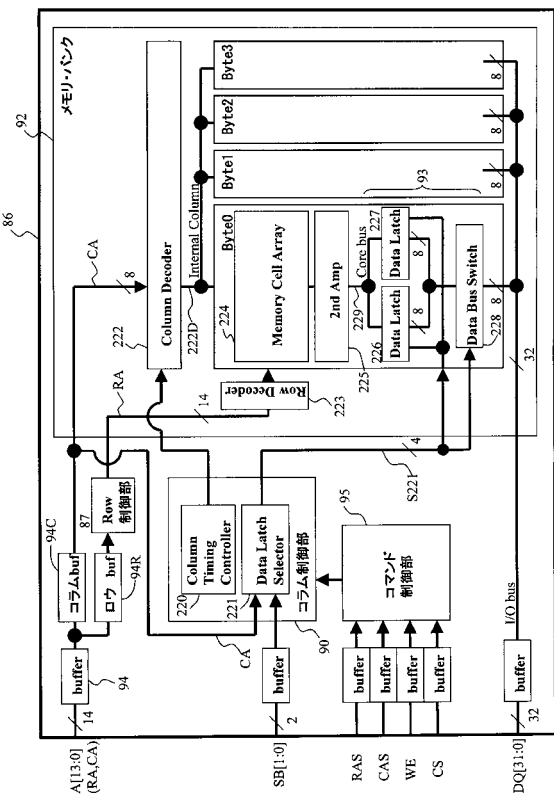
(1)システム側とメモリ側で同一DQ端子を接続する



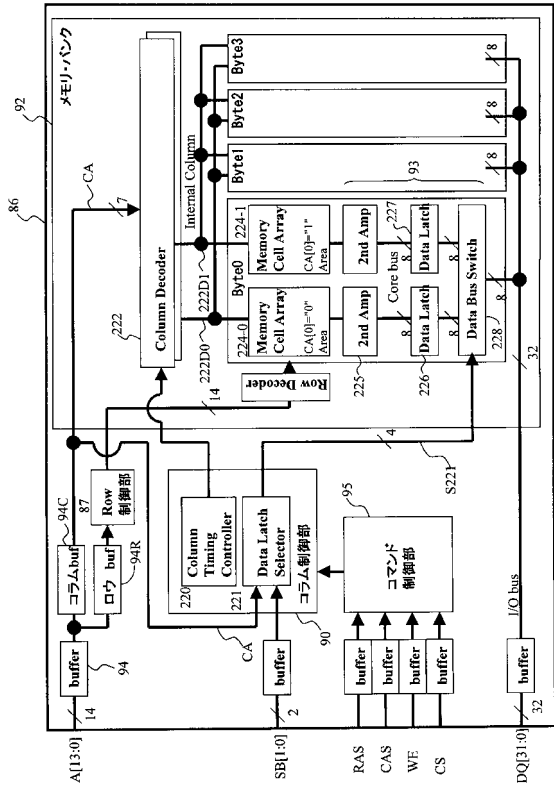
【図 21】



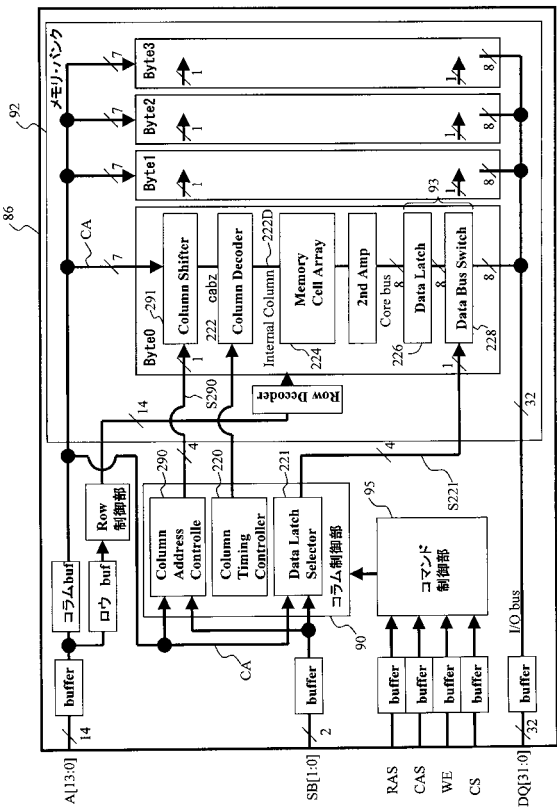
【図 22】



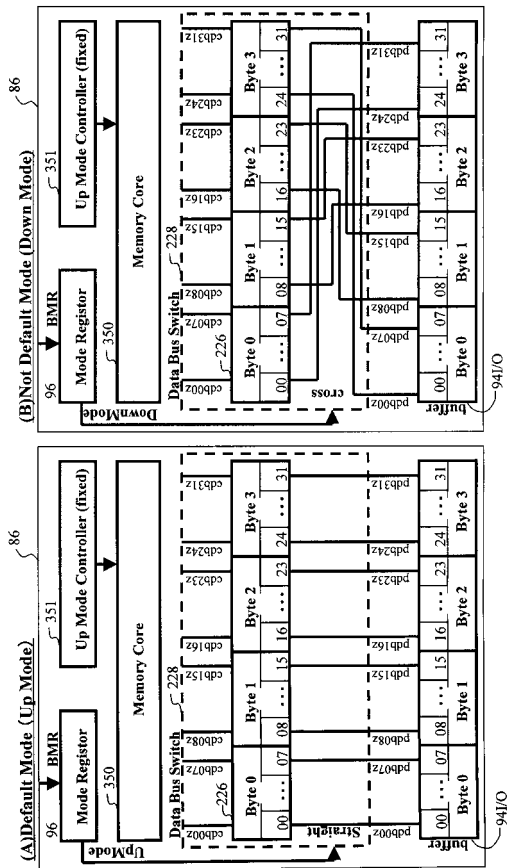
【図 24】



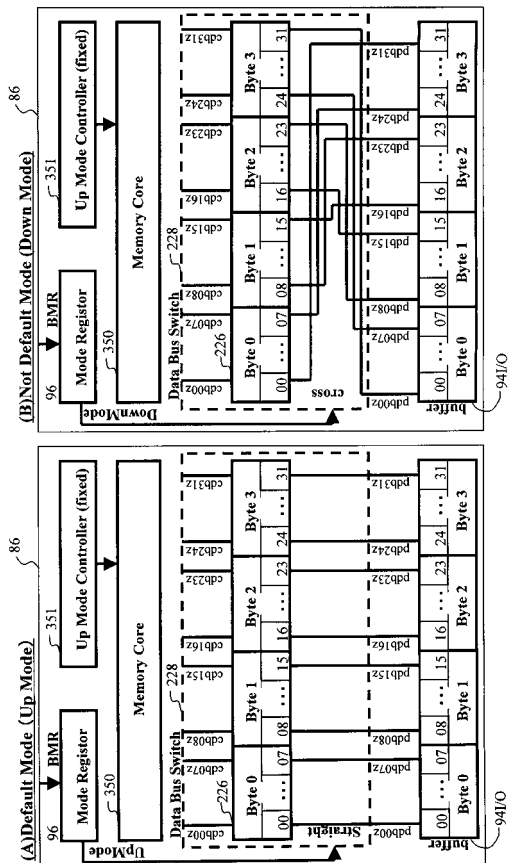
【 図 2 9 】



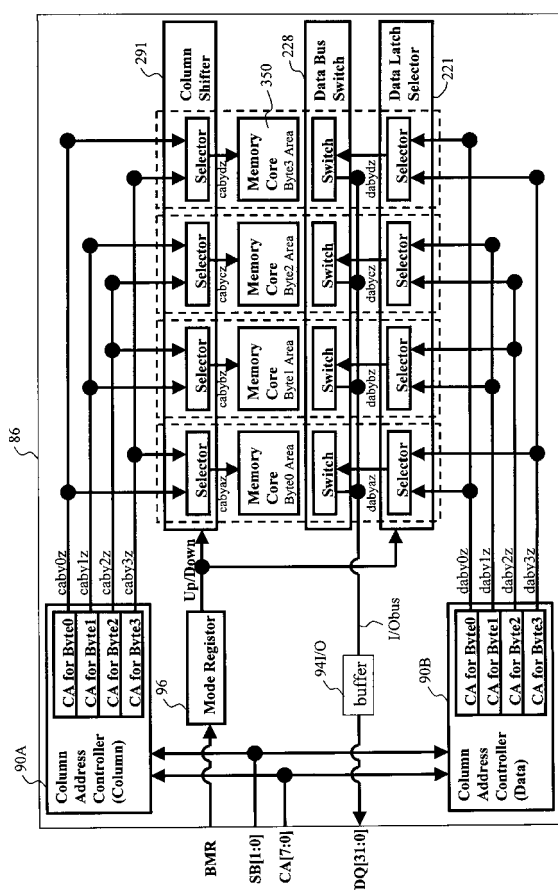
【 図 3 5 】



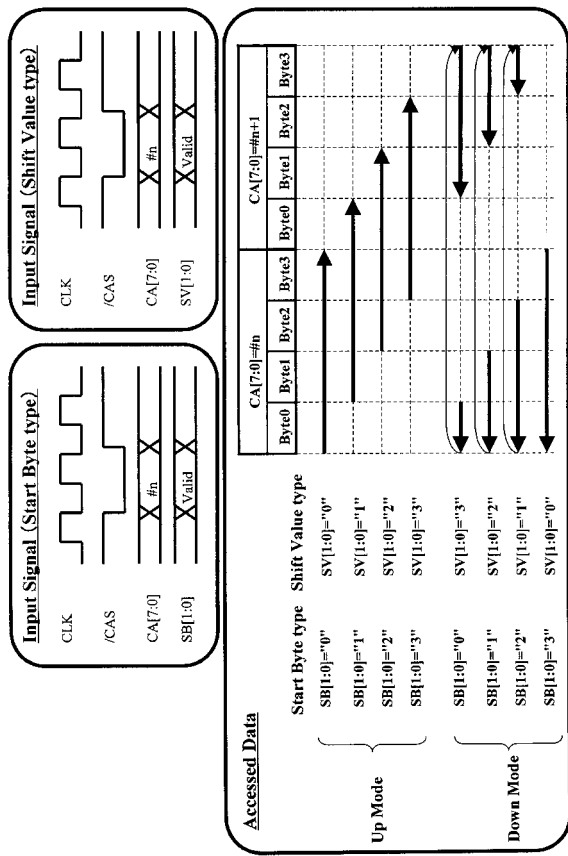
【 図 3 6 】



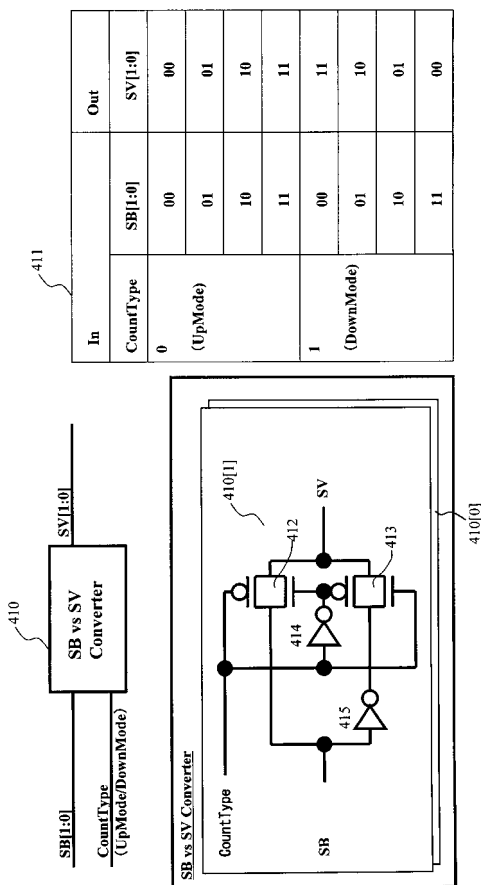
【 図 3 7 】



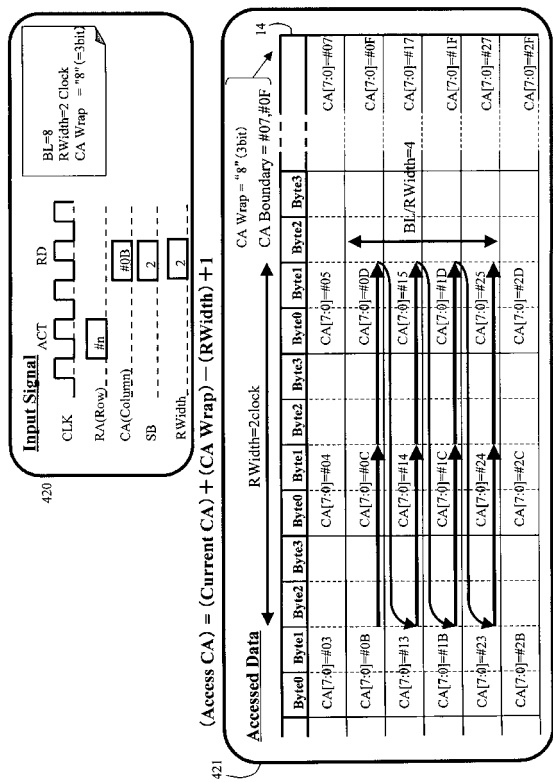
【 40 】



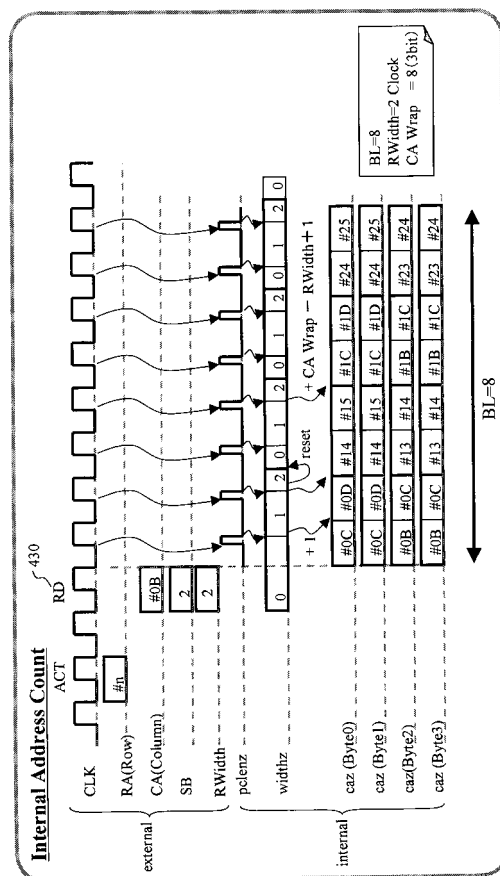
【 41 】



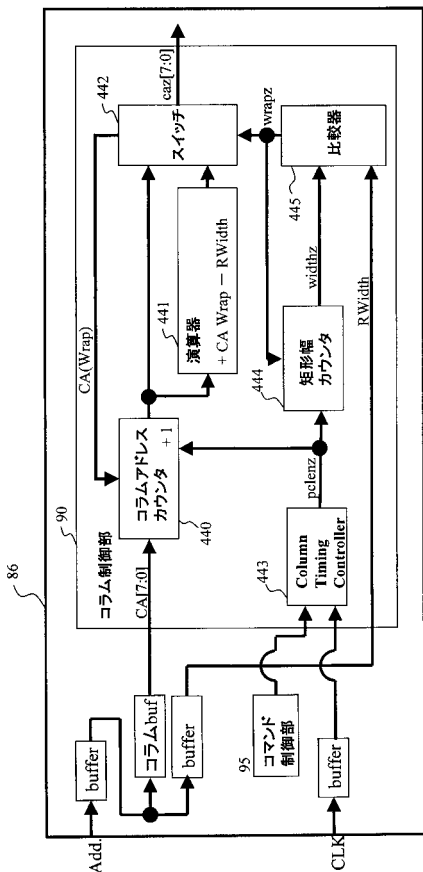
【 42 】



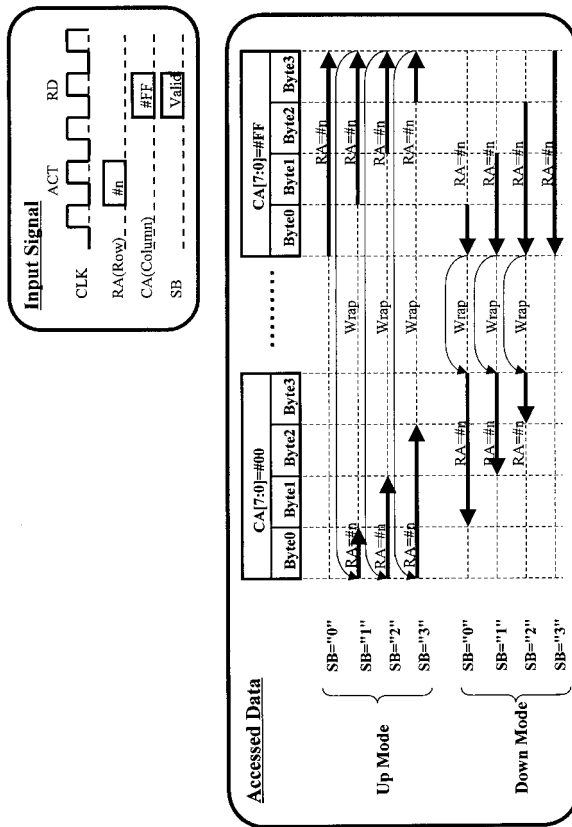
【 43 】



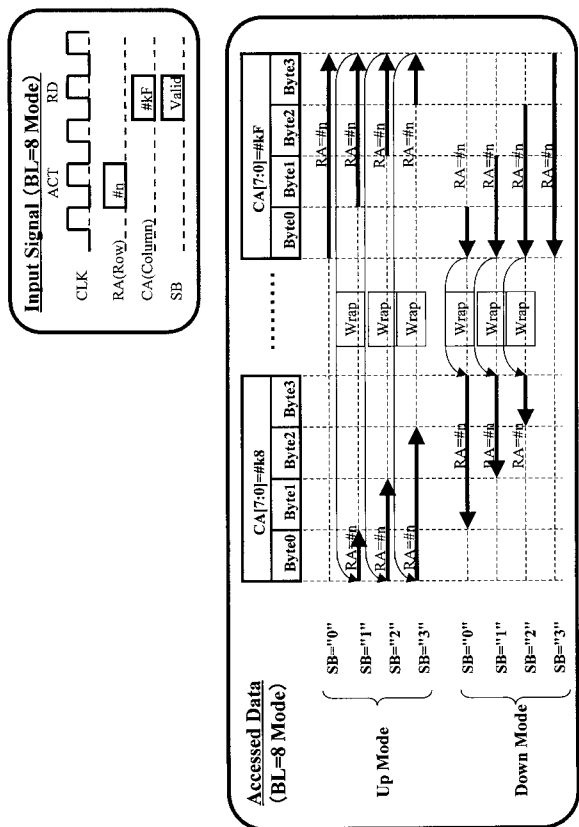
【 図 4 4 】



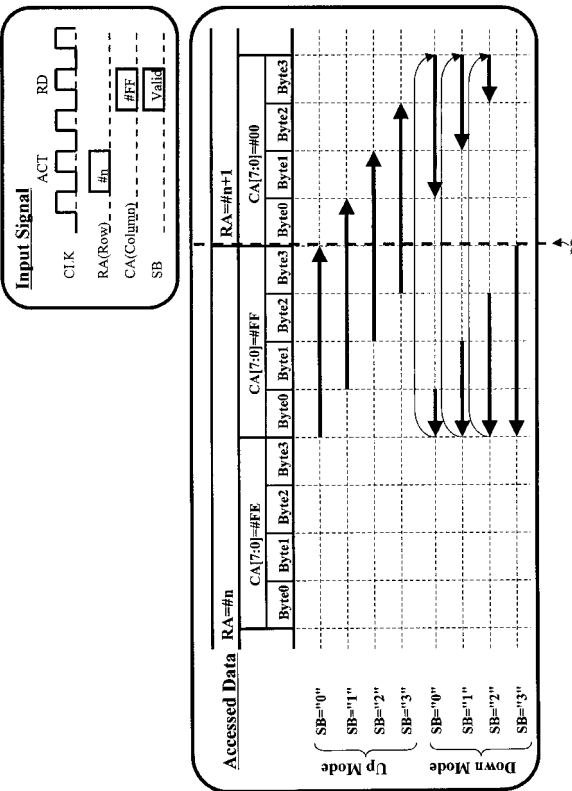
【 図 4 5 】



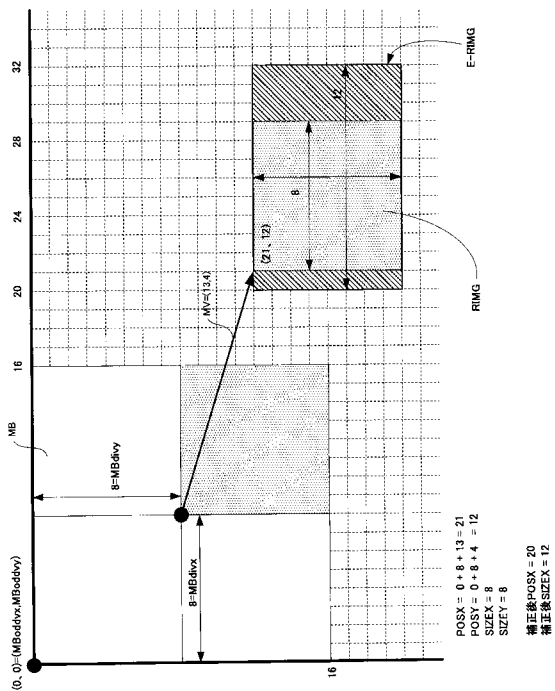
【 図 4 6 】



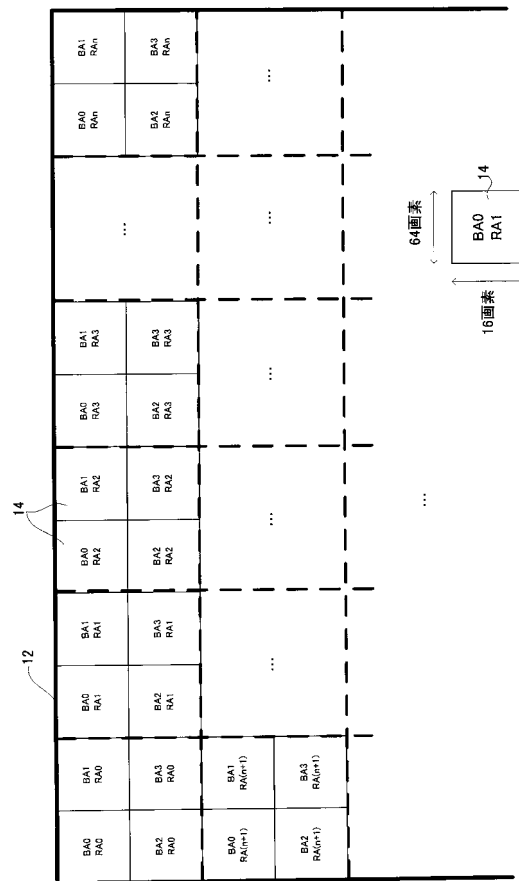
【 図 4 7 】



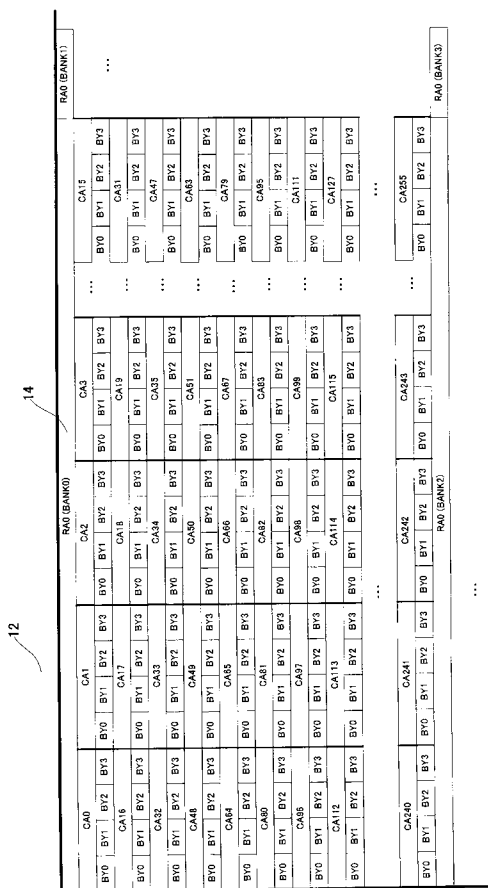
【 56 】



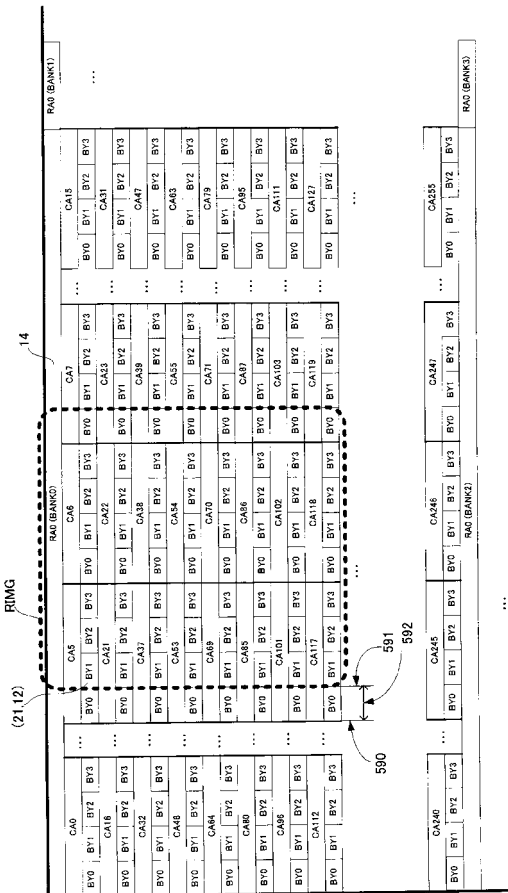
【 57 】



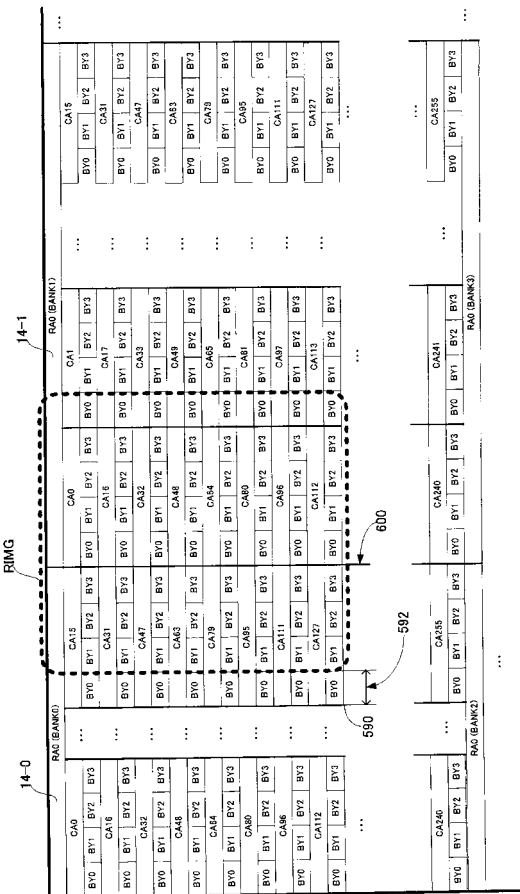
【 58 】



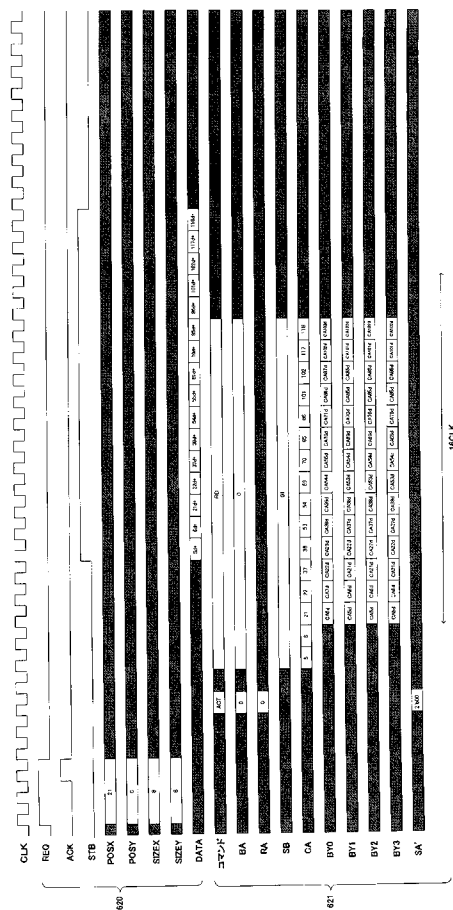
【 59 】



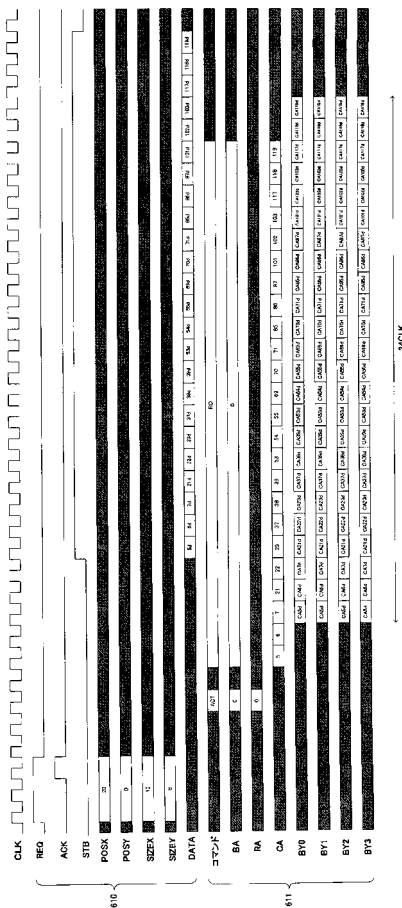
【 60 】



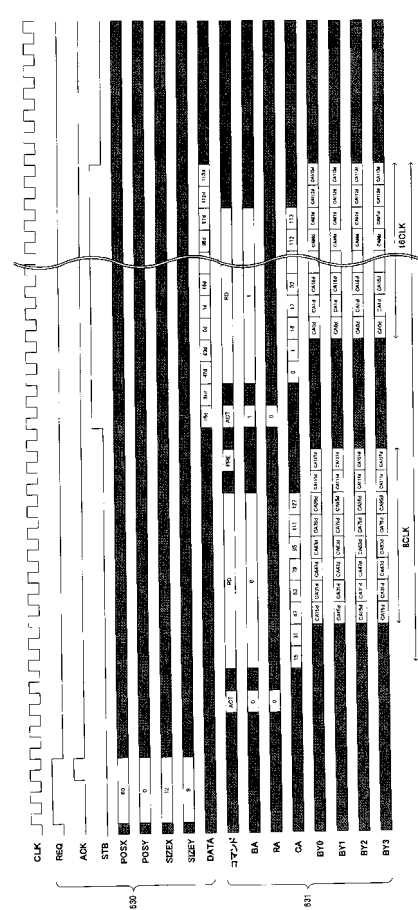
【 62 】



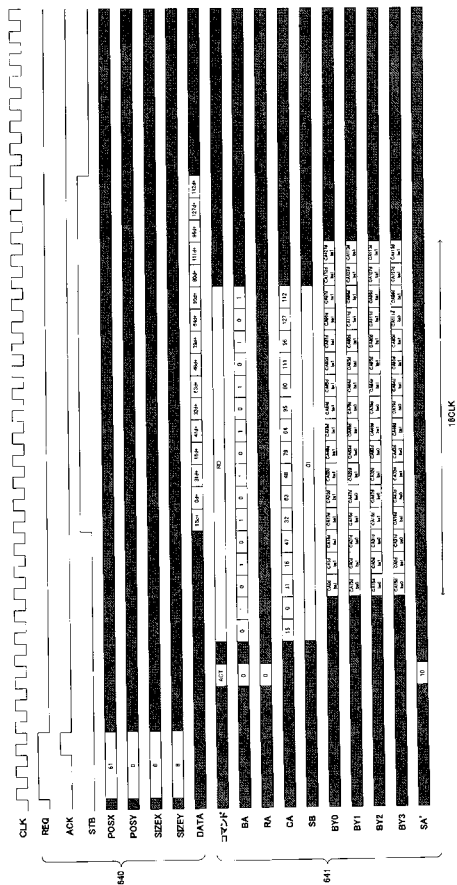
【 61 】



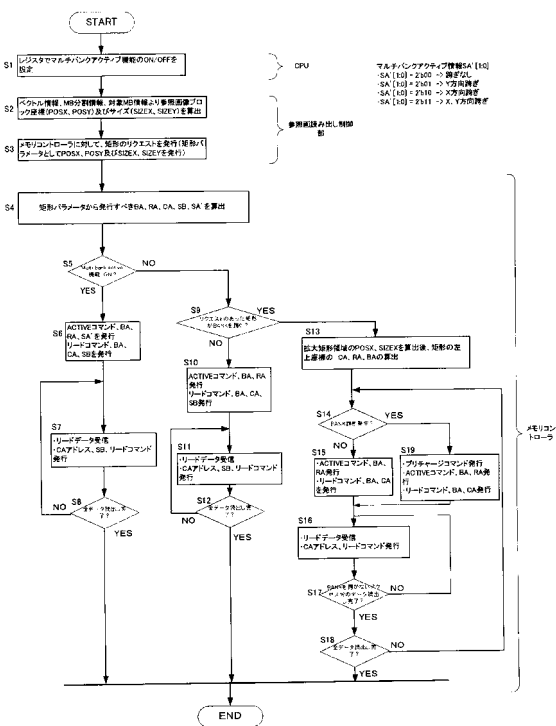
【 63 】



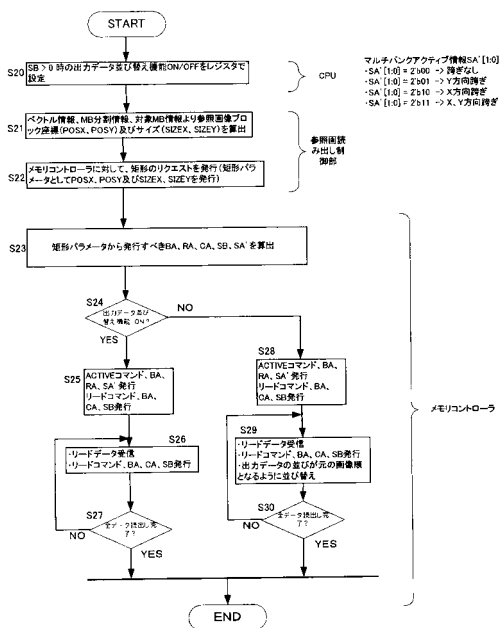
【図64】



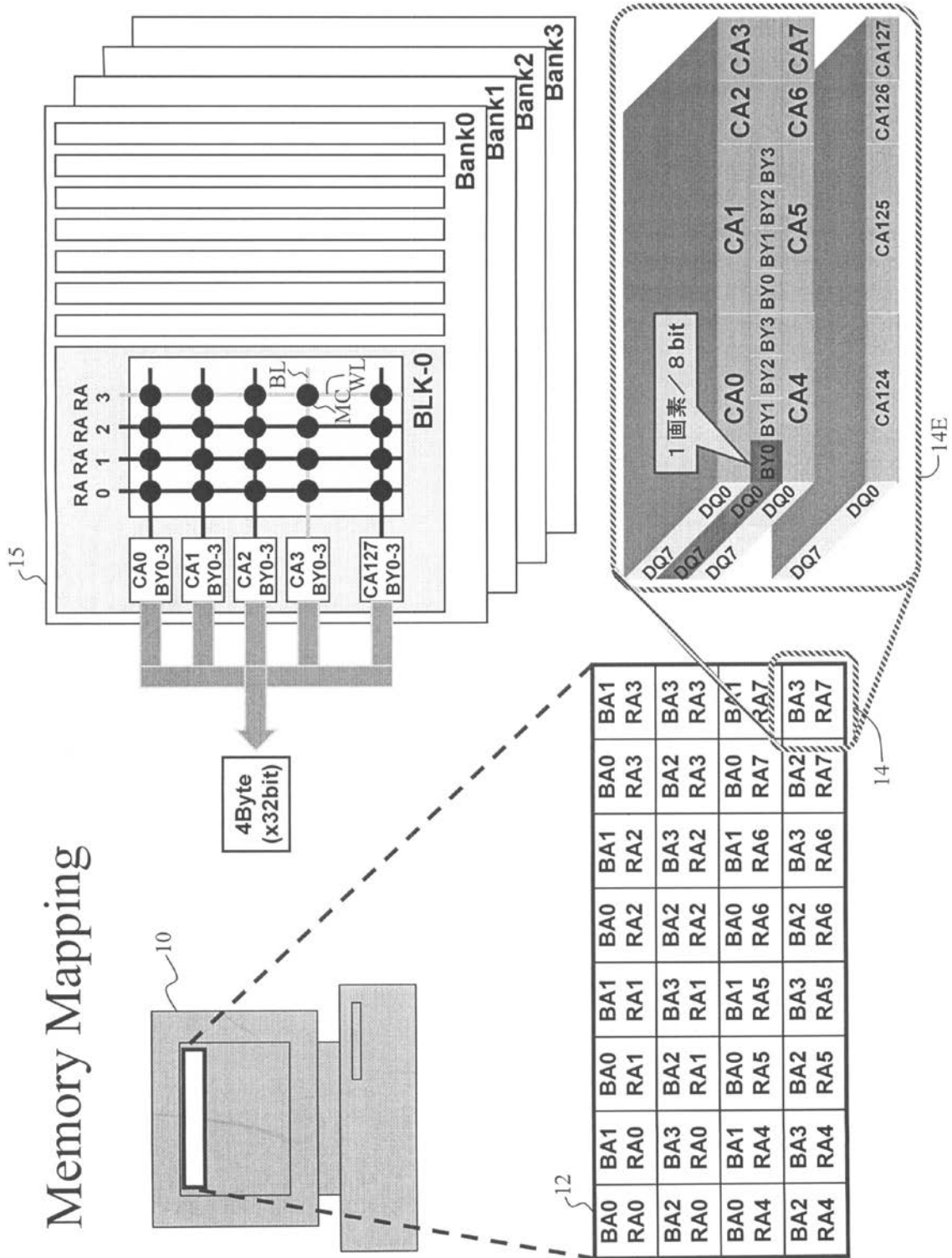
【図65】



【図66】

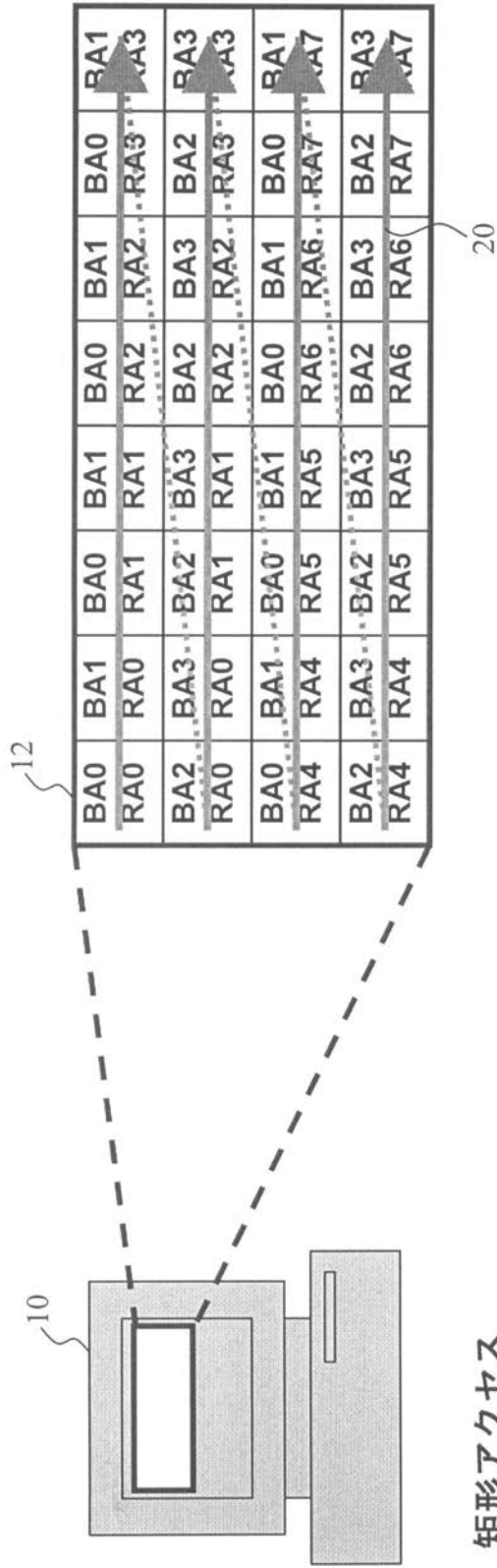


【図1】

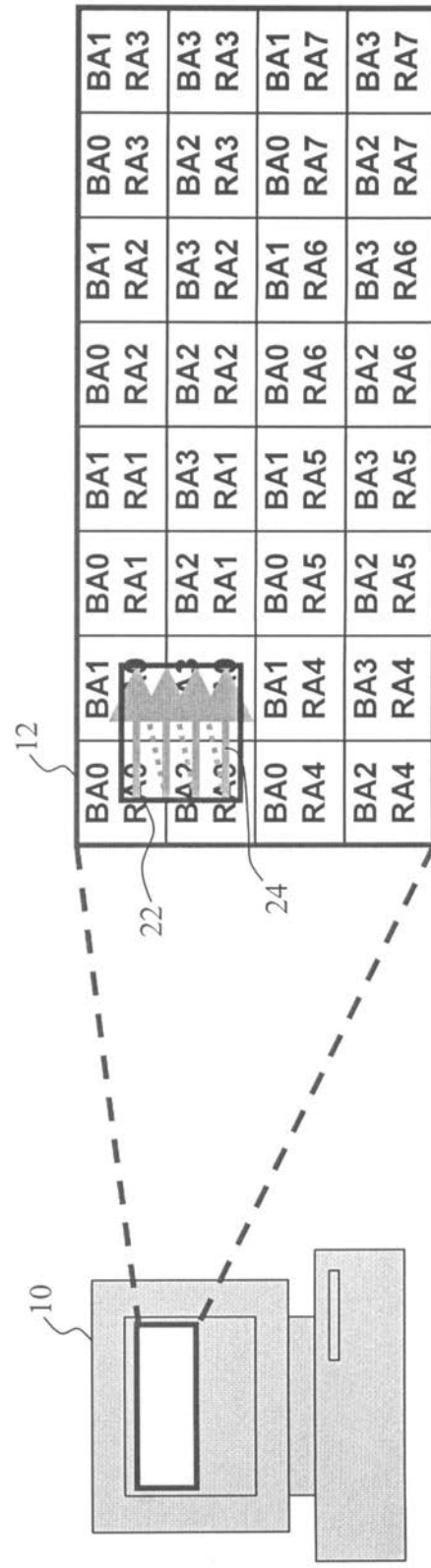


【 図 2 】

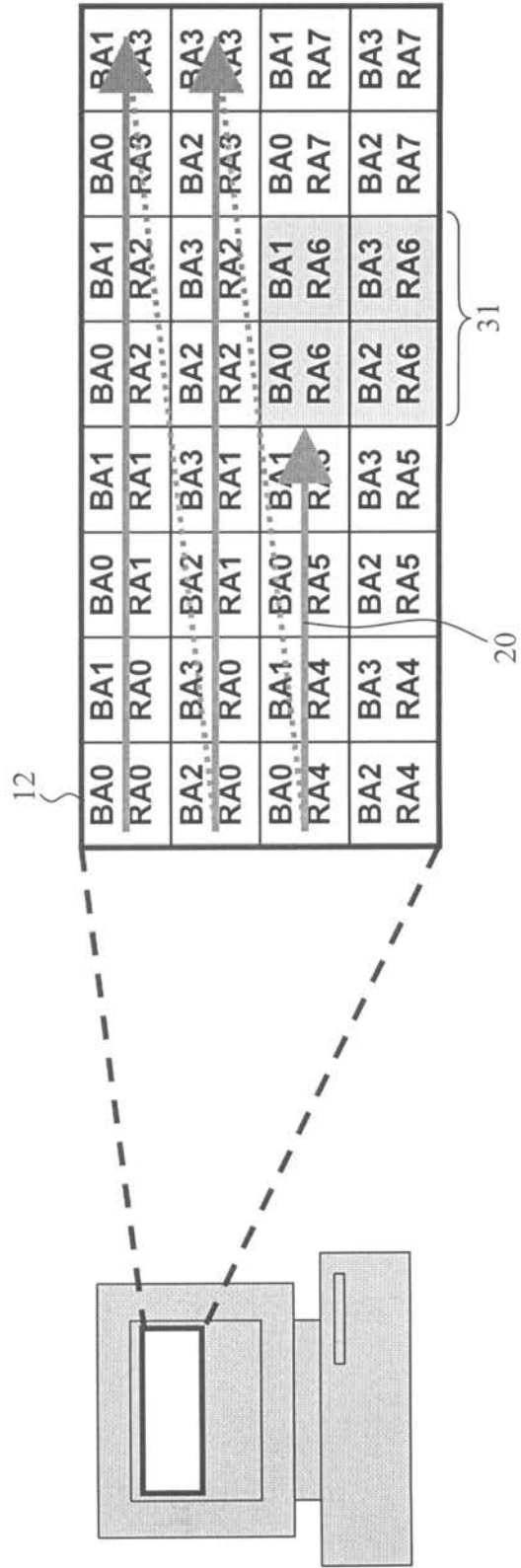
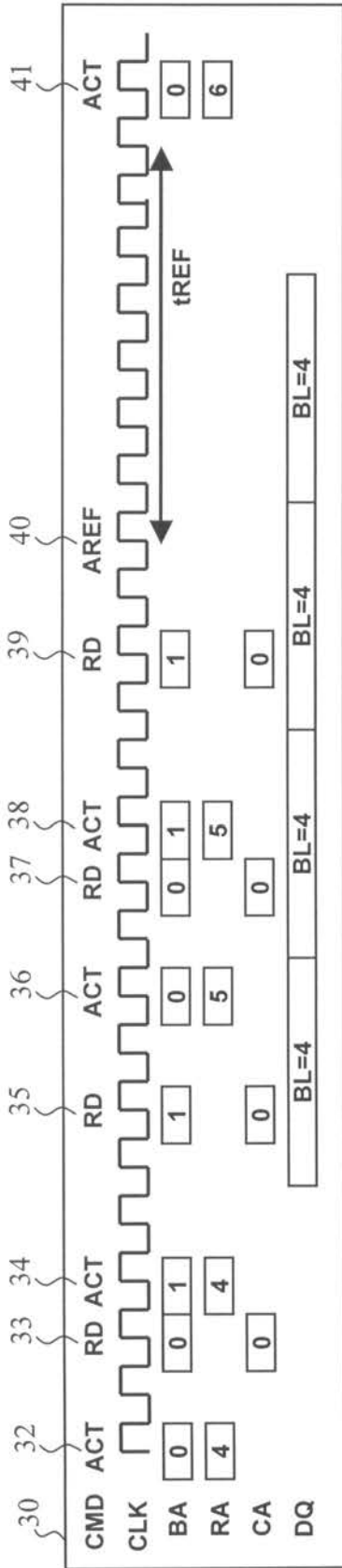
(A) 水平アクセス



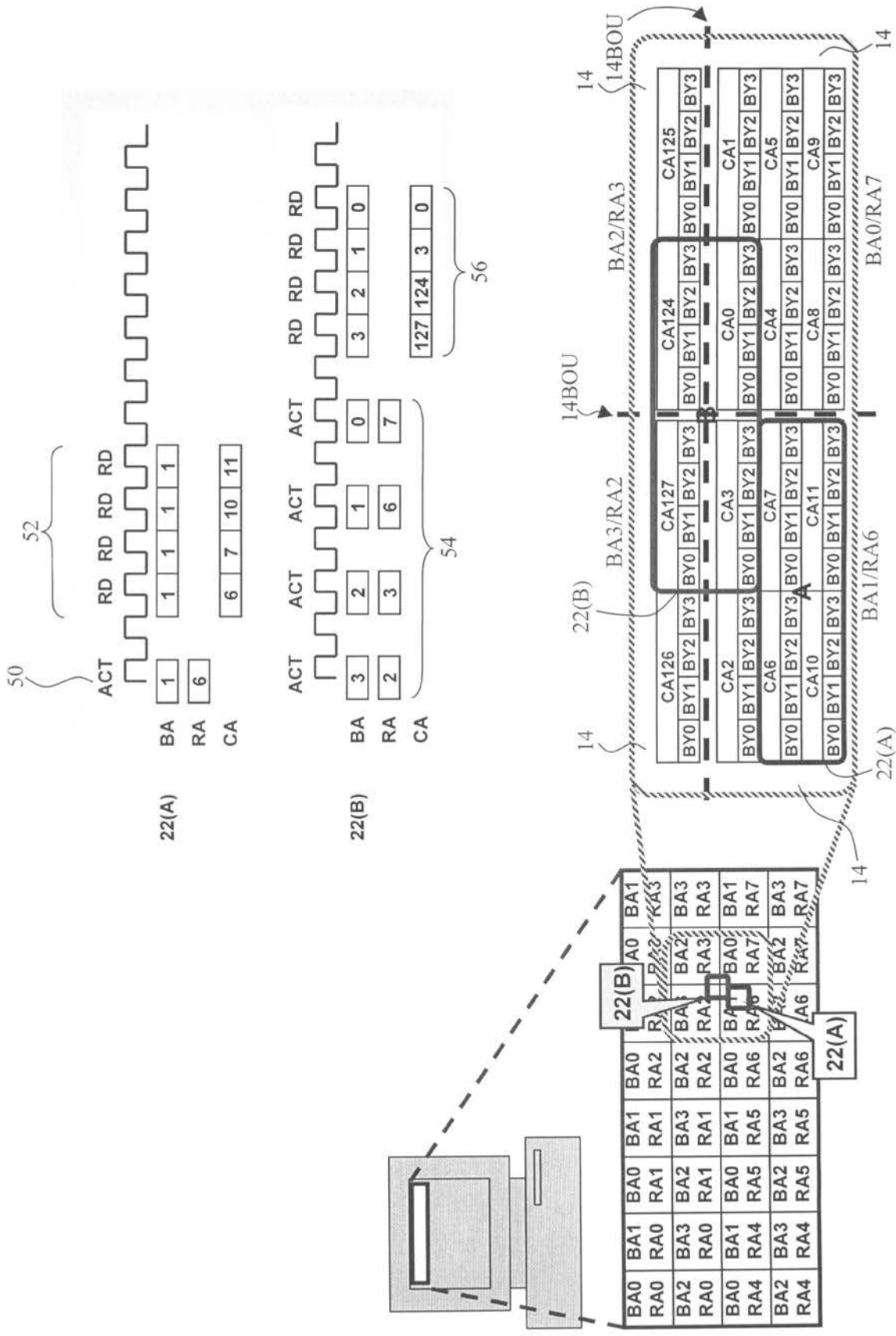
(B) 矩形アクセス



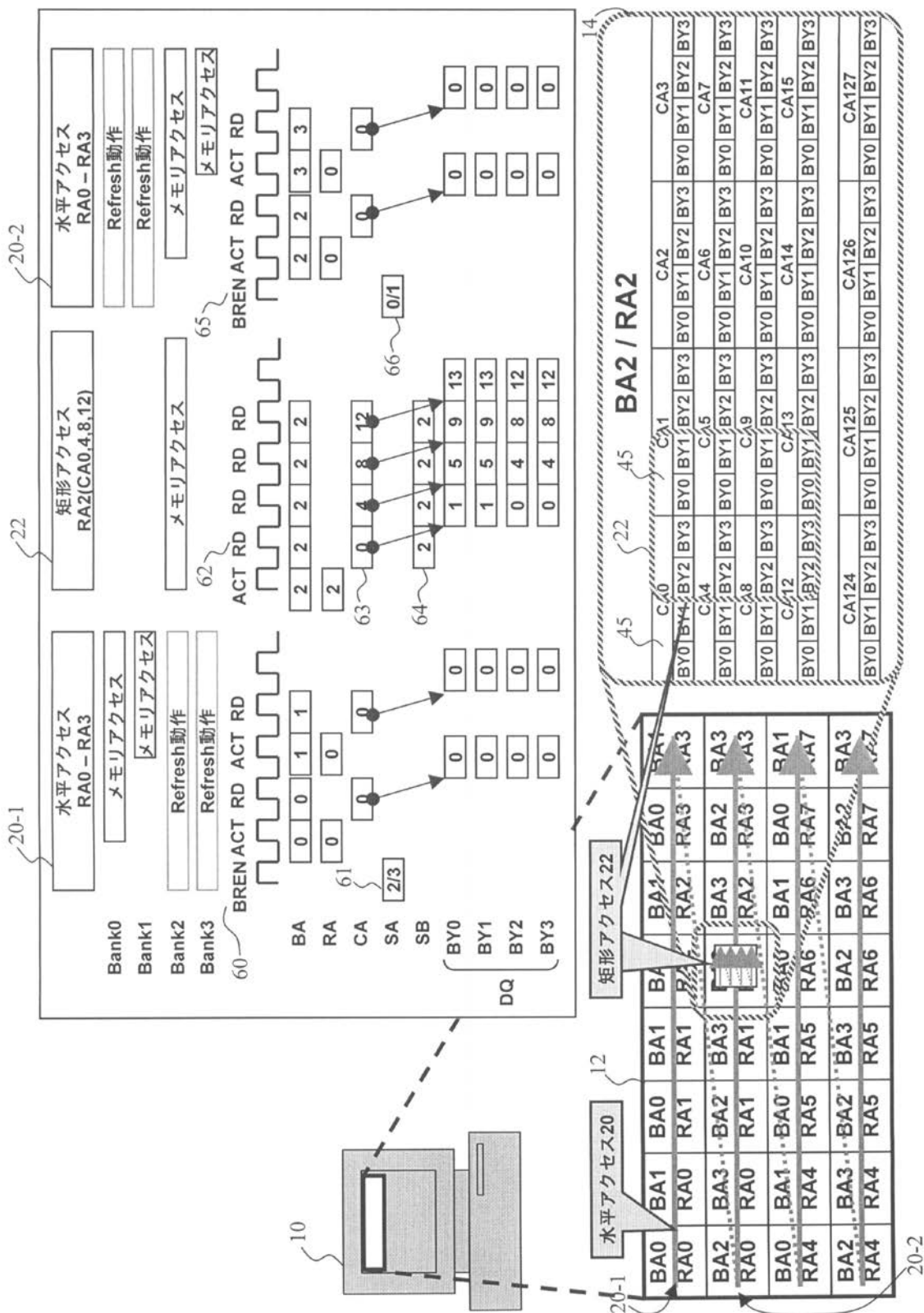
【 図 3 】



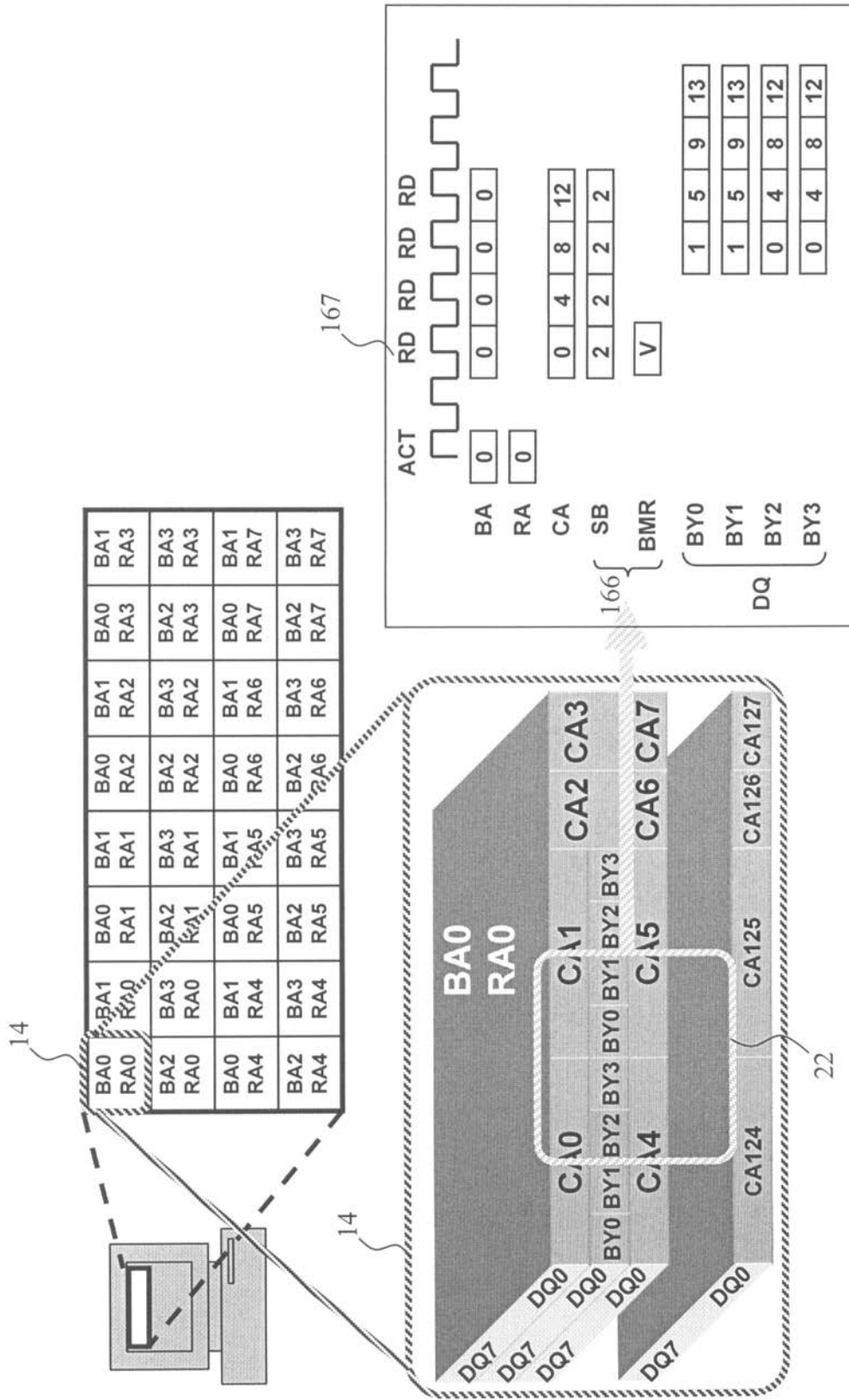
【 図 5 】



【図6】

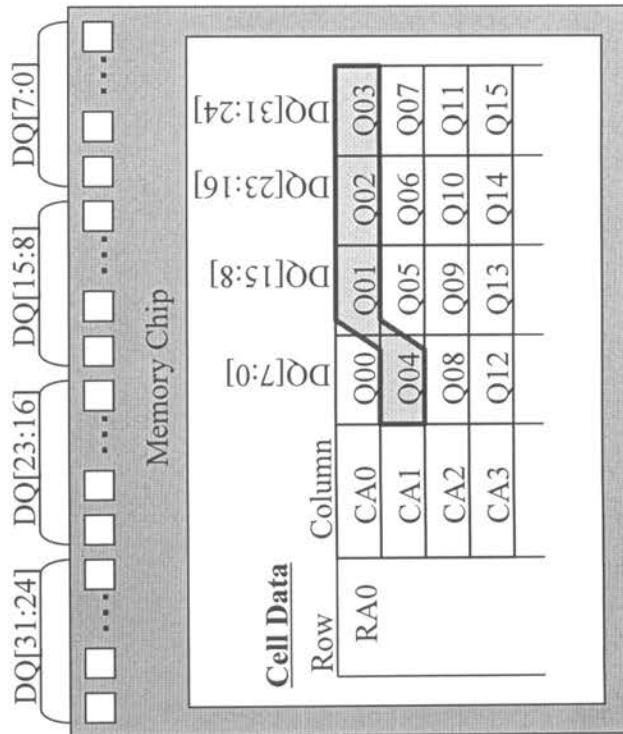
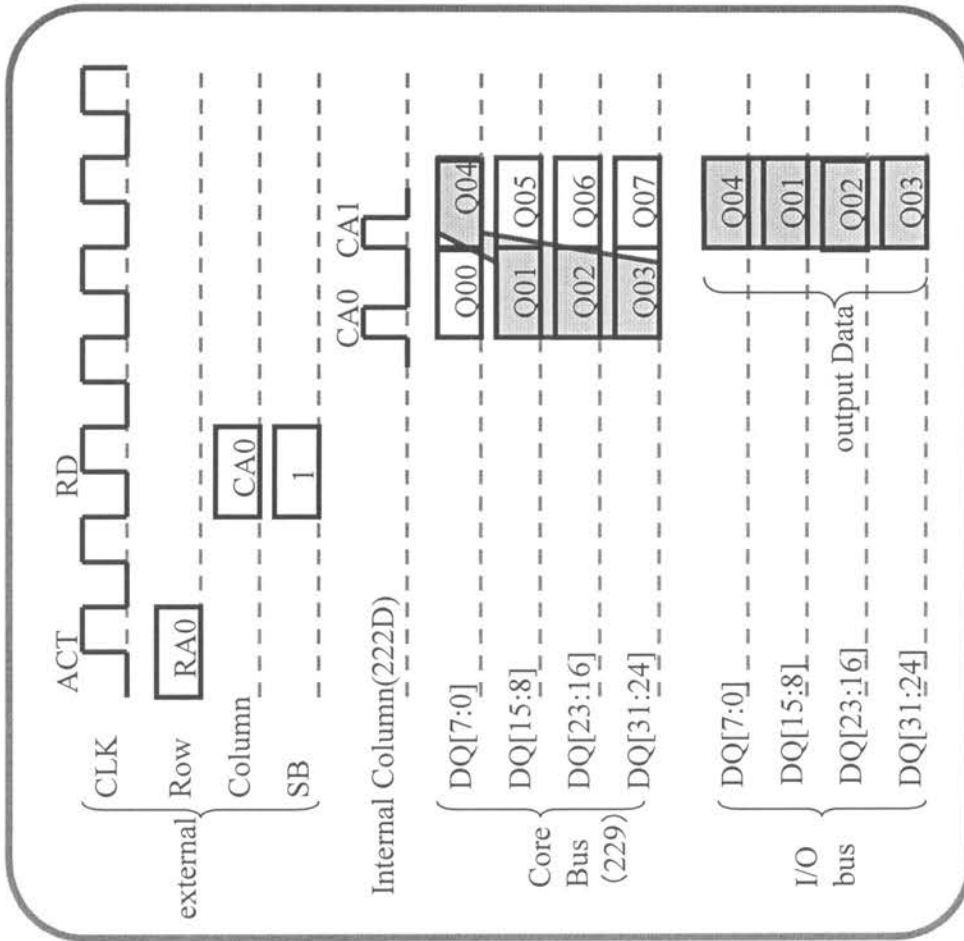


【 図 18 】



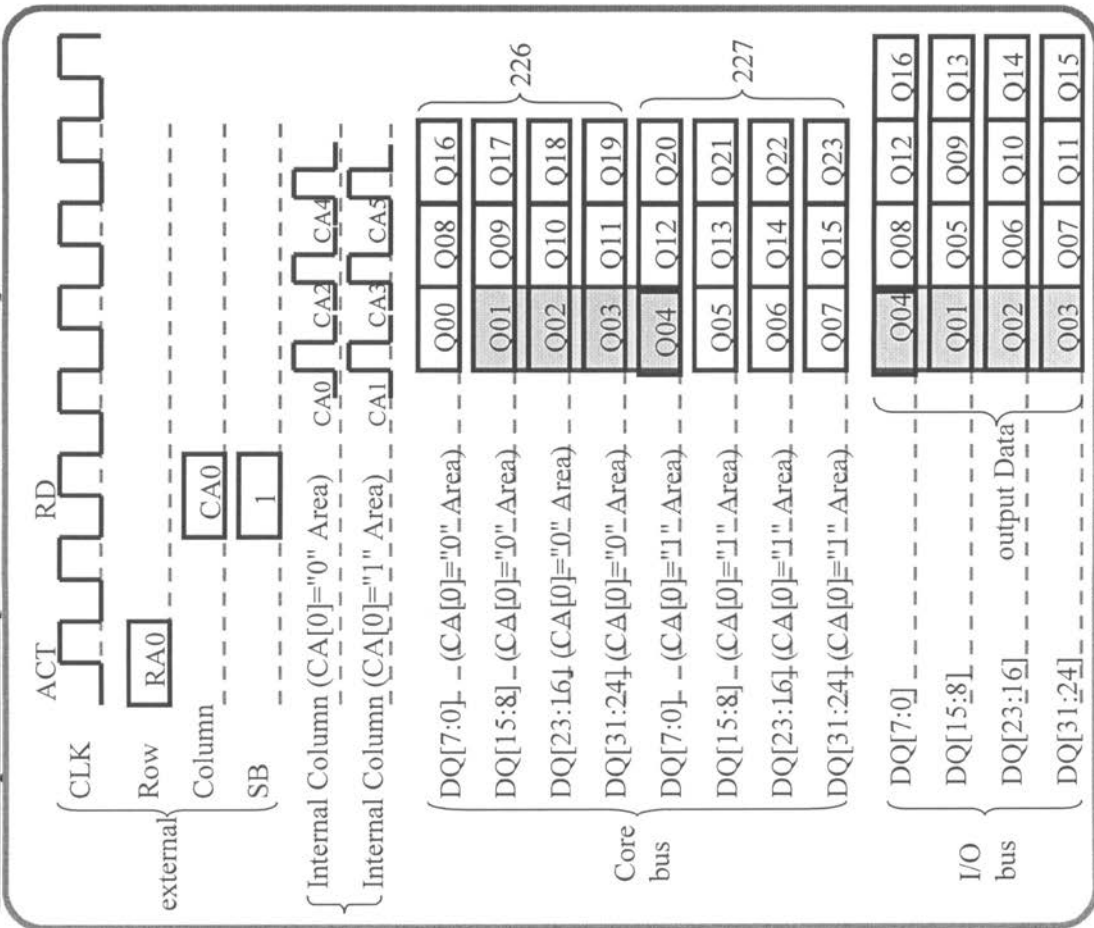
【 図 2 3 】

Read Operation [SB="1"]

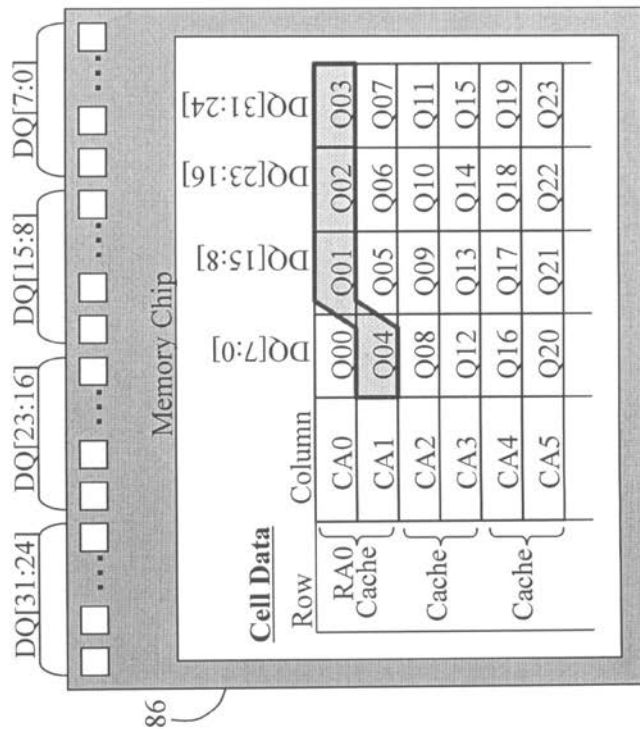


【 2 5 】

Read Operation [SB="1", BL="4"]

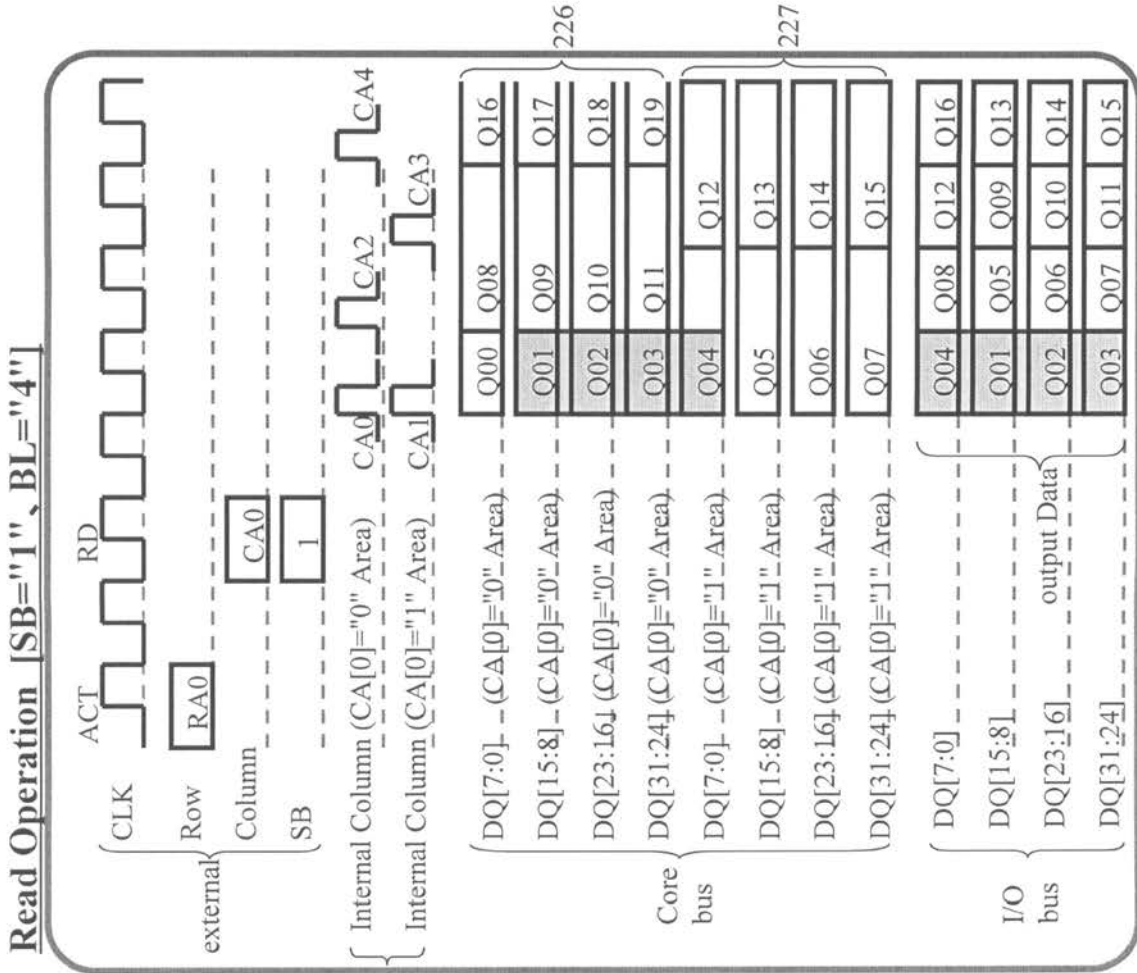


222D0,1

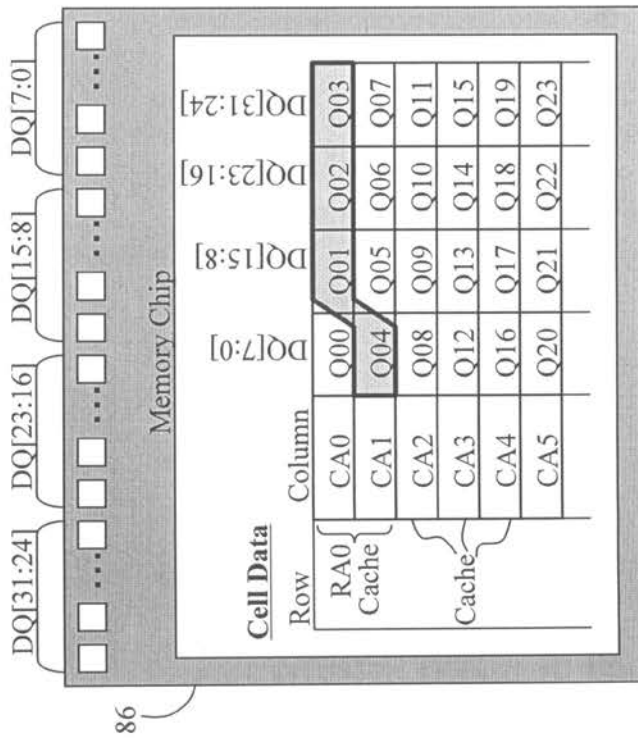


86

【 図 26 】

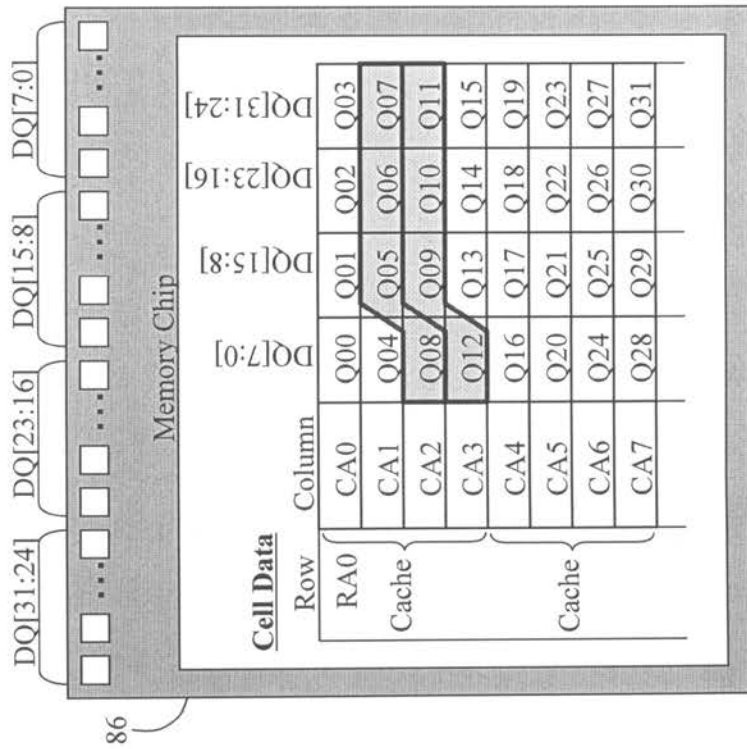
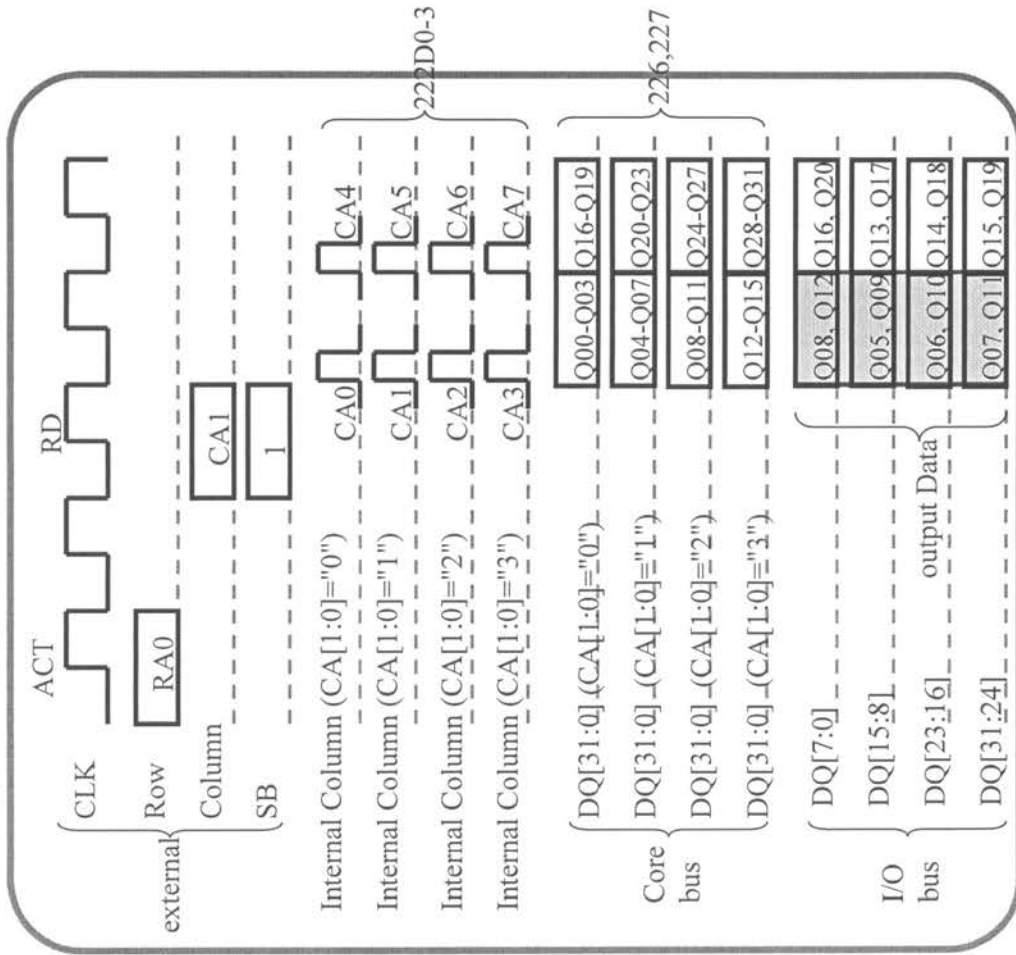


222D0,1



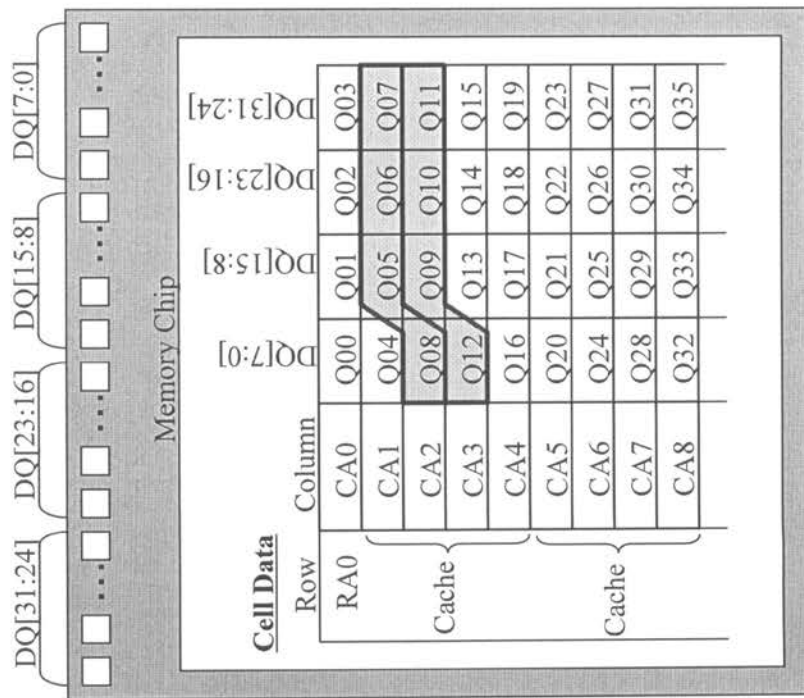
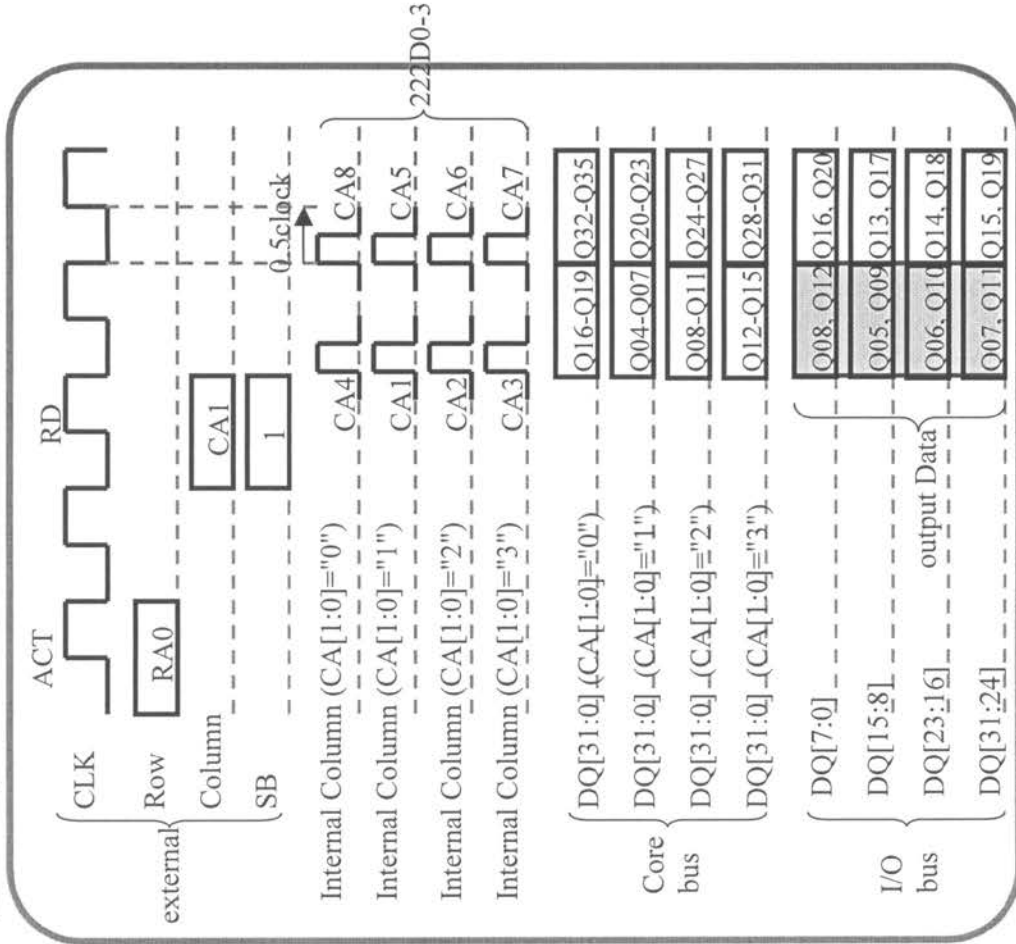
【 図 27 】

Read Operation [SB="1", BL="4"]



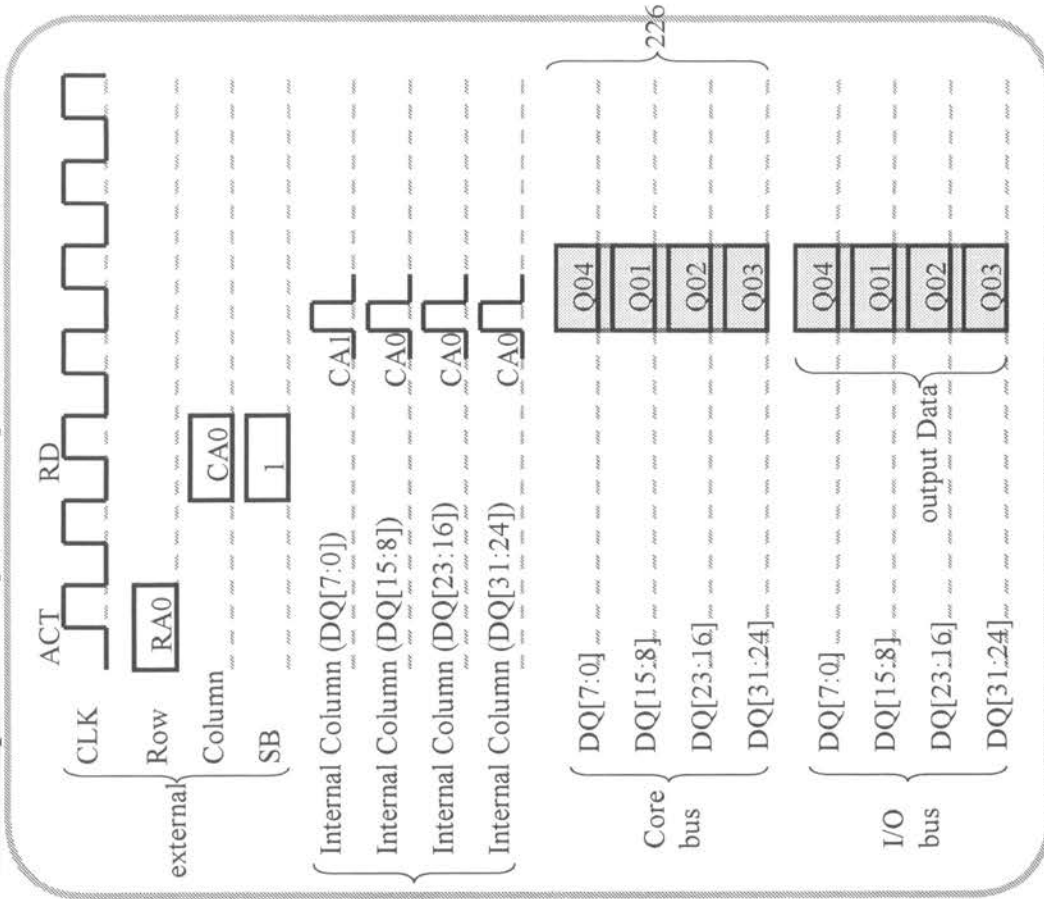
【 28 】

Read Operation [SB="1", BL="4"]

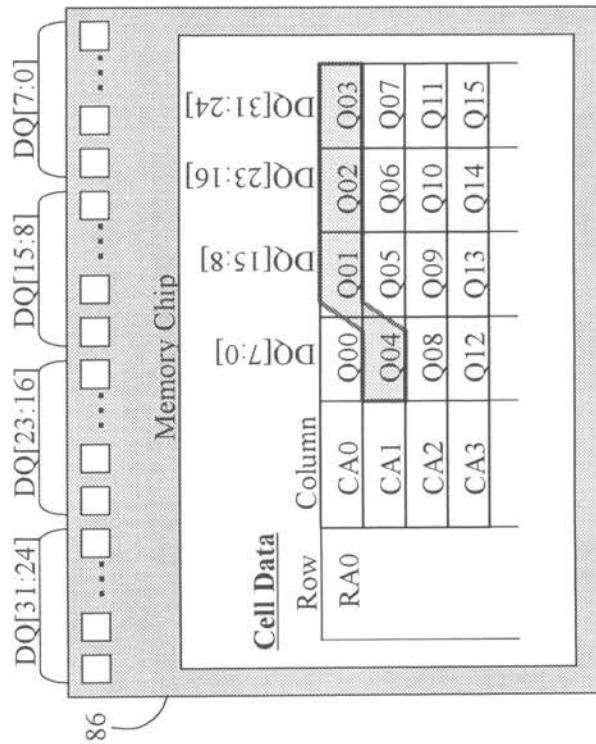


[3 0]

Read Operation [SB="1"]

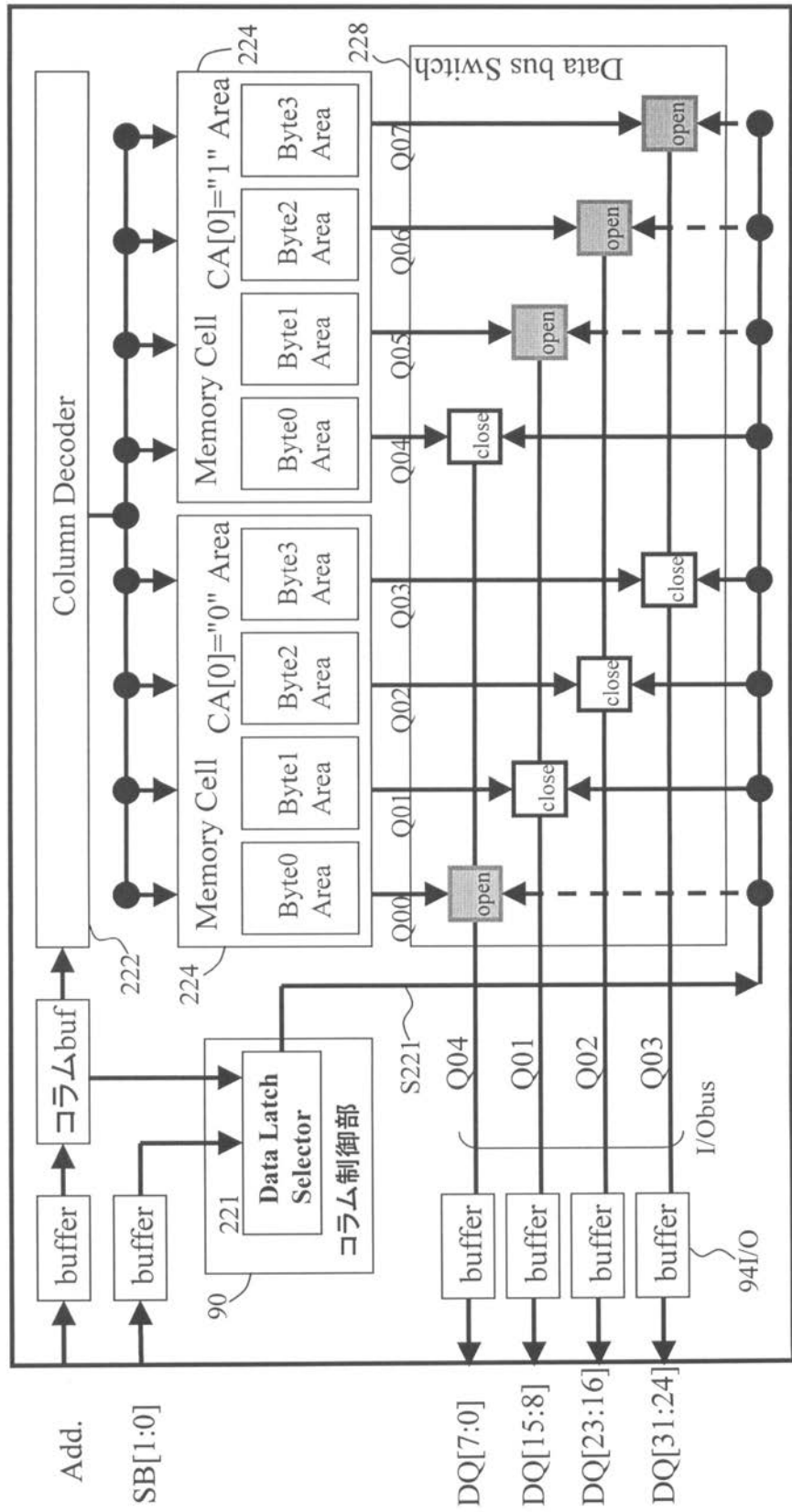
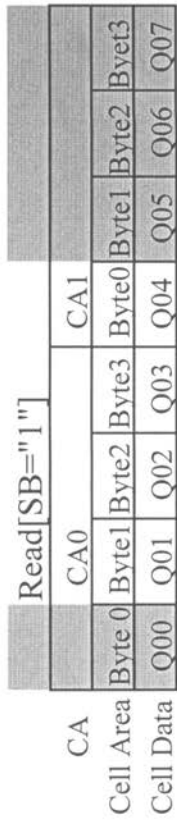


222D

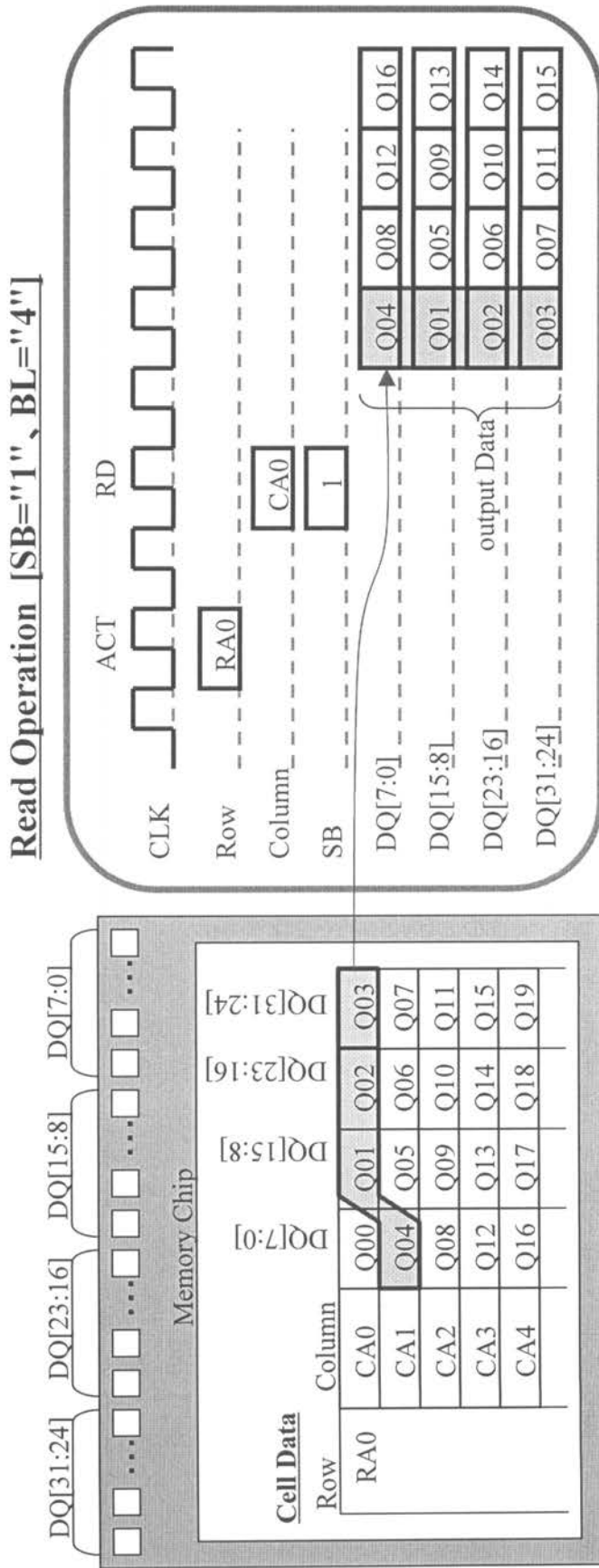


86

【図 31】

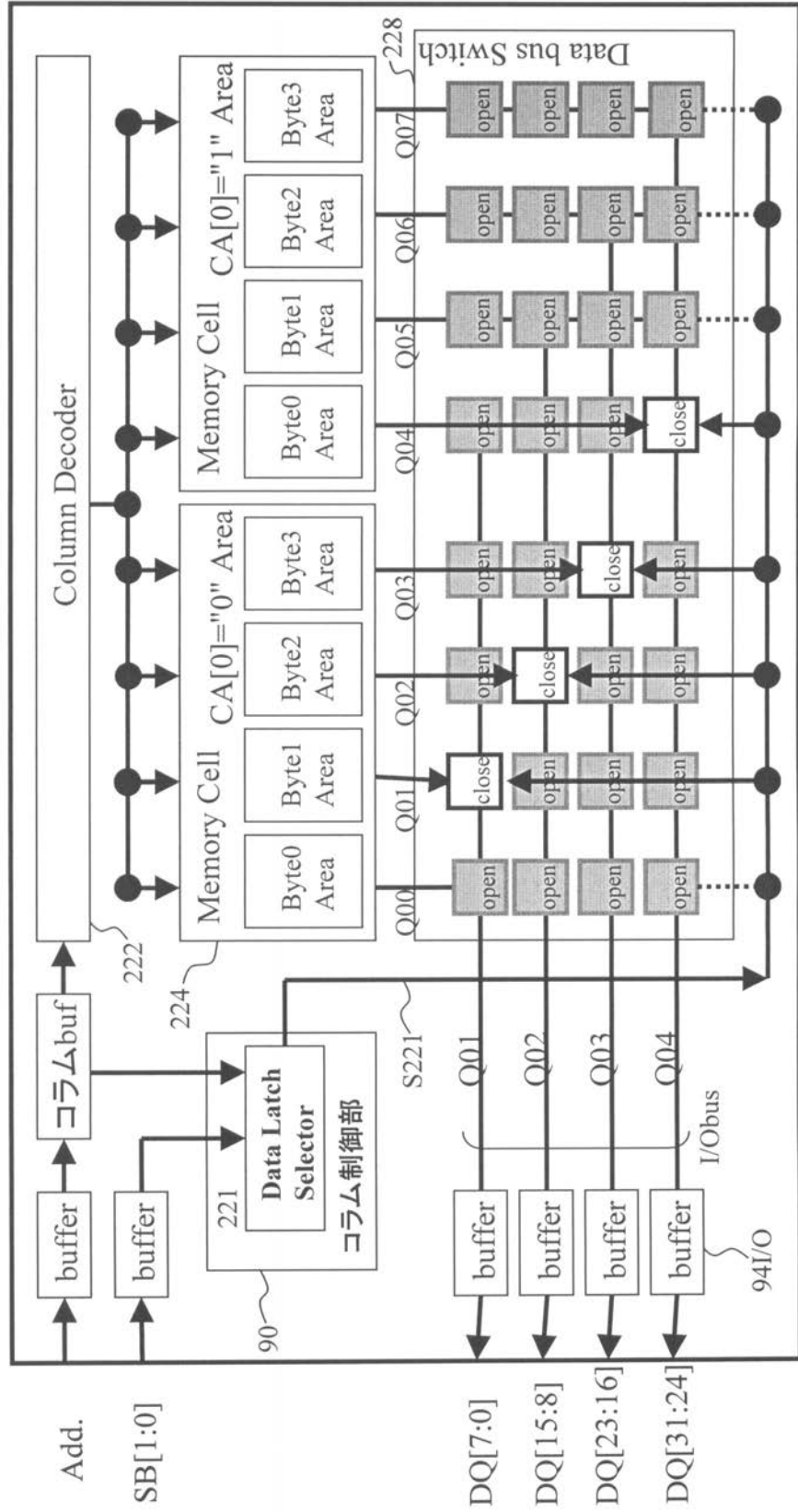


【 図 3 2 】

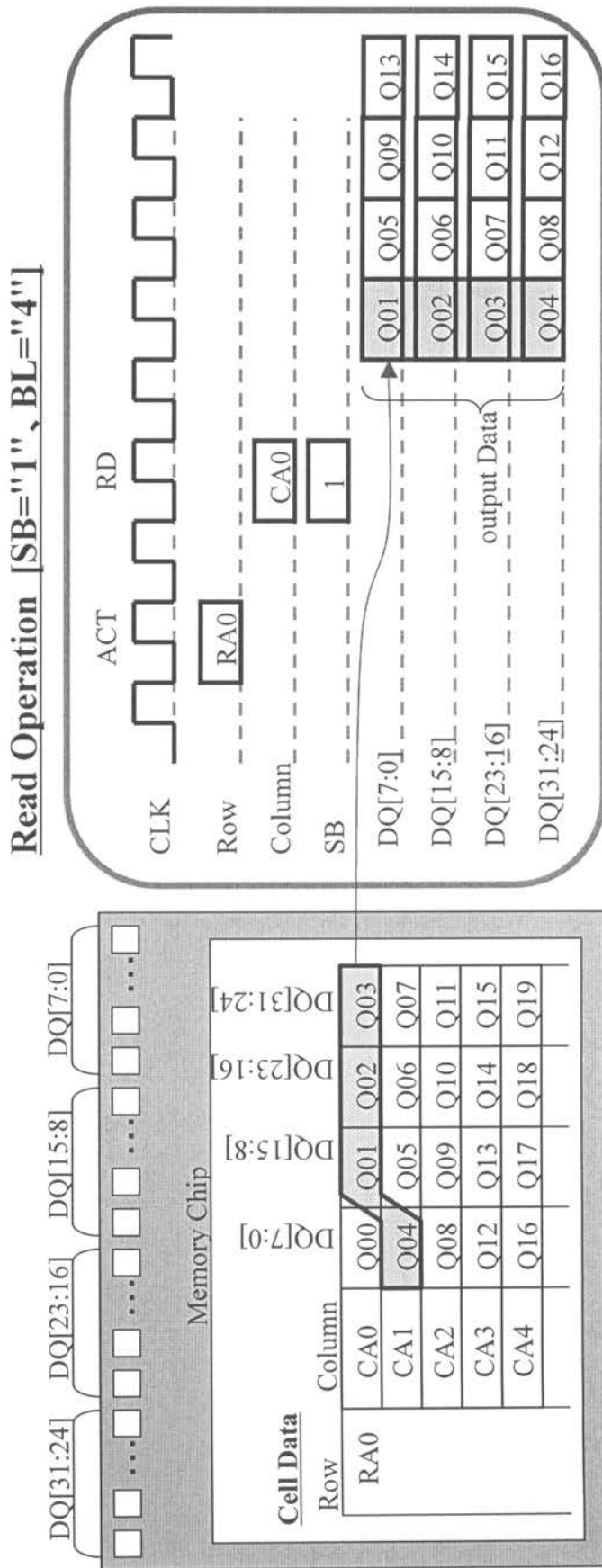


【 図 3 3 】

		Read[SB="1"]			
CA		CA0		CA1	
Cell Area	Byte0	Byte1	Byte2	Byte3	Byte0
Cell Data	Q00	Q01	Q02	Q03	Q04
					Q05
					Q06
					Q07

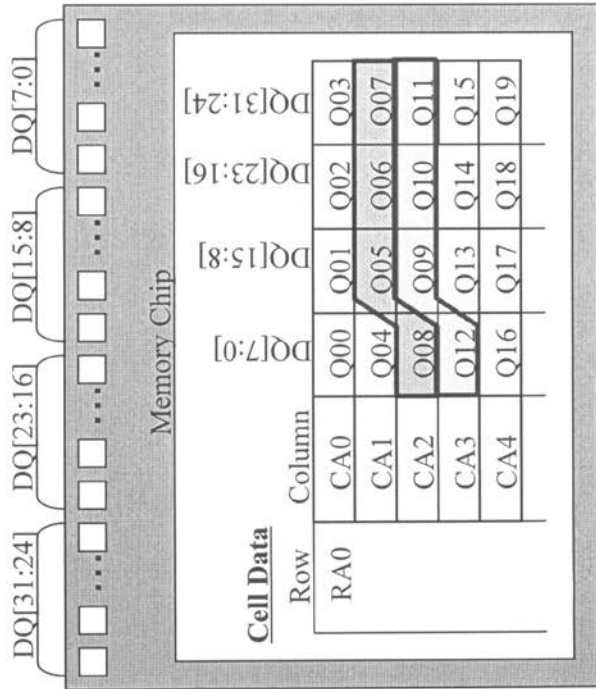
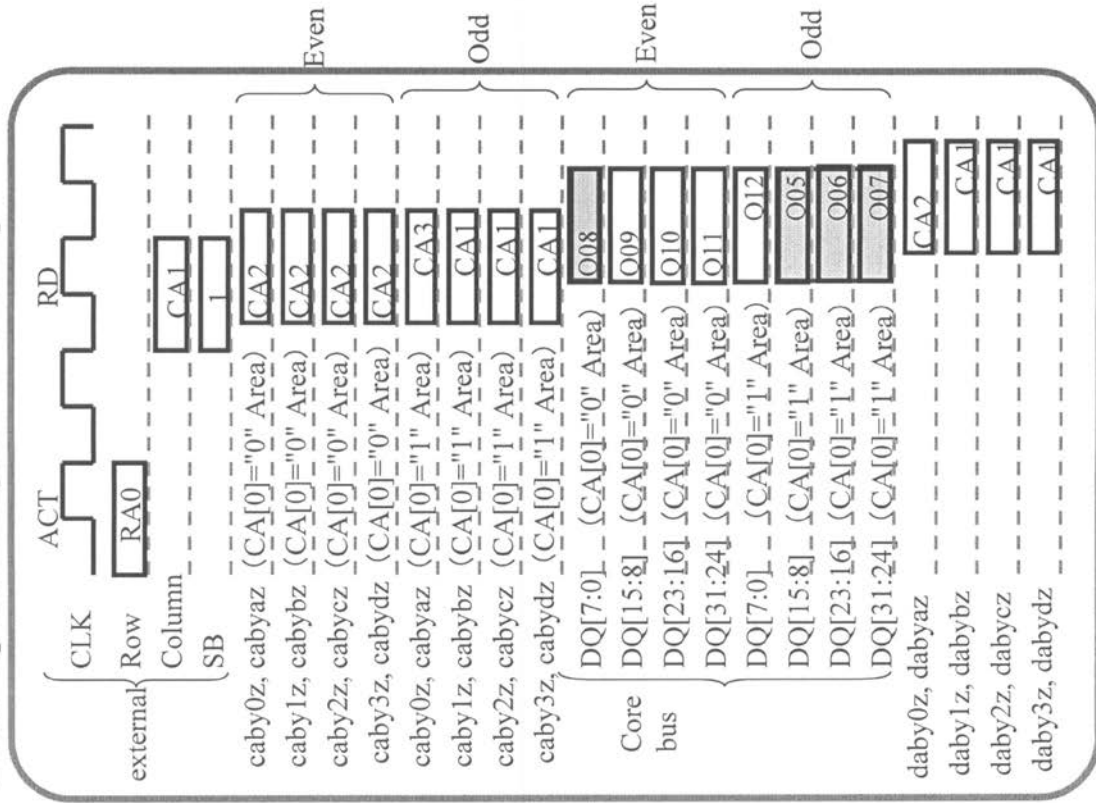


【 図 3 4 】



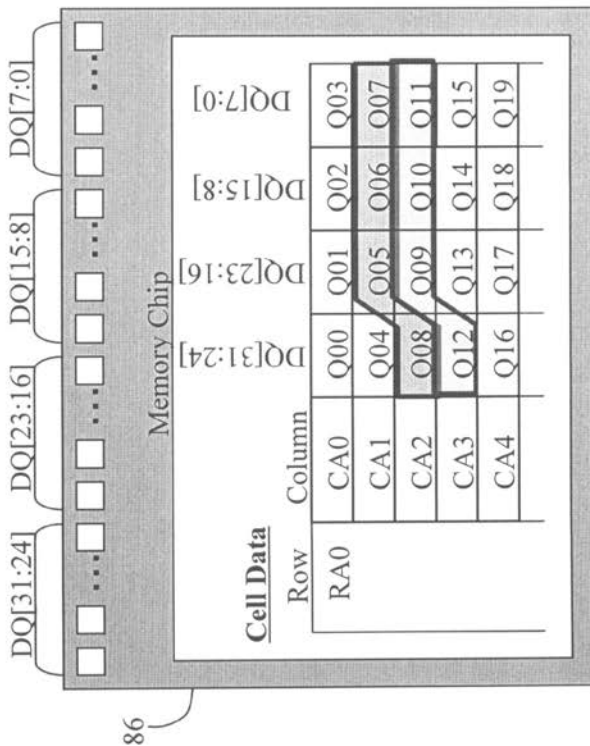
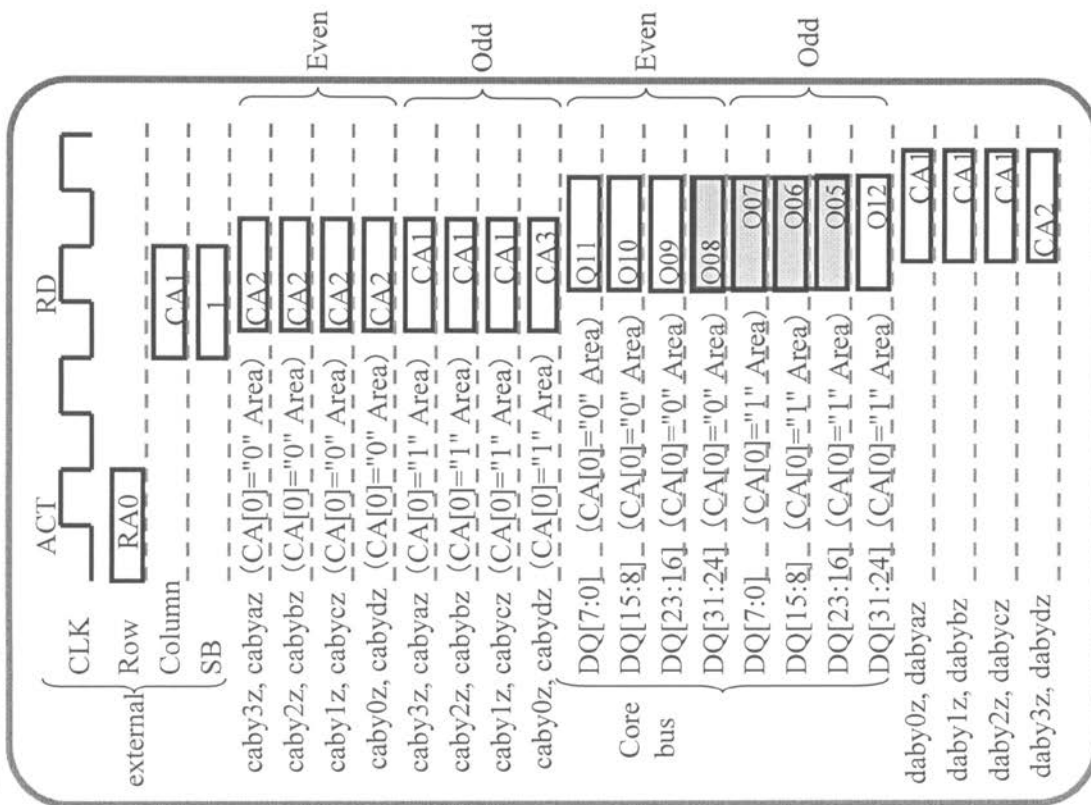
【 図 3 8 】

Read Operation [SB="1", DDR]

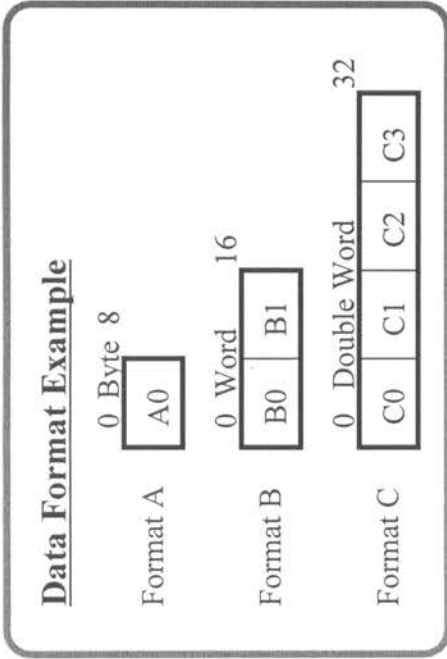


【 3 9 】

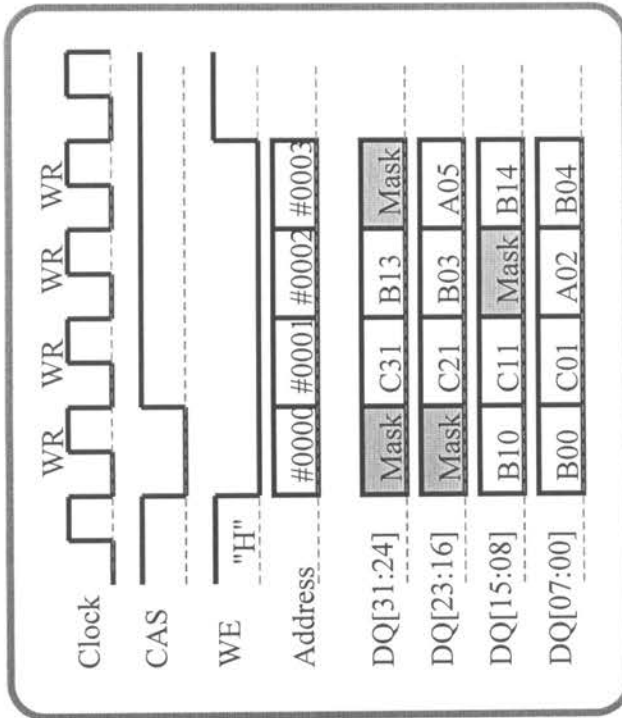
Read Operation [SV="1", DDR]



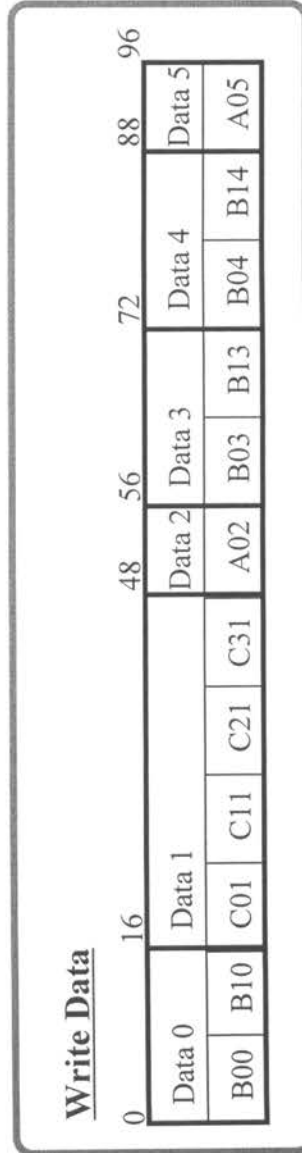
480



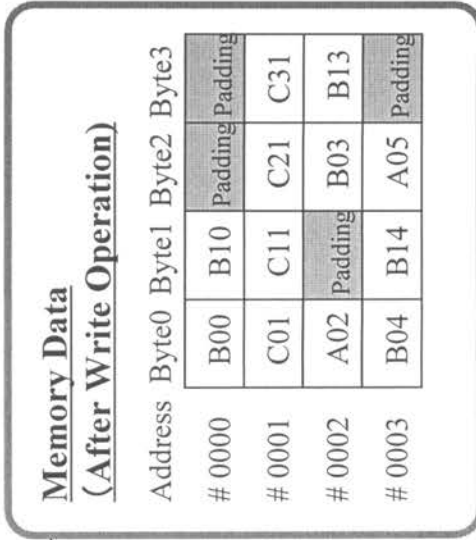
481



482

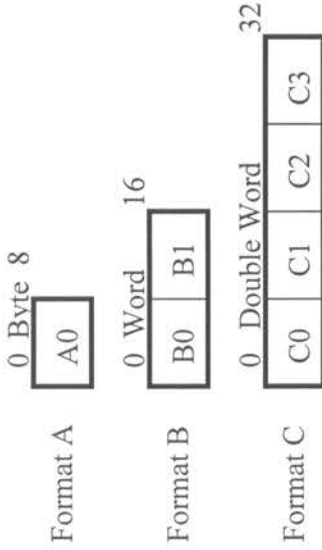


483



480

Data Format Example

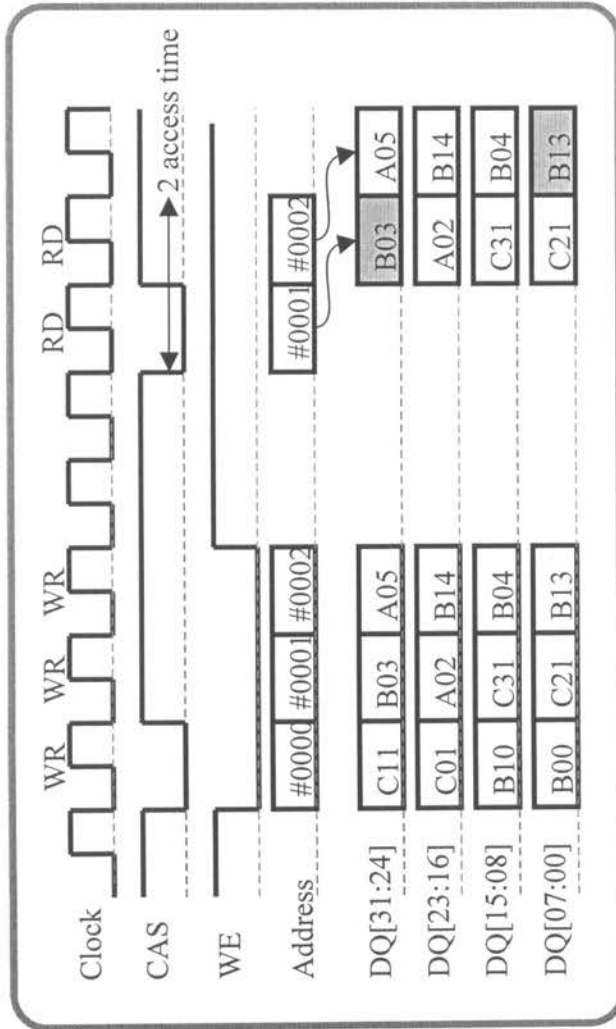


493

**Memory Data
(Read Target B03,B13)**

Address	Byte0	Byte1	Byte2	Byte3
# 0000	B00	B10	C01	C11
# 0001	C21	C31	A02	B03
# 0002	B13	B04	B14	A05

491



482

Write Data

0	16	48	56	72	88	96					
Data 0		Data 1		Data 2		Data 3		Data 4		Data 5	
B00	B10	C01	C11	C21	C31	A02	B03	B13	B04	B14	A05

フロントページの続き

- (51)Int.Cl. F I
G 0 6 F 12/06 5 4 0 E
G 0 6 F 12/06 5 2 1 D
- (72)発明者 神田 達哉
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 宮本 哲生
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 白川 暁
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 山本 喜史
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 大塚 竜志
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 高橋 秀長
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 栗田 昌徳
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 鎌田 心之介
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 佐藤 綾子
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 堀 拓也

- (56)参考文献 特開平11-066839(JP,A)
特開2000-066950(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G 1 1 C 1 1 / 4 0 1