



[12] 发明专利说明书

专利号 ZL 03108615.2

[45] 授权公告日 2006年3月1日

[11] 授权公告号 CN 1244160C

[22] 申请日 2003.3.31 [21] 申请号 03108615.2

[30] 优先权

[32] 2002.3.29 [33] JP [31] 2002-094361

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 小野升太郎 山口好广 川口雄介

中村和敏 安原纪夫 松下宪一

帆玉信一 中川明夫

审查员 熊 洁

[74] 专利代理机构 永新专利商标代理有限公司

代理人 黄剑锋

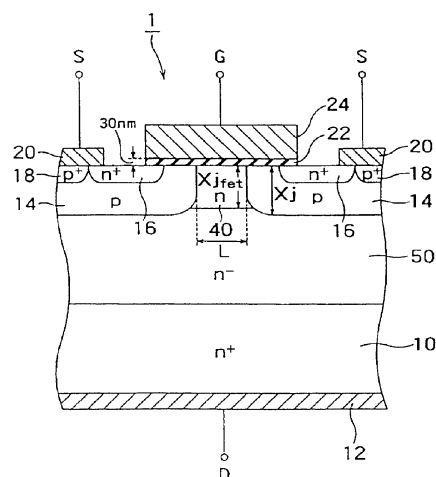
权利要求书 3 页 说明书 8 页 附图 15 页

[54] 发明名称

半导体器件

[57] 摘要

本发明提供一种保持低导通阻抗仍能降低栅漏间容量的半导体器件。本发明的功率 MOSFET (1)，具有：在 n^+ 型低阻抗半导体衬底 (10) 上形成的 n^- 型高阻抗外延层 (50)；在 n^- 型高阻抗外延层 (50) 的表面部分选择地形成的 p 型基极层 (14)；在 p 型基极层 (14) 的表面部分选择地形成的 n^+ 型源极层 (16)；在 n^- 型高阻抗外延层 (50) 的表面部分，在 p 型基极层 (14) 之间，选择地形成的具有比 n^- 型高阻抗外延层 (50) 高的杂质浓度的 Njfet 层 (40)；隔着栅极绝缘膜 (22) 形成的栅电极 (24)；及源电极 (20) 和漏电极 (12)；在该功率 MOSFET (1) 中，将夹着 Njfet 层 (40) 的 p 型基极层 (14) 被配置成相互接近，以便从这些基极层 (14) 控制耗尽。



1. 一种半导体器件，其特征在于，具有：

半导体衬底，其至少表面部分成为第一导电型低阻抗漏极层；

漏电极，其与上述低阻抗漏极层连接；

第一导电型高阻抗外延层，其在上述低阻抗漏极层之上形成；

第二导电型基极层，其在上述高阻抗外延层的表面部分选择地形成；

第一导电型源极层，其在上述第二导电型基极层的表面部分选择地形成；

第一导电型 jfet 层，其在上述高阻抗外延层的表面部分由上述第二导电型基极层夹着的区域选择地形成，具有比上述高阻抗外延层高的杂质浓度；

栅极绝缘膜，其在上述第一导电型 jfet 层表面的至少一部分、夹着上述第一导电型 jfet 层相邻的上述第二导电型基极层的表面、以及与上述第二导电型基极层的表面相邻的上述第一导电型源极层的表面形成；

栅电极，其在上述栅极绝缘膜上形成；及

源电极，其在上述栅电极的两边，在上述第一导电型源极层和与第一导电型源极层邻接的上述第二导电型基极层上配置；

在上述第一导电型 jfet 层两边的上述第二导电型基极层被配置成相互接近，以便从上述第二导电型基极层控制耗尽；

与上述栅电极的长度方向垂直的方向上的上述第一导电型 jfet 层的宽度 L ，与相邻的上述栅电极间的宽度基本相等，或者比相邻的上述栅电极间的宽度窄。

2. 如权利要求 1 所述的半导体器件，其特征在于：上述第二导电型基极层的深度 X_j 与上述第一导电型 jfet 层的宽度 L ，满足下式

$L \leq X_j \times 0.7$ 。

3. 如权利要求1所述的半导体器件, 其特征在于: 上述第一导电型 jfet 层的深度与上述第二导电型基极层的深度基本相同。

4. 如权利要求1所述的半导体器件, 其特征在于: 上述第二导电型基极层与上述第一导电型 jfet 层的结合界面, 随着与表面接近而相对表面垂直。

5. 如权利要求1所述的半导体器件, 其特征在于: 上述栅极绝缘膜中与上述第一导电型 jfet 层相对的区域被形成为比其他区域厚。

6. 如权利要求1所述的半导体器件, 其特征在于: 上述栅极绝缘膜和上述栅电极是选择性除去与上述第一导电型 jfet 层相对的区域的一部分而形成的。

7. 如权利要求6所述的半导体器件, 其特征在于: 上述第一导电型 jfet 层是以上述栅电极为掩膜通过自对准而形成的。

8. 如权利要求6所述的半导体器件, 其特征在于: 还具有第一导电型 LDD 层, 其形成在上述第一导电型 jfet 层的表面部分, 杂质浓度比上述高阻抗外延层的杂质浓度高、比上述第一导电型 jfet 层低。

9. 如权利要求8所述的半导体器件, 其特征在于: 上述第一导电型 LDD 层是以上述栅电极为掩膜通过自对准而形成的。

10. 如权利要求6所述的半导体器件, 其特征在于: 上述第一导电型 jfet 层的表面最高浓度, 不大于 $5E17\text{cm}^{-3}$ 。

11. 如权利要求6至10任一项所述的半导体器件, 其特征在于: 上述第一导电型 jfet 层分别具有矩形的平面形状, 沿上述栅电极的长度方向被周期地配置;

上述第二导电型基极层形成为包围上述各第一导电型 jfet 层。

12. 如权利要求6至10任一项所述的半导体器件, 其特征在于:

上述第一导电型 jfet 层分别具有圆形的平面形状，沿上述栅电极的长度方向被周期地配置；

上述第二导电型基极层形成为包围上述各第一导电型 jfet 层。

13. 如权利要求 6 至 10 任一项所述的半导体器件，其特征在于：

上述第一导电型 jfet 层分别具有多角形平面形状，沿上述栅电极的长度方向被周期地配置；

上述第二导电型基极层形成为包围上述各第一导电型 jfet 层。

14. 如权利要求 6 至 10 任一项所述的半导体器件，其特征在于：还具有在上述第一导电型 jfet 层内形成的绝缘层。

15. 如权利要求 14 所述的半导体器件，其特征在于：还具有设置在上述绝缘层内、形成为被上述绝缘层覆盖、电位固定的电极。

半导体器件

技术领域

本发明涉及半导体器件，特别涉及具有功率 MOSFET（金属氧化物半导体场效应晶体管）结构的半导体器件。

背景技术

近年来，功率 MOSFET 加入到大电流、高电压的开关电源的领域，在以笔记本电脑为首的移动通信设备等的节能开关领域的需求迅速增长。在这些领域中，功率 MOSFET 在功率控制电路或锂离子电池的安全电路等中使用较多，因此非常需要可以用电池电压直接驱动的低电压驱动化、低导通阻抗化、及为降低开关损失而使栅漏间容量 Q_{GD} 降低等。

参照图 17 的概要剖面图，说明有关已有技术的纵型功率 MOSFET。并且，下面各图的相同部分都用同一参照图号，并适当省略其说明。

在图 17 所示的功率 MOSFET100 中，在 n^+ 型低阻抗半导体衬底 10 下面设有漏电极 12，并且在 n^+ 型低阻抗半导体衬底 10 上形成了 n^- 型高阻抗外延层 50。在高阻抗外延层 50 的表面选择形成 p 型基极层 14，在 p 型基极层 14 的表面部分选择形成 n^+ 型源极层 16。另外，在 p 型基极层 14 的表面部分，与 n^+ 型源极层 16 邻接来选择形成高浓度 p 型区域 18。在高阻抗外延层 50 的表面部分，在 p 型基极层 14 之间夹着的区域，选择形成 n 型杂质浓度比高阻抗外延层 50 高的掺杂 Njfet 区域 90。在 Njfet 区域 90 表面、夹着该 Njfet 区域 90 的 p 型基极层 14 表面和与 p 型基极层 14 相邻接的 n^+ 型源极层 16 表面上，使栅极绝缘膜 92 介于之间来设置栅电极 94。另外，在 n^+ 型源极层 16 的表面和高浓度 p 型区域 18 的表面，在上述栅电极 94 的两侧设

置源电极 20。

具有这种结构的功率 MOSFET100，为降低栅漏间容量 Q_{GD} ，需要 Njfet 区域 90 易被耗尽。

然而，如果为使 Njfet 区域 90 易被耗尽而降低 Njfet 区域 90 的杂质浓度，则芯片的导通阻抗增高，结果存在耐压下降的问题。

发明内容

本发明是鉴于上述问题而提出来的，目的在于提供一种半导体器件，维持低导通阻抗不变而使 Njfet 区域易被耗尽，且能降低栅漏间容量。

根据本发明，提供一种半导体器件，具有：

半导体衬底，其至少表面部分成为第一导电型低阻抗漏极层；漏电极，其与上述低阻抗漏极层连接；第一导电型高阻抗外延层，其在上述低阻抗漏极层之上形成；第二导电型基极层，其在上述高阻抗外延层的表面部分选择地形成；第一导电型源极层，其在上述第二导电型基极层的表面部分选择地形成；第一导电型 jfet 层，其在上述高阻抗外延层的表面部分夹着上述第二导电型基极层的区域选择地形成，具有比上述高阻抗外延层高的杂质浓度；栅极绝缘膜，其在上述第一导电型 jfet 层表面的至少一部分、夹着上述第一导电型 jfet 层的第二导电型基极层的表面、以及与上述第二导电型基极层相邻的上述第一导电型源极层的表面形成；栅电极，其在上述栅极绝缘膜上形成；及源电极，其在上述栅电极的两边，在上述第一导电型源极层与第一导电型源极层邻接的上述第二导电型基极层上配置；在第一导电型 jfet 层两边的上述第二导电型基极层被配置成相互接近，以便从上述第二导电型基极层控制耗尽；与上述栅电极的长度方向垂直的方向上的上述第一导电型 jfet 层的宽度 L，与相邻的上述栅电极间的宽度基本相等，或者比相邻的上述栅电极间的宽度窄。

附图说明

图 1 是本发明的半导体器件的第 1 实施例的概要剖面图。

图 2 是图 1 所示半导体器件的 Njfet 区域宽度 L 的仿真结果的曲线。

图 3 是图 1 所示半导体器件的 Njfet 区域表面掺杂量的仿真结果曲线。

图 4 是本发明的半导体器件的第 2 实施例的概要剖面图。

图 5 是本发明的半导体器件的第 3 实施例的概要剖面图。

图 6 是用于说明图 5 所示半导体器件的栅漏间容量 Q_{cb} 降低的图。

图 7 是图 5 所示半导体器件的栅漏间容量 Q_{cb} 降低的说明用示意图。

图 8 是示出通过仿真求出图 5 所示半导体器件 LDD 区域的杂质浓度的适合范围的曲线图。

图 9 是图 5 所示半导体器件栅电极平面形状的例 1 的俯视图。

图 10 是图 5 所示半导体器件栅电极平面形状的例 2 的俯视图。

图 11 是沿图 10 的切断线 A-A 的概要剖面图。

图 12 是沿图 10 的切断线 B-B 的概要剖面图。

图 13 是图 5 所示半导体器件栅电极平面形状的例 3 的俯视图。

图 14 是图 5 所示半导体器件栅电极平面形状的例 4 的俯视图。

图 15 是本发明的半导体器件的第 4 实施例的概要剖面图。

图 16 是本发明的半导体器件的第 5 实施例的概要剖面图。

图 17 是已有技术的纵型功率 MOSFET 例子的概要剖面图。

具体实施方式

以下，就本发明的几种实施例参照图面进行说明。

(1) 第 1 实施例

图 1 是本发明的半导体器件的第 1 实施例的概要剖面图。本实施例的半导体器件的特征是 Njfet 区域 40 的宽度窄且浓度高。下面，详细说明本实施例的半导体器件的结构。

图 1 所示的功率 MOSFET1 是适用了本发明的纵型功率 MOSFET，具有 n^+ 型低阻抗半导体衬底 10、漏电极 12、 n^- 型高阻抗外延层 50、p 型基极层 14、 n^+ 型源极层 16、Njfet 区域 40、栅电极 24、源电极 20。

漏电极 12 设在 n^+ 型低阻抗半导体衬底 10 的一个表面（图 1 的下表面）， n^- 型高阻抗外延层 50 设在 n^+ 型低阻抗半导体衬底 10 的另一个表面（图 1 的上表面）。p 型基极层 14 是在 n^- 型高阻抗外延层 50 的表面部分选择形成的， n^+ 型源极层 16 是在 p 型基极层 14 的表面部分选择形成的。在 p 型基极层 14 表面部分形成高浓度 p 型区域 18。在 n^- 型高阻抗外延层 50 的表面部分，在 p 型基极层 14 之间夹着的区域选择地形成 Njfet 区域 40。在 Njfet 区域 40 的表面、与它相邻的 p 型基极层 14 的表面和与 p 型基极层 14 相邻接的 n^+ 型源极层 16 表面上，隔着栅极绝缘膜 22 设置栅电极 24。另外，在 n^+ 型源极层 16 的表面和高浓度 p 型区域 18 的表面，在上述栅电极 24 的两侧设置源电极 20。

Njfet 区域 40 是本实施例的特征部分，与图 17 对比可清楚看出，比已有技术的功率 MOSFET 的 Njfet 区域 90 的宽度更窄，其宽度大致与相邻的两个栅电极 24 的间隔相同或更窄。通过形成具有如上所述窄的宽度 L 的 Njfet 区域 40，可得到如下构造，即在 Njfet 区域 40 耗尽时，由栅电极 24 对栅漏间容量 Q_{GD} 的贡献减少，由邻接的 p 型基极层 14 控制耗尽。Njfet 区域 40 的宽度 L 通过仿真已判明，当 p 型基极层 14 的深度为 $X_j=1.0\ \mu\text{m}$ 时， $L\leq 1.0\ \mu\text{m}$ 。

图 2 是示出 Njfet 区域 40 的宽度 L 的仿真结果的曲线图。如图所示，可以清楚当栅极绝缘膜 22 的膜厚大致形成为 30nm 时，在 $L\leq 1.0\ \mu\text{m}$ 的区域， $R_{ON}Q_{GD}$ 大致为小于等于 24 ($\text{m}\Omega\text{nC}$) 的值，特别是在 $X_j\times 0.7$ 或以下的区域， $R_{ON}Q_{GD}$ 及耐压 BV 都有明显的效果。

返回图 1，Njfet 区域 40 的深度 $X_{j\text{fet}}$ 基本上与 p 型基极层 14

的深度 X_j 相同, 另外, 与 p 型基极层 14 的接合界面如下形成, 即, 随着接近 Njfet 区域 40 的表面, 相对该表面垂直。

另外, 通过如上所述使 Njfet 区域 40 的宽度 L 变窄, 其表面能在约 $1E16 \sim$ 约 $3E17$ (cm^{-3}) 的范围高浓度化, 因此可以降低导通阻抗 R_{ON} 。

图 3 是示出 Njfet 区域 40 的表面掺杂量的仿真结果的曲线图。如图所示, 根据仿真结果可以清楚, 当 Njfet 区域 40 的宽度 $L=1 \mu\text{m}$ 时, 当 Njfet 区域 40 的表面掺杂量 $N \leq 4E \times 12$ 时, 可得到不小于 30V 的耐压 BV , $R_{ONQ_{GD}}$ 的值也低。

(2) 第 2 实施例

图 4 是本发明的半导体器件的第 2 实施例的概要剖面图。与图 1 进行比较可以看出, 本实施例的功率 MOSFET3 的特征不仅在于 Njfet 区域 40 窄且杂质浓度高, 而且还在于使与 Njfet 区域 40 相对的区域变厚来形成栅极绝缘膜 23。更具体地说, 是在栅极绝缘膜 23 中, 与 Njfet 区域 40 相对的区域 23a 大致具有 90nm 的厚度, 其他区域大致具有 30nm 的厚度。因此, 可以在与 Njfet 区域 40 相对的区域, 使栅电极 25 与 Njfet 区域 40 隔离。

由于 Njfet 区域 40 窄且杂质浓度高, 在 Njfet 区域 40 耗尽时, 由 p 型基极层 14 控制耗尽, 所以, 可以采用这样构造的栅极绝缘膜 23 和栅电极 25。

根据本实施例的功率 MOSFET3, 在与 Njfet 区域 40 相对的区域, 隔着形成得比其他区域厚的栅极绝缘膜 23 设有栅电极 25, 所以可进一步降低由栅电极对栅漏间容量 Q_{GD} 的影响。

(3) 第 3 实施例

图 5 是本发明的半导体器件的第 3 实施例的概要剖面图。与图 1 对比非常明显, 本实施例的功率 MOSFET5 的特征是在栅电极 28 中将与 Njfet 区域 40 相对的部分选择性去除。

如上所述，通过采用分割栅电极 28 的构造，Njfet 区域 40 的宽度 L 可以更加变窄，因此栅漏间容量 Q_{cb} 更加降低，从而器件的动作速度也就变得更快。另外，通过将被分割构造的栅电极 28 作为掩膜来掺入 n 型杂质，可自对准产生 Njfet 区域 40。

图 6 及图 7 是用于说明本实施例中栅漏间容量 Q_{cb} 降低的图。图 6 显示的是图 17 所示的已有功率 MOSFET100 的电子密度，图 7 显示的是 Njfet 区域宽度没有变窄而只是分割了图 17 的功率 MOSFET100 的栅电极时的电子密度。图 6 及图 7 都是施加 20V 的 V_{ds} 时的电子密度。

两图相比可以看出，仅分割已有功率 MOSFET100 的栅电极 94，相邻 p 型基极 14 之间的区域大，所以栅极引起的耗尽比例大。其结果，栅极引起的耗尽消失，从而耐压降低。

返回图 5，本实施例的功率 MOSFET5 还具有在 Njfet 区域 40 的表面部分形成的 LDD（低掺杂漏极：Lightly Doped Drain）区域 44。该 LDD 区域 44 如下形成，即以被分割的栅电极 28 作为掩膜，在 Njfet 区域 40 中浅浅地注入 n 型杂质离子后进行热扩散而自对准形成的。

图 8 是通过仿真求出的功率 MOSFET5 的 LDD 区域 44 的杂质浓度的适当范围的曲线图。如图所示，当 $X_j=0.8\mu\text{m}$ 、 $L=0.4\mu\text{m}$ 时，如果 LDD 区域 44 的杂质浓度 C_s 以 $5E17\text{ (cm}^{-3}\text{)}$ 上限，则 $R_{on}Q_{cb}$ 的值可不大于 $10\text{ (m}\Omega\text{nC)}$ 。

有关本实施例的功率 MOSFET5 具有的栅电极的平面形状，参照图 9 至图 14 进行说明。

图 9 所示是栅电极 28' 平面形状的例子 1。本例的栅电极 28' 被分割成了两个，但与已有的功率 MOSFET 一样形成的是条纹形状。通过这样的电极形状，栅电极本身的阻抗变大，存在影响器件高速化的缺点。

首先，关于功率 MOSFET5 的 Njfet 区域 40，不是在 n^- 型高阻抗

外延层 50 的表面部分沿栅电极 28 的长度方向形成条纹形状, 而例如是像分别成矩形的平面形状那样沿长度方向周期配置, 形成为各矩形区域被 p 型基极层 14 包围, 然后, 如图 10 的例 2 所示, 将被分割的栅电极形成为在下层不存在 Njfet 区域 40 的区域周期地相互连接、且具有像梯子那样的平面形状。这样一来, 由于以像围绕被周期性配置的 Njfet 区域 40 那样的平面形状来设置栅电极 28, 所以栅电极的阻抗也可大幅降低。还有, Njfet 区域 40 的耗尽在图 9 所示的例中虽然只是沿纸面的横方向扩展, 但通过周期地配置 Njfet 区域 40, 可以在全方位扩展。因此器件的动作速度更快。沿图 10 的切断线 A-A 的概要剖面图如图 11 所示, 沿图 10 的切断线 B-B 的概要剖面图如图 12 所示。

图 10 所示的例子, 被 p 型基极层 14 围住的 Njfet 区域 40 的形状为矩形, 但 Njfet 区域 40 的形状不限于此, 例如也可以像图 13 所示的例 3 那样为圆形, 也可以像图 14 所示的例 4 那样为的多角形。

(4) 第 4 实施例

图 15 是本发明的半导体器件的第 4 实施例的概要剖面图。如图所示功率 MOSFET7 的特征是还具有绝缘膜 52 和固定电位电极 54 这点, 所述绝缘膜 52 在 Njfet 区域 46 内大致中央位置、以与 p 型基极层 14 的扩散深度大致相同的深度设置的沟道 TR 内设置, 所述固定电位电极 54 设置在该绝缘层 52 内。

如上所述, 通过在被 p 型基极层 14 夹着 (或包围) 的 Njfet 区域 46 内设置绝缘层 52, 可对晶片表面从斜方向进行离子注入。这样, 就可以形成高浓度、宽度 L 窄的 Njfet 区域 46。另外, 通过在沟道 TR 内使绝缘层 52 介于中间来设置电极 54, 可使耐压只再上升 5V, 并且栅漏间容量 Q_{on} 还能再降低 20%左右。

(5) 第 5 实施例

图 16 是本发明的半导体器件的第 5 实施例的概要剖面图。如图

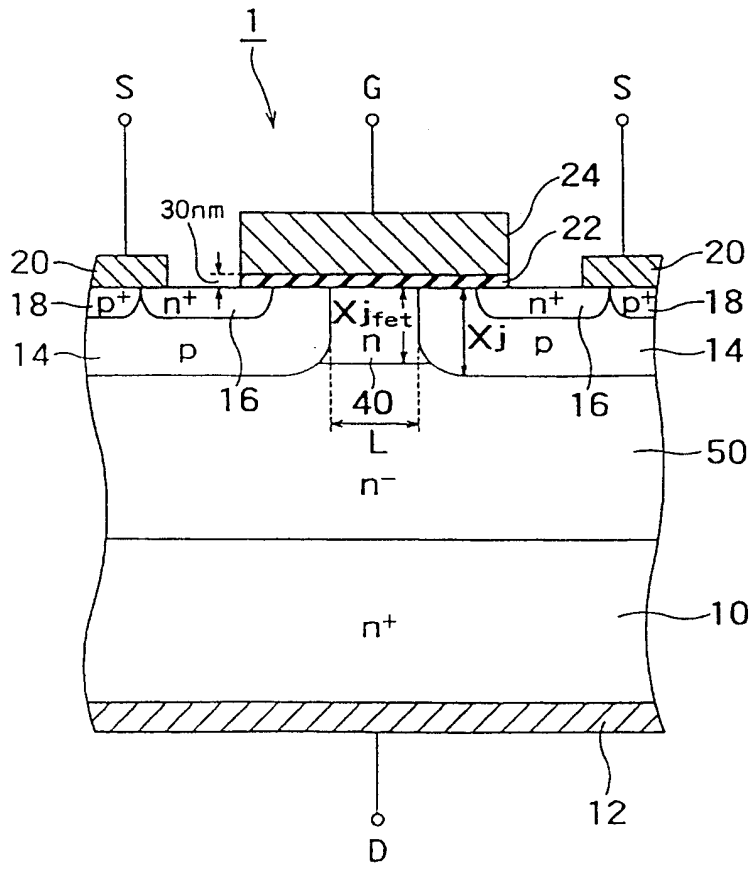
所示的功率 MOSFET9 是将上述第 3 实施例应用于横型功率 MOSFET。也就是说，在 p 型基极层 14 的外侧区域，从 n⁻型高阻抗外延层 50 的表面贯穿它而与它正下方的 n⁺型低阻抗半导体层 10 接合从而形成 n⁺型低阻抗漏极层 68，在该 n⁺型低阻抗漏极层 68 的表面设置漏极 62，这样就构成了纵型功率 MOSFET。以下几点实质上都与图 5 所示的功率 MOSFET5 相同，即，被 p 型基极层 14 夹着（或包围）的 Njfet 区域 40 形成为窄的宽度 L、Njfet 区域 40 形成为高浓度、栅电极 28 被分割设置、以及在 Njfet 区域 40 的表面部分形成 LDD 区域 44。

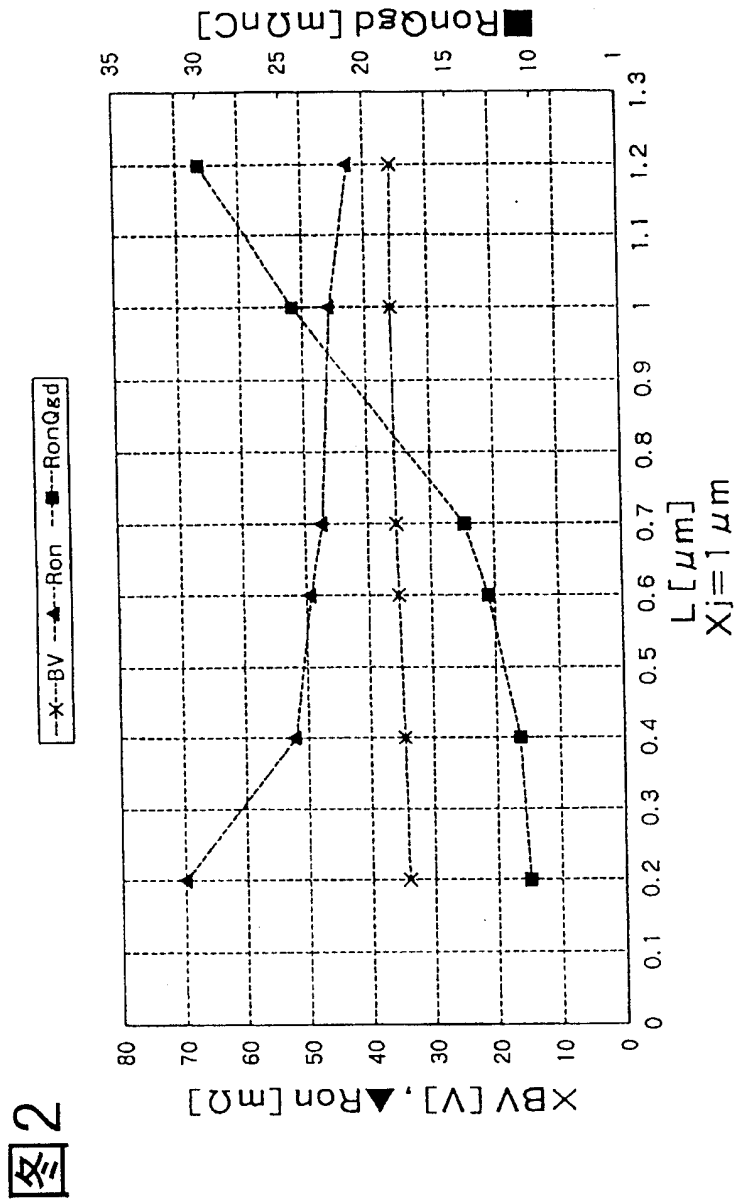
以上，说明了本发明的几种实施例，本发明并不是局限于上述方使，也可在本技术范围内进行各种改变来进行应用。

发明的效果

根据以上的详细说明，如果采用本发明，则保持低的导通阻抗就能降低栅漏间容量，所以提供一种大致从 10V 系列的低耐压到大致 100V 系列的耐压为止，利用同样的设计就能高性能化的半导体器件。

图1





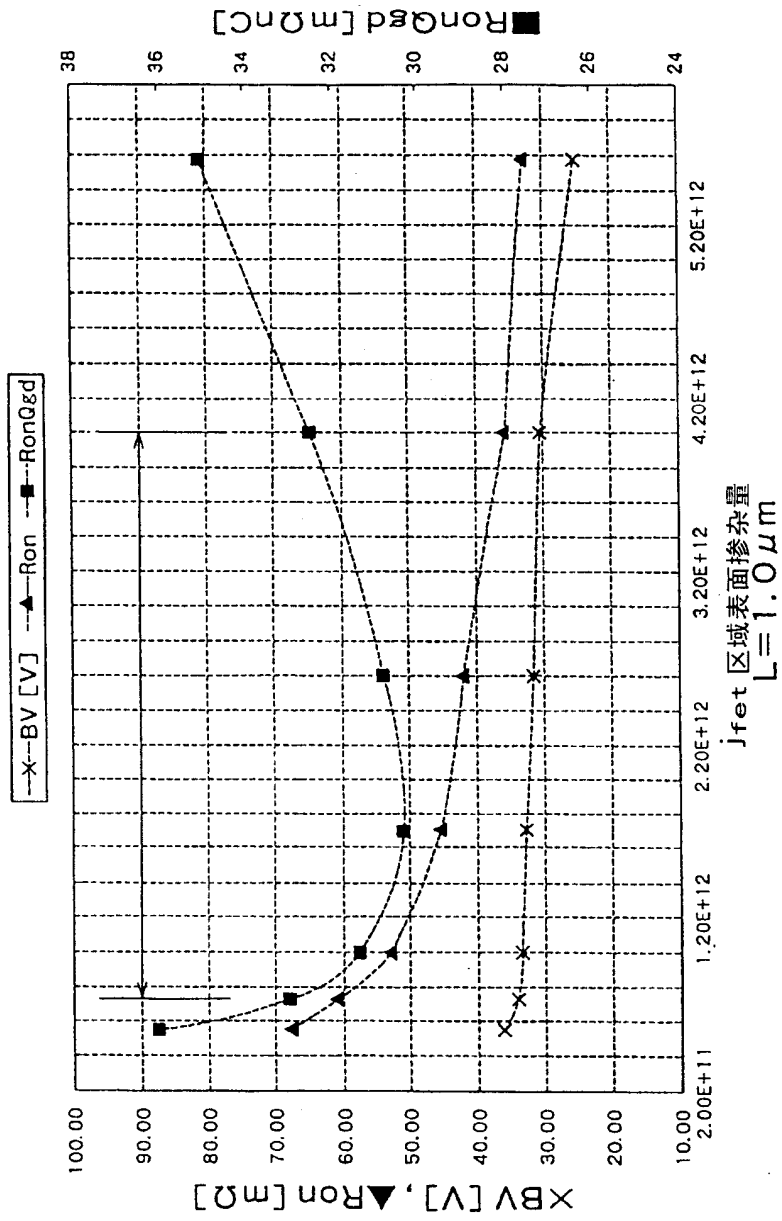


图 3

图4

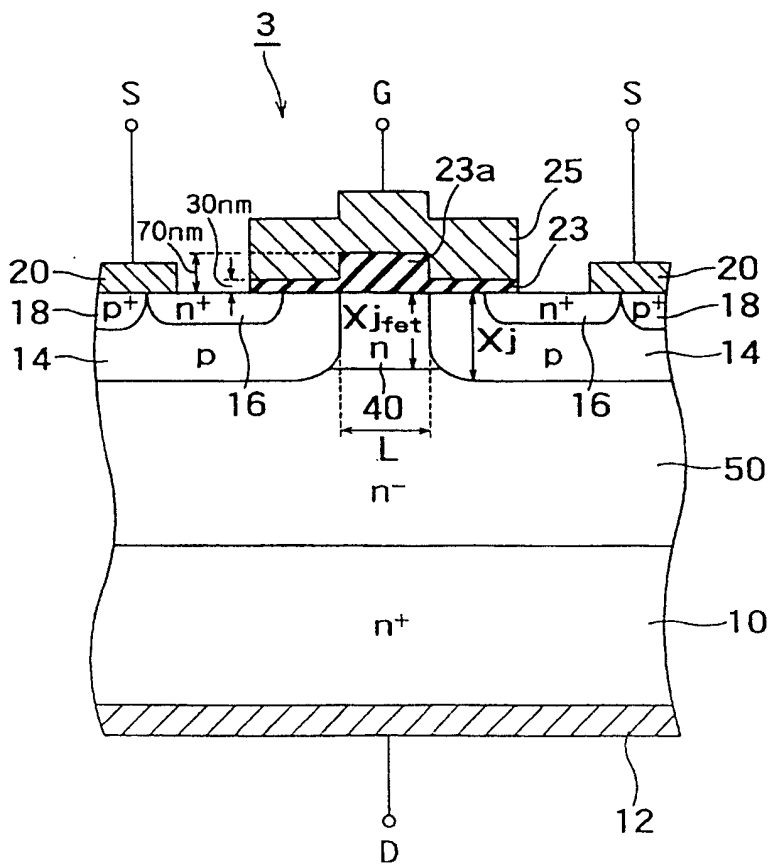


图5

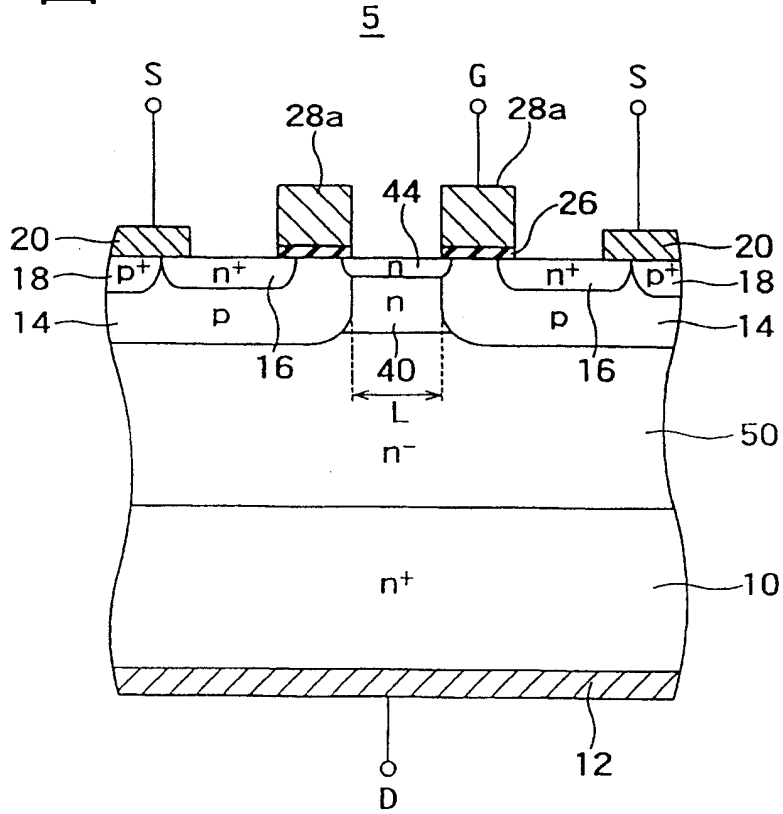


图6

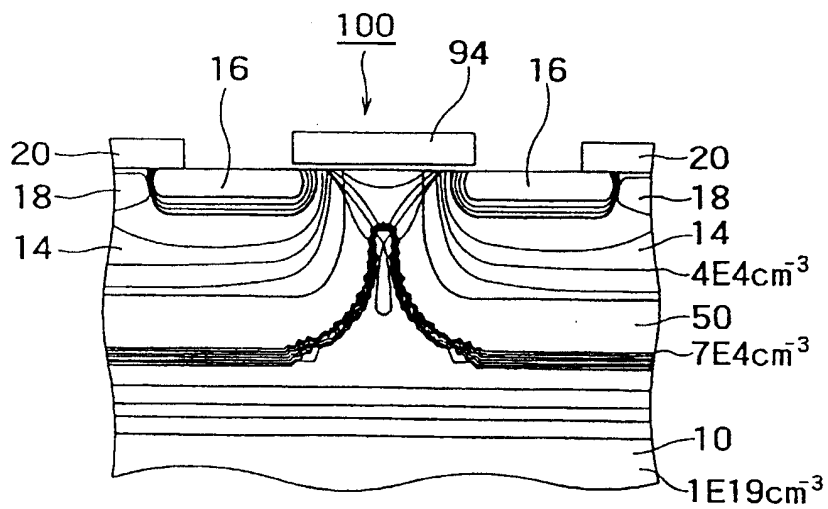


图7

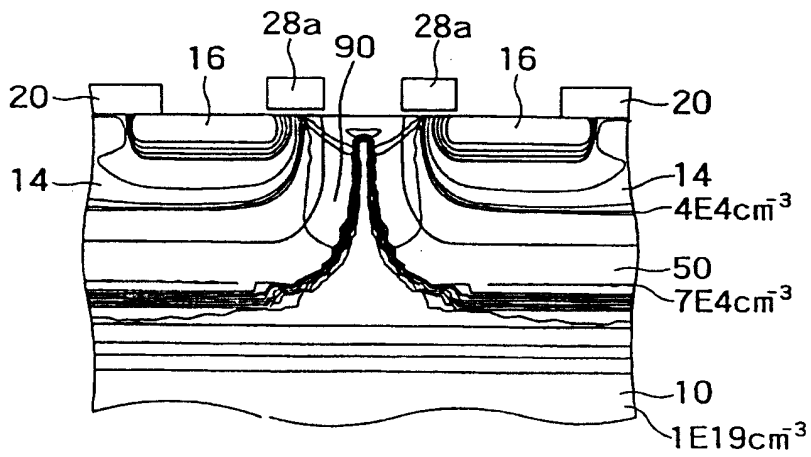
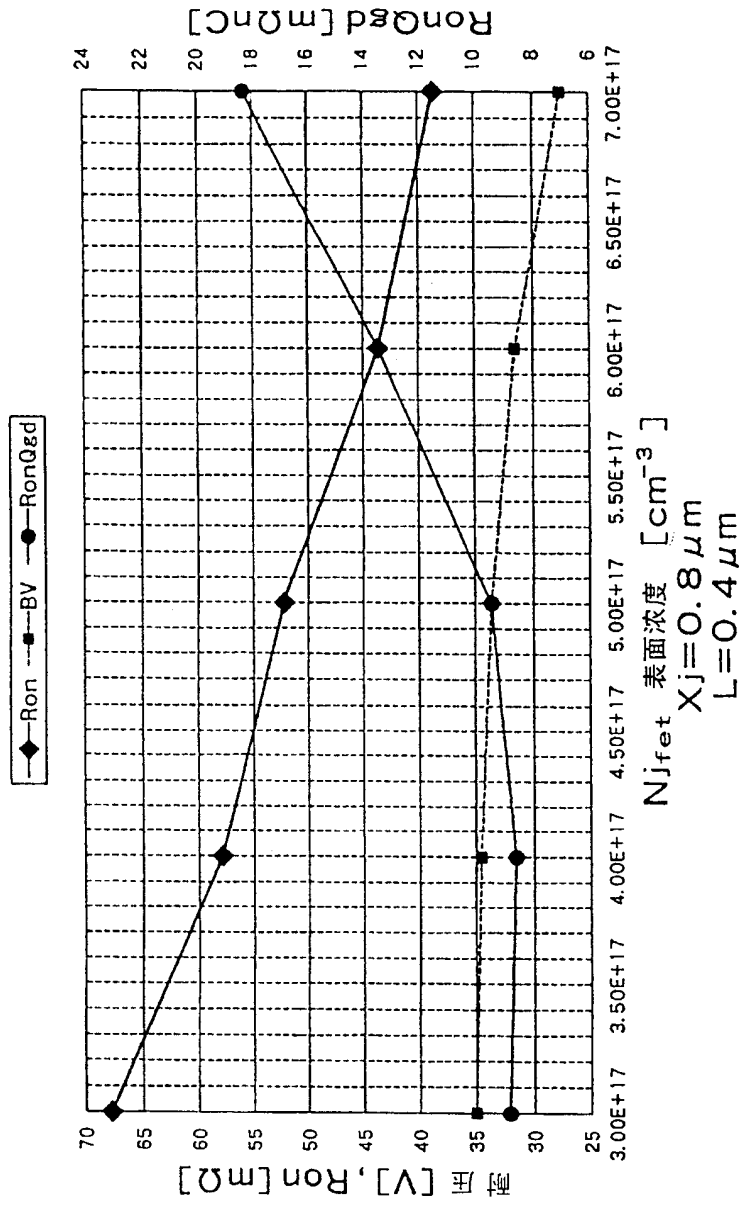


图 8



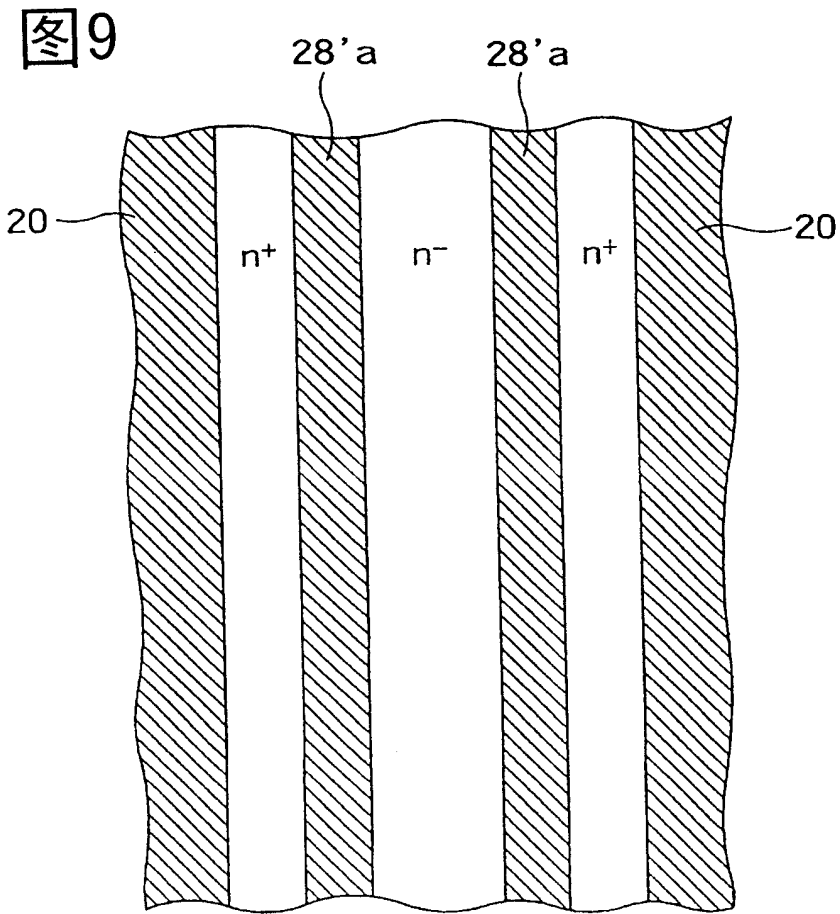
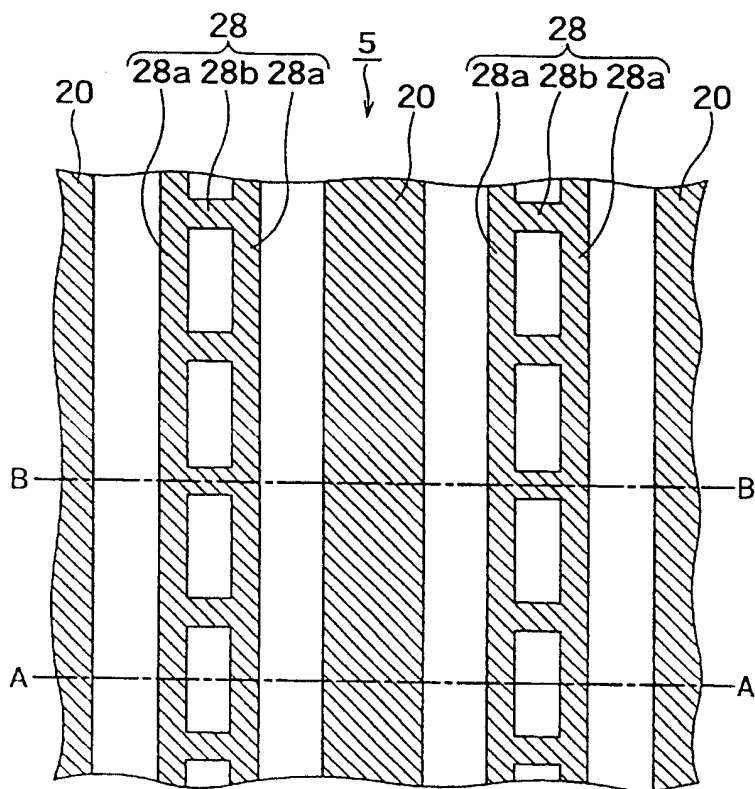


图10



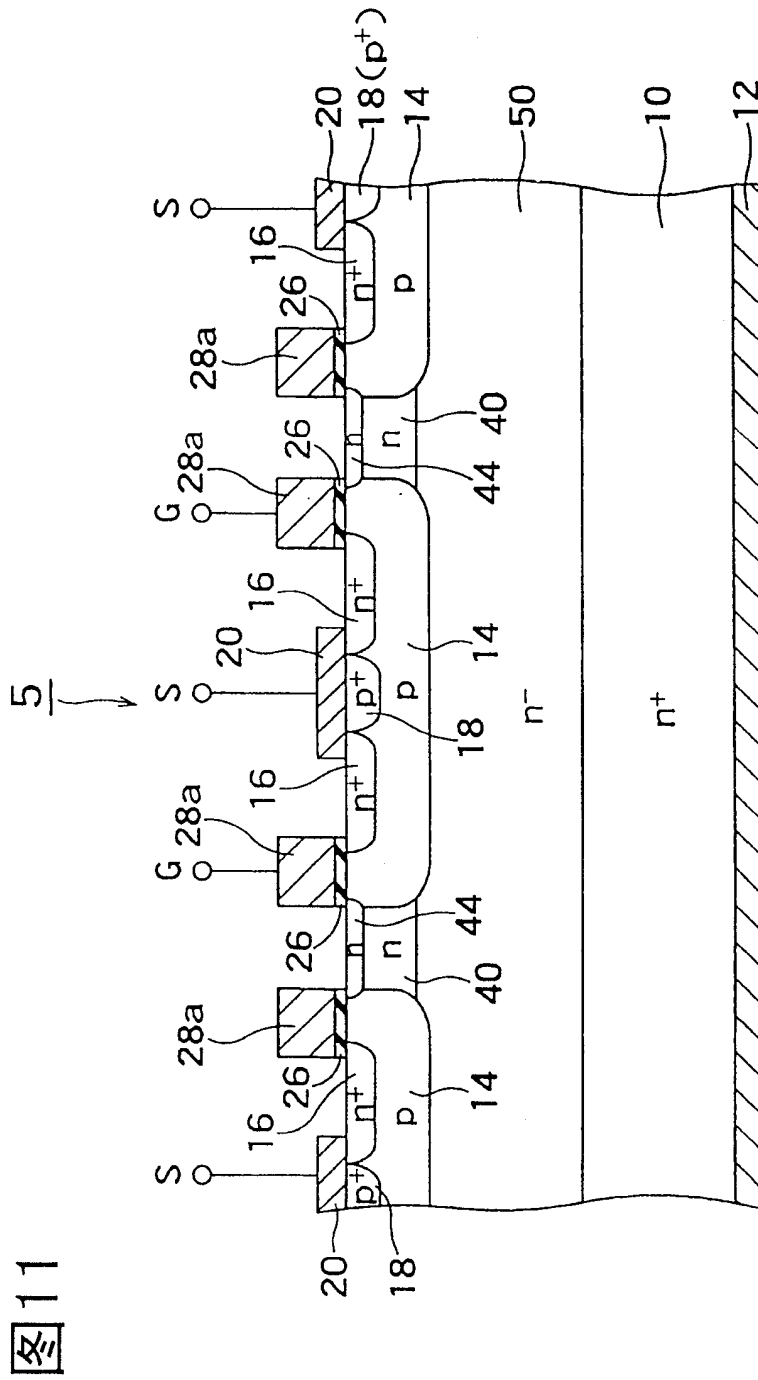


图11

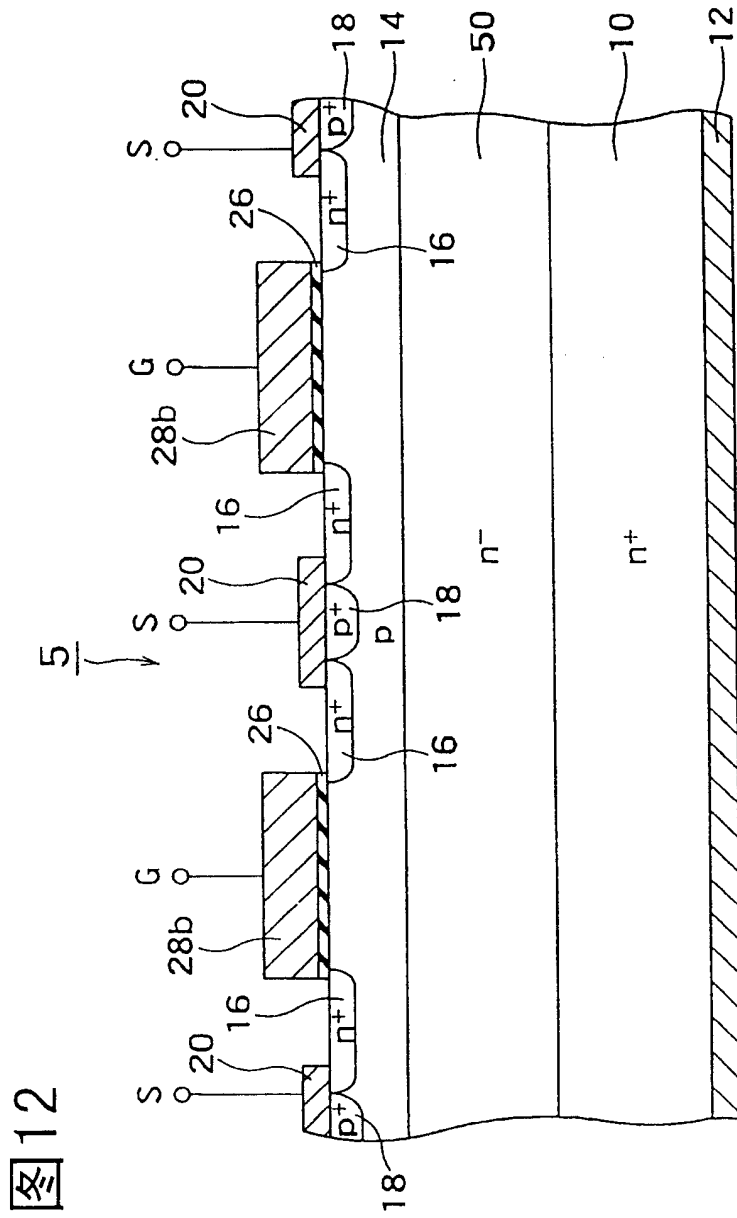


图12

图13

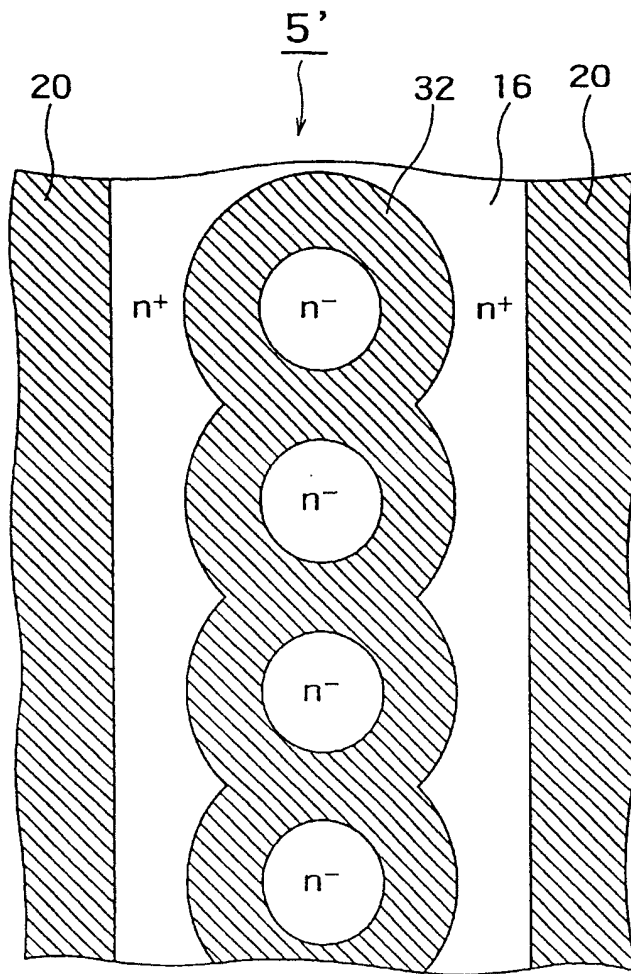


图14

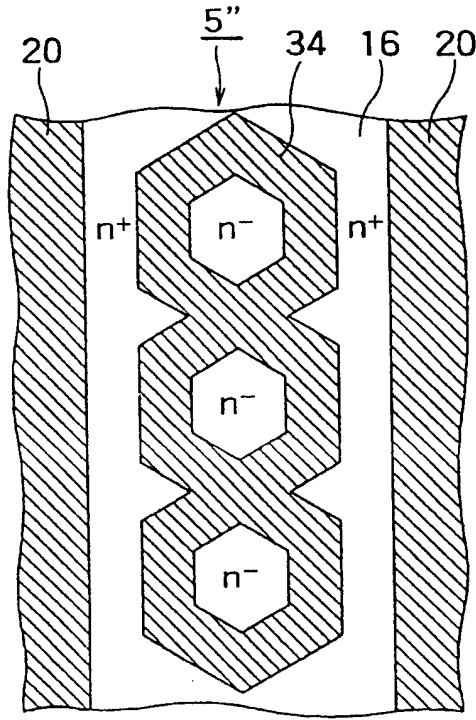


图15

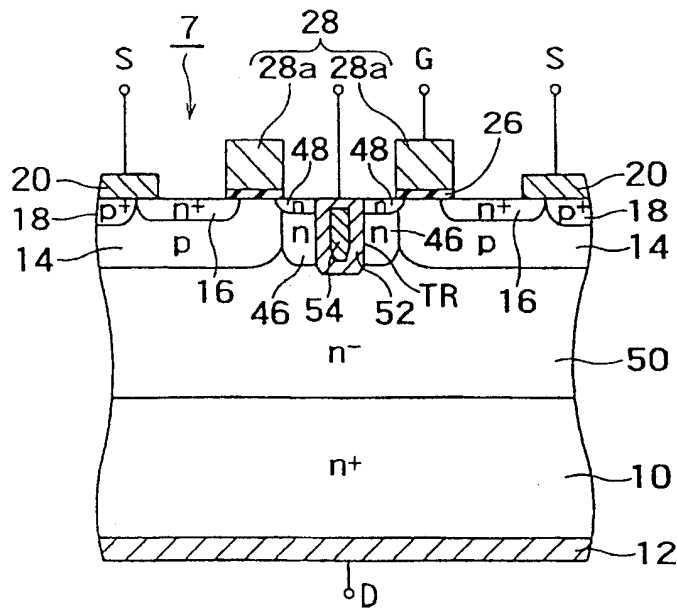


图16

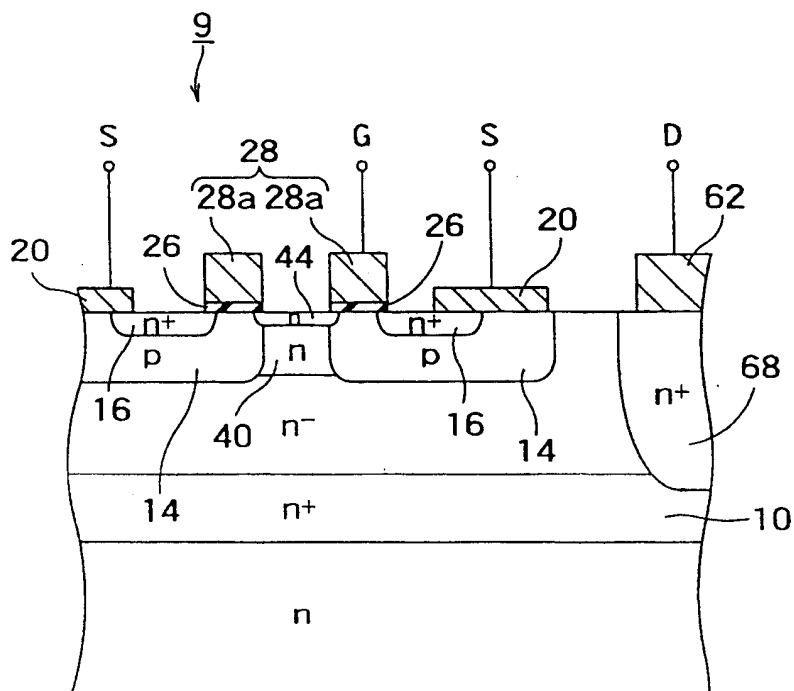


图17

