



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0124116
(43) 공개일자 2022년09월13일

- (51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 27/32 (2006.01)
H01L 29/786 (2006.01) H01L 51/50 (2006.01)
- (52) CPC특허분류
H01L 27/1225 (2013.01)
H01L 27/124 (2013.01)
- (21) 출원번호 10-2022-0104624(분할)
- (22) 출원일자 2022년08월22일
심사청구일자 2022년08월22일
- (62) 원출원 특허 10-2015-0170374
원출원일자 2015년12월02일
심사청구일자 2020년10월12일
- (30) 우선권주장
JP-P-2014-244302 2014년12월02일 일본(JP)

- (71) 출원인
가부시키키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
노다 고세이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
양영준, 박충범

전체 청구항 수 : 총 5 항

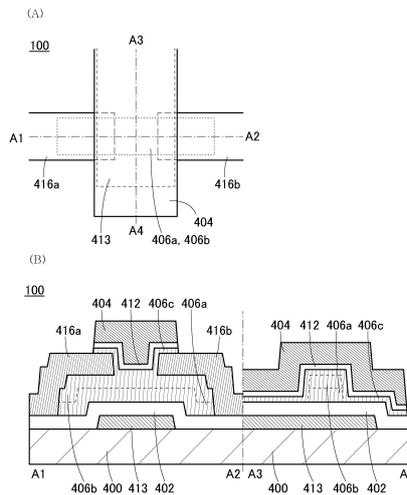
(54) 발명의 명칭 반도체 장치, 반도체 장치의 제작 방법, 모듈, 및 전자 기기

(57) 요약

본 발명의 일 형태는 안정적인 전기 특성을 가지는 반도체 장치를 제공한다. 또는, 노멀리 오프의 전기 특성을 가지는 반도체 장치를 제공한다.

게이트 전극, 게이트 절연체, 및 산화물 반도체를 가지고, 산화물 반도체는 채널 형성 영역에 불소를 함유하고, 이 채널 형성 영역 내의 불소의 농도는 1×10^{20} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하인, 반도체 장치이다. 또한, 불소의 첨가는 이온 주입법에 의하여 수행한다.

대표도 - 도1



(52) CPC특허분류

H01L 27/1248 (2013.01)
H01L 27/1255 (2013.01)
H01L 27/3246 (2022.01)
H01L 27/3258 (2013.01)
H01L 27/3262 (2013.01)
H01L 27/3265 (2013.01)
H01L 27/3276 (2022.01)
H01L 29/7869 (2013.01)
H01L 51/5012 (2013.01)

명세서

청구범위

청구항 1

동일 기관 위에 회로부와 화소부를 포함하는 표시 장치로서,
 상기 회로부는 산화물 반도체를 포함하는 제 1 트랜지스터를 포함하고,
 상기 화소부는 제 2 트랜지스터, 용량 소자, 및 발광 소자를 포함하는 화소를 포함하고,
 상기 용량 소자는,
 기관 위의 제 1 도전체,
 상기 제 1 도전체 위의 제 1 절연체,
 상기 제 1 절연체 위의 제 2 절연체,
 상기 제 2 절연체 위에 접하는 제 1 전극,
 상기 제 1 전극 위의 제 3 절연체, 및
 상기 제 3 절연체 위의 제 2 도전체를 포함하고,
 상기 제 1 도전체 및 상기 제 2 도전체는 상기 용량 소자의 한쪽 전극으로서의 기능을 가지고,
 상기 제 1 전극은 상기 용량 소자의 다른 쪽 전극으로서의 기능을 가지고,
 상기 제 2 트랜지스터는,
 상기 제 2 절연체 위에 접하고 채널 형성 영역을 포함하는 산화물 반도체, 및
 상기 채널 형성 영역의 상방에 증착되는 제 3 도전체를 포함하고,
 상기 제 3 도전체는 상기 제 2 트랜지스터의 게이트로서의 기능을 가지고, 그리고 상기 용량 소자의 한쪽 전극과 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 용량 소자의 다른 쪽 전극과 전기적으로 접속되고,
 상기 용량 소자 위의 격벽을 포함하고,
 상기 발광 소자는 상기 격벽 위에 위치하는 발광층을 포함하고,
 상기 제 3 절연체 위에, 그리고 상기 제 2 도전체 아래에 배치된 제 4 절연체를 포함하고,
 상기 제 4 절연체는 일부가 제거된 영역을 포함하고,
 상기 제 2 도전체는, 상기 영역에서, 상기 제 1 전극을 개재하여 상기 제 1 도전체와 증착되는 부분을 포함하는, 표시 장치.

청구항 2

동일 기관 위에 회로부와 화소부를 포함하는 표시 장치로서,
 상기 회로부는 산화물 반도체를 포함하는 제 1 트랜지스터를 포함하고,
 상기 화소부는 제 2 트랜지스터, 용량 소자, 및 발광 소자를 포함하는 화소를 포함하고,
 상기 용량 소자는,
 기관 위의 제 1 도전체,
 상기 제 1 도전체 위의 제 1 절연체,

상기 제 1 절연체 위의 제 2 절연체,
 상기 제 2 절연체 위에 접하는 제 1 전극,
 상기 제 1 전극 위의 제 3 절연체, 및
 상기 제 3 절연체 위의 제 2 도전체를 포함하고,
 상기 제 1 도전체 및 상기 제 2 도전체는 상기 용량 소자의 한쪽 전극으로서의 기능을 가지고,
 상기 제 1 전극은 상기 용량 소자의 다른 쪽 전극으로서의 기능을 가지고,
 상기 제 2 트랜지스터는,
 상기 제 2 절연체 위에 접하고 채널 형성 영역을 포함하는 산화물 반도체, 및
 상기 채널 형성 영역의 상방에 중첩되는 제 3 도전체를 포함하고,
 상기 제 3 도전체는 상기 제 2 트랜지스터의 게이트로서의 기능을 가지고, 그리고 상기 용량 소자의 한쪽 전극과 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 용량 소자의 다른 쪽 전극과 전기적으로 접속되고,
 상기 용량 소자 위의 격벽을 포함하고,
 상기 발광 소자는 상기 격벽 위에 위치하는 발광층을 포함하고,
 상기 제 3 절연체 위에, 그리고 상기 제 2 도전체 아래에 배치된 제 4 절연체를 포함하고,
 상기 제 1 도전체, 상기 제 1 전극, 및 상기 제 2 도전체가 서로 중첩되는 영역에서, 상기 제 4 절연체는 일부가 제거된 형상을 가지는, 표시 장치.

청구항 3

동일 기판 위에 회로부와 화소부를 포함하는 표시 장치로서,
 상기 회로부는 산화물 반도체를 포함하는 제 1 트랜지스터를 포함하고,
 상기 화소부는 제 2 트랜지스터, 용량 소자, 및 발광 소자를 포함하는 화소를 포함하고,
 상기 용량 소자는,
 기판 위의 제 1 도전체,
 상기 제 1 도전체 위의 제 1 절연체,
 상기 제 1 절연체 위의 제 2 절연체,
 상기 제 2 절연체 위에 접하는 제 1 전극,
 상기 제 1 전극 위의 제 3 절연체, 및
 상기 제 3 절연체 위의 제 2 도전체를 포함하고,
 상기 제 1 도전체 및 상기 제 2 도전체는 상기 용량 소자의 한쪽 전극으로서의 기능을 가지고,
 상기 제 1 전극은 상기 용량 소자의 다른 쪽 전극으로서의 기능을 가지고,
 상기 제 2 트랜지스터는,
 상기 제 2 절연체 위에 접하고 채널 형성 영역을 포함하는 산화물 반도체, 및
 상기 채널 형성 영역의 상방에 중첩되는 제 3 도전체를 포함하고,
 상기 제 3 도전체는 상기 제 2 트랜지스터의 게이트로서의 기능을 가지고, 그리고 상기 용량 소자의 한쪽 전극과 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 용량 소자의 다른 쪽 전극과 전기적으로 접속되고,

상기 용량 소자 위의 격벽을 포함하고,

상기 발광 소자는 상기 격벽 위에 위치하는 발광층을 포함하고,

상기 제 3 절연체 위에, 그리고 상기 제 2 도전체 아래에 배치된 제 4 절연체를 포함하고,

상기 제 2 도전체는 상기 제 4 절연체의 상면과 접하는 제 1 영역, 및 제 3 절연체의 상면과 접하고, 그리고 상기 제 1 도전체 및 상기 제 1 전극과 중첩되는 제 2 영역을 포함하는, 표시 장치.

청구항 4

실리콘을 포함하는 제 1 채널 형성 영역을 포함하는 제 1 트랜지스터, 산화물 반도체를 포함하는 제 2 채널 형성 영역을 포함하는 제 2 트랜지스터, 및 용량 소자를 포함하는 반도체 장치로서,

상기 제 1 채널 형성 영역 위에 위치하고, 그리고 상기 제 1 트랜지스터의 게이트 전극으로서 기능하는 영역을 포함하는 제 1 도전층,

상기 제 1 도전층의 상방에 위치하는 제 1 절연층,

상기 제 1 절연층의 상방에 위치하고, 그리고 상기 제 2 채널 형성 영역과, 상기 제 2 채널 형성 영역을 사이에 두는 제 1 영역 및 제 2 영역을 포함하는 산화물 반도체층,

상기 제 2 채널 형성 영역의 상방에 위치하고, 그리고 상기 제 2 트랜지스터의 게이트 전극으로서 기능하는 영역을 포함하는 제 2 도전층,

상기 제 1 영역의 상면과 접하는 영역을 포함하는 제 3 도전층,

상기 제 3 도전층의 상방에 위치하고, 그리고 상기 제 3 도전층과 중첩되는 영역을 포함하는 제 4 도전층,

상기 제 2 영역과 접하는 영역을 포함하고, 그리고 상기 제 1 트랜지스터의 소스 영역 및 드레인 영역 중 하나와 전기적으로 접속된 제 5 도전층,

상기 제 4 도전층과 접하는 영역을 포함하는 제 6 도전층, 및

상기 제 5 도전층의 측면과 접하는 영역, 및 상기 제 6 도전층의 측면과 접하는 영역을 포함하는 제 2 절연층을 포함하고,

상기 제 3 도전층은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 하나로서 기능하는 영역, 및 상기 용량 소자의 한쪽 전극으로서 기능하는 영역을 포함하고,

상기 제 4 도전층은 상기 용량 소자의 다른 쪽 전극으로서 기능하는 영역을 포함하고,

상기 제 3 도전층은 상기 제 1 도전층과 전기적으로 접속되는, 반도체 장치.

청구항 5

실리콘을 포함하는 제 1 채널 형성 영역을 포함하는 제 1 트랜지스터, 산화물 반도체를 포함하는 제 2 채널 형성 영역을 포함하는 제 2 트랜지스터, 및 용량 소자를 포함하는 반도체 장치로서,

상기 제 1 채널 형성 영역 위에 위치하고, 그리고 상기 제 1 트랜지스터의 게이트 전극으로서 기능하는 영역을 포함하는 제 1 도전층,

상기 제 1 도전층의 상방에 위치하는 제 1 절연층,

상기 제 1 절연층의 상방에 위치하고, 그리고 상기 제 2 채널 형성 영역과, 상기 제 2 채널 형성 영역을 사이에 두는 제 1 영역 및 제 2 영역을 포함하는 산화물 반도체층,

상기 제 2 채널 형성 영역의 상방에 위치하고, 그리고 상기 제 2 트랜지스터의 게이트 전극으로서 기능하는 영역을 포함하는 제 2 도전층,

상기 제 1 영역의 상면과 접하는 영역을 포함하는 제 3 도전층,

상기 제 3 도전층의 상방에 위치하고, 그리고 상기 제 3 도전층과 중첩되는 영역을 포함하는 제 4 도전층,

상기 제 2 영역과 접하는 영역을 포함하고, 그리고 상기 제 1 트랜지스터의 소스 영역 및 드레인 영역 중 하나

와 전기적으로 접속된 제 5 도전층,

상기 제 4 도전층과 접하는 영역을 포함하는 제 6 도전층,

상기 제 5 도전층의 측면과 접하는 영역, 및 상기 제 6 도전층의 측면과 접하는 영역을 포함하는 제 2 절연층,

상기 제 2 도전층과의 중첩 부분을 가지고, 그리고 상기 제 2 도전층과 전기적으로 접속된 제 7 도전층,

상기 제 6 도전층과 접하는 영역을 포함하는 제 8 도전층, 및

상기 제 7 도전층의 측면과 접하는 영역, 및 상기 제 8 도전층의 측면과 접하는 영역을 포함하는 제 3 절연층을 포함하고,

상기 제 3 도전층은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 하나로서 기능하는 영역, 및 상기 용량 소자의 한쪽 전극으로서 기능하는 영역을 포함하고,

상기 제 4 도전층은 상기 용량 소자의 다른 쪽 전극으로서 기능하는 영역을 포함하고,

상기 제 3 도전층은 상기 제 1 도전층과 전기적으로 접속되는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 예를 들어, 트랜지스터 및 반도체 장치에 관한 것이다. 또는, 본 발명은 예를 들어 트랜지스터 및 반도체 장치의 제작 방법에 관한 것이다. 또는, 본 발명은 예를 들어, 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 촬상 장치, 프로세서, 전자 기기에 관한 것이다. 또는, 표시 장치, 액정 표시 장치, 발광 장치, 기억 장치, 촬상 장치, 전자 기기의 제작 방법에 관한 것이다. 또는, 표시 장치, 액정 표시 장치, 발광 장치, 기억 장치, 촬상 장치, 전자 기기의 구동 방법에 관한 것이다.

[0002] 다만, 본 발명의 일 형태는 상술한 기술 분야에 한정되지 않는다. 본 명세서 등에 개시(開示)된 발명의 일 형태의 기술 분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

[0003] 또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용하여 기능할 수 있는 모든 장치를 가리킨다. 표시 장치, 발광 장치, 조명 장치, 기억 장치, 촬상 장치, 전기 광학 장치, 반도체 회로, 및 전자 기기는 반도체 장치를 가지는 경우가 있다.

배경 기술

[0004] 절연 표면을 가지는 기판 위의 반도체를 이용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로나 표시 장치와 같은 반도체 장치에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체로서 실리콘이 알려져 있다.

[0005] 트랜지스터의 반도체로서 사용되는 실리콘은 용도에 따라 비정질 실리콘과 다결정 실리콘으로 구분하여 사용된다. 예를 들어, 대형 표시 장치를 구성하는 트랜지스터에 적용하는 경우, 대면적 기판으로의 성막 기술이 확립되어 있는 비정질 실리콘을 사용하는 것이 적합하다. 한편, 구동 회로와 화소 회로가 같은 기판 위에 형성되는 고기능 표시 장치를 구성하는 트랜지스터에 적용하는 경우에는 높은 전계 효과 이동도를 가지는 트랜지스터를 제작할 수 있는 다결정 실리콘을 사용하는 것이 적합하다. 다결정 실리콘의 형성 방법으로는 비정질 실리콘의 고온 가열 처리 또는 레이저 광 처리에 의하여 형성하는 방법이 알려져 있다.

[0006] 근년에 들어, 산화물 반도체(대표적으로는 In-Ga-Zn 산화물)를 사용한 트랜지스터의 개발이 활발하다.

[0007] 산화물 반도체의 역사는 오래되며 1988년에는 결정 In-Ga-Zn 산화물을 반도체 소자에 이용하는 것이 개시되었다(특허문헌 1 참조). 또한, 1995년에 산화물 반도체를 사용한 트랜지스터가 발명되어 그 전기 특성이 개시되었다(특허문헌 2 참조).

[0008] 산화물 반도체를 사용한 트랜지스터는 비정질 실리콘을 사용한 트랜지스터나 다결정 실리콘을 사용한 트랜지스터와는 다른 특징을 가진다. 예를 들어, 산화물 반도체를 사용한 트랜지스터를 적용한 표시 장치는 소비 전력이 낮은 것이 알려져 있다. 산화물 반도체는 스퍼터링법 등에 의하여 성막할 수 있기 때문에 대형 표시 장치를 구성하는 트랜지스터에 사용될 수 있다. 또한, 산화물 반도체를 사용한 트랜지스터는 높은 전계 효과 이동도를

가지기 때문에 구동 회로와 화소 회로가 같은 기판 위에 형성되는 고기능 표시 장치를 구현할 수 있다. 또한, 비정질 실리콘을 사용한 트랜지스터의 생산 설비의 일부를 개량하여 이용할 수 있기 때문에, 설비 투자를 줄일 수 있다는 장점도 있다.

[0009] 예를 들어, 표시 장치 등 반도체 장치를 양산하기 위해서는 산화물 반도체를 사용한 트랜지스터의 전기 특성이 안정적인 것이 요구된다.

[0010] 산화물 반도체를 사용한 트랜지스터에 있어서, 산화물 반도체 내의 산소 결손의 제어가 매우 중요하다. 안정적인 트랜지스터 특성을 얻기 위해서는 산소 결손을 가능한 한 적게 하는 것이 바람직하며, 그를 위한 기술로서, 산화물 반도체에 산소를 주입하는 방법이 있다(특허문헌 3 참조).

선행기술문헌

특허문헌

[0011] (특허문헌 0001) 일본 특개소(昭)63-239117호 공보

(특허문헌 0002) 일본 특표평11-505377호 공보

(특허문헌 0003) 일본 특개2012-238880호 공보

발명의 내용

해결하려는 과제

[0012] 안정적인 전기 특성을 가지는 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 노멀리 오프의 전기 특성을 가지는 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 서브스레숧드(subthreshold) 스윙앳이 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 단채널 효과가 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 오프 상태 시의 누설 전류가 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 전기 특성이 우수한 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 신뢰성이 높은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 높은 주파수 특성을 가지는 트랜지스터를 제공하는 것을 과제 중 하나로 한다.

[0013] 또는, 상기 트랜지스터를 가지는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 상기 반도체 장치를 가지는 모듈을 제공하는 것을 과제 중 하나로 한다. 또는, 상기 반도체 장치 또는 상기 모듈을 가지는 전자 기기를 제공하는 것을 과제 중 하나로 한다. 또는, 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 신규 모듈을 제공하는 것을 과제 중 하나로 한다. 또는, 신규 전자 기기를 제공하는 것을 과제 중 하나로 한다.

[0014] 또한, 상술한 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 상술한 모든 과제를 해결할 필요는 없다. 또한, 상술한 것 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 상술한 것 외의 과제가 추출될 수 있다.

과제의 해결 수단

[0015] 상술한 바와 같이 산화물 반도체 내의 산소 결손을 제어하는 것이 매우 중요하다. 안정적인 트랜지스터 특성을 얻기 위해서는 산소 결손을 가능한 한 적게 하는 것이 바람직하다. 또한, 보상한 산소 결손이 트랜지스터 제작 공정에서의 대미지 등으로 인하여 다시 산소 결손이 되지 않도록 안정적인 결함을 형성하는 것도 중요하다.

[0016] 그러므로, 본 발명의 일 형태는 반도체의 채널 형성 영역에 불소를 첨가함으로써 반도체 내의 산소 결손을 보상하고, 안정적인 결함을 형성하는 불소에 의하여 산소 결손을 보상함으로써 안정적이며 양호한 전기 특성을 가지는 트랜지스터를 제공한다.

[0017] 본 발명의 일 형태는 게이트 전극, 게이트 절연체, 및 산화물 반도체를 포함하고, 산화물 반도체는 채널 형성 영역에 불소를 함유하는, 반도체 장치이다.

[0018] 본 발명의 일 형태는 상기 채널 형성 영역 내의 불소의 농도가 1×10^{20} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하인,

반도체 장치이다.

- [0019] 본 발명의 일 형태는 상기 산화물 반도체는 채널 형성 영역보다 채널 형성 영역 이외의 영역 내의 불소의 농도가 낮은, 반도체 장치이다.
- [0020] 본 발명의 일 형태는 상기 산화물 반도체는 인듐, 아연, 및 원소 M(원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석) 중에서 선택된 1종류 이상을 함유하는, 반도체 장치이다.
- [0021] 본 발명의 일 형태는 상기 반도체 장치 및 프린트 기관을 포함하는 모듈이다.
- [0022] 본 발명의 일 형태는 상기 반도체 장치 또는 상기 모듈과, 스피커, 조작 키, 또는 배터리를 포함하는 전자 기기이다.
- [0023] 본 발명의 일 형태는 기관 위에 산화물 반도체를 형성하고, 산화물 반도체와 접촉되는 소스 전극 및 드레인 전극을 형성하고, 산화물 반도체에 불소를 첨가하고, 산화물 반도체, 소스 전극, 및 드레인 전극 위에 절연체를 형성하고, 절연체 위에 게이트 전극을 형성하는, 반도체 장치의 제작 방법이다.
- [0024] 또한, 본 발명의 일 형태는 기관 위에 산화물 반도체를 형성하고, 산화물 반도체에 불소를 첨가하고, 산화물 반도체와 접촉되는 소스 전극 및 드레인 전극을 형성하고, 산화물 반도체, 소스 전극, 및 드레인 전극 위에 절연체를 형성하고, 절연체 위에 게이트 전극을 형성하는, 반도체 장치의 제작 방법이다.
- [0025] 또한, 본 발명의 일 형태는 기관 위에 산화물 반도체를 형성하고, 산화물 반도체와 접촉되는 소스 전극 및 드레인 전극을 형성하고, 산화물 반도체, 소스 전극, 및 드레인 전극 위에 절연체를 형성하고, 절연체를 통하여 산화물 반도체에 불소를 첨가하고, 절연체 위에 게이트 전극을 형성하는, 반도체 장치의 제작 방법이다.
- [0026] 또한, 본 발명의 일 형태는 기관 위에 게이트 전극을 형성하고, 게이트 전극 위에 절연체를 형성하고, 절연체를 개재(介在)하여 게이트 전극 위에 산화물 반도체를 형성하고, 산화물 반도체에 불소를 첨가하고, 산화물 반도체와 접촉되는 소스 전극 및 드레인 전극을 형성하는, 반도체 장치의 제작 방법이다.
- [0027] 또한, 본 발명의 일 형태는 기관 위에 게이트 전극을 형성하고, 게이트 전극 위에 절연체를 형성하고, 절연체를 개재하여 게이트 전극 위에 산화물 반도체를 형성하고, 산화물 반도체와 접촉되는 소스 전극 및 드레인 전극을 형성하고, 산화물 반도체에 불소를 첨가하는, 반도체 장치의 제작 방법이다.
- [0028] 본 발명의 일 형태는 상기 불소의 첨가가 이온 주입법에 의하여 수행되는, 반도체 장치의 제작 방법이다.
- [0029] 본 발명의 일 형태는 상기 산화물 반도체는 인듐, 아연, 및 원소 M(원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석) 중에서 선택된 1종류 이상을 함유하는, 반도체 장치의 제작 방법이다.

발명의 효과

- [0030] 안정적인 전기 특성을 가지는 트랜지스터를 제공할 수 있다. 또는, 노멀리 오프의 전기 특성을 가지는 트랜지스터를 제공할 수 있다. 또는, 서브스레숄드 스윙값이 작은 트랜지스터를 제공할 수 있다. 또는, 단채널 효과가 작은 트랜지스터를 제공할 수 있다. 또는, 오프 상태 시의 누설 전류가 작은 트랜지스터를 제공할 수 있다. 또는, 전기 특성이 우수한 트랜지스터를 제공할 수 있다. 또는, 신뢰성이 높은 트랜지스터를 제공할 수 있다. 또는, 높은 주파수 특성을 가지는 트랜지스터를 제공할 수 있다.
- [0031] 또는, 상기 트랜지스터를 가지는 반도체 장치를 제공할 수 있다. 또는, 상기 반도체 장치를 가지는 모듈을 제공할 수 있다. 또는, 상기 반도체 장치 또는 상기 모듈을 가지는 전자 기기를 제공할 수 있다. 또는, 신규 반도체 장치를 제공할 수 있다. 또는, 신규 모듈을 제공할 수 있다. 또는, 신규 전자 기기를 제공할 수 있다.
- [0032] 또한, 상술한 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 상술한 모든 효과를 가질 필요는 없다. 또한, 상술한 것 외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 상술한 것 외의 효과가 추출될 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 일 형태에 따른 트랜지스터를 설명하기 위한 상면도 및 단면도.
- 도 2는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 3은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.

- 도 4는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 5는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 6은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 7은 본 발명의 일 형태에 따른 트랜지스터를 설명하기 위한 단면도.
- 도 8은 본 발명의 일 형태에 따른 트랜지스터를 설명하기 위한 단면도.
- 도 9는 본 발명의 일 형태에 따른 밴드 다이어그램.
- 도 10은 CAAC-OS의 단면에서의 Cs 보정 고분해능 TEM 이미지 및 CAAC-OS의 단면 모식도.
- 도 11은 CAAC-OS의 평면에서의 Cs 보정 고분해능 TEM 이미지.
- 도 12는 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조 해석을 설명하기 위한 그래프.
- 도 13은 CAAC-OS의 전자 회절 패턴을 나타낸 도면.
- 도 14는 전자 조사에 의한 In-Ga-Zn 산화물의 결정부의 변화를 나타낸 그래프.
- 도 15는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 16은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 17은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 18은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 19는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 20은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 21은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법을 설명하기 위한 상면도 및 단면도.
- 도 22는 본 발명의 일 형태에 따른 트랜지스터를 설명하기 위한 단면도.
- 도 23은 본 발명의 일 형태에 따른 트랜지스터를 설명하기 위한 단면도.
- 도 24는 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도.
- 도 25는 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 26은 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 27은 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 28은 본 발명의 일 형태에 따른 기억 장치를 도시한 회로도.
- 도 29는 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 30은 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 31은 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 32는 본 발명의 일 형태에 따른 반도체 장치를 도시한 평면도.
- 도 33은 본 발명의 일 형태에 따른 반도체 장치를 도시한 블록 다이어그램.
- 도 34는 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 35는 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 36은 본 발명의 일 형태에 따른 반도체 장치를 도시한 사시도 및 단면도.
- 도 37은 본 발명의 일 형태에 따른 반도체 장치를 도시한 블록 다이어그램.
- 도 38은 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도.
- 도 39는 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도, 상면도, 및 단면도.

도 40은 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도 및 단면도.

도 41은 본 발명의 일 형태에 따른 전자 기기를 도시한 사시도.

도 42는 불소의 깊이 방향의 첨가량을 설명하기 위한 도면.

도 43은 시료의 시트 저항값을 나타낸 그래프.

도 44는 시료의 ESR 결과를 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명의 실시형태에 대하여 도면을 참조하여 자세히 설명하기로 한다. 다만, 본 발명은 이하의 설명에 한정되지 않고 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것이 아니다. 또한, 도면을 참조하여 발명의 구성을 설명함에 있어서 동일한 것을 가리키는 부호는 다른 도면들간에서도 공통적으로 사용된다. 또한, 동일한 것을 가리킬 때에는 해치 패턴을 동일하게 하고 특별히 부호를 붙이지 않는 경우가 있다.
- [0035] 또한, 도면에 있어서 크기, 막(층)의 두께, 또는 영역은 명료화를 위하여 과장되어 있을 수 있다.
- [0036] 또한, 본 명세서 등에서, '막'이라는 표기와 '층'이라는 표기는 서로 바뀔 수 있다.
- [0037] 또한, 전압은 임의의 전위와 기준 전위(예를 들어, 접지 전위(GND) 또는 소스 전위) 사이의 전위차를 가리키는 경우가 많다. 따라서, 전압을 전위라고 바꿔 말할 수 있다. 일반적으로 전위(전압)는 상대적인 것이며, 기준 전위에 대하여 상대적인 크기에 의하여 결정된다. 따라서, '접지 전위' 등으로 기재되어 있더라도 전위가 0V가 아닐 수도 있다. 예를 들어, 회로에서 가장 낮은 전위가 '접지 전위'가 되는 경우도 있다. 또는, 회로에서 중간쯤인 전위가 '접지 전위'가 되는 경우도 있다. 이 경우에는 그 전위를 기준으로 양의 전위와 음의 전위가 규정된다.
- [0038] 또한 '제 1', '제 2'라고 부기되는 서수사는 편의상 사용되는 것에 불과하며 공정 또는 적층의 순서를 나타내는 것이 아니다. 그러므로, 예를 들어 '제 1'을 '제 2'로 또는 '제 3' 등으로 적절히 바꿔 설명할 수 있다. 또한, 본 명세서 등에 기재된 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않을 수 있다.
- [0039] 또한, '반도체'라고 표기되더라도 예를 들어, 도전성이 충분히 낮은 경우에는 '절연체'로서의 특성을 가지는 경우가 있다. 또한, '반도체'와 '절연체'는 그 경계가 애매하며 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 '반도체'는 '절연체'라고 바꿔 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 '절연체'는 '반도체'라고 바꿔 말할 수 있는 경우가 있다.
- [0040] 또한, '반도체'라고 표기되더라도 예를 들어, 도전성이 충분히 높은 경우에는 '도전체'로서의 특성을 가지는 경우가 있다. 또한, '반도체'와 '도전체'는 그 경계가 애매하며 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 '반도체'는 '도전체'라고 바꿔 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 '도전체'는 '반도체'라고 바꿔 말할 수 있는 경우가 있다.
- [0041] 또한, 반도체에서의 불순물이란, 예를 들어 반도체를 구성하는 주성분 외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만의 원소는 불순물이다. 불순물이 함유됨으로써 예를 들어, 반도체에서 DOS(Density of State)의 형성이나 캐리어 이동도의 저하나 결정성의 저하 등이 일어날 수 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어, 1족 원소, 2족 원소, 14족 원소, 15족 원소, 주성분 외의 전이 금속(transition metal) 등이 있으며 특히 예를 들어, 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 산화물 반도체의 경우, 예를 들어 수소 등 불순물이 혼입됨으로써 산소 결손이 형성되는 경우가 있다. 또한, 반도체가 실리콘인 경우, 반도체의 특성을 변화시키는 불순물로서 예를 들어, 산소, 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 15족 원소 등이 있다.
- [0042] 또한 채널 길이란, 예를 들어 트랜지스터의 상면도에서 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 또한, 한 트랜지스터의 채널 길이는 모든 영역에서 같은 값이 되지 않을 수 있다. 즉, 한 트랜지스터의 채널 길이는 한 값으로 정해지지 않을 수 있다. 그러므로, 본 명세서에서 채널 길이란, 채널이 형성되는 영역에서의 어느 한 값, 최대값, 최소값,

또는 평균값으로 한다.

- [0043] 채널 폭이란, 예를 들어 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역 또는 채널이 형성되는 영역에서 소스와 드레인이 마주보는 부분의 길이를 말한다. 또한, 한 트랜지스터의 채널 폭은 모든 영역에서 같은 값이 되지 않을 수 있다. 즉, 한 트랜지스터의 채널 폭은 한 값으로 정해지지 않을 수 있다. 그러므로 본 명세서에서 채널 폭이란, 채널이 형성되는 영역에서의 어느 한 값, 최대값, 최소값, 또는 평균값으로 한다.
- [0044] 또한, 트랜지스터의 구조에 따라서는 실제로 채널이 형성되는 영역에서의 채널 폭(이하 실효적인 채널 폭이라고 함)과, 트랜지스터의 상면도에서의 채널 폭(이하 외관상 채널 폭이라고 함)이 다른 경우가 있다. 예를 들어, 입체적인 구조를 가지는 트랜지스터에서는 실효적인 채널 폭이 트랜지스터의 상면도에서의 외관상 채널 폭보다 크게 되어, 이로 인한 영향을 무시할 수 없는 경우가 있다. 예를 들어, 미세하고 입체적인 구조를 가지는 트랜지스터에서는 반도체 측면에 형성되는 채널 형성 영역의 비율이 크게 되는 경우가 있다. 이 경우에는 상면도에서의 외관상 채널 폭보다 실제로 채널이 형성되는 실효적인 채널 폭이 크게 된다.
- [0045] 그런데, 입체적인 구조를 가지는 트랜지스터에서는 실효적인 채널 폭을 실측하여 어렵잡기 어려울 수 있다. 예를 들어, 설계 값으로부터 실효적인 채널 폭을 어렵잡기 위해서는 가정으로서 반도체의 형상을 미리 알아야 한다. 따라서 반도체의 형상을 정확하게 알 수 없는 경우에는 실효적인 채널 폭을 정확하게 측정하기 어렵다.
- [0046] 그러므로, 본 명세서에서는 트랜지스터의 상면도에서 반도체와 게이트 전극이 서로 중첩되는 영역에서 소스와 드레인이 마주보는 부분의 길이를 가리키는 외관상 채널 폭을 'Surrounded Channel Width(SCW)'라고 부르는 경우가 있다. 또한, 본 명세서에서 단순히 채널 폭이라고 기재하는 경우에는 SCW 또는 외관상 채널 폭을 가리키는 경우가 있다. 또는, 본 명세서에서 단순히 채널 폭이라고 기재하는 경우에는 실효적인 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 실효적인 채널 폭, 외관상 채널 폭, SCW 등은 단면 TEM 이미지 등을 취득하여 이 이미지를 해석하는 등에 의하여 값을 결정할 수 있다.
- [0047] 또한, 트랜지스터의 전계 효과 이동도나 채널 폭당 전류값 등을 계산으로 구할 때, SCW를 사용하여 계산하는 경우가 있다. 이 경우, 실효적인 채널 폭을 사용하여 계산할 때와는 상이한 값이 될 수 있다.
- [0048] 또한, 본 명세서에서, 'A가 B보다 돌출된 형상을 가진다'라고 기재하는 경우, 상면도 또는 단면도에서 A의 적어도 하나의 단부가 B의 적어도 하나의 단부보다 외측에 위치하는 형상을 가지는 것을 뜻하는 경우가 있다. 따라서, 'A가 B보다 돌출된 형상을 가진다'라고 기재하는 경우, 예를 들어 상면도에 있어서 A의 하나의 단부가 B의 하나의 단부보다 외측에 위치하는 형상을 가진다고 바꿔 읽을 수 있다.
- [0049] 본 명세서에서 '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '실질적으로 평행'이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다. 또한, '실질적으로 수직'이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.
- [0050] 또한, 본 명세서에 있어서, 삼방정 및 능면체정(rhombohedral crystal system)은 육방정계에 포함된다.
- [0051] 또한, 명세서에서 '반도체'라고 기재된 경우에는 '산화물 반도체'라고 바꿔 읽을 수 있다. 반도체로서는 그 이외에도 실리콘, 저마늄 등의 14족 반도체, 탄소화 실리콘, 저마늄 실리콘사이드, 비소화 갈륨, 인화 인듐, 셀레늄화 아연, 황화 카드뮴 등의 화합물 반도체나 유기 반도체를 사용할 수 있다.
- [0052] (실시형태 1)
- [0053] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터의 일례에 대하여 설명한다.
- [0054] <트랜지스터 1>
- [0055] 도 1은 본 발명의 일 형태에 따른 트랜지스터를 도시한 것이다. 도 1의 (A)는 트랜지스터(100)의 상면도, 도 1의 (B)는 도 1의 (A) 중 일점쇄선 A1-A2 및 일점쇄선 A3-A4에 대응한 단면도이다. 트랜지스터(100)는 기판(400), 도전체(413), 절연체(402), 반도체(406a), 반도체(406b), 반도체(406c), 도전체(416a), 도전체(416b), 절연체(412), 및 도전체(404)를 포함한다.
- [0056] 트랜지스터(100)에 포함되는 반도체(406a), 반도체(406b), 또는 반도체(406c)는 불소를 함유할 수 있다. 불소는 이들 모두에 함유되어도 좋다. 또한, 이들 중 하나에만 함유되어도 좋고, 2개에만 함유되어도 좋다.

- [0057] 본 실시형태에 제시되는 바와 같이, 트랜지스터에 포함되는 반도체가 복수의 층으로 형성되는 경우, 채널 형성 영역을 가지는 반도체에 불소가 함유되는 것이 바람직하다. 예를 들어, 반도체(406b)가 채널 형성 영역을 가지는 경우, 반도체(406b)에 불소를 함유하는 것이 바람직하다.
- [0058] 또한, 도전체(404)는 트랜지스터(100)의 제 1 게이트 전극(프런트 게이트 전극이라고도 함)으로서의 기능을 가진다. 또한, 도전체(413)는 트랜지스터(100)의 제 2 게이트 전극(백 게이트 전극이라고도 함)으로서의 기능을 가진다. 또한, 도전체(416a) 및 도전체(416b)는 트랜지스터(100)의 소스 전극 및 드레인 전극으로서의 기능을 가진다. 또한, 절연체(412)는 게이트 절연체로서의 기능을 가진다.
- [0059] 또한, 본 실시형태에서 트랜지스터(100)는 백 게이트를 가지는 톱 게이트형 트랜지스터로 하여 제시하였지만, 이에 한정되지 않는다. 예를 들어, 백 게이트가 없는 구성으로 하여도 좋다. 또한, 보텀 게이트 구조로 하여도 좋다. 이 경우, 도전체(413)는 프런트 게이트로서 기능하고, 도전체(404)는 백 게이트로서 기능한다. 또한, 도전체(404)가 없는 구성으로 하여도 좋다.
- [0060] 도 1에 도시된 트랜지스터(100)의 제작 방법에 대하여 도 2~도 6을 참조하여 설명한다.
- [0061] 도 2의 (A), 도 3의 (A), 도 4의 (A), 도 5의 (A), 및 도 6의 (A)는 본 발명의 일 형태에 따른 트랜지스터(100)의 제작 방법을 설명하기 위한 상면도이다. 각 상면도에는 일점쇄선 A1-A2 및 일점쇄선 A3-A4가 도시되고, 이에 대응한 단면도를 도 2의 (B), 도 3의 (B), 도 4의 (B), 도 5의 (B), 및 도 6의 (B)에 도시하였다.
- [0062] 우선, 기판(400)을 준비한다.
- [0063] 기판(400)으로서, 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서, 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등을 들 수 있다. 또한, 반도체 기판으로서, 예를 들어 실리콘, 저마늄 등으로 이루어진 단체(單體) 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨 등으로 이루어진 화합물 반도체 기판 등이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서, 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는, 금속의 질화물을 가지는 기판, 금속의 산화물을 가지는 기판 등이 있다. 또한 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는, 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는, 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.
- [0064] 또한, 기판(400)으로서 가요성 기판을 사용하여도 좋다. 또한, 가요성 기판 위에 트랜지스터를 제공하는 방법으로서, 비가요성 기판 위에 트랜지스터를 제작한 후에 트랜지스터를 박리하고, 가요성 기판인 기판(400)으로 전치(轉置)하는 방법도 있다. 이 경우, 비가요성 기판과 트랜지스터 사이에 박리층을 제공하면 좋다. 또한, 기판(400)으로서 섬유를 포함하는 시트, 필름, 또는 박(箔) 등을 사용하여도 좋다. 또한, 기판(400)이 신축성을 가져도 좋다. 또한, 기판(400)은 접거나 잡아당기는 힘이 제거되면 원래의 형상으로 되돌아가는 성질을 가져도 좋다. 또는 원래의 형상으로 되돌아가지 않는 성질을 가져도 좋다. 기판(400)의 두께는 예를 들어, 5 μ m 이상 1000 μ m 이하, 바람직하게는 10 μ m 이상 700 μ m 이하, 더 바람직하게는 15 μ m 이상 500 μ m 이하로 한다. 기판(400)을 얇게 하면, 반도체 장치를 경량화할 수 있다. 또한, 기판(400)으로서 유리 등을 사용한 경우에도, 얇게 함으로써 신축성을 가지게 되거나, 접거나 잡아당기는 힘이 제거되면 원래의 형상으로 되돌아가는 성질을 가지게 되는 경우가 있다. 그러므로, 낙하 등으로 인하여 기판(400) 위의 반도체 장치에 가해지는 충격 등을 완화시킬 수 있다. 즉, 튼튼한 반도체 장치를 제공할 수 있다.
- [0065] 가요성 기판인 기판(400)으로서, 예를 들어 금속, 합금, 수지, 또는 유리, 또는 이들의 섬유 등을 사용할 수 있다. 가요성 기판인 기판(400)은 선 팽창률이 낮을수록 환경에 기인하는 변형이 억제되므로 바람직하다. 가요성 기판인 기판(400)은 예를 들어 선 팽창률이 1 $\times 10^{-3}$ /K 이하, 5 $\times 10^{-5}$ /K 이하, 또는 1 $\times 10^{-5}$ /K 이하인 재질로 하면 좋다. 수지로서는, 예를 들어 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 아크릴 등이 있다. 특히 아라미드는 선 팽창률이 낮기 때문에 가요성 기판인 기판(400)으로서 바람직하다.
- [0066] 다음에, 도전체를 성막한다. 도전체의 성막은 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 펄스 레이저 퇴적(PLD: Pulsed Laser

Deposition)법, 또는 원자층 퇴적(ALD: Atomic Layer Deposition)법 등을 이용하여 수행할 수 있다.

- [0067] 또한, CVD법은 플라즈마를 이용하는 플라즈마 CVD(PECVD: Plasma Enhanced CVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한, 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 나눌 수 있다.
- [0068] PECVD법에 의하여 비교적 낮은 온도로 고품질의 막을 얻을 수 있다. 또한, TCVD법은 플라즈마를 이용하지 않으므로 피처리물에 대한 플라즈마로 인한 대미지가 없는 성막 방법이다. 예를 들어, 반도체 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라즈마로부터 전하를 받음으로써 차지 업(charge up)하는 경우가 있다. 이 때, 축적된 전하로 인하여 반도체 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라즈마를 이용하지 않는 TCVD법의 경우, 상술한 바와 같은 플라즈마 대미지(plasma damage)가 생기지 않으므로, 반도체 장치의 수율을 높일 수 있다. 또한, TCVD법에서는, 성막 중의 플라즈마 대미지가 생기지 않으므로, 결함이 적은 막을 얻기 쉽다.
- [0069] 또한, ALD법도 피처리물에 대한 플라즈마 대미지를 저감할 수 있는 성막 방법이다. 또한, ALD법도 성막 중의 플라즈마 대미지가 생기지 않으므로 결함이 적은 막을 얻기 쉽다.
- [0070] CVD법 및 ALD법은 타겟 등으로부터 방출된 입자가 퇴적되는 성막 방법과는 달리, 피처리물 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서, 피처리물의 형상의 영향을 받기 어렵고, 양호한 단차 피복성을 가지는 성막 방법이다. 특히 ALD법은 뛰어난 단차 피복성 및 두께의 균일성을 가지기 때문에 애스펙트비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만, ALD법은 비교적 성막 속도가 느리기 때문에, 성막 속도가 빠른 CVD법 등 다른 성막 방법과 조합하여 사용하는 것이 바람직한 경우도 있다.
- [0071] CVD법 및 ALD법은 원료 가스의 유량비에 따라, 얻어지는 막의 조성을 제어할 수 있다. 예를 들어, CVD법 및 ALD법에서는, 원료 가스의 유량비를 조정함으로써 임의의 조성을 가지는 막을 형성할 수 있다. 또한, 예를 들어 CVD법 및 ALD법에서는, 원료 가스의 유량비를 변화시키면서 성막함으로써, 조성이 연속적으로 변화된 막을 형성할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우, 복수의 성막실을 사용하여 성막하는 경우에 비하여, 성막 시간을 반송이나 압력 조정에 걸리는 시간만큼 줄일 수 있다. 따라서, 반도체 장치의 생산성을 향상시킬 수 있는 경우가 있다.
- [0072] 다음에, 도전체 위에 레지스트 등을 형성하고, 이 레지스트를 이용하여 가공하여 도전체(413)를 형성한다. 또한, 단순히 '레지스트를 형성한다'라고 할 때는 레지스트 아래에 반사 방지층을 형성하는 경우도 포함된다.
- [0073] 레지스트는 대상물을 에칭 등에 의하여 가공한 후에 제거한다. 레지스트 제거에는 플라즈마 처리 또는/및 웨트 에칭을 이용한다. 또한, 플라즈마 처리에는 플라즈마 애싱을 이용하는 것이 바람직하다. 레지스트 등의 제거가 충분하지 않은 경우, 농도 0.001volume% 이상 1volume% 이하의 불화 수소산 또는/및 오존수 등에 의하여, 남은 레지스트 등을 제거하여도 좋다.
- [0074] 도전체(413)가 되는 도전체로서는, 예를 들어 붕소, 질소, 산소, 불소, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브데넘, 루테튬, 은, 인듐, 주석, 탄탈륨, 및 텅스텐 중 1종류 이상을 함유하는 도전체를 단층 또는 적층 구조로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 함유하는 도전체, 구리 및 타이타늄을 함유하는 도전체, 구리 및 망가니즈를 함유하는 도전체, 인듐, 주석, 및 산소를 함유하는 도전체, 타이타늄 및 질소를 함유하는 도전체 등을 사용하여도 좋다.
- [0075] 다음에 절연체(402)를 성막한다(도 2 참조). 절연체(402)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다.
- [0076] 절연체(402)로서는 예를 들어 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈륨을 포함하는 절연체를 단층 또는 적층 구조로 사용하면 좋다. 예를 들어, 절연체(402)로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈륨을 사용하면 좋다.
- [0077] 또한, 절연체(402)는 과잉 산소 또는/및 수소 트랩을 가지는 절연체인 것이 바람직하다.
- [0078] 과잉 산소를 가지는 절연체는 TDS(Thermal Desorption Spectroscopy) 분석에서 막의 표면 온도 100℃ 이상 700

℃ 이하 또는 100℃ 이상 500℃ 이하의 범위에서 1×10^{18} atoms/cm³ 이상, 1×10^{19} atoms/cm³ 이상, 또는 1×10^{20} atoms/cm³ 이상의 산소(산소 원자수 환산)를 방출하는 경우도 있다.

- [0079] 이하에서, TDS 분석을 이용한 산소의 방출량의 측정 방법에 대하여 설명한다.
- [0080] 측정 시료를 TDS 분석하였을 때의 가스의 총 방출량은 방출 가스의 이온 강도의 적분 값에 비례한다. 그리고, 표준 시료와의 비교에 의하여 가스의 총 방출량을 계산할 수 있다.
- [0081] 예를 들어, 표준 시료인 소정의 밀도의 수소를 함유하는 실리콘 기관의 TDS 분석 결과, 및 측정 시료의 TDS 분석 결과로부터, 측정 시료의 산소 분자 방출량(N_{O_2})을 아래의 식으로 구할 수 있다. 여기서, TDS 분석에 의하여 얻어지는 질량 전하비 32로 검출되는 가스는 모두 산소 분자에서 유래하는 것으로 가정한다. CH_3OH 의 질량 전하비는 32이지만 존재할 가능성이 낮으므로 여기서는 고려하지 않는다. 또한, 산소 원자의 동위체인 질량수 17의 산소 원자 및 질량수 18의 산소 원자를 포함하는 산소 분자에 대해서도 자연계에서의 존재 비율이 매우 미미하기 때문에 고려하지 않는다.
- [0082]
$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha$$
- [0083] N_{H_2} 는 표준 시료로부터 이탈된 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는 표준 시료를 TDS 분석하였을 때의 이온 강도의 적분 값이다. 여기서, 표준 시료의 기준값을 N_{H_2}/S_{H_2} 로 한다. S_{O_2} 는 측정 시료를 TDS 분석하였을 때의 이온 강도의 적분 값이다. α 는 TDS 분석에서 이온 강도에 영향을 미치는 계수이다. 위의 식에 관한 자세한 사항에 대해서는 일본국 특개평6-275697호 공보를 참조하기 바란다. 또한, 상기 산소의 방출량은 TDS 분석 장치 EMD-WA1000S/W(전자 과학 주식회사 제조)를 이용하고 표준 시료로서 일정량의 수소 원자를 함유하는 실리콘 기관을 사용하여 측정한다.
- [0084] 또한, TDS 분석에서 산소의 일부는 산소 원자로 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온 화율로부터 산출할 수 있다. 또한, 상술한 α 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량도 어렵잡을 수 있다.
- [0085] 또한, N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산한 방출량은 산소 분자의 방출량의 2배가 된다.
- [0086] 또는, 가열 처리에 의하여 산소를 방출하는 절연체는 과산화 라디칼을 포함하는 경우도 있다. 구체적으로는 과산화 라디칼에 기인하는 스핀 밀도가 5×10^{17} spins/cm³ 이상인 경우를 말한다. 또한, 과산화 라디칼을 포함하는 절연체는 전자 스핀 공명법(ESR:Electron Spin Resonance)에서 g 값이 2.01 근방인 비대칭 신호를 가질 수도 있다.
- [0087] 또한, 절연체(402)는 기관(400) 등으로부터 불순물이 확산되는 것을 방지하는 기능을 가져도 좋다.
- [0088] 다음에, 반도체(406a)가 되는 반도체를 성막한다. 반도체(406a)가 되는 반도체는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다.
- [0089] 다음에, 산소를 첨가함으로써, 반도체(406a)가 되는 반도체에 과잉 산소를 함유시켜도 좋다. 산소의 첨가는, 예를 들어, 이온 주입법에 의하여 가속 전압을 2kV 이상 10kV 이하로 하고, 도즈량을 5×10^{14} ions/cm² 이상 1×10^{17} ions/cm² 이하로 하여 수행하면 좋다.
- [0090] 다음에, 반도체(406a)가 되는 반도체에 불소를 첨가하여도 좋다. 또한, 반도체(406a)가 되는 반도체에 대한 산소 첨가와 반도체(406a)가 되는 반도체에 대한 불소의 첨가는 어느 쪽을 먼저 수행하여도 좋다.
- [0091] 불소의 첨가는 예를 들어, 이온 주입법에 의하여 가속 전압을 1kV 이상 200kV 이하, 바람직하게는 5kV 이상 100kV 이하로 하고, 도즈량을 5×10^{19} ions/cm³ 이상 5×10^{22} ions/cm³ 이하, 바람직하게는 1×10^{20} ions/cm³ 이상 1×10^{22} ions/cm³ 이하로 하여 수행하면 좋다.
- [0092] 다음에, 반도체(406b)가 되는 반도체를 성막한다. 반도체(406b)가 되는 반도체는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다. 또한, 반도체(406a)가 되는 반도체의 성막과, 반도체(406b)가 되는 반도체의 성막은 대기에 노출시키지 않고 연속적으로 수행함으로써, 막 내 및 계면으로의 불순물 혼

입을 저감할 수 있다.

- [0093] 다음에, 가열 처리를 수행하는 것이 바람직하다. 가열 처리를 수행함으로써, 반도체(406a)가 되는 반도체 및 반도체(406b)가 되는 반도체의 수소 농도를 저감시킬 수 있는 경우가 있다. 또한, 반도체(406a)가 되는 반도체 및 반도체(406b)가 되는 반도체의 산소 결손을 저감시킬 수 있는 경우가 있다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 더 바람직하게는 520℃ 이상 570℃ 이하로 수행하면 좋다. 가열 처리는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 함유하는 분위기에서 수행한다. 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 함유하는 분위기에서 가열 처리를 수행하여도 좋다. 가열 처리에 의하여, 반도체(406a)가 되는 반도체 및 반도체(406b)가 되는 반도체의 결정성을 높이거나 수소나 물 등 불순물을 제거하거나 할 수 있다.
- [0094] 다음에, 반도체(406a)가 되는 반도체 및 반도체(406b)가 되는 반도체에 불소를 첨가하여도 좋다. 또한, 반도체(406a)가 되는 반도체 및 반도체(406b)가 되는 반도체의 가열 처리와 반도체(406a)가 되는 반도체 및 반도체(406b)가 되는 반도체에 대한 불소의 첨가는 어느 쪽을 먼저 수행하여도 좋다.
- [0095] 불소의 첨가는 예를 들어, 이온 주입법에 의하여 가속 전압을 1kV 이상 200kV 이하, 바람직하게는 5kV 이상 100kV 이하로 하고, 도즈량을 5×10^{19} ions/cm³ 이상 5×10^{22} ions/cm³ 이하, 바람직하게는 1×10^{20} ions/cm³ 이상 1×10^{22} ions/cm³ 이하로 하여 수행하면 좋다.
- [0096] 다음에, 반도체(406b)가 되는 반도체 위에 레지스트 등을 형성하고, 이 레지스트를 이용하여 가공함으로써, 반도체(406a) 및 반도체(406b)를 형성한다(도 3 참조).
- [0097] 다음에, 도전체를 성막한다. 도전체는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다.
- [0098] 도전체로서는, 예를 들어 붕소, 질소, 산소, 불소, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브데넘, 루테튬, 은, 인듐, 주석, 탄탈럼, 및 텅스텐 중 1종류 이상을 함유하는 도전체를 단층 또는 적층 구조로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 함유하는 도전체, 구리 및 타이타늄을 함유하는 도전체, 구리 및 망가니즈를 함유하는 도전체, 인듐, 주석, 및 산소를 함유하는 도전체, 타이타늄 및 질소를 함유하는 도전체 등을 사용하여도 좋다.
- [0099] 다음에, 도전체 위에 레지스트 등을 형성하고, 이 레지스트를 이용하여 가공함으로써, 도전체(416a) 및 도전체(416b)를 형성한다(도 4 참조).
- [0100] 다음에, 반도체(406a) 및 반도체(406b)에 불소를 첨가하여도 좋다. 불소의 첨가는 도전체(416a) 및 도전체(416b)를 마스크로 이용하여 수행할 수 있다. 이로써, 반도체(406a) 및 반도체(406b) 중 도전체(416a) 및 도전체(416b)와 중첩되지 않은 영역에 선택적으로 불소를 첨가할 수 있다.
- [0101] 또한, 예를 들어 도전체(416a) 및 도전체(416b)의 두께를 얇게 함으로써, 반도체(406a) 및 반도체(406b) 중 도전체(416a) 및 도전체(416b)와 중첩된 영역에도 불소를 첨가하여도 좋다. 그러므로, 도전체(416a) 및 도전체(416b)와 중첩된 영역과, 중첩되지 않은 영역에서 다른 불소 농도를 가지는 반도체(406a) 및 반도체(406b)를 형성할 수 있다. 예를 들어, 반도체(406a) 및 반도체(406b) 중 도전체(416a) 및 도전체(416b)와 중첩된 영역은 도전체(416a) 및 도전체(416b)와 중첩되지 않은 영역보다 불소 농도가 낮다.
- [0102] 불소의 첨가는 예를 들어, 이온 주입법에 의하여 가속 전압을 1kV 이상 200kV 이하, 바람직하게는 5kV 이상 100kV 이하로 하고, 도즈량을 5×10^{19} ions/cm³ 이상 5×10^{22} ions/cm³ 이하, 바람직하게는 1×10^{20} ions/cm³ 이상 1×10^{22} ions/cm³ 이하로 하여 수행하면 좋다.
- [0103] 여기서, 예를 들어 도전체(413)를 게이트 전극, 절연체(402)를 게이트 절연체, 도전체(416a)를 소스 전극, 도전체(416b)를 드레인 전극으로 하면, 도 4까지의 공정을 완료하여 보텀 게이트 구조를 가지는 트랜지스터로 하여도 좋다.
- [0104] 다음에, 반도체(436c)를 성막한다. 반도체(436c)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다. 반도체(436c)의 성막 전에 반도체(406a), 반도체(406b), 도전체(416a), 및 도전체(416b)의 표면을 에칭하여도 좋다. 예를 들어, 희가스를 함유하는 플라즈마를 이용하여 에칭할 수 있다. 그 후, 대

기에 노출시키지 않고 연속적으로 반도체(436c)를 성장함으로써, 반도체(406a), 반도체(406b), 도전체(416a), 및 도전체(416b)와, 반도체(436c) 사이의 계면으로 불순물이 혼입되는 것을 저감할 수 있다. 막들 사이의 계면 등에 존재하는 불순물은 막 내의 불순물보다 확산되기 쉬운 경우가 있다. 그러므로, 상기 불순물의 혼입을 저감함으로써, 트랜지스터에 안정적인 전기 특성을 부여할 수 있다.

- [0105] 다음에, 반도체(406a), 반도체(406b), 및 반도체(436c)에 불소를 첨가하여도 좋다. 또한, 반도체(406a), 반도체(406b), 및 반도체(436c) 모두에 불소를 첨가할 필요는 없으며, 어느 한 층 또는 2층에 불소를 첨가하여도 좋다.
- [0106] 불소의 첨가는 예를 들어, 이온 주입법에 의하여 가속 전압을 1kV 이상 200kV 이하, 바람직하게는 5kV 이상 100kV 이하로 하고, 도즈량을 5×10^{19} ions/cm³ 이상 5×10^{22} ions/cm³ 이하, 바람직하게는 1×10^{20} ions/cm³ 이상 1×10^{22} ions/cm³ 이하로 하여 수행하면 좋다.
- [0107] 다음에, 절연체(442)를 성장한다. 절연체(442)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성장할 수 있다. 또한, 반도체(436c)의 성장과 절연체(442)의 성장은 대기에 노출시키지 않고 연속적으로 수행함으로써, 막 내 및 계면으로의 불순물 혼입을 저감할 수 있다.
- [0108] 절연체(442)로서는 예를 들어 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈륨을 포함하는 절연체를 단층 또는 적층 구조로 사용하면 좋다. 예를 들어, 절연체(442)로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈륨을 사용하면 좋다.
- [0109] 다음에, 절연체(442)를 통하여 반도체(406a), 반도체(406b), 및 반도체(436c)에 불소를 첨가하여도 좋다. 또한, 반도체(406a), 반도체(406b), 및 반도체(436c) 모두에 불소를 첨가할 필요는 없으며, 어느 한 층 또는 2층에 불소를 첨가하여도 좋다. 또한, 절연체(442)에 불소를 첨가하여도 좋다.
- [0110] 불소의 첨가는 예를 들어, 이온 주입법에 의하여 가속 전압을 1kV 이상 200kV 이하, 바람직하게는 5kV 이상 100kV 이하로 하고, 도즈량을 5×10^{19} ions/cm³ 이상 5×10^{22} ions/cm³ 이하, 바람직하게는 1×10^{20} ions/cm³ 이상 1×10^{22} ions/cm³ 이하로 하여 수행하면 좋다.
- [0111] 다음에, 도전체(434)를 성장한다. 도전체(434)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성장할 수 있다. 또한, 절연체(442)의 성장과 도전체(434)의 성장은 대기에 노출시키지 않고 연속적으로 수행함으로써, 막 내 및 계면으로의 불순물 혼입을 저감할 수 있다(도 5 참조).
- [0112] 도전체(434)로서는, 예를 들어 붕소, 질소, 산소, 불소, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 인듐, 주석, 탄탈륨, 및 텅스텐 중 1종류 이상을 함유하는 도전체를 단층 또는 적층 구조로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 함유하는 도전체, 구리 및 타이타늄을 함유하는 도전체, 구리 및 망가니즈를 함유하는 도전체, 인듐, 주석, 및 산소를 함유하는 도전체, 타이타늄 및 질소를 함유하는 도전체 등을 사용하여도 좋다.
- [0113] 다음에, 도전체(434) 위에 레지스트 등을 형성하고, 이 레지스트를 이용하여 가공하여 도전체(404)를 형성한다. 또한, 상기 레지스트 또는 도전체(404)를 이용하여 절연체(442)를 가공하여 절연체(412)를 형성한다. 또한, 상기 레지스트, 도전체(404), 또는 절연체(412)를 이용하여 반도체(436c)를 가공하여 반도체(406c)를 형성한다. 반도체(406c)와 절연체(412)와 도전체(404)는 상면으로부터 보았을 때, 같은 형상이 되지만, 본 발명의 일 형태에 따른 트랜지스터는 이 형상에 한정되지 않는다. 예를 들어, 반도체(406c)와 절연체(412)와 도전체(404)를 다른 레지스트를 이용하여 가공하여도 좋다. 예를 들어, 절연체(412)를 형성하고 나서 도전체(404)가 되는 도전체를 성장하여도 좋고, 도전체(404)를 형성한 후에 절연체(412)가 되는 절연체 위에 다른 레지스트 등을 형성하여도 좋다. 또한, 예를 들어 반도체(406c)는 인접한 트랜지스터 등과 공유되어 제공되어도 좋다(도 6 참조).
- [0114] 다음에, 절연체를 성장하여도 좋다. 절연체는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 성장할 수 있다.
- [0115] 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈륨을 포함하는 절연체를 단층 또는 적층 구조로 사용하면 좋다. 절연체로서는 바람직하게는 산화 알루미늄, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산

화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈륨을 포함하는 절연체를 단층 또는 적층 구조로 사용하면 좋다.

[0116] 절연체는 배리어층으로서의 기능을 가지는 것이 바람직하다. 절연체는 예를 들어, 산소 및/또는 수소를 차단하는 기능을 가진다. 또한, 절연체는 예를 들어 절연체(402) 또는 절연체(412)보다 산소 또는/및 수소를 차단하는 능력이 높은 것이 바람직하다.

[0117] 이러한 공정을 거쳐 본 발명의 일 형태에 따른 트랜지스터(100)를 제작할 수 있다.

[0118] 상술한 바와 같이 반도체의 채널 형성 영역에 불소를 첨가함으로써, 반도체 내의 산소 결손을 보상할 수 있다. 또한, 안정적인 결합을 형성하는 불소에 의하여 산소 결손을 보상함으로써, 안정적이고 양호한 전기 특성을 가지는 트랜지스터를 제공할 수 있다.

[0119] 도 6의 (B)에 도시된 바와 같이, 도전체(404) 및 도전체(413)의 전계에 의하여 반도체(406b)를 전기적으로 둘러쌀 수 있다(도전체로부터 발생하는 전계에 의하여 반도체를 전기적으로 둘러싸는 트랜지스터의 구조를 'surrounded channel(s-channel) 구조'라고 함). 따라서, 반도체(406b) 전체(상면, 하면, 및 측면)에 채널이 형성된다. s-channel 구조에서는, 트랜지스터의 소스와 드레인 사이에 큰 전류를 흘릴 수 있어, 온 상태 시의 전류(온 전류)를 높게 할 수 있다.

[0120] 또한, 트랜지스터가 s-channel 구조를 가지는 경우, 반도체(406b) 측면에도 채널이 형성된다. 따라서, 반도체(406b)가 두꺼울수록 채널 형성 영역은 커진다. 즉, 반도체(406b)가 두꺼울수록 트랜지스터의 온 전류를 높게 할 수 있다. 또한, 반도체(406b)가 두꺼울수록 캐리어의 제어성이 높은 영역의 비율이 증가되기 때문에 서브스레숄드 스윙값을 작게 할 수 있다. 예를 들어, 두께가 10nm 이상, 바람직하게는 20nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 100nm 이상인 영역을 가지는 반도체(406b)로 하면 좋다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있기 때문에, 예를 들어, 두께가 300nm 이하, 바람직하게는 200nm 이하, 더 바람직하게는 150nm 이하인 영역을 가지는 반도체(406b)로 하면 좋다.

[0121] s-channel 구조는 높은 온 전류를 얻을 수 있기 때문에 미세화된 트랜지스터에 적합한 구조라고 할 수 있다. 트랜지스터를 미세화할 수 있기 때문에 상기 트랜지스터를 가지는 반도체 장치를, 집적도가 높고 고밀도화된 반도체 장치로 할 수 있게 된다. 예를 들어, 트랜지스터는 채널 길이가 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하인 영역을 가지고, 또한 채널 폭이 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하인 영역을 가진다.

[0122] 또한, 도전체(413)를 형성하지 않아도 된다(도 7의 (A) 참조). 또한, 절연체(412) 및 반도체(406c)가 도전체(404)보다 돌출된 형상이어도 좋다(도 7의 (B) 참조). 또한, 절연체(442) 및 반도체(436c)를 가공하지 않아도 된다(도 7의 (C) 참조). 또한, A1-A2 단면에서의 도전체(413)의 폭이 반도체(406b)보다 커도 좋다(도 8의 (A) 참조). 또한, 도전체(413)와 도전체(404)는 개구부를 통하여 접촉되어도 좋다(도 8의 (B) 참조). 또한, 도전체(404)를 제공하지 않아도 된다(도 8의 (C) 참조).

[0123] <반도체>

[0124] 본 실시형태에서 제시한 바와 같이, 반도체(406b)의 위아래에 반도체(406a) 및 반도체(406c)를 배치함으로써, 트랜지스터의 전기 특성을 향상시킬 수 있는 경우가 있다.

[0125] 반도체(406b)는 예를 들어 인듐을 함유하는 산화물 반도체이다. 반도체(406b)는 예를 들어 인듐을 함유하면 캐리어 이동도(전자 이동도)가 높아진다. 또한, 반도체(406b)는 원소 M을 함유하면 바람직하다. 원소 M은 바람직하게는 알루미늄, 갈륨, 이트륨, 또는 주석 등으로 한다. 원소 M에 적용할 수 있는 원소로서는 상술한 것 외에 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈륨, 텅스텐 등이 있다. 다만, 원소 M으로서 상술한 복수의 원소를 조합하여도 좋은 경우가 있다. 원소 M은, 예를 들어 산소와의 결합 에너지가 높은 원소이다. 예를 들어, 산소와의 결합 에너지가 인듐보다 높은 원소이다. 또는, 원소 M은 예를 들어 산화물 반도체의 에너지 갭을 크게 하는 기능을 가지는 원소이다. 또한, 반도체(406b)는 아연을 포함하면 바람직하다. 산화물 반도체는 아연을 함유하면 결정화되기 쉬워질 수 있다.

[0126] 다만, 반도체(406b)는 인듐을 함유하는 산화물 반도체에 한정되지 않는다. 반도체(406b)는 예를 들어, 아연 주석 산화물, 갈륨 주석 산화물 등, 인듐을 함유하지 않고 아연을 함유하는 산화물 반도체, 갈륨을 함유하는 산화물 반도체, 주석을 함유하는 산화물 반도체 등이어도 좋다.

[0127] 반도체(406b)로서는 예를 들어 에너지 갭이 큰 산화물을 사용한다. 반도체(406b)의 에너지 갭은 예를 들어

2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하로 한다.

- [0128] 예를 들어, 반도체(406a) 및 반도체(406c)는 반도체(406b)에 함유되는 산소 외의 원소 1종류 이상 또는 2종류 이상을 함유하는 산화물 반도체이다. 반도체(406b)에 함유되는 산소 외의 원소 1종류 이상 또는 2종류 이상을 반도체(406a) 및 반도체(406c)가 함유하면, 반도체(406a)와 반도체(406b)의 계면, 및 반도체(406b)와 반도체(406c)의 계면에 결합 준위가 형성되기 어렵다.
- [0129] 반도체(406a), 반도체(406b), 및 반도체(406c)는 적어도 인듐을 함유하면 바람직하다. 또한, 반도체(406a)가 In-M-Zn 산화물인 경우, In과 M의 합을 100atomic%로 할 때, 바람직하게는 In을 50atomic% 미만, M을 50atomic%보다 높게 하고, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic%보다 높게 한다. 또한, 반도체(406b)가 In-M-Zn 산화물인 경우, In과 M의 합을 100atomic%로 할 때, 바람직하게는 In을 25atomic%보다 높게 하고, M을 75atomic% 미만으로 하고, 더 바람직하게는 In을 34atomic%보다 높게 하고, M을 66atomic% 미만으로 한다. 또한, 반도체(406c)가 In-M-Zn 산화물인 경우, In과 M의 합을 100atomic%로 할 때, 바람직하게는 In을 50atomic% 미만, M을 50atomic%보다 높게 하고, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic%보다 높게 한다. 또한, 반도체(406c)로서 반도체(406a)와 같은 종류의 산화물을 사용하여도 좋다. 다만, 반도체(406a) 또는/및 반도체(406c)가 인듐을 함유하지 않아도 되는 경우가 있다. 예를 들어, 반도체(406a) 또는/및 반도체(406c)가 산화 갈륨이어도 좋다. 또한, 반도체(406a), 반도체(406b), 및 반도체(406c)에 함유되는 각 원소의 원자수가 간단한 정수(整數)비가 아니어도 된다.
- [0130] 반도체(406b)로서는 반도체(406a) 및 반도체(406c)보다 전자 친화력이 큰 산화물을 사용한다. 예를 들어, 반도체(406b)로서 반도체(406a) 및 반도체(406c)보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하만큼 높은 산화물을 사용한다. 또한, 전자 친화력은 진공 준위와 전도띠 바닥의 에너지의 차이이다.
- [0131] 또한, 인듐 갈륨 산화물은 전자 친화력이 낮고 산소 차단성이 높다. 그러므로, 반도체(406c)가 인듐 갈륨 산화물을 함유하는 것이 바람직하다. 갈륨 원자 비율[$Ga/(In+Ga)$]은 예를 들어 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상으로 한다.
- [0132] 이와 같이 반도체(406b)의 위아래에 반도체(406a) 및 반도체(406c)를 배치한 트랜지스터에 있어서, 게이트 전압을 인가하면, 반도체(406a), 반도체(406b), 및 반도체(406c) 중 전자 친화력이 높은 반도체(406b)에 채널이 형성된다.
- [0133] 여기서, 반도체(406a)와 반도체(406b) 사이에, 반도체(406a)와 반도체(406b)의 혼합 영역이 존재하는 경우가 있다. 또한, 반도체(406b)와 반도체(406c) 사이에, 반도체(406b)와 반도체(406c)의 혼합 영역이 존재하는 경우가 있다. 혼합 영역은 결합 준위 밀도가 낮다. 이 때문에, 반도체(406a), 반도체(406b), 및 반도체(406c)의 적층체는, 각 계면 근방에서 에너지가 연속적으로 변화되는(연속 접합이라고도 함) 밴드 다이어그램이 된다(도 9 참조). 또한, 반도체(406a), 반도체(406b), 및 반도체(406c)의 각 계면을 명확히 판별할 수 없는 경우가 있다.
- [0134] 이 때 전자는 반도체(406a) 내 및 반도체(406c) 내가 아니라 주로 반도체(406b) 내를 이동한다. 상술한 바와 같이, 반도체(406a)와 반도체(406b)의 계면에서의 결합 준위 밀도, 및 반도체(406b)와 반도체(406c)의 계면에서의 결합 준위 밀도를 낮게 함으로써 반도체(406b) 내에서 전자의 이동이 저해되는 일이 적어져, 트랜지스터의 온 전류를 높일 수 있다.
- [0135] 트랜지스터의 온 전류는, 전자의 이동을 저해하는 요인을 저감할수록 높일 수 있다. 예를 들어, 전자의 이동을 저해하는 요인이 없으면 전자가 효율적으로 이동할 것으로 추정된다. 전자의 이동은 예를 들어 채널 형성 영역의 물리적인 요철이 큰 경우에도 저해된다.
- [0136] 트랜지스터의 온 전류를 높이기 위해서는, 예를 들어 반도체(406b)의 상면 또는 하면(피형성면, 여기서는 반도체(406a))의, $1\mu\text{m} \times 1\mu\text{m}$ 의 범위에서의 제곱평균제곱근(RMS: Root Mean Square) 거칠기가 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더욱 바람직하게는 0.4nm 미만으로 하면 좋다. 또한, $1\mu\text{m} \times 1\mu\text{m}$ 의 범위에서의 평균 면 거칠기(R_a 라고도 함)를 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더욱 바람직하게는 0.4nm 미만으로 하면 좋다. 또한, $1\mu\text{m} \times 1\mu\text{m}$ 의 범위에서의 최대 고저차(P-V라고도 함)를 10nm 미만, 바람직하게는 9nm 미만, 더 바람직하게는 8nm 미만, 더욱 바람직하게는 7nm 미만으로 하면 좋다. RMS 거칠기, R_a , 및 P-V는 주사형 프로브 현미경 시스템 SPA-500(SII Nano Technology Inc. 제조) 등을 사용하여 측정할 수 있다.
- [0137] 또한, 트랜지스터의 온 전류를 높이기 위해서는, 반도체(406c)의 두께가 얇을수록 바람직하다. 예를 들어, 두

께가 10nm 미만, 바람직하게는 5nm 이하, 더 바람직하게는 3nm 이하인 영역을 가지는 반도체(406c)로 하면 좋다. 한편, 반도체(406c)는 인접한 절연체에 함유되는 산소 외의 원소(수소, 실리콘 등)가 채널이 형성되는 반도체(406b)에 들어가지 않도록 차단하는 기능을 가진다. 따라서, 반도체(406c)는 어느 정도의 두께를 가지는 것이 바람직하다. 예를 들어, 두께가 0.3nm 이상, 바람직하게는 1nm 이상, 더 바람직하게는 2nm 이상인 영역을 가지는 반도체(406c)로 하면 좋다. 또한, 절연체(402) 등으로부터 방출되는 산소의 외방(外方) 확산을 억제하기 위하여, 반도체(406c)는 산소를 차단하는 성질을 가지면 좋다.

[0138] 또한, 신뢰성을 높이기 위해서는 반도체(406a)를 두껍게 하고 반도체(406c)를 얇게 하는 것이 바람직하다. 예를 들어, 두께가 10nm 이상, 바람직하게는 20nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상인 영역을 가지는 반도체(406a)로 하면 좋다. 반도체(406a)의 두께를 두껍게 하면, 인접한 절연체와 반도체(406a)의 계면에서 채널이 형성되는 반도체(406b)까지의 거리를 길게 할 수 있다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있기 때문에, 예를 들어 두께가 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하인 영역을 가지는 반도체(406a)로 하면 좋다.

[0139] 예를 들어, 반도체(406b)와 반도체(406a) 사이에, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정되는 실리콘 농도가 1×10^{16} atoms/cm³ 이상 1×10^{19} atoms/cm³ 이하, 바람직하게는 1×10^{16} atoms/cm³ 이상 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{16} atoms/cm³ 이상 2×10^{18} atoms/cm³ 이하인 영역을 가진다. 또한, 반도체(406b)와 반도체(406c) 사이에, SIMS로 측정되는 실리콘 농도가 1×10^{16} atoms/cm³ 이상 1×10^{19} atoms/cm³ 이하, 바람직하게는 1×10^{16} atoms/cm³ 이상 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{16} atoms/cm³ 이상 2×10^{18} atoms/cm³ 이하인 영역을 가진다.

[0140] 또한, 반도체(406b)의 수소 농도를 저감하기 위하여 반도체(406a) 및 반도체(406c)의 수소 농도를 저감하는 것이 바람직하다. 반도체(406a) 및 반도체(406c)는 SIMS로 측정되는 수소 농도가 1×10^{16} atoms/cm³ 이상 2×10^{20} atoms/cm³ 이하, 바람직하게는 1×10^{16} atoms/cm³ 이상 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{16} atoms/cm³ 이상 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{16} atoms/cm³ 이상 5×10^{18} atoms/cm³ 이하인 영역을 가진다. 또한, 반도체(406b)의 질소 농도를 저감하기 위하여 반도체(406a) 및 반도체(406c)의 질소 농도를 저감하는 것이 바람직하다. 또한, 반도체(406a) 및 반도체(406c)는 SIMS로 측정되는 질소 농도가 1×10^{15} atoms/cm³ 이상 5×10^{19} atoms/cm³ 이하, 바람직하게는 1×10^{15} atoms/cm³ 이상 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{15} atoms/cm³ 이상 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{15} atoms/cm³ 이상 5×10^{17} atoms/cm³ 이하인 영역을 가진다.

[0141] 상술한 3층 구조는 일례에 불과하다. 예를 들어, 반도체(406a) 또는 반도체(406c)가 없는 2층 구조로 하여도 좋다. 또는, 반도체(406a) 위 또는 아래, 또는 반도체(406c) 위 또는 아래에, 반도체(406a), 반도체(406b), 및 반도체(406c)로서 예시한 반도체 중 어느 하나를 가지는 4층 구조로 하여도 좋다. 또는, 반도체(406a) 위, 반도체(406a) 아래, 반도체(406c) 위, 반도체(406c) 아래 중 어느 2군데 이상에 반도체(406a), 반도체(406b), 및 반도체(406c)로서 예시한 반도체 중 어느 하나 이상을 가지는 n층 구조(n은 5 이상의 정수임)로 하여도 좋다.

[0142] <산화물 반도체의 구조에 대하여>

[0143] 이하에서 산화물 반도체의 구조에 대하여 설명한다.

[0144] 산화물 반도체는 단결정 산화물 반도체와 그 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체 등이 있다.

[0145] 또한, 다른 관점에서는 산화물 반도체는 비정질 산화물 반도체와 그 이외의 결정성 산화물 반도체로 나누어진다. 결정성 산화물 반도체로서는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체 등이 있다.

[0146] <CAAC-OS>

[0147] 우선, CAAC-OS에 대하여 설명한다. CAAC-OS는 CAC(C-Axis Aligned nanocrystals)를 포함하는 산화물 반도체

라고 부를 수도 있다.

- [0148] CAAC-OS는 c축 배향된 복수의 결정부(펠릿이라고도 함)를 함유하는 산화물 반도체의 하나이다.
- [0149] 투과 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면, 복수의 펠릿이 확인된다. 그러나, 고분해능 TEM 이미지를 관찰하여도 펠릿들의 경계, 즉 결정 입계(그레인 바운더리(grain boundary)라고도 함)는 명확히 확인되지 않는다. 그러므로, CAAC-OS는 결정 입계에 기인한 전자 이동도 저하가 일어나기 어렵다고 할 수 있다.
- [0150] 이하에서는 TEM에 의하여 관찰한 CAAC-OS에 대하여 설명한다. 도 10의 (A)는 시료 면에 실질적으로 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고분해능 TEM 이미지이다. 고분해능 TEM 이미지의 관찰에는 구면 수차 보정(Spherical Aberration Corrector) 기능을 이용하였다. 구면 수차 보정 기능을 이용한 고분해능 TEM 이미지를 특히 'Cs 보정 고분해능 TEM 이미지'라고 한다. Cs 보정 고분해능 TEM 이미지는 예를 들어, 원자 분해능 분석 전자 현미경 JEM-ARM200F(일본 전자 주식회사 제조) 등에 의하여 얻을 수 있다.
- [0151] 도 10의 (B)는 도 10의 (A) 중 영역 (1)을 확대한 Cs 보정 고분해능 TEM 이미지이다. 도 10의 (B)를 보면, 펠릿에서 금속 원자가 층상으로 배열되어 있는 것이 확인된다. 금속 원자의 각 층은 CAAC-OS의 막이 형성되는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상을 가지고, CAAC-OS의 피형성면 또는 상면에 평행하게 배열된다.
- [0152] 도 10의 (B)와 같이 CAAC-OS는 특징적인 원자 배열을 가진다. 도 10의 (C)에는 특징적인 원자 배열을 보조선으로 나타내었다. 도 10의 (B) 및 (C)로부터, 하나의 펠릿의 크기는 1nm 이상 3nm 이하 정도이며, 펠릿들의 기울기에 의하여 생긴 틈의 크기는 0.8nm 정도임을 알 수 있다. 따라서, 펠릿을 나노 결정(nc: nanocrystal)이라고 부를 수도 있다.
- [0153] 여기서, Cs 보정 고분해능 TEM 이미지를 바탕으로 기관(5120) 위의 CAAC-OS의 펠릿(5100)의 배치를 모식적으로 도시하면, 벽돌 또는 블록이 쌓인 것과 같은 구조가 된다(도 10의 (D) 참조). 도 10의 (C)에서 관찰된 펠릿들 사이에서 기울기가 생긴 부분은 도 10의 (D) 중 영역(5161)에 상당한다.
- [0154] 또한, 도 11의 (A)는 시료면에 실질적으로 수직인 방향으로부터 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지이다. 도 11의 (B), 도 11의 (C), 및 도 11의 (D)는 각각 도 11의 (A) 중 영역 (1), 영역 (2), 및 영역 (3)을 확대한 Cs 보정 고분해능 TEM 이미지이다. 도 11의 (B)~(D)로부터, 펠릿은 금속 원자가 삼각형, 사각형, 또는 육각형으로 배열되어 있는 것이 확인된다. 그러나, 상이한 펠릿들 사이에서 금속 원자의 배열에 규칙성은 보이지 않는다.
- [0155] 다음에, X선 회절(XRD: X-Ray Diffraction)을 이용하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, out-of-plane법에 의하여 InGaZnO₄의 결정을 포함하는 CAAC-OS의 구조 해석을 수행하면, 도 12의 (A)와 같이 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 기인하기 때문에, CAAC-OS의 결정이 c축 배향성을 가지고 c축이 CAAC-OS의 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 확인할 수 있다.
- [0156] 또한, out-of-plane법에 의하여 CAAC-OS의 구조 해석을 수행하면, 2θ가 31° 근방일 때 나타나는 피크에 대하여 2θ가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ가 36° 근방일 때 나타나는 피크는 CAAC-OS 내의 일부에, c축 배향성을 가지지 않는 결정이 포함되는 것을 뜻한다. CAAC-OS는 out-of-plane법에 의한 구조 분석에서는 2θ가 31° 근방일 때 피크가 나타나고 2θ가 36° 근방일 때 피크가 나타나지 않는 것이 더 바람직하다.
- [0157] 한편, c축에 실질적으로 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의하여 CAAC-OS의 구조 해석을 수행하면, 2θ가 56° 근방일 때 피크가 나타난다. 이 피크는 InGaZnO₄의 결정의 (110)면에 기인한다. CAAC-OS의 경우에는, 2θ를 56° 근방에 고정하고 시료면의 법선 벡터를 축(φ 축)으로 시료를 회전시키면서 분석(φ 스캔)을 수행하여도 도 12의 (B)와 같이 명확한 피크가 나타나지 않는다. 한편, InGaZnO₄의 단결정 산화물 반도체의 경우에는, 2θ를 56° 근방에 고정하고 φ 스캔을 수행하면, 도 12의 (C)와 같이 (110)면과 등가인 결정면에 기인하는 피크가 6개 관찰된다. 따라서, XRD를 이용한 구조 해석으로부터, CAAC-OS는 a축 및 b축의 배향이 불규칙한 것이 확인된다.
- [0158] 다음에, 전자 회절에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, InGaZnO₄의 결정을 가지는 CAAC-

OS에 대하여 시료면에 평행한 방향으로 프로브 직경이 300nm인 전자 빔을 입사시켰을 때, 도 13의 (A)와 같은 회절 패턴(제한 시야 투과 전자 회절 패턴이라고 함)이 나타나는 경우가 있다. 이 회절 패턴에는 InGaZnO₄의 결정의 (009)면에 기인한 스폿이 포함된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿이 c축 배향성을 가지고 c축이 CAAC-OS의 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 알 수 있다. 한편, 도 13의 (B)는 같은 시료에 대하여 프로브 직경이 300nm인 전자 빔을 시료면에 수직인 방향으로부터 입사시켰을 때의 회절 패턴이다. 도 13의 (B)를 보면 알 수 있듯이 고리 형상의 회절 패턴이 확인된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿의 a축 및 b축이 배향성을 가지지 않음을 알 수 있다. 또한, 도 13의 (B) 중 제 1 고리는 InGaZnO₄의 결정의 (010)면 및 (100)면 등에 기인하는 것으로 생각된다. 또한, 도 13의 (B) 중 제 2 고리는 (110)면 등에 기인하는 것으로 생각된다.

[0159] 또한, CAAC-OS는 결합 준위 밀도가 낮은 산화물 반도체이다. 산화물 반도체의 결합으로서의 예를 들어, 불순물에 기인한 결합이나 산소 결손 등이 있다. 따라서, CAAC-OS는 불순물 농도가 낮은 산화물 반도체라고 할 수도 있다. 또한, CAAC-OS는 산소 결손이 적은 산화물 반도체라고 할 수도 있다.

[0160] 산화물 반도체에 포함되는 불순물은 캐리어 트랩이 되거나 캐리어 발생원이 되는 경우가 있다. 또한, 산화물 반도체 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0161] 또한, 불순물은 산화물 반도체의 주성분 이외의 원소이며, 수소, 탄소, 실리콘, 전이 금속 원소 등이 있다. 산화물 반도체를 구성하는 금속 원소보다 산소와의 결합력이 강한 원소(예를 들어 실리콘 등)는 산화물 반도체로부터 산소를 빼앗음으로써 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다.

[0162] 또한, 결합 준위 밀도가 낮은(산소 결손이 적은) 산화물 반도체는 캐리어 밀도를 낮게 할 수 있다. 이와 같은 산화물 반도체를 '고순도 진성 산화물 반도체' 또는 '실질적으로 고순도 진성인 산화물 반도체'라고 한다. CAAC-OS는 불순물 농도가 낮으며 결합 준위 밀도가 낮다. 즉, 고순도 진성 산화물 반도체 또는 실질적으로 고순도 진성인 산화물 반도체가 되기 쉽다. 따라서, CAAC-OS를 사용한 트랜지스터의 전기 특성은 문턱 전압이 음(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 산화물 반도체 또는 실질적으로 고순도 진성인 산화물 반도체의 캐리어 트랩은 적다. 산화물 반도체의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길어, 마치 고정 전하처럼 행동하는 경우가 있다. 따라서, 불순물 농도가 높고 결합 준위 밀도가 높은 산화물 반도체를 사용한 트랜지스터는 전기 특성이 불안정해지는 경우가 있다. 한편, CAAC-OS를 사용한 트랜지스터는 전기 특성의 변동이 작으며 신뢰성이 높은 트랜지스터가 된다.

[0163] 또한, CAAC-OS는 결합 준위 밀도가 낮기 때문에, 광 조사 등에 의하여 생성된 캐리어가 결합 준위에 포획되는 일이 적다. 따라서, CAAC-OS를 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성 변동이 적다.

[0164] <미결정 산화물 반도체>

[0165] 다음에, 미결정 산화물 반도체에 대하여 설명한다.

[0166] 미결정 산화물 반도체는 고분해능 TEM 이미지에서 결정부가 확인되는 영역과 결정부가 명확히 확인되지 않는 영역을 가진다. 미결정 산화물 반도체에 포함되는 결정부의 크기는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하인 경우가 많다. 특히 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정을 가지는 산화물 반도체를 nc-OS(nanocrystalline Oxide Semiconductor)라고 한다. nc-OS는 예를 들어, 고분해능 TEM 이미지에서 결정립계가 명확히 확인되지 않는 경우가 있다. 또한, 나노 결정은 CAAC-OS에 포함되는 펠릿과 기원이 같을 가능성이 있다. 그러므로, 이하에서는 nc-OS의 결정부를 펠릿이라고 하는 경우가 있다.

[0167] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한, nc-OS는 상이한 펠릿들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, 막 전체에서 배향성이 확인되지 않는다. 그러므로, 분석 방법에 따라서는 nc-OS와 비정질 산화물 반도체를 구별하지 못하는 경우가 있다. 예를 들어, 펠릿보다 큰 직경을 가지는 X선을 이용하는 XRD 장치로 out-of-plane법에 의하여 nc-OS의 구조 해석을 수행하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 펠릿보다 프로브 직경이 큰(예를 들어, 50nm 이상) 전자 빔을 이용하여 관찰한 nc-OS의 전자 회절 패턴(제한 시야 전자 회절 패턴이라고 함)에는 헤일로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, 프로브 직경이 펠릿의 크기와 가깝게

나 펠릿보다 작은 전자 빔을 이용하여 관찰한 nc-OS의 나노빔 전자 회절 패턴에는 스폿이 관측된다. 또한, nc-OS의 나노빔 전자 회절 패턴에는, 휘도가 높은 환상(고리 형상)의 영역이 관측되는 경우가 있다. 또한, 고리 형상의 영역에 복수의 스폿이 관측되는 경우도 있다.

[0168] 이와 같이 펠릿(나노 결정)들 사이에서 결정 방위에 규칙성이 보이지 않는 것으로부터, nc-OS를 RANC(Random Aligned nanocrystals)를 포함하는 산화물 반도체, 또는 NANC(Non-Aligned nanocrystals)를 포함하는 산화물 반도체라고 할 수도 있다.

[0169] nc-OS는 비정질 산화물 반도체보다 규칙성이 높은 산화물 반도체이다. 따라서, nc-OS는 비정질 산화물 반도체보다 결합 준위 밀도가 낮다. 다만, nc-OS는 상이한 펠릿들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS는 CAAC-OS에 비하여 결합 준위 밀도가 높다.

[0170] <비정질 산화물 반도체>

[0171] 다음에, 비정질 산화물 반도체에 대하여 설명한다.

[0172] 비정질 산화물 반도체는 막 내에서의 원자 배열이 불규칙하고 결정부를 가지지 않는 산화물 반도체이다. 석영과 같은 무정형 상태를 가지는 산화물 반도체가 그 일례이다.

[0173] 비정질 산화물 반도체는 고분해능 TEM 이미지에서 결정부를 확인할 수 없다.

[0174] XRD 장치를 이용하여 out-of-plane법에 의하여 비정질 산화물 반도체의 구조 해석을 수행하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체에 대하여 전자 회절을 수행하면 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체에 대하여 나노빔 전자 회절을 수행하면 스폿이 관측되지 않고 헤일로 패턴만 관측된다.

[0175] 비정질 구조에 대해서는 다양한 견해가 제시되고 있다. 예를 들어, 원자 배열에 전혀 질서성이 없는 구조를 완전한 비정질 구조(completely amorphous structure)라고 하는 경우가 있다. 또한, 장거리 질서성을 가지지 않지만, 어떤 원자로부터 최근접 원자 또는 제 2 근접 원자까지의 범위에서 질서성을 가지는 구조를 비정질 구조라고 하는 경우도 있다. 따라서, 가장 엄격한 정의에 따르면, 조금이라도 원자 배열에 질서성이 있는 산화물 반도체를 비정질 산화물 반도체라고 할 수는 없다. 또한, 적어도, 장거리 질서성이 있는 산화물 반도체를 비정질 산화물 반도체라고 할 수는 없다. 따라서, 예를 들어, 결정부를 가지는 CAAC-OS 및 nc-OS를 비정질 산화물 반도체 또는 완전한 비정질 산화물 반도체라고 할 수는 없다.

[0176] <a-like OS>

[0177] 또한, 산화물 반도체는 nc-OS와 비정질 산화물 반도체 사이의 구조를 가지는 경우가 있다. 이러한 구조를 가지는 산화물 반도체를, 특히 a-like OS(amorphous-like Oxide Semiconductor)라고 한다.

[0178] a-like OS는 고분해능 TEM 이미지에서 공동(보이드(void)라고도 함)이 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지에서는 결정부가 명확히 확인되는 영역과 결정부가 확인되지 않는 영역이 있다.

[0179] 보이드를 가지기 때문에, a-like OS는 불안정한 구조이다. 이하에서는 a-like OS가 CAAC-OS 및 nc-OS와 비교하여 불안정한 구조인 것을 나타내기 위해, 전자 조사에 의한 구조의 변화를 나타낸다.

[0180] 전자 조사를 수행하는 시료로서 a-like OS(시료 A라고 표기함), nc-OS(시료 B라고 표기함) 및 CAAC-OS(시료 C라고 표기함)를 준비한다. 시료는 모두 In-Ga-Zn 산화물이다.

[0181] 먼저, 각 시료의 고분해능 단면 TEM 이미지를 취득한다. 고분해능 단면 TEM 이미지를 보면, 이들 모든 시료가 결정부를 가지는 것을 알 수 있다.

[0182] 또한, 어느 부분을 하나의 결정부라고 간주할지는 이하와 같이 관정하면 좋다. 예를 들어, InGaZnO₄의 결정의 단위 격자는 In-0층 3층과 Ga-Zn-0층 6층의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 가지는 것이 알려져 있다. 이들 근접하는 층들 사이의 간격은 (009)면의 격자면 간격(d값이라고도 함)과 같은 정도이며, 결정 구조 해석으로부터 그 값은 0.29nm로 산출된다. 따라서, 격자 줄무늬(lattice fringe)의 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO₄의 결정부로 간주할 수 있다. 또한, 격자 줄무늬는 InGaZnO₄의 결정의 a-b면에 대응한다.

[0183] 도 14는 각 시료의 결정부(22군데~45군데)의 평균 크기를 조사한 예이다. 다만, 상술한 격자 줄무늬의 길이를 결정부의 크기로 간주한다. 도 14를 보면, a-like OS는 전자의 누적 조사량에 따라 결정부가 커지는 것을 알

수 있다. 구체적으로는, 도 14에 (1)로 나타낸 바와 같이 TEM에 의한 관찰 초기에는 1.2nm 정도의 크기였던 결정부(초기 핵이라고도 함)가 누적 조사량이 $4.2 \times 10^8 e^-/nm^2$ 에 달할 때에는 2.6nm 정도의 크기까지 성장하였음을 알 수 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사 시작 시부터 전자의 누적 조사량이 $4.2 \times 10^8 e^-/nm^2$ 에 달할 때까지의 범위에서 결정부의 크기에 변화가 없다는 것을 알 수 있다. 구체적으로는, 도 14에 (2) 및 (3)으로 나타낸 바와 같이 전자의 누적 조사량에 상관없이 nc-OS 및 CAAC-OS의 결정부의 크기는 각각 1.4nm 정도 및 2.1nm 정도임을 알 수 있다.

[0184] 이와 같이 a-like OS는 전자 조사에 의하여 결정부의 성장이 보이는 경우가 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사에 의한 결정부의 성장이 거의 보이지 않는 것을 알 수 있다. 즉, a-like OS는 nc-OS 및 CAAC-OS와 비교하여, 불안정한 구조인 것을 알 수 있다.

[0185] 또한, a-like OS는 보이드를 가지기 때문에, nc-OS 및 CAAC-OS와 비교하여 밀도가 낮은 구조이다. 구체적으로, a-like OS의 밀도는 같은 조성을 가지는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 또한, nc-OS의 밀도 및 CAAC-OS의 밀도는 같은 조성을 가지는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 단결정 산화물 반도체의 밀도의 78% 미만인 산화물 반도체는 성막 자체가 어렵다.

[0186] 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에 있어서 능면체정 구조를 가지는 단결정 InGaZnO₄의 밀도는 6.357g/cm³이다. 따라서 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에 있어서, a-like OS의 밀도는 5.0g/cm³ 이상 5.9g/cm³ 미만이다. 또한, 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체에 있어서 nc-OS의 밀도 및 CAAC-OS의 밀도는 5.9g/cm³ 이상 6.3g/cm³ 미만이다.

[0187] 또한, 같은 조성을 가지는 단결정 산화물 반도체가 존재하지 않는 경우가 있다. 이 경우에는 조성이 다른 단결정 산화물 반도체를 임의의 비율로 조합함으로써, 원하는 조성을 가지는 단결정 산화물 반도체의 밀도에 상당하는 밀도를 어렵잡을 수 있다. 원하는 조성을 가지는 단결정 산화물 반도체의 밀도는 조성이 다른 단결정 산화물 반도체를 조합하는 비율에 대하여 가중 평균을 이용하여 어렵잡으면 좋다. 다만, 밀도를 어렵잡을 때는 가능한 한 적은 종류의 단결정 산화물 반도체를 조합하는 것이 바람직하다.

[0188] 상술한 바와 같이 같이 산화물 반도체는 다양한 구조를 가지며 각각이 다양한 특성을 가진다. 또한, 산화물 반도체는 예를 들어, 비정질 산화물 반도체, a-like OS, 미결정 산화물 반도체, CAAC-OS 중 2종류 이상을 가지는 적층막이어도 좋다.

[0189] (실시형태 2)

[0190] 본 실시형태에서는 실시형태 1에서 설명한 트랜지스터와는 일부의 형상이 다른 트랜지스터의 제작 방법에 대하여 설명한다.

[0191] <트랜지스터 2>

[0192] 도 15의 (A), 도 16의 (A), 도 17의 (A), 도 18의 (A), 도 19의 (A), 도 20의 (A), 및 도 21의 (A)는 트랜지스터의 제작 방법을 설명하기 위한 상면도이다. 각 상면도에 일점쇄선 F1-F2 및 일점쇄선 F3-F4를 나타내며, 이에 대응한 단면도를 도 15의 (B), 도 16의 (B), 도 17의 (B), 도 18의 (B), 도 19의 (B), 도 20의 (B), 및 도 21의 (B)에 도시하였다.

[0193] 우선, 기판(500)을 준비한다. 기판(500)에 대해서는 기판(400)에 대한 설명을 참조한다.

[0194] 다음에, 도전체를 성막한다. 도전체는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다.

[0195] 다음에, 도전체 위에 레지스트 등을 형성하고, 이 레지스트를 이용하여 가공하여 도전체(513)를 형성한다.

[0196] 다음에, 절연체를 성막한다. 절연체는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다.

[0197] 다음에, 절연체의 상면으로부터 하면을 향하도록 기판(500)의 하면과 평행한 형상이 되도록 에칭함으로써, 도전체(513)를 노출시켜 절연체(503)를 형성한다(도 15 참조). 이와 같은 방법으로 절연체(503)를 형성함으로써,

도전체(513)의 상면의 높이와 절연체(503)의 상면의 높이를 같은 정도로 할 수 있다. 따라서, 나중의 공정에서 형상 불량을 억제할 수 있다.

- [0198] 다음에, 절연체(502)를 성막한다(도 16 참조). 절연체(502)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다. 절연체(502)에 대해서는 절연체(402)에 대한 설명을 참조한다.
- [0199] 다음에, 반도체(536a)를 성막한다. 반도체(536a)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다. 반도체(536a)에 대해서는 반도체(406a)가 되는 반도체에 대한 설명을 참조한다.
- [0200] 다음에, 산소를 첨가함으로써, 반도체(536a)에 과잉 산소를 함유시켜도 좋다. 산소의 첨가는, 예를 들어, 이온 주입법에 의해, 가속 전압을 2kV 이상 10kV 이하로 하고, 도즈량을 5×10^{14} ions/cm² 이상 1×10^{17} ions/cm² 이하로 하여 수행하면 좋다.
- [0201] 다음에, 반도체(536a)에 불소를 첨가하여도 좋다. 또한, 반도체(536a)에 대한 산소 첨가와 반도체(536a)에 대한 불소 첨가는 어느 쪽을 먼저 수행하여도 좋다.
- [0202] 불소의 첨가는 예를 들어, 이온 주입법에 의하여 가속 전압을 1kV 이상 200kV 이하, 바람직하게는 5kV 이상 100kV 이하로 하고, 도즈량을 5×10^{19} ions/cm³ 이상 5×10^{22} ions/cm³ 이하, 바람직하게는 1×10^{20} ions/cm³ 이상 1×10^{22} ions/cm³ 이하로 하여 수행하면 좋다.
- [0203] 다음에, 반도체(536b)를 성막한다. 반도체(536b)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다. 반도체(536b)에 대해서는 반도체(406b)가 되는 반도체에 대한 설명을 참조한다. 또한, 반도체(536a)의 성막과 반도체(536b)의 성막은 대기에 노출시키지 않고 연속적으로 수행함으로써, 막 내 및 계면으로의 불순물 혼입을 저감할 수 있다.
- [0204] 다음에, 가열 처리를 수행하는 것이 바람직하다. 가열 처리의 온도는 250℃ 이상 650℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 더 바람직하게는 520℃ 이상 570℃ 이하로 하면 좋다. 가열 처리는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 함유하는 분위기에서 수행한다. 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 함유하는 분위기에서 가열 처리를 수행하여도 좋다. 가열 처리에 의하여, 반도체(536a) 및 반도체(536b)의 결정성을 높이거나 수소나 물 등 불순물을 제거하거나 할 수 있다.
- [0205] 다음에, 반도체(536a) 및 반도체(536b)에 불소를 첨가하여도 좋다. 또한, 반도체(536a) 및 반도체(536b)의 가열 처리와 반도체(536a) 및 반도체(536b)에 대한 불소 첨가는 어느 쪽을 먼저 수행하여도 좋다.
- [0206] 불소의 첨가는 예를 들어, 이온 주입법에 의하여 가속 전압을 1kV 이상 200kV 이하, 바람직하게는 5kV 이상 100kV 이하로 하고, 도즈량을 5×10^{19} ions/cm³ 이상 5×10^{22} ions/cm³ 이하, 바람직하게는 1×10^{20} ions/cm³ 이상 1×10^{22} ions/cm³ 이하로 하여 수행하면 좋다.
- [0207] 다음에, 도전체를 성막한다. 도전체는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다. 도전체에 대해서는 도전체(416a) 및 도전체(416b)가 되는 도전체에 대한 설명을 참조한다.
- [0208] 다음에, 도전체 위에 레지스트 등을 형성하고, 이 레지스트를 이용하여 가공하여 도전체(516a) 및 도전체(516b)를 형성한다(도 17 참조).
- [0209] 다음에, 반도체(536a) 및 반도체(536b)에 불소를 첨가하여도 좋다. 불소의 첨가는 도전체(516a) 및 도전체(516b)를 마스크로 이용하여 수행할 수 있다. 이로써, 반도체(536a) 및 반도체(536b) 중 도전체(516a) 및 도전체(516b)와 중첩되지 않은 영역에 선택적으로 불소를 첨가할 수 있다.
- [0210] 또한, 예를 들어 도전체(516a) 및 도전체(516b)의 두께를 얇게 함으로써, 반도체(536a) 및 반도체(536b) 중 도전체(516a) 및 도전체(516b)와 중첩된 영역에도 불소를 첨가하여도 좋다. 그러므로, 도전체(516a) 및 도전체(516b)와 중첩된 영역과, 중첩되지 않은 영역에서 다른 불소 농도를 가지는 반도체(536a) 및 반도체(536b)를 형성할 수 있다. 예를 들어, 반도체(536a) 및 반도체(536b) 중 도전체(516a) 및 도전체(516b)와 중첩된 영역은 도전체(516a) 및 도전체(516b)와 중첩되지 않은 영역보다 불소 농도가 낮다.
- [0211] 불소의 첨가는 예를 들어, 이온 주입법에 의하여 가속 전압을 1kV 이상 200kV 이하, 바람직하게는 5kV 이상

100kV 이하로 하고, 도즈량을 5×10^{19} ions/cm³ 이상 5×10^{22} ions/cm³ 이하, 바람직하게는 1×10^{20} ions/cm³ 이상 1×10^{22} ions/cm³ 이하로 하여 수행하면 좋다.

- [0212] 다음에, 반도체(536b) 위에 레지스트 등을 형성하고, 이 레지스트와 도전체(516a) 및 도전체(516b)를 이용하여 가공하여 반도체(506a) 및 반도체(506b)를 형성한다(도 18 참조).
- [0213] 또한, 도전체(516a), 도전체(516b), 반도체(506a), 및 반도체(506b)의 형성은 도전체를 형성한 후, 이하에 제시하는 방법으로 수행하여도 좋다.
- [0214] 우선, 도전체 위에 레지스트 등을 형성하고, 이 레지스트를 이용하여 가공하여 도전체(516), 반도체(506a), 및 반도체(506b)를 형성한다(도 21 참조). 이 때, 반도체(506a) 및 반도체(506b)는 레지스트를 제거하고 나서 도전체(516)를 이용하여 가공하여도 좋다.
- [0215] 다음에, 도전체(516) 위에 레지스트 등을 형성하고, 이 레지스트를 이용하여 가공하여 도전체(516a) 및 도전체(516b)를 형성한다(도 18 참조).
- [0216] 다음에, 반도체(536c)를 성막한다. 반도체(536c)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다. 반도체(536c)에 대해서는 반도체(436c)에 대한 설명을 참조한다.
- [0217] 다음에, 절연체(542)를 성막한다. 절연체(542)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다. 절연체(542)에 대해서는 절연체(442)에 대한 설명을 참조한다.
- [0218] 다음에, 절연체(542)를 통하여 반도체(506a), 반도체(506b), 및 반도체(536c)에 불소를 첨가하여도 좋다. 또한, 반도체(506a), 반도체(506b), 및 반도체(536c) 모두에 불소를 첨가할 필요는 없으며, 어느 한 층 또는 2층에 불소를 첨가하여도 좋다. 또한, 절연체(542)에 불소를 첨가하여도 좋다.
- [0219] 불소의 첨가는 예를 들어, 이온 주입법에 의하여 가속 전압을 1kV 이상 200kV 이하, 바람직하게는 5kV 이상 100kV 이하로 하고, 도즈량을 5×10^{19} ions/cm³ 이상 5×10^{22} ions/cm³ 이하, 바람직하게는 1×10^{20} ions/cm³ 이상 1×10^{22} ions/cm³ 이하로 하여 수행하면 좋다.
- [0220] 다음에, 도전체(534)를 성막한다(도 19 참조). 도전체(534)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 이용하여 성막할 수 있다. 도전체(534)에 대해서는 도전체(434)에 대한 설명을 참조한다.
- [0221] 다음에, 도전체(534) 위에 레지스트 등을 형성하고, 이 레지스트를 이용하여 가공하여 도전체(504)를 형성한다. 또한, 상기 레지스트 또는 도전체(504)를 이용하여 절연체(542)를 가공하여 절연체(512)를 형성한다. 또한, 상기 레지스트, 도전체(504), 또는 절연체(542)를 이용하여 반도체(536c)를 가공하여 반도체(506c)를 형성한다(도 20 참조). 또한, 여기서는 상면으로부터 보았을 때, 반도체(506c)와 절연체(512)와 도전체(504)가 같은 형상이 되도록 가공하였지만, 이 형상에 한정되지 않는다. 예를 들어, 절연체(512)와 도전체(504)를 다른 레지스트를 이용하여 가공하여도 좋다. 예를 들어, 절연체(512)를 형성하고 나서 도전체(504)가 되는 도전체를 성막하여도 좋고, 도전체(504)를 형성한 후에 절연체(512)가 되는 절연체 위에 다른 레지스트 등을 형성하여도 좋다. 또한, 예를 들어 반도체(506c)는 인접한 트랜지스터 등과 공유되어 제공되어도 좋다.
- [0222] 다음에, 절연체를 성막하여도 좋다. 절연체는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 성막할 수 있다.
- [0223] 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈륨을 포함하는 절연체를 단층 또는 적층 구조로 사용하면 좋다. 절연체로서는 바람직하게는 산화 알루미늄, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈륨을 포함하는 절연체를 단층 또는 적층 구조로 사용하면 좋다.
- [0224] 절연체는 배리어층으로서의 기능을 가지는 것이 바람직하다. 절연체는 예를 들어, 산소 및/또는 수소를 차단하는 기능을 가진다. 또는, 절연체는 예를 들어 절연체(502) 또는 절연체(512)보다 산소 또는/및 수소를 차단하는 능력이 높은 것이 바람직하다.
- [0225] 이러한 공정을 거쳐 본 발명의 일 형태에 따른 트랜지스터를 제작할 수 있다.
- [0226] 상술한 바와 같이 반도체의 채널 형성 영역에 불소를 첨가함으로써, 반도체 내의 산소 결손을 보상할 수 있다.

또한, 안정적인 결합을 형성하는 불소에 의하여 산소 결손을 보상함으로써, 안정적이고 양호한 전기 특성을 가지는 트랜지스터를 제공할 수 있다.

- [0227] 도 20의 (B)와 같이 트랜지스터는 s-channel 구조를 가진다. 또한, 도전체(504) 및 도전체(513)로부터의 전계가 반도체(506b)의 측면에서 도전체(516a) 및 도전체(516b) 등에 의하여 저해되기 어려운 구조이다.
- [0228] 또한, 도전체(513)를 형성하지 않아도 된다(도 22의 (A) 참조). 또한, 절연체(512) 및 반도체(506c)가 도전체(504)보다 돌출된 형상이어도 좋다(도 22의 (B) 참조). 또한, 절연체(542) 및 반도체(536c)를 가공하지 않아도 된다(도 22의 (C) 참조). 또한, F1-F2 단면에서의 도전체(513)의 폭이 반도체(506b)보다 커도 좋다(도 23의 (A) 참조). 또한, 도전체(513)와 도전체(504)가 개구부를 통하여 접촉되어도 좋다(도 23의 (B) 참조). 또한, 도전체(504)를 제공하지 않아도 된다(도 23의 (C) 참조).
- [0229] (실시형태 3)
- [0230] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터 등을 사용한 반도체 장치의 회로의 일례에 대하여 설명한다.
- [0231] <CMOS 인버터>
- [0232] 도 24의 (A)의 회로도에는 p채널형 트랜지스터(2200)와 n채널형 트랜지스터(2100)를 직렬로 접속하고 각각의 게이트를 접속한, 소위 CMOS 인버터의 구성을 도시한 것이다. n채널형 트랜지스터(2100)에는 산화물 반도체를 포함하는 트랜지스터를 사용하는 것이 바람직하다. 이로써, CMOS 인버터 회로의 소비 전력을 저감시킬 수 있다.
- [0233] <CMOS 아날로그 스위치>
- [0234] 또한, 도 24의 (B)의 회로도에는 트랜지스터(2100) 및 트랜지스터(2200) 각각의 소스와 드레인을 접속한 구성을 도시한 것이다. 이러한 구성으로 함으로써, 소위 CMOS 아날로그 스위치로서 기능시킬 수 있다. n채널형 트랜지스터(2100)에는 산화물 반도체를 포함하는 트랜지스터를 사용하는 것이 바람직하다.
- [0235] <반도체 장치의 구조 1>
- [0236] 도 25는 도 24의 (A)에 대응하는 반도체 장치의 단면도이다. 도 25에 도시된 반도체 장치는 트랜지스터(2200) 및 트랜지스터(2100)를 가진다. 또한, 트랜지스터(2100)는 트랜지스터(2200) 상방에 배치된다. 또한, 트랜지스터(2100)로서 도 20에 도시된 트랜지스터를 사용한 경우의 예를 도시하였지만 본 발명의 일 형태에 따른 반도체 장치는 이에 한정되지 않는다. 예를 들어, 도 6, 도 7, 도 8, 도 22, 또는 도 23 등에 도시된 트랜지스터 등을 트랜지스터(2100)로서 사용하여도 좋다. 따라서, 트랜지스터(2100)에 대해서는 상술한 트랜지스터에 대한 설명을 적절히 참조하기 바란다.
- [0237] 도 25에 도시된 트랜지스터(2200)는 반도체 기판(450)을 사용한 트랜지스터이다. 트랜지스터(2200)는 반도체 기판(450) 내의 영역(472a), 반도체 기판(450) 내의 영역(472b), 절연체(462), 및 도전체(454)를 가진다.
- [0238] 트랜지스터(2200)에서 영역(472a) 및 영역(472b)은 소스 영역 및 드레인 영역으로서의 기능을 가진다. 또한, 절연체(462)는 게이트 절연체로서의 기능을 가진다. 또한, 도전체(454)는 게이트 전극으로서의 기능을 가진다. 따라서, 도전체(454)에 인가하는 전위에 의하여 채널 형성 영역의 저항을 제어할 수 있다. 즉, 도전체(454)에 인가하는 전위에 의하여 영역(472a)과 영역(472b) 사이의 도통/비도통을 제어할 수 있다.
- [0239] 반도체 기판(450)으로서, 예를 들어 실리콘, 저마늄 등으로 이루어진 단체 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨 등으로 이루어진 화합물 반도체 기판 등을 사용하면 좋다. 바람직하게는 반도체 기판(450)으로서 단결정 실리콘 기판을 사용한다.
- [0240] 반도체 기판(450)으로서 n형 도전형을 부여하는 불순물을 가지는 반도체 기판을 사용한다. 다만, 반도체 기판(450)으로서 p형 도전형을 부여하는 불순물을 가지는 반도체 기판을 사용하여도 좋다. 이 경우 트랜지스터(2200)가 되는 영역에는 n형 도전형을 부여하는 불순물을 가지는 웰(well)을 배치하면 좋다. 또는, 반도체 기판(450)이 i형이어도 좋다.
- [0241] 반도체 기판(450) 상면은 (110)면을 가지는 것이 바람직하다. 이로써 트랜지스터(2200)의 온 특성을 향상시킬 수 있다.
- [0242] 영역(472a) 및 영역(472b)은 p형 도전형을 부여하는 불순물을 가지는 영역이다. 이와 같이 하여 트랜지스터(2200)는 p채널형 트랜지스터를 구성한다.

- [0243] 또한, 트랜지스터(2200)는 영역(460) 등에 의하여 인접한 트랜지스터와 분리된다. 영역(460)은 절연성을 가지는 영역이다.
- [0244] 도 25에 도시된 반도체 장치는 절연체(464), 절연체(466), 절연체(468), 도전체(480a), 도전체(480b), 도전체(480c), 도전체(478a), 도전체(478b), 도전체(478c), 도전체(476a), 도전체(476b), 도전체(474a), 도전체(474b), 도전체(474c), 도전체(496a), 도전체(496b), 도전체(496c), 도전체(496d), 도전체(498a), 도전체(498b), 도전체(498c), 절연체(490), 절연체(492), 및 절연체(494)를 가진다.
- [0245] 절연체(464)는 트랜지스터(2200) 위에 배치된다. 또한, 절연체(466)는 절연체(464) 위에 배치된다. 또한, 절연체(468)는 절연체(466) 위에 배치된다. 또한, 절연체(490)는 절연체(468) 위에 배치된다. 또한, 트랜지스터(2100)는 절연체(490) 위에 배치된다. 또한, 절연체(492)는 트랜지스터(2100) 위에 배치된다. 또한, 절연체(494)는 절연체(492) 위에 배치된다.
- [0246] 절연체(464)는 영역(472a)에 도달되는 개구부와, 영역(472b)에 도달되는 개구부와, 도전체(454)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(480a), 도전체(480b), 또는 도전체(480c)로 매립된다.
- [0247] 또한, 절연체(466)는 도전체(480a)에 도달되는 개구부와, 도전체(480b)에 도달되는 개구부와, 도전체(480c)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(478a), 도전체(478b), 또는 도전체(478c)로 매립된다.
- [0248] 또한, 절연체(468)는 도전체(478b)에 도달되는 개구부와, 도전체(478c)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(476a) 또는 도전체(476b)로 매립된다.
- [0249] 또한, 절연체(490)는 트랜지스터(2100)의 채널 형성 영역과 중첩되는 개구부와, 도전체(476a)에 도달되는 개구부와, 도전체(476b)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(474a), 도전체(474b), 또는 도전체(474c)로 매립된다.
- [0250] 도전체(474a)는 트랜지스터(2100)의 게이트 전극으로서의 기능을 가져도 좋다. 또는, 예를 들어, 도전체(474a)에 일정한 전위를 인가함으로써 트랜지스터(2100)의 문턱 전압 등의 전기 특성을 제어하여도 좋다. 또는, 예를 들어, 도전체(474a)와 트랜지스터(2100)의 게이트 전극으로서의 기능을 가지는 도전체(404)를 전기적으로 접속하여도 좋다. 이로써 트랜지스터(2100)의 온 전류를 크게 할 수 있다. 또한, 편치스루 현상을 억제할 수 있기 때문에 트랜지스터(2100)의 포화 영역에서의 전기 특성을 안정하게 할 수 있다.
- [0251] 또한, 절연체(492)는 트랜지스터(2100)의 소스 전극 및 드레인 전극 중 한쪽인 도전체(516b)를 통하여 도전체(474b)에 도달되는 개구부와, 트랜지스터(2100)의 소스 전극 및 드레인 전극 중 다른 쪽인 도전체(516a)에 도달되는 개구부와, 트랜지스터(2100)의 게이트 전극인 도전체(504)에 도달되는 개구부와, 도전체(474c)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(496a), 도전체(496b), 도전체(496c), 또는 도전체(496d)로 매립된다. 다만, 각 개구부는 트랜지스터(2100) 등의 구성 요소 중 어느 것을 더 관통하는 경우가 있다.
- [0252] 또한, 절연체(494)는 도전체(496a)에 도달되는 개구부와, 도전체(496b) 및 도전체(496d)에 도달되는 개구부와, 도전체(496c)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(498a), 도전체(498b), 또는 도전체(498c)로 매립된다.
- [0253] 절연체(464), 절연체(466), 절연체(468), 절연체(490), 절연체(492), 및 절연체(494)로서는 예를 들어 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈륨을 포함하는 절연체를 단층 또는 적층 구조로 사용하면 좋다. 예를 들어, 절연체(401)로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈륨을 사용하면 좋다.
- [0254] 절연체(464), 절연체(466), 절연체(468), 절연체(490), 절연체(492), 및 절연체(494) 중 하나 이상은 수소 등 불순물 및 산소를 차단하는 기능을 가지는 절연체를 가지는 것이 바람직하다. 트랜지스터(2100) 근방에 수소 등 불순물 및 산소를 차단하는 기능을 가지는 절연체를 배치함으로써 트랜지스터(2100)의 전기 특성을 안정하게 할 수 있다.
- [0255] 수소 등 불순물 및 산소를 차단하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 불소, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또

는 탄탈륨을 포함하는 절연체를 단층 또는 적층 구조로 사용하면 좋다.

[0256] 도전체(480a), 도전체(480b), 도전체(480c), 도전체(478a), 도전체(478b), 도전체(478c), 도전체(476a), 도전체(476b), 도전체(474a), 도전체(474b), 도전체(474c), 도전체(496a), 도전체(496b), 도전체(496c), 도전체(496d), 도전체(498a), 도전체(498b), 및 도전체(498c)로서는 예를 들어 붕소, 질소, 산소, 불소, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브데넘, 루테튬, 은, 인듐, 주석, 탄탈륨, 및 텅스텐 중 1종류 이상을 포함하는 도전체를 단층 또는 적층 구조로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 포함하는 도전체, 구리 및 타이타늄을 포함하는 도전체, 구리 및 망가니즈를 포함하는 도전체, 인듐, 주석, 및 산소를 포함하는 도전체, 타이타늄 및 질소를 포함하는 도전체 등을 사용하여도 좋다.

[0257] 또한, 도 26에 도시된 반도체 장치는 도 25에 도시된 반도체 장치와 트랜지스터(2200)의 구조만이 다르다. 따라서, 도 26에 도시된 반도체 장치에 대해서는 도 25에 도시된 반도체 장치에 관한 설명을 참조하기 바란다. 구체적으로는 도 26은, 반도체 장치에서 트랜지스터(2200)를 Fin형 트랜지스터로 하는 경우를 도시한 것이다. 트랜지스터(2200)를 Fin형 트랜지스터로 함으로써 실효적인 채널 폭이 증대되고, 이로써 트랜지스터(2200)의 온 특성을 향상시킬 수 있다. 또한, 게이트 전극의 전계의 기여를 크게 할 수 있기 때문에 트랜지스터(2200)의 오프 특성을 향상시킬 수 있다.

[0258] 또한, 도 27에 도시된 반도체 장치는 도 25에 도시된 반도체 장치와 트랜지스터(2200)의 구조만이 다르다. 따라서, 도 27에 도시된 반도체 장치에 대해서는 도 25에 도시된 반도체 장치에 관한 설명을 참조하기 바란다. 구체적으로는 도 27은, 반도체 장치에서 트랜지스터(2200)가 SOI 기판인 반도체 기판(450)에 제공되는 경우를 도시한 것이다. 도 27에는 절연체(452)에 의하여 영역(456)이 반도체 기판(450)과 분리되어 있는 구조를 도시하였다. 반도체 기판(450)으로서 SOI 기판을 사용함으로써 펀치스루 현상 등을 억제할 수 있기 때문에 트랜지스터(2200)의 오프 특성을 향상시킬 수 있다. 또한, 절연체(452)는 반도체 기판(450)의 일부를 절연체화하여 형성할 수 있다. 예를 들어, 절연체(452)로서는 산화 실리콘을 사용할 수 있다.

[0259] 도 25~도 27에 도시된 반도체 장치에서는 반도체 기판을 사용하여 p채널형 트랜지스터를 제작하고 그 상방에 n채널형 트랜지스터를 제작하기 때문에 소자의 점유 면적을 축소할 수 있다. 즉, 반도체 장치의 집적도를 높게 할 수 있다. 또한, n채널형 트랜지스터와 p채널형 트랜지스터를 동일한 반도체 기판을 사용하여 제작하는 경우에 비하여 공정을 간략화할 수 있기 때문에 반도체 장치의 생산성을 높일 수 있다. 또한, 반도체 장치의 수율을 높게 할 수 있다. 또한, p채널형 트랜지스터는 LDD(Lightly Doped Drain) 영역, 얇은 트렌치(shallow trench) 구조, 스트레인 엔지니어링(strain engineering) 등의 복잡한 공정을 생략 가능한 경우가 있다. 그러므로, n채널형 트랜지스터를 반도체 기판을 사용하여 제작하는 경우에 비하여 생산성 및 수율을 높일 수 있는 경우가 있다.

[0260] <기억 장치 1>

[0261] 본 발명의 일 형태에 따른 트랜지스터를 사용한, 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있고, 기록 횟수에도 제한이 없는 반도체 장치(기억 장치)의 일례를 도 28에 도시하였다.

[0262] 도 28의 (A)에 도시된 반도체 장치는 제 1 반도체를 사용한 트랜지스터(3200), 제 2 반도체를 사용한 트랜지스터(3300), 및 용량 소자(3400)를 가진다. 또한, 트랜지스터(3300)로서는 상술한 트랜지스터를 사용할 수 있다.

[0263] 트랜지스터(3300)는 오프 전류가 작은 트랜지스터인 것이 바람직하다. 트랜지스터(3300)로서는 예를 들어, 산화물 반도체를 사용한 트랜지스터를 사용할 수 있다. 트랜지스터(3300)의 오프 전류가 작은 것에 의하여, 반도체 장치에서의 특정한 노드에 기억 내용이 오랫동안 유지될 수 있다. 즉, 리프레시 동작을 할 필요가 없어지거나, 또는 리프레시 동작의 빈도를 매우 적게 할 수 있게 되기 때문에, 소비 전력이 낮은 반도체 장치가 된다.

[0264] 도 28의 (A)에서 제 1 배선(3001)은 트랜지스터(3200)의 소스와 전기적으로 접속되고, 제 2 배선(3002)은 트랜지스터(3200)의 드레인과 전기적으로 접속된다. 또한, 제 3 배선(3003)은 트랜지스터(3300)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 4 배선(3004)은 트랜지스터(3300)의 게이트와 전기적으로 접속된다. 그리고, 트랜지스터(3200)의 게이트와 트랜지스터(3300)의 소스 및 드레인 중 다른 쪽은 용량 소자(3400)의 한쪽 전극에 전기적으로 접속되고, 제 5 배선(3005)은 용량 소자(3400)의 다른 쪽 전극에 전기적으로 접속된다.

[0265] 도 28의 (A)에 도시된 반도체 장치는 트랜지스터(3200)의 게이트의 전위를 유지할 수 있다는 특성을 가지기 때문에 다음과 같이 정보의 기록, 유지, 판독이 가능하다.

- [0266] 정보의 기록 및 유지에 대하여 설명한다. 먼저, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 온 상태가 되는 전위로 하여 트랜지스터(3300)를 온 상태로 한다. 이로써, 제 3 배선(3003)의 전위가, 트랜지스터(3200)의 게이트 및 용량 소자(3400)의 한쪽 전극에 전기적으로 접속되는 노드(FG)에 공급된다. 즉, 트랜지스터(3200)의 게이트에는, 소정의 전하가 공급된다(기록). 여기서는, 두 가지의 다른 전위 레벨을 부여하는 전하(이하, Low 레벨 전하, High 레벨 전하라고 함) 중 어느 하나가 공급된다. 그 후, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 오프 상태가 되는 전위로 하여 트랜지스터(3300)를 오프 상태로 함으로써, 노드(FG)에 전하가 유지된다(유지).
- [0267] 트랜지스터(3300)의 오프 전류는 매우 작기 때문에, 노드(FG)의 전하는 오랫동안 유지된다.
- [0268] 다음에, 정보의 판독에 대하여 설명한다. 제 1 배선(3001)에 소정의 전위(정(定)전위)를 공급한 상태에서 제 5 배선(3005)에 적절한 전위(판독 전위)를 공급하면, 제 2 배선(3002)의 전위는 노드(FG)에 유지된 전하량에 따른 전위가 된다. 이 이유는, 트랜지스터(3200)를 n채널형 트랜지스터로 하면, 트랜지스터(3200)의 게이트에 High 레벨 전하가 공급되는 경우의 외관상 문턱 전압($V_{th,H}$)이 트랜지스터(3200)의 게이트에 Low 레벨 전하가 공급되는 경우의 외관상 문턱 전압($V_{th,L}$)보다 낮게 되기 때문이다. 여기서 외관상 문턱 전압이란, 트랜지스터(3200)를 '온 상태'로 하는 데 필요한 제 5 배선(3005)의 전위를 말한다. 따라서, 제 5 배선(3005)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 사이의 전위(V_0)로 함으로써 노드(FG)에 공급된 전하를 판별할 수 있다. 예를 들어, 기록에 있어서 노드(FG)에 High 레벨 전하가 공급된 경우에는 제 5 배선(3005)의 전위가 $V_0(>V_{th,H})$ 이 되면 트랜지스터(3200)는 '온 상태'가 된다. 한편, 노드(FG)에 Low 레벨 전하가 공급된 경우에는 제 5 배선(3005)의 전위가 $V_0(<V_{th,L})$ 이 되더라도 트랜지스터(3200)는 '오프 상태'로 유지된다. 따라서, 제 2 배선(3002)의 전위를 판별함으로써, 노드(FG)에 유지된 정보를 판독할 수 있다.
- [0269] 또한, 메모리 셀을 어레이 형태로 배치하는 경우, 판독 시에 원하는 메모리 셀의 정보를 판독할 필요가 있다. 다른 메모리 셀의 정보를 판독하지 않기 위해서는, 노드(FG)에 공급된 전하에 상관없이 트랜지스터(3200)가 '오프 상태'가 되는 전위, 즉 $V_{th,H}$ 보다 낮은 전위를 제 5 배선(3005)에 공급하면 좋다. 또는, 노드(FG)에 공급된 전하에 상관없이 트랜지스터(3200)가 '온 상태'가 되는 전위, 즉 $V_{th,L}$ 보다 높은 전위를 제 5 배선(3005)에 공급하면 좋다.
- [0270] <기억 장치 2>
- [0271] 도 28의 (B)에 도시된 반도체 장치는 트랜지스터(3200)를 가지지 않는 점에서 도 28의 (A)에 도시된 반도체 장치와 다르다. 이 경우에도 도 28의 (A)에 도시된 반도체 장치와 같은 동작에 의하여 정보를 기록 및 유지할 수 있다.
- [0272] 도 28의 (B)에 도시된 반도체 장치에서의 정보의 판독에 대하여 설명한다. 트랜지스터(3300)가 온 상태가 되면, 부유 상태인 제 3 배선(3003)과 용량 소자(3400)가 도통되어 제 3 배선(3003)과 용량 소자(3400) 사이에서 전하가 재분배된다. 이 결과, 제 3 배선(3003)의 전위가 변화된다. 제 3 배선(3003)의 전위의 변화량은 용량 소자(3400)의 한쪽 전극의 전위(또는 용량 소자(3400)에 축적된 전하)에 따라 달라진다.
- [0273] 예를 들어, 용량 소자(3400)의 한쪽 전극의 전위를 V 로, 용량 소자(3400)의 용량을 C 로, 제 3 배선(3003)이 가지는 용량 성분을 CB 로, 전하가 재분배되기 전의 제 3 배선(3003)의 전위를 V_{B0} 로 하면, 전하가 재분배된 후의 제 3 배선(3003)의 전위는 $(CB \times V_{B0} + C \times V) / (CB + C)$ 가 된다. 따라서, 메모리 셀의 상태로서 용량 소자(3400)의 한쪽 전극의 전위가 V_1 과 $V_0(V_1 > V_0)$ 의 두 가지 상태를 취하는 것으로 가정하면, 전위(V_1)를 유지하고 있는 경우의 제 3 배선(3003)의 전위 $(= (CB \times V_{B0} + C \times V_1) / (CB + C))$ 는 전위(V_0)를 유지하고 있는 경우의 제 3 배선(3003)의 전위 $(= (CB \times V_{B0} + C \times V_0) / (CB + C))$ 보다 높게 되는 것을 알 수 있다.
- [0274] 그리고, 제 3 배선(3003)의 전위를 소정의 전위와 비교함으로써 정보를 판독할 수 있다.
- [0275] 이 경우, 메모리 셀을 구동시키기 위한 구동 회로에 상기 제 1 반도체가 적용된 트랜지스터를 사용하고, 트랜지스터(3300)로서 상기 제 2 반도체가 적용된 트랜지스터를 구동 회로 위에 적층하여 배치하는 구성으로 하면 좋다.
- [0276] 상술한 반도체 장치는 산화물 반도체를 사용한, 오프 전류가 작은 트랜지스터를 적용함으로써 기억 내용을 오랫동안 유지할 수 있게 된다. 즉, 리프레시 동작을 할 필요가 없어지거나, 또는 리프레시 동작의 빈도를 매우 적

게 할 수 있게 되기 때문에, 소비 전력이 낮은 반도체 장치를 구현할 수 있다. 또한, 전력이 공급되지 않는 경우(다만, 전위는 고정되는 것이 바람직함)에도 기억 내용을 오랫동안 유지할 수 있다.

[0277] 또한, 상기 반도체 장치는 정보의 기록에 높은 전압을 필요로 하지 않기 때문에 소자가 열화되기 어렵다. 예를 들어, 종래의 비휘발성 메모리와 같이, 플로팅 게이트에 전자를 주입하거나, 플로팅 게이트로부터 전자를 추출할 필요가 없기 때문에, 절연체의 열화 등의 문제가 생기지 않는다. 즉, 본 발명의 일 형태에 따른 반도체 장치는 종래의 비휘발성 메모리에서 문제가 되고 있는 재기록 가능 횟수에 제한이 없어, 신뢰성이 비약적으로 향상된 반도체 장치이다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라 정보의 기록이 수행되기 때문에 고속 동작이 가능하다.

[0278] <반도체 장치의 구조 2>

[0279] 도 29는 도 28의 (A)에 대응하는 반도체 장치의 단면도이다. 도 29에 도시된 반도체 장치는 트랜지스터(3200), 트랜지스터(3300), 및 용량 소자(3400)를 가진다. 또한, 트랜지스터(3300) 및 용량 소자(3400)는 트랜지스터(3200) 상방에 배치된다. 또한, 트랜지스터(3300)에 대해서는 상술한 트랜지스터(2100)에 관한 설명을 참조하기 바란다. 또한, 트랜지스터(3200)에 대해서는 도 25에 도시된 트랜지스터(2200)에 관한 설명을 참조하기 바란다. 또한, 도 25를 사용하여 트랜지스터(2200)가 p채널형 트랜지스터인 경우를 설명하였지만 트랜지스터(3200)가 n채널형 트랜지스터이어도 좋다.

[0280] 도 29에 도시된 트랜지스터(3200)는 반도체 기판(450)을 사용한 트랜지스터이다. 트랜지스터(3200)는 반도체 기판(450) 내의 영역(472a), 반도체 기판(450) 내의 영역(472b), 절연체(462), 및 도전체(454)를 가진다.

[0281] 도 29에 도시된 반도체 장치는 절연체(464), 절연체(466), 절연체(468), 도전체(480a), 도전체(480b), 도전체(480c), 도전체(478a), 도전체(478b), 도전체(478c), 도전체(476a), 도전체(476b), 도전체(474a), 도전체(474b), 도전체(474c), 도전체(496a), 도전체(496b), 도전체(496c), 도전체(496d), 도전체(498a), 도전체(498b), 도전체(498c), 도전체(498d), 절연체(490), 절연체(492), 및 절연체(494)를 가진다.

[0282] 절연체(464)는 트랜지스터(3200) 위에 배치된다. 또한, 절연체(466)는 절연체(464) 위에 배치된다. 또한, 절연체(468)는 절연체(466) 위에 배치된다. 또한, 절연체(490)는 절연체(468) 위에 배치된다. 또한, 트랜지스터(3300)는 절연체(490) 위에 배치된다. 또한, 절연체(492)는 트랜지스터(3300) 위에 배치된다. 또한, 절연체(494)는 절연체(492) 위에 배치된다.

[0283] 절연체(464)는 영역(472a)에 도달되는 개구부와, 영역(472b)에 도달되는 개구부와, 도전체(454)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(480a), 도전체(480b), 또는 도전체(480c)로 매립된다.

[0284] 또한, 절연체(466)는 도전체(480a)에 도달되는 개구부와, 도전체(480b)에 도달되는 개구부와, 도전체(480c)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(478a), 도전체(478b), 또는 도전체(478c)로 매립된다.

[0285] 또한, 절연체(468)는 도전체(478b)에 도달되는 개구부와, 도전체(478c)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(476a) 또는 도전체(476b)로 매립된다.

[0286] 또한, 절연체(490)는 트랜지스터(3300)의 채널 형성 영역과 중첩되는 개구부와, 도전체(476a)에 도달되는 개구부와, 도전체(476b)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(474a), 도전체(474b), 또는 도전체(474c)로 매립된다.

[0287] 도전체(474a)는 트랜지스터(3300)의 보텀 게이트 전극으로서의 기능을 가져도 좋다. 또는, 예를 들어, 도전체(474a)에 일정한 전위를 인가함으로써 트랜지스터(3300)의 문턱 전압 등의 전기 특성을 제어하여도 좋다. 또는, 예를 들어, 도전체(474a)와 트랜지스터(3300)의 톱 게이트 전극인 도전체(404)를 전기적으로 접속하여도 좋다. 이로써 트랜지스터(3300)의 온 전류를 크게 할 수 있다. 또한, 펀치스루 현상을 억제할 수 있기 때문에 트랜지스터(3300)의 포화 영역에서의 전기 특성을 안정하게 할 수 있다.

[0288] 또한, 절연체(492)는 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 한쪽인 도전체(516b)를 통하여 도전체(474b)에 도달되는 개구부와, 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 다른 쪽인 도전체(516a)와 절연체(511)를 개재하여 중첩되는 도전체(514)에 도달되는 개구부와, 트랜지스터(3300)의 게이트 전극인 도전체(504)에 도달되는 개구부와, 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 다른 쪽인 도전체(516a)를 통하여 도전체(474c)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(496a), 도전체(496b), 도전체(496c), 또는 도전체(496d)로 매립된다. 다만, 각 개구부는 트랜지스터(3300) 등의 구성 요소 중 어느 것을 더

관통하는 경우가 있다.

- [0289] 또한, 절연체(494)는 도전체(496a)에 도달되는 개구부와, 도전체(496b)에 도달되는 개구부와, 도전체(496c)에 도달되는 개구부와, 도전체(496d)에 도달되는 개구부를 가진다. 또한, 개구부들은 각각 도전체(498a), 도전체(498b), 도전체(498c), 또는 도전체(498d)로 매립된다.
- [0290] 절연체(464), 절연체(466), 절연체(468), 절연체(490), 절연체(492), 및 절연체(494) 중 하나 이상은 수소 등 불순물 및 산소를 차단하는 기능을 가지는 절연체를 가지는 것이 바람직하다. 트랜지스터(3300) 근방에 수소 등 불순물 및 산소를 차단하는 기능을 가지는 절연체를 배치함으로써 트랜지스터(3300)의 전기 특성을 안정하게 할 수 있다.
- [0291] 도전체(498d)로서는, 예를 들어 붕소, 질소, 산소, 플루오린, 실리콘, 인, 알루미늄, 타이타늄, 크롬, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브데넘, 루테튬, 은, 인듐, 주석, 탄탈럼, 및 텅스텐 중 1종류 이상을 포함하는 도전체를 단층 또는 적층 구조로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 포함하는 도전체, 구리 및 타이타늄을 포함하는 도전체, 구리 및 망가니즈를 포함하는 도전체, 인듐, 주석, 및 산소를 포함하는 도전체, 타이타늄 및 질소를 포함하는 도전체 등을 사용하여도 좋다.
- [0292] 트랜지스터(3200)의 소스 또는 드레인은 도전체(480b), 도전체(478b), 도전체(476a), 도전체(474b), 및 도전체(496c)를 통하여 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 한쪽인 도전체(516b)와 전기적으로 접속된다. 또한, 트랜지스터(3200)의 게이트 전극인 도전체(454)는 도전체(480c), 도전체(478c), 도전체(476b), 도전체(474c), 및 도전체(496d)를 통하여 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 다른 쪽인 도전체(516a)와 전기적으로 접속된다.
- [0293] 용량 소자(3400)는 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 다른 쪽과 전기적으로 접속되는 전극과, 도전체(514) 및 절연체(511)를 가진다. 또한, 절연체(511)는 트랜지스터(3300)의 게이트 절연체로서 기능하는 절연체(512)와 동일한 공정을 거쳐 형성될 수 있기 때문에 생산성을 높일 수 있으므로 바람직한 경우가 있다. 또한, 도전체(514)로서 트랜지스터(3300)의 게이트 전극으로서 기능하는 도전체(504)와 동일한 공정을 거쳐 형성된 층을 사용하면 생산성을 높일 수 있으므로 바람직한 경우가 있다.
- [0294] 이 외의 구조에 대해서는 도 25 등에 대한 설명을 적절히 참조할 수 있다.
- [0295] 또한, 도 30에 도시된 반도체 장치는 도 29에 도시된 반도체 장치와 트랜지스터(3200)의 구조만이 다르다. 따라서, 도 30에 도시된 반도체 장치에 대해서는 도 29에 도시된 반도체 장치에 관한 설명을 참조하기 바란다. 구체적으로는 도 30은, 반도체 장치에서 트랜지스터(3200)를 Fin형 트랜지스터로 하는 경우를 도시한 것이다. Fin형 트랜지스터인 트랜지스터(3200)에 대해서는 도 26에 도시된 트랜지스터(2200)에 관한 설명을 참조하기 바란다. 또한, 도 26을 사용하여 트랜지스터(2200)가 p채널형 트랜지스터인 경우를 설명하였지만 트랜지스터(3200)가 n채널형 트랜지스터이어도 좋다.
- [0296] 또한, 도 31에 도시된 반도체 장치는 도 29에 도시된 반도체 장치와 트랜지스터(3200)의 구조만이 다르다. 따라서, 도 31에 도시된 반도체 장치에 대해서는 도 29에 도시된 반도체 장치에 관한 설명을 참조하기 바란다. 구체적으로는 도 31은 반도체 장치에서 트랜지스터(3200)가 SOI 기판인 반도체 기판(450)에 제공되는 경우를 도시한 것이다. SOI 기판인 반도체 기판(450)에 제공된 트랜지스터(3200)에 대해서는 도 27에 도시된 트랜지스터(2200)에 관한 설명을 참조하기 바란다. 또한, 도 27을 사용하여 트랜지스터(2200)가 p채널형 트랜지스터인 경우를 설명하였지만 트랜지스터(3200)가 n채널형 트랜지스터이어도 좋다.
- [0297] <활상 장치>
- [0298] 이하에서는 본 발명의 일 형태에 따른 활상 장치에 대하여 설명한다.
- [0299] 도 32의 (A)는 본 발명의 일 형태에 따른 활상 장치(200)의 예를 도시한 평면도이다. 활상 장치(200)는 화소부(210), 화소부(210)를 구동하기 위한 주변 회로(260), 주변 회로(270), 주변 회로(280), 및 주변 회로(290)를 가진다. 화소부(210)는 p행 q열(p 및 q는 2 이상의 정수)의 매트릭스 형태로 배치된 복수의 화소(211)를 가진다. 주변 회로(260), 주변 회로(270), 주변 회로(280), 및 주변 회로(290)는 각각 복수의 화소(211)에 접속되고, 복수의 화소(211)를 구동하기 위한 신호를 공급하는 기능을 가진다. 또한, 본 명세서 등에서 주변 회로(260), 주변 회로(270), 주변 회로(280), 및 주변 회로(290) 등을 통틀어 '주변 회로' 또는 '구동 회로'라고 하는 경우가 있다. 예를 들어, 주변 회로(260)는 주변 회로의 일부라고 할 수 있다.

- [0300] 또한, 촬상 장치(200)는 광원(291)을 가지는 것이 바람직하다. 광원(291)은 검출광(P1)을 방출할 수 있다.
- [0301] 또한, 주변 회로는 적어도 논리 회로, 스위치, 버퍼, 증폭 회로, 또는 변환 회로 중 하나를 가진다. 또한, 주변 회로는 화소부(210)가 형성되는 기판 위에 제작되어도 좋다. 또한, 주변 회로는 그 일부 또는 전체에 IC칩 등의 반도체 장치를 사용하여도 좋다. 또한, 주변 회로 중 주변 회로(260), 주변 회로(270), 주변 회로(280), 및 주변 회로(290) 중 어느 하나 이상을 생략하여도 좋다.
- [0302] 또한, 도 32의 (B)에 도시된 바와 같이, 촬상 장치(200)가 가지는 화소부(210)에, 화소(211)를 기울여서 배치하여도 좋다. 화소(211)를 기울여서 배치함으로써, 행 방향 및 열 방향의 화소 간격(피치)을 짧게 할 수 있다. 이로써, 촬상 장치(200)에 의한 촬상의 질을 더 높일 수 있다.
- [0303] <화소의 구성예 1>
- [0304] 촬상 장치(200)가 가지는 하나의 화소(211)를 복수의 부화소(212)로 구성하고, 각 부화소(212)에 특정한 파장 대역의 광을 투과시키는 필터(컬러 필터)를 조합함으로써 컬러 화상 표시를 실현하기 위한 정보를 취득할 수 있다.
- [0305] 도 33의 (A)는 컬러 화상을 취득하기 위한 화소(211)의 일례를 도시한 평면도이다. 도 33의 (A)에 도시된 화소(211)는 적색(R) 파장 대역의 광을 투과시키는 컬러 필터가 제공된 부화소(212)(이하에서 '부화소(212R)'라고도 함), 녹색(G) 파장 대역의 광을 투과시키는 컬러 필터가 제공된 부화소(212)(이하에서 '부화소(212G)'라고도 함), 및 청색(B) 파장 대역의 광을 투과시키는 컬러 필터가 제공된 부화소(212)(이하에서 '부화소(212B)'라고도 함)를 가진다. 부화소(212)는 포토센서로서 기능시킬 수 있다.
- [0306] 부화소(212)(부화소(212R), 부화소(212G), 및 부화소(212B))는 배선(231), 배선(247), 배선(248), 배선(249), 및 배선(250)과 전기적으로 접속된다. 또한, 부화소(212R), 부화소(212G), 및 부화소(212B)는 각각이 독립된 배선(253)에 접속된다. 또한, 본 명세서 등에서 예를 들어, n번째 행(n은 1 이상 p 이하의 정수)의 화소(211)에 접속된 배선(248) 및 배선(249)을 각각 배선(248[n]) 및 배선(249[n])이라고 기재한다. 또한, 예를 들어 m 번째 열(m은 1 이상 q 이하의 정수)의 화소(211)에 접속된 배선(253)을 배선(253[m])이라고 기재한다. 또한, 도 33의 (A)에서 m번째 열의 화소(211)가 가지는 부화소(212R)에 접속된 배선(253)을 배선(253[m]R), 부화소(212G)에 접속된 배선(253)을 배선(253[m]G), 및 부화소(212B)에 접속된 배선(253)을 배선(253[m]B)이라고 나타내었다. 부화소(212)는 상기 배선을 통하여 주변 회로와 전기적으로 접속된다.
- [0307] 또한, 촬상 장치(200)는, 인접한 화소(211)들에 있어서 같은 파장 대역의 광을 투과시키는 컬러 필터가 제공된 부화소(212)들이 스위치를 통하여 서로 전기적으로 접속되는 구성을 가진다. 도 33의 (B)에 n행 m열에 배치된 화소(211)가 가지는 부화소(212)와, 상기 화소(211)와 인접한 n+1행 m열에 배치된 화소(211)가 가지는 부화소(212)의 접속의 예를 도시하였다. 도 33의 (B)에서, n행 m열에 배치된 부화소(212R)와, n+1행 m열에 배치된 부화소(212R)가 스위치(201)를 통하여 접속되어 있다. 또한, n행 m열에 배치된 부화소(212G)와, n+1행 m열에 배치된 부화소(212G)가 스위치(202)를 통하여 접속되어 있다. 또한, n행 m열에 배치된 부화소(212B)와, n+1행 m열에 배치된 부화소(212B)가 스위치(203)를 통하여 접속되어 있다.
- [0308] 또한, 부화소(212)에 사용하는 컬러 필터는 적색(R), 녹색(G), 청색(B)에 한정되지 않고 각각 시안(C), 황색(Y), 및 마젠타(M)의 광을 투과시키는 컬러 필터를 사용하여도 좋다. 하나의 화소(211)에 3종류의 다른 파장 대역의 광을 검출하는 부화소(212)를 제공함으로써 풀 컬러의 화상을 취득할 수 있다.
- [0309] 또는, 각각 적색(R), 녹색(G), 청색(B)의 광을 투과시키는 컬러 필터가 제공된 부화소(212)들에 더하여 황색(Y)의 광을 투과시키는 컬러 필터가 제공된 부화소(212)를 가지는 화소(211)를 사용하여도 좋다. 또는, 각각 시안(C), 황색(Y), 마젠타(M)의 광을 투과시키는 컬러 필터가 제공된 부화소(212)들에 더하여 청색(B)의 광을 투과시키는 컬러 필터가 제공된 부화소(212)를 가지는 화소(211)를 사용하여도 좋다. 하나의 화소(211)에 4종류의 다른 파장 대역의 광을 검출하는 부화소(212)를 제공함으로써 취득한 화상의 색 재현성을 더 높일 수 있다.
- [0310] 또한, 예를 들어 도 33의 (A)에 있어서 적색의 파장 대역을 검출하는 부화소(212), 녹색의 파장 대역을 검출하는 부화소(212), 및 청색의 파장 대역을 검출하는 부화소(212)의 화소수의 비(또는 수광 면적의 비)는 1:1:1이 아니라도 좋다. 예를 들어, 화소수의 비(수광 면적의 비)를 적:녹:청=1:2:1로 하는 Bayer 배열로 하여도 좋다. 또는, 화소수의 비(수광 면적의 비)를 적:녹:청=1:6:1로 하여도 좋다.
- [0311] 또한, 화소(211)에 제공하는 부화소(212)는 하나라도 좋지만 2개 이상으로 하는 것이 바람직하다. 예를 들어,

같은 파장 대역을 검출하는 부화소(212)를 2개 이상 제공함으로써 중복성(redundancy)을 높여 촬상 장치(200)의 신뢰성을 높일 수 있다.

- [0312] 또한, 가시광을 흡수 또는 반사하여 적외광을 투과시키는 IR(IR: infrared) 필터를 사용하여 적외광을 검출하는 촬상 장치(200)를 구현할 수 있다.
- [0313] 또한, ND(Neutral Density) 필터(감광(減光) 필터)를 사용함으로써 광전 변환 소자(수광 소자)에 대광량의 광이 입사하였을 때 발생하는 출력 포화를 방지할 수 있다. 감광량이 상이한 ND 필터를 조합하여 사용함으로써 촬상 장치의 다이내믹 레인지를 크게 할 수 있다.
- [0314] 또한, 상술한 필터 외에 화소(211)에 렌즈를 제공하여도 좋다. 여기서 도 34의 단면도를 사용하여 화소(211), 필터(254), 및 렌즈(255)의 배치의 예를 설명한다. 렌즈(255)를 제공함으로써 광전 변환 소자가 입사광을 효율적으로 수광할 수 있게 된다. 구체적으로는 도 34의 (A)에 도시된 바와 같이 화소(211)에 형성된 렌즈(255), 필터(254)(필터(254R), 필터(254G), 및 필터(254B)), 및 화소 회로(230) 등을 통하여 광(256)을 광전 변환 소자(220)에 입사시키는 구조로 할 수 있다.
- [0315] 또한, 일점채선으로 둘러싸인 영역에 도시된 바와 같이 화살표로 나타낸 광(256)의 일부가 배선(257)의 일부에 의하여 차광되는 경우가 있다. 따라서, 도 34의 (B)에 도시된 바와 같이 광전 변환 소자(220) 측에 렌즈(255) 및 필터(254)를 배치함으로써 광전 변환 소자(220)에서 광(256)이 효율적으로 수광되는 구조로 하는 것이 바람직하다. 광전 변환 소자(220) 측으로부터 광(256)을 광전 변환 소자(220)로 입사시킴으로써 검출 감도가 높은 촬상 장치(200)를 제공할 수 있다.
- [0316] 도 34에 도시된 광전 변환 소자(220)로서 pn형 접합 또는 pin형 접합이 형성된 광전 변환 소자를 사용하여도 좋다.
- [0317] 또한, 방사선을 흡수하여 전하를 발생시키는 기능을 가지는 물질을 사용하여 광전 변환 소자(220)를 형성하여도 좋다. 방사선을 흡수하여 전하를 발생시키는 기능을 가지는 물질로서는 셀레늄, 아이오딘화 납, 아이오딘화 수은, 비소화 갈륨, 텔루륨화 카드뮴, 카드뮴 아연 합금 등을 들 수 있다.
- [0318] 예를 들어, 광전 변환 소자(220)에 셀레늄을 사용하면 가시광이나 자외광, 적외광에 더하여 X선이나 감마선 등 폭넓은 파장 대역에 걸친 광 흡수 계수를 가지는 광전 변환 소자(220)를 구현할 수 있다.
- [0319] 여기서 촬상 장치(200)가 가지는 하나의 화소(211)는 도 33에 도시된 부화소(212)에 더하여 제 1 필터를 가지는 부화소(212)를 가져도 좋다.
- [0320] <화소의 구성예 2>
- [0321] 이하에서는 실리콘을 사용한 트랜지스터와 산화물 반도체를 사용한 트랜지스터를 사용하여 화소를 구성하는 경우의 일례에 대하여 설명한다.
- [0322] 도 35는 촬상 장치를 구성하는 소자의 단면도이다. 도 35의 (A)에 도시된 촬상 장치는 실리콘 기판(300)에 제공된 실리콘을 사용한 트랜지스터(351), 트랜지스터(351) 위에 적층하여 배치된 산화물 반도체를 사용한 트랜지스터(352) 및 트랜지스터(353), 그리고 실리콘 기판(300)에 제공된 포토다이오드(360)를 포함한다. 각 트랜지스터 및 포토다이오드(360)는 각종 플러그(370) 및 배선(371)과 전기적으로 접속된다. 또한, 포토다이오드(360)의 애노드(361)는 저저항 영역(363)을 통하여 플러그(370)와 전기적으로 접속된다.
- [0323] 또한, 촬상 장치는 실리콘 기판(300)에 제공된 트랜지스터(351) 및 포토다이오드(360)를 가지는 층(310); 층(310)과 접촉되어 제공되고 배선(371)을 가지는 층(320); 층(320)과 접촉되어 제공되고 트랜지스터(352) 및 트랜지스터(353)를 가지는 층(330); 및 층(330)과 접촉되어 제공되고 배선(372) 및 배선(373)을 가지는 층(340)을 가진다.
- [0324] 또한, 도 35의 (A)의 단면도의 일례는 실리콘 기판(300)의 트랜지스터(351)가 형성된 면과는 반대의 면에 포토다이오드(360)의 수광면을 가지는 구성을 도시한 것이다. 상기 구성으로 함으로써 각종 트랜지스터나 배선 등의 영향을 받지 않고 광로를 확보할 수 있다. 그러므로, 개구율이 높은 화소를 형성할 수 있다. 또한, 포토다이오드(360)의 수광면을 트랜지스터(351)가 형성된 면과 같게 할 수도 있다.
- [0325] 또한, 산화물 반도체를 사용한 트랜지스터만을 사용하여 화소를 구성하는 경우에는 층(310)을 산화물 반도체를 사용한 트랜지스터를 가지는 층으로 하면 좋다. 또는, 층(310)을 생략하여 산화물 반도체를 사용한 트랜지스터만으로 화소를 형성하여도 좋다.

- [0326] 또한, 실리콘을 사용한 트랜지스터만을 사용하여 화소를 구성하는 경우에는 층(330)을 생략하면 좋다. 층(330)을 생략한 단면도의 일례를 도 35의 (B)에 도시하였다.
- [0327] 또한, 실리콘 기판(300)은 SOI 기판이라도 좋다. 또한, 실리콘 기판(300) 대신에 저마늄, 실리콘 저마늄, 탄소화 실리콘, 비소화 갈륨, 비소화 알루미늄 갈륨, 인화 인듐, 질화 갈륨, 또는 유기 반도체를 가지는 기판을 사용할 수도 있다.
- [0328] 여기서, 트랜지스터(351) 및 포토다이오드(360)를 가지는 층(310)과, 트랜지스터(352) 및 트랜지스터(353)를 가지는 층(330) 사이에는 절연체(380)가 제공된다. 다만, 절연체(380)의 위치는 한정되지 않는다.
- [0329] 트랜지스터(351)의 채널 형성 영역 근방에 제공되는 절연체 내의 수소는 실리콘의 dangling 본드를 중단시켜 트랜지스터(351)의 신뢰성을 향상시키는 효과가 있다. 한편, 트랜지스터(352) 및 트랜지스터(353) 등의 근방에 제공되는 절연체 내의 수소는, 산화물 반도체 내에 캐리어를 생성하는 요인 중 하나가 된다. 그러므로 트랜지스터(352) 및 트랜지스터(353) 등의 신뢰성이 저하되는 요인이 되는 경우가 있다. 따라서, 실리콘계 반도체를 사용한 트랜지스터 위에 산화물 반도체를 사용한 트랜지스터를 적층하여 제공하는 경우, 이들 사이에 수소를 차단하는 기능을 가지는 절연체(380)를 제공하는 것이 바람직하다. 절연체(380)보다 아래에 수소를 가둠으로써 트랜지스터(351)의 신뢰성을 향상시킬 수 있다. 또한, 절연체(380)보다 아래로부터 절연체(380)보다 위로 수소가 확산되는 것을 억제할 수 있기 때문에 트랜지스터(352) 및 트랜지스터(353) 등의 신뢰성을 향상시킬 수 있다.
- [0330] 절연체(380)에 대해서는 예를 들어, 산소 또는 수소를 차단하는 기능을 가지는 절연체를 사용한다.
- [0331] 또한, 도 35의 (A)의 단면도에서 층(310)에 제공되는 포토다이오드(360)와 층(330)에 제공되는 트랜지스터를 중첩하도록 형성할 수 있다. 이로써 화소의 집적도를 높일 수 있다. 즉, 촬상 장치의 해상도를 높일 수 있다.
- [0332] 또한, 도 36의 (A1) 및 (B1)에 도시된 바와 같이 촬상 장치의 일부 또는 전체를 만곡시켜도 좋다. 도 36의 (A1)은 촬상 장치를 같은 도면 중의 일점쇄선 X1-X2의 방향으로 만곡시킨 상태를 도시한 것이다. 도 36의 (A2)는 도 36의 (A1)을 일점쇄선 X1-X2를 따라 자른 부위의 단면도이다. 도 36의 (A3)은 도 36의 (A1)을 일점쇄선 Y1-Y2를 따라 자른 부위의 단면도이다.
- [0333] 도 36의 (B1)은 촬상 장치를 같은 도면 중의 일점쇄선 X3-X4의 방향으로 만곡시키고 같은 도면 중의 일점쇄선 Y3-Y4의 방향으로 만곡시킨 상태를 도시한 것이다. 도 36의 (B2)는 도 36의 (B1)을 일점쇄선 X3-X4를 따라 자른 부위의 단면도이다. 도 36의 (B3)은 도 36의 (B1)을 일점쇄선 Y3-Y4를 따라 자른 부위의 단면도이다.
- [0334] 촬상 장치를 만곡시킴으로써 상면만곡(像面彎曲)이나 비점수차를 저감할 수 있다. 따라서, 촬상 장치와 조합하여 사용하는 렌즈 등의 광학 설계를 용이하게 할 수 있다. 예를 들어, 수차 보정을 위한 렌즈의 수를 줄일 수 있기 때문에 촬상 장치를 사용한 전자 기기 등의 소형화나 경량화를 실현할 수 있다. 또한, 촬상되는 화상의 품질을 향상시킬 수 있다.
- [0335] <CPU>
- [0336] 상술한 트랜지스터나 기억 장치 등의 반도체 장치를 포함하는 CPU에 대하여 이하에서 설명한다.
- [0337] 도 37은 상술한 트랜지스터를 일부에 사용한 CPU의 구성의 일례를 도시한 블록 다이어그램이다.
- [0338] 도 37에 도시된 CPU는, 기판(1190) 위에 ALU(1191)(Arithmetic logic unit: 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(1189)를 가진다. 기판(1190)으로서는 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 서로 다른 칩에 제공되어도 좋다. 도 37에 도시된 CPU는 그 구성을 간략화하여 도시한 일례에 불과하고, 실제의 CPU는 그 용도에 따라 다양한 구성을 가질 수 있다. 예를 들어, 도 37에 도시된 CPU 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 상기 코어를 복수로 포함하고 각 코어가 병렬로 동작하는 구성으로 하여도 좋다. 또한, CPU가 내부 연산 회로나 데이터 버스에서 취급할 수 있는 비트 수를, 예를 들어 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.
- [0339] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은, 인스트럭션 디코더(1193)에 입력되어 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0340] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코딩된 명령에 따라 각종 제어를 수행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호

를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램 실행 중에, 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태에서부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 관독이나 기록을 수행한다.

[0341] 또한, 타이밍 컨트롤러(1195)는, ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클럭 신호에 기초하여 내부 클럭 신호를 생성하는 내부 클럭 생성부를 포함하며, 내부 클럭 신호를 상기 각종 회로에 공급한다.

[0342] 도 37에 도시된 CPU에서는, 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서는, 상술한 트랜지스터나 기억 장치 등을 사용할 수 있다.

[0343] 도 37에 도시된 CPU에서 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라 레지스터(1196)에서의 유지 동작의 선택을 수행한다. 즉, 레지스터(1196)가 가지는 메모리 셀에서, 플립플롭에 의한 데이터 유지를 수행할지, 용량 소자에서의 데이터 유지를 수행할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되면 레지스터(1196) 내의 메모리 셀에 전원 전압이 공급된다. 용량 소자에서의 데이터 유지가 선택되면 용량 소자에 데이터가 재기록되고 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.

[0344] 도 38은 레지스터(1196)로서 사용할 수 있는 기억 소자(1200)의 회로도의 일례이다. 기억 소자(1200)는 전원 차단에 의하여 기억 데이터가 휘발되는 회로(1201), 전원이 차단되어도 기억 데이터가 휘발되지 않는 회로(1202), 스위치(1203), 스위치(1204), 논리 소자(1206), 용량 소자(1207), 및 선택 기능을 가지는 회로(1220)를 가진다. 회로(1202)는 용량 소자(1208), 트랜지스터(1209), 및 트랜지스터(1210)를 가진다. 또한, 기억 소자(1200)는 필요에 따라 다이오드, 저항 소자, 인덕터 등 기타 소자를 더 가져도 좋다.

[0345] 여기서, 회로(1202)에는 상술한 기억 장치를 사용할 수 있다. 기억 소자(1200)에 대한 전원 전압의 공급이 정지될 때, 회로(1202)의 트랜지스터(1209)의 게이트에는 GND(0V), 또는 트랜지스터(1209)가 오프 상태가 되는 전위가 계속 입력되는 구성으로 한다. 예를 들어, 트랜지스터(1209)의 게이트가 저항 등의 부하를 통하여 접지되는 구성으로 한다.

[0346] 스위치(1203)를 하나의 도전형(예를 들어 n채널형)을 가지는 트랜지스터(1213)를 사용하여 구성하고 스위치(1204)를 상기 하나의 도전형과 반대의 도전형(예를 들어 p채널형)을 가지는 트랜지스터(1214)를 사용하여 구성하는 경우의 예에 대하여 설명한다. 여기서, 스위치(1203)의 제 1 단자는 트랜지스터(1213)의 소스 및 드레인 중 한쪽에 대응하고, 스위치(1203)의 제 2 단자는 트랜지스터(1213)의 소스 및 드레인 중 다른 쪽에 대응하며, 스위치(1203)는 트랜지스터(1213)의 게이트에 입력되는 제어 신호(RD)에 의하여 제 1 단자와 제 2 단자 사이의 도통 또는 비도통 상태(즉, 트랜지스터(1213)의 온 상태 또는 오프 상태)가 선택된다. 스위치(1204)의 제 1 단자는 트랜지스터(1214)의 소스 및 드레인 중 한쪽에 대응하고, 스위치(1204)의 제 2 단자는 트랜지스터(1214)의 소스 및 드레인 중 다른 쪽에 대응하며, 스위치(1204)는, 트랜지스터(1214)의 게이트에 입력되는 제어 신호(RD)에 의하여 그 제 1 단자와 제 2 단자 사이의 도통 또는 비도통 상태(즉, 트랜지스터(1214)의 온 상태 또는 오프 상태)가 선택된다.

[0347] 트랜지스터(1209)의 소스 및 드레인 중 한쪽은 용량 소자(1208)의 한 쌍의 전극 중 한쪽, 및 트랜지스터(1210)의 게이트에 전기적으로 접속된다. 여기서, 접속 부분을 노드(M2)로 한다. 트랜지스터(1210)의 소스 및 드레인 중 한쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속되고, 다른 쪽은 스위치(1203)의 제 1 단자(트랜지스터(1213)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)는 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1204)의 제 2 단자(트랜지스터(1214)의 소스 및 드레인 중 다른 쪽)는 전원 전위(VDD)를 공급할 수 있는 배선에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)와, 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽)와, 논리 소자(1206)의 입력 단자와, 용량 소자(1207)의 한 쌍의 전극 중 한쪽은 전기적으로 접속된다. 여기서, 접속 부분을 노드(M1)로 한다. 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어 GND 선)에 전기적으로 접속된다. 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으

로 접속된다.

- [0348] 또한, 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용함으로써, 용량 소자(1207) 및 용량 소자(1208)를 생략할 수도 있다.
- [0349] 트랜지스터(1209)의 게이트에는 제어 신호(WE)가 입력된다. 스위치(1203) 및 스위치(1204)는, 제어 신호(WE)와는 다른 제어 신호(RD)에 의하여 그 제 1 단자와 제 2 단자 사이의 도통 또는 비도통 상태가 선택되며, 한쪽 스위치의 제 1 단자와 제 2 단자 사이가 도통 상태일 때, 다른 쪽 스위치의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다.
- [0350] 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에는 회로(1201)에 유지된 데이터에 대응하는 신호가 입력된다. 도 38에는 회로(1201)로부터 출력된 신호가 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에 입력되는 경우의 예를 도시하였다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 논리 소자(1206)에 의하여 그 논리값이 반전된 반전 신호가 되고 회로(1220)를 통하여 회로(1201)에 입력된다.
- [0351] 또한, 도 38에는 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호가 논리 소자(1206) 및 회로(1220)를 통하여 회로(1201)에 입력되는 경우의 예를 도시하였지만, 이에 한정되지 않는다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 논리값이 반전되지 않고 회로(1201)에 입력되어도 좋다. 예를 들어, 회로(1201) 내에, 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.
- [0352] 또한, 도 38에서, 기억 소자(1200)에 사용되는 트랜지스터들 중 트랜지스터(1209) 외의 트랜지스터는 산화물 반도체 외의 반도체로 이루어지는 층 또는 기관(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 실리콘막 또는 실리콘 기관에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 기억 소자(1200)에 사용되는 모든 트랜지스터를, 산화물 반도체에 채널이 형성되는 트랜지스터로 할 수도 있다. 또는, 기억 소자(1200)는 트랜지스터(1209) 외에도, 산화물 반도체에 채널이 형성되는 트랜지스터를 포함하여도 좋고, 나머지 트랜지스터는 산화물 반도체 외의 반도체로 이루어지는 층 또는 기관(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.
- [0353] 도 38에서의 회로(1201)에는 예를 들어 플립플롭 회로를 이용할 수 있다. 또한, 논리 소자(1206)로서는 예를 들어 인버터나 클럭드 인버터 등을 사용할 수 있다.
- [0354] 본 발명의 일 형태에 따른 반도체 장치에서는 기억 소자(1200)에 전원 전압이 공급되지 않는 동안은 회로(1201)에 기억된 데이터를 회로(1202)에 제공된 용량 소자(1208)에 의하여 유지할 수 있다.
- [0355] 또한, 산화물 반도체에 채널이 형성되는 트랜지스터의 오프 전류는 매우 작다. 예를 들어, 산화물 반도체에 채널이 형성되는 트랜지스터의 오프 전류는 결정성을 가지는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비하여 매우 작다. 그러므로, 상기 트랜지스터를 트랜지스터(1209)로서 사용함으로써, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안에도 용량 소자(1208)에 유지된 신호는 오랫동안 유지된다. 따라서, 기억 소자(1200)는 전원 전압의 공급이 정지되는 동안에도 기억 내용(데이터)의 유지가 가능하다.
- [0356] 또한, 스위치(1203) 및 스위치(1204)를 이용하여 프리차지 동작을 하는 것을 특징으로 하는 기억 소자이기 때문에, 전원 전압의 공급이 재개되고 나서 회로(1201)가 원래의 데이터를 다시 유지할 때까지의 시간을 짧게 할 수 있다.
- [0357] 또한, 회로(1202)에 있어서, 용량 소자(1208)에 의하여 유지된 신호는 트랜지스터(1210)의 게이트에 입력된다. 따라서, 기억 소자(1200)에 대한 전원 전압의 공급이 재개된 후, 용량 소자(1208)에 의하여 유지된 신호를 따라 트랜지스터(1210)의 상태(온 상태 또는 오프 상태)로 변환하여 회로(1202)로부터 판독할 수 있다. 따라서, 용량 소자(1208)에 유지된 신호에 대응하는 전위가 약간 변동되더라도, 원래의 신호를 정확하게 판독하는 것이 가능하다.
- [0358] 프로세서가 가지는 레지스터나 캐시 메모리 등의 기억 장치에 상술한 바와 같은 기억 소자(1200)를 사용함으로써, 전원 전압의 공급 정지로 인한 기억 장치 내의 데이터 소실을 방지할 수 있다. 또한, 전원 전압의 공급을 재개한 후, 짧은 시간에 전원 공급 정지 전의 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 또는 프로세서를 구성하는 하나 또는 복수의 논리 회로에서 짧은 시간이라도 전원을 정지할 수 있으므로 소비 전력을 억제할

수 있다.

- [0359] 기억 소자(1200)를 CPU에 사용하는 예를 설명하였지만, 기억 소자(1200)는 DSP(Digital Signal Processor), 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, RF(Radio Frequency) 디바이스에도 응용할 수 있다.
- [0360] <표시 장치>
- [0361] 이하에서는, 본 발명의 일 형태에 따른 표시 장치에 대하여 도 39 및 도 40을 참조하여 설명한다.
- [0362] 표시 장치에 사용되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함) 등이 있다. 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하며 구체적으로는 무기 EL(electroluminescence), 유기 EL 등을 포함한다. 이하에서는, 표시 장치의 일례로서 EL 소자를 사용한 표시 장치(EL 표시 장치) 및 액정 소자를 사용한 표시 장치(액정 표시 장치)에 대하여 설명한다.
- [0363] 또한, 이하에서 표시 장치는 표시 소자가 밀봉된 상태의 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태의 모듈이 그 범주에 포함된다.
- [0364] 또한, 이하에서 표시 장치는 화상 표시 디바이스 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어 FPC, TCP가 장착된 모듈, TCP 끝에 프린트 기판을 가지는 모듈 또는 표시 소자에 COG 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치의 범주에 포함된다.
- [0365] 도 39는 본 발명의 일 형태에 따른 EL 표시 장치의 일례이다. 도 39의 (A)에 EL 표시 장치의 화소의 회로도를 도시하였다. 도 39의 (B)는 EL 표시 장치 전체를 도시한 상면도이다. 또한, 도 39의 (C)는 도 39의 (B)의 일 접쇄선 M-N의 일부에 대응하는 M-N 단면이다.
- [0366] 도 39의 (A)는 EL 표시 장치에 사용되는 화소의 회로도의 일례이다.
- [0367] 또한 본 명세서 등에서는, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 가지는 모든 단자에 관하여, 그 접속처가 특정되지 않더라도 당업자라면 발명의 일 형태를 구성할 수 있는 경우가 있다. 즉, 접속처가 특정되지 않더라도, 발명의 일 형태가 명확하다고 할 수 있다. 그리고 접속처가 특정된 내용이 본 명세서 등에 기재되어 있는 경우, 접속처가 특정되지 않은 발명의 일 형태가 본 명세서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 특히 단자의 접속처로서 복수의 개소가 상정되는 경우에는, 그 단자의 접속처를 특정한 개소에 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 가지는 단자의 일부에 대해서만 그 접속처를 특정하여 발명의 일 형태를 구성할 수 있는 경우가 있다.
- [0368] 또한, 본 명세서 등에서는 어떤 회로에 관하여 적어도 접속처가 특정되기만 하면, 당업자라면 발명을 특정할 수 있는 경우가 있다. 또는, 어떤 회로에 관하여 적어도 기능이 특정되기만 하면, 당업자라면 발명을 특정할 수 있는 경우가 있다. 즉, 기능이 특정되면, 발명의 일 형태가 명확하다고 할 수 있다. 그리고, 기능이 특정된 발명의 일 형태가 본 명세서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 따라서, 어떤 회로에 관하여 기능이 특정되지 않더라도 접속처가 특정되면 발명의 일 형태로서 개시되어 있는 것이며 그것으로 발명의 일 형태를 구성할 수 있다. 또는, 어떤 회로에 관하여 접속처가 특정되지 않더라도 기능이 특정되면 발명의 일 형태로서 개시되어 있는 것이며 그것으로 발명의 일 형태를 구성할 수 있다.
- [0369] 도 39의 (A)에 도시된 EL 표시 장치는 스위칭 소자(743), 트랜지스터(741), 용량 소자(742), 및 발광 소자(719)를 가진다.
- [0370] 또한, 도 39의 (A) 등은 회로 구성의 일례이므로, 트랜지스터를 더 추가할 수 있다. 반대로, 도 39의 (A)의 각 노드에 있어서 트랜지스터, 스위치, 수동 소자 등을 추가하지 않는 것도 가능하다.
- [0371] 트랜지스터(741)의 게이트는 스위칭 소자(743)의 한쪽 단자 및 용량 소자(742)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(741)의 소스는 용량 소자(742)의 다른 쪽 전극과 전기적으로 접속되고, 발광 소자(719)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(741)의 드레인에는 전원 전위(VDD)가 공급된다. 스위칭 소자(743)의 다른 쪽 단자는 신호선(744)과 전기적으로 접속된다. 발광 소자(719)의 다른 쪽 전극에는 정전위가 공급된다. 또한, 정전위는 접지 전위(GND) 또는 그것보다 작은 전위로 한다.
- [0372] 스위칭 소자(743)로서는 트랜지스터를 사용하면 바람직하다. 트랜지스터를 사용함으로써 화소의 면적을 작게 할 수 있어, 해상도가 높은 EL 표시 장치를 구현할 수 있다. 또한, 스위칭 소자(743)로서, 트랜지스터(741)와 동일한 공정을 거쳐 제작된 트랜지스터를 사용하면, EL 표시 장치의 생산성을 높일 수 있다. 또한, 트랜지스터

(741) 또는/및 스위칭 소자(743)로서는 예를 들어 상술한 트랜지스터를 적용할 수 있다.

- [0373] 도 39의 (B)는 EL 표시 장치의 상면도이다. EL 표시 장치는 기판(700), 기판(750), 실란트(sealant)(734), 구동 회로(735), 구동 회로(736), 화소(737), 및 FPC(732)를 가진다. 실란트(734)는 화소(737), 구동 회로(735), 및 구동 회로(736)를 둘러싸도록 기판(700)과 기판(750) 사이에 배치된다. 또한, 구동 회로(735) 또는/및 구동 회로(736)를 실란트(734)의 외측에 배치하여도 좋다.
- [0374] 도 39의 (C)는 도 39의 (B)의 일점쇄선 M-N의 일부에 대응하는 EL 표시 장치의 단면도이다.
- [0375] 도 39의 (C)에 도시된 트랜지스터(741)는 기판(700) 위의 도전체(704a); 도전체(704a) 위의 절연체(712a); 절연체(712a) 위의 절연체(712b); 절연체(712b) 위에 있고 도전체(704a)와 중첩되는 반도체(706a) 및 반도체(706b); 반도체(706a) 및 반도체(706b)와 접촉되는 도전체(716a) 및 도전체(716b); 반도체(706b) 위, 도전체(716a) 위, 및 도전체(716b) 위의 절연체(718a); 절연체(718a) 위의 절연체(718b); 절연체(718b) 위의 절연체(718c); 및 절연체(718c) 위에 있고 반도체(706b)와 중첩되는 도전체(714a)를 가지는 구조를 가진다. 또한, 트랜지스터(741)의 구조는 일레이며 도 39의 (C)에 도시된 것과 다른 구조로 하여도 좋다.
- [0376] 따라서, 도 39의 (C)에 도시된 트랜지스터(741)에 있어서, 도전체(704a)는 게이트 전극으로서의 기능을 가지고, 절연체(712a) 및 절연체(712b)는 게이트 절연체로서의 기능을 가지고, 도전체(716a)는 소스 전극으로서의 기능을 가지고, 도전체(716b)는 드레인 전극으로서의 기능을 가지고, 절연체(718a), 절연체(718b), 및 절연체(718c)는 게이트 절연체로서의 기능을 가지고, 도전체(714a)는 게이트 전극으로서의 기능을 가진다. 또한, 반도체(706a) 및 반도체(706b)는 광 조사에 의하여 전기 특성이 변동되는 경우가 있다. 따라서, 도전체(704a), 도전체(716a), 도전체(716b), 및 도전체(714a) 중 어느 하나 이상이 차광성을 가지는 것이 바람직하다.
- [0377] 또한, 절연체(718a)와 절연체(718b)의 계면을 파선으로 나타내었지만, 이것은 양자의 경계가 명확하지 않을 수 있다는 것을 나타낸다. 예를 들어, 절연체(718a) 및 절연체(718b)로서 같은 종류의 절연체를 사용한 경우, 관찰 방법에 따라서는 양자를 구별하지 못하는 경우가 있다.
- [0378] 도 39의 (C)에 도시된 용량 소자(742)는 기판 위의 도전체(704b); 도전체(704b) 위의 절연체(712a); 절연체(712a) 위의 절연체(712b); 절연체(712b) 위에 있고 도전체(704b)와 중첩되는 도전체(716a); 도전체(716a) 위의 절연체(718a); 절연체(718a) 위의 절연체(718b); 절연체(718b) 위의 절연체(718c); 절연체(718c) 위에 있고 도전체(716a)와 중첩되는 도전체(714b)를 가지고, 도전체(716a) 및 도전체(714b)가 중첩되는 영역에서, 절연체(718a) 및 절연체(718b)의 일부가 제거되어 있는 구조를 가진다.
- [0379] 용량 소자(742)에 있어서, 도전체(704b) 및 도전체(714b)는 한쪽 전극으로서 기능하고, 도전체(716a)는 다른 쪽 전극으로서 기능한다.
- [0380] 따라서, 용량 소자(742)는 트랜지스터(741)와 공통되는 막을 사용하여 제작할 수 있다. 또한, 도전체(704a) 및 도전체(704b)를 같은 종류의 도전체로 하면 바람직하다. 이 경우, 도전체(704a) 및 도전체(704b)는 동일한 공정을 거쳐 형성할 수 있다. 또한, 도전체(714a) 및 도전체(714b)를 같은 종류의 도전체로 하면 바람직하다. 이 경우, 도전체(714a) 및 도전체(714b)는 동일한 공정을 거쳐 형성할 수 있다.
- [0381] 도 39의 (C)에 도시된 용량 소자(742)는 점유 면적당 용량이 큰 용량 소자이다. 따라서, 도 39의 (C)에 도시된 EL 표시 장치는 표시 품질이 높다. 또한, 도 39의 (C)에 도시된 용량 소자(742)는, 도전체(716a)와 도전체(714b)가 중첩되는 영역을 얇게 하기 위하여 절연체(718a) 및 절연체(718b)의 일부를 제거한 구조를 가지지만, 본 발명의 일 형태에 따른 용량 소자는 이에 한정되지 않는다. 예를 들어, 도전체(716a)와 도전체(714b)가 중첩되는 영역을 얇게 하기 위하여 절연체(718c)의 일부를 제거한 구조로 하여도 좋다.
- [0382] 트랜지스터(741) 및 용량 소자(742) 위에는 절연체(720)가 배치된다. 여기서, 절연체(720)는 트랜지스터(741)의 소스 전극으로서 기능하는 도전체(716a)에 도달되는 개구부를 가져도 좋다. 절연체(720) 위에는 도전체(781)가 배치된다. 도전체(781)는 절연체(720)의 개구부를 통하여 트랜지스터(741)와 전기적으로 접속되어도 좋다.
- [0383] 도전체(781) 위에는 도전체(781)에 도달되는 개구부를 가지는 격벽(784)이 배치된다. 격벽(784) 위에는, 격벽(784)의 개구부에서 도전체(781)와 접촉되는 발광층(782)이 배치된다. 발광층(782) 위에는 도전체(783)가 배치된다. 도전체(781), 발광층(782), 및 도전체(783)가 중첩되는 영역이 발광 소자(719)가 된다.
- [0384] 여기까지 EL 표시 장치의 예에 대하여 설명하였다. 다음에, 액정 표시 장치의 예에 대하여 설명한다.

- [0385] 도 40의 (A)는 액정 표시 장치의 화소의 구성예를 도시한 회로도이다. 도 40에 도시된 화소는 트랜지스터(751)와, 용량 소자(752)와, 한 쌍의 전극 사이에 액정이 충전된 소자(액정 소자)(753)를 가진다.
- [0386] 트랜지스터(751)에서는 소스 및 드레인 중 한쪽이 신호선(755)에 전기적으로 접속되고, 게이트가 주사선(754)에 전기적으로 접속되어 있다.
- [0387] 용량 소자(752)에서는 한쪽 전극이 트랜지스터(751)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 다른 쪽 전극이 공통 전위를 공급하는 배선에 전기적으로 접속되어 있다.
- [0388] 액정 소자(753)에서는 한쪽 전극이 트랜지스터(751)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 다른 쪽 전극이 공통 전위를 공급하는 배선에 전기적으로 접속되어 있다. 또한, 상술한 용량 소자(752)의 다른 쪽 전극이 전기적으로 접속되는 배선에 공급되는 공통 전위와, 액정 소자(753)의 다른 쪽 전극에 공급되는 공통 전위는 달라도 좋다.
- [0389] 또한, 액정 표시 장치의 상면도는 EL 표시 장치와 같은 것으로 하여 설명한다. 도 39의 (B)의 일점쇄선 M-N에 대응하는 액정 표시 장치의 단면도를 도 40의 (B)에 도시하였다. 도 40의 (B)에서 FPC(732)는 단자(731)를 통하여 배선(733a)과 접속된다. 또한, 배선(733a)에는 트랜지스터(751)를 구성하는 도전체 및 반도체 중 어느 것과 같은 종류의 도전체 또는 반도체를 사용하여도 좋다.
- [0390] 트랜지스터(751)에 대해서는 트랜지스터(741)에 관한 설명을 참조하기 바란다. 또한, 용량 소자(752)에 대해서는 용량 소자(742)에 관한 설명을 참조하기 바란다. 또한, 도 40의 (B)에는 도 39의 (C)의 용량 소자(742)에 대응하는 용량 소자(752)의 구조를 도시하였지만, 이에 한정되지 않는다.
- [0391] 또한, 트랜지스터(751)의 반도체에 산화물 반도체를 사용하면, 오프 전류가 매우 작은 트랜지스터를 구현할 수 있다. 따라서, 용량 소자(752)에 유지된 전하가 누설되기 어렵고, 액정 소자(753)에 인가되는 전압을 오랫동안 유지할 수 있다. 그러므로, 움직임이 적은 동영상이나 정지 화상을 표시할 때 트랜지스터(751)를 오프 상태로 함으로써, 트랜지스터(751)를 동작시키기 위한 전력이 불필요하게 되어, 소비 전력이 적은 액정 표시 장치를 구현할 수 있다. 또한, 용량 소자(752)의 점유 면적을 작게 할 수 있으므로, 개구율이 높은 액정 표시 장치, 또는 고정세(高精細)화된 액정 표시 장치를 제공할 수 있다.
- [0392] 트랜지스터(751) 및 용량 소자(752) 위에는 절연체(721)가 배치된다. 여기서, 절연체(721)는 트랜지스터(751)에 도달되는 개구부를 가진다. 절연체(721) 위에는 도전체(791)가 배치된다. 도전체(791)는 절연체(721)의 개구부를 통하여 트랜지스터(751)와 전기적으로 접속된다.
- [0393] 도전체(791) 위에는 배향막으로서 기능하는 절연체(792)가 배치된다. 절연체(792) 위에는 액정층(793)이 배치된다. 액정층(793) 위에는 배향막으로서 기능하는 절연체(794)가 배치된다. 절연체(794) 위에는 스페이서(795)가 배치된다. 스페이서(795) 및 절연체(794) 위에는 도전체(796)가 배치된다. 도전체(796) 위에는 기판(797)이 배치된다.
- [0394] 상술한 구조로 함으로써 점유 면적이 작은 용량 소자를 가지는 표시 장치를 제공할 수 있거나, 또는 표시 품질이 높은 표시 장치를 제공할 수 있다. 또는, 고정세 표시 장치를 제공할 수 있다.
- [0395] 예를 들어, 본 명세서 등에서 표시 소자, 표시 소자를 가지는 장치인 표시 장치, 발광 소자, 및 발광 소자를 가지는 장치인 발광 장치는 다양한 형태를 사용할 수 있고, 또는 다양한 소자를 가질 수 있다. 표시 소자, 표시 장치, 발광 소자, 또는 발광 장치는 예를 들어, 백색, 적색, 녹색, 또는 청색 등의 발광 다이오드(LED: light emitting diode), 트랜지스터(전류에 의하여 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동 소자, GLV(grating light valve), PDP(plasma display panel), MEMS(micro electro mechanical systems)를 사용한 표시 소자, DMD(digital micromirror device), DMS(digital micro shutter), IMOD(간섭 변조) 소자, 셔터 방식의 MEMS 표시 소자, 광 간섭 방식의 MEMS 표시 소자, 전기 습윤 소자, 압전 세라믹 디스플레이, 카본 나노 튜브를 사용한 표시 소자 등의 적어도 하나를 가진다. 이들 외에도 전기적 또는 자기적 작용에 의하여 명암비, 휘도, 반사율, 투과율 등이 변화되는 표시 매체를 가져도 좋다.
- [0396] EL 소자를 사용한 표시 장치의 일례로서는 EL 디스플레이 등이 있다. 전자 방출 소자를 사용한 표시 장치의 일례로서는, FED(field emission display) 또는 SED 방식 평면형 디스플레이(SED: surface-conduction electron-emitter display) 등이 있다. 액정 소자를 사용한 표시 장치의 일례로서는 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크 또는 전기 영동 소자를 사용한 표시 장치의 일례로서는 전자 종이 등이 있다.

다. 또한, 반투과형 액정 디스플레이나 반사형 액정 디스플레이를 구현하기 위해서는 화소 전극의 일부 또는 전체가 반사 전극으로서의 기능을 가지도록 하면 좋다. 예를 들어, 화소 전극의 일부 또는 전체가 알루미늄, 은 등을 가지도록 하면 좋다. 또한, 이 경우에는 반사 전극 아래에 SRAM 등의 기억 회로를 제공할 수도 있다. 이로써, 소비 전력을 더 저감할 수 있다.

[0397] 또한, LED를 사용하는 경우, LED의 전극이나 질화물 반도체 아래에 그래핀이나 그래파이트를 배치하여도 좋다. 그래핀이나 그래파이트는 복수의 층을 중첩시켜 다층막으로 하여도 좋다. 이와 같이 그래핀이나 그래파이트를 제공하면 그 위에 질화물 반도체(예를 들어 결정을 가지는 n형 GaN 반도체) 등을 용이하게 성막할 수 있다. 그 위에 결정을 가지는 p형 GaN 반도체 등을 더 제공하여 LED를 구성할 수 있다. 또한, 그래핀이나 그래파이트와, 결정을 가지는 n형 GaN 반도체 사이에 AlN층을 제공하여도 좋다. 또한, LED가 가지는 GaN 반도체는 MOCVD로 성막하여도 좋다. 다만, 그래핀을 제공하는 경우, LED가 가지는 GaN 반도체는 스퍼터링법으로 성막할 수도 있다.

[0398] <전자 기기>

[0399] 본 발명의 일 형태에 따른 반도체 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD(Digital Versatile Disc) 등의 기록 매체를 재생하여 그 화상을 표시할 수 있는 디스플레이를 가지는 장치)에 사용될 수 있다. 이 외에도 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서 휴대 전화, 게임기(휴대용 게임기를 포함함), 휴대 정보 단말, 전자 서적 단말, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운티드 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 41에 도시하였다.

[0400] 도 41의 (A)에 도시된 휴대용 게임기는 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 스타일러스(908) 등을 가진다. 또한, 도 41의 (A)에 도시된 휴대용 게임기는 2개의 표시부(표시부(903) 및 표시부(904))를 가지고 있지만, 휴대용 게임기가 가지는 표시부의 수는 이에 한정되지 않는다.

[0401] 도 41의 (B)에 도시된 휴대 정보 단말은 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 접속부(915), 조작 키(916) 등을 가진다. 제 1 표시부(913)는 제 1 하우징(911)에 제공되고, 제 2 표시부(914)는 제 2 하우징(912)에 제공되어 있다. 그리고, 제 1 하우징(911)과 제 2 하우징(912)은 접속부(915)에 의하여 연결되어 있고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는 접속부(915)로 조절할 수 있다. 제 1 표시부(913)에 표시되는 영상을 접속부(915)에서의 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 또한, 제 1 표시부(913) 및 제 2 표시부(914) 중 적어도 한쪽에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은 포토센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공하는 것에 의해서도 부가할 수 있다.

[0402] 도 41의 (C)에 도시된 노트북형 퍼스널 컴퓨터는 하우징(921), 표시부(922), 키보드(923), 및 포인팅 디바이스(924) 등을 가진다.

[0403] 도 41의 (D)에 도시된 전기 냉동 냉장고는 하우징(931), 냉장실 도어(932), 및 냉동실 도어(933)를 가진다.

[0404] 도 41의 (E)에 도시된 비디오 카메라는 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 및 접속부(946) 등을 가진다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되고, 표시부(943)는 제 2 하우징(942)에 제공되어 있다. 그리고, 제 1 하우징(941)과 제 2 하우징(942)은 접속부(946)에 의하여 연결되어 있고, 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도는 접속부(946)로 조절할 수 있다. 표시부(943)에 표시되는 영상을 접속부(946)에서의 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0405] 도 41의 (F)에 도시된 자동차는 차체(951), 차륜(952), 대시보드(953), 및 라이트(954) 등을 가진다.

[0406] 여기까지 본 실시형태에 있어서 본 발명의 일 형태에 대하여 설명하였다. 다만, 본 발명의 일 형태는 이들에 한정되지 않는다. 예를 들어, 반도체(406b) 등의 반도체가 불소를 함유하는 경우의 예를 제시하였지만, 이에 한정되지 않는다. 경우에 따라서는 반도체(406b) 등의 반도체가 불소 이외의 원소를 함유하여도 좋다. 또는, 경우에 따라서는 반도체(406b) 등의 반도체가 불소를 함유하지 않아도 된다.

[0407] (실시예 1)

- [0408] 본 실시예에서는 산화물 반도체막에 불소를 첨가하고, 산화물 반도체막 내의 불소 농도를 조사한 결과에 대하여 설명한다.
- [0409] 시료는 실리콘 기판에 두께 100nm의 산화 실리콘을 열 산화법에 의하여 형성하고, 그 후에 산화물 반도체막으로서 In-Ga-Zn-O(원자수비 In:Ga:Zn=1:1:1) 타깃을 사용한 스퍼터링법에 의하여 IGZO막을 두께 100nm로 형성하여 제작하였다.
- [0410] 제작한 시료에 이온 주입법에 의하여 1.0×10^{15} ions/cm² 및 1.0×10^{16} ions/cm²의 도즈량으로 불소 이온(¹⁹F⁺)을 첨가하였다. 또한, 가속 전압은 20kV로 하였다. 이 때의 불소의 깊이 방향의 첨가량을 SIMS에 의하여 조사한 결과를 도 42에 나타내었다.
- [0411] 도 42에 나타낸 결과로부터, 불소를 1.0×10^{15} ions/cm² 첨가한 경우, IGZO막에 3.0×10^{20} atoms/cm³ 정도 함유되는 것을 알았다. 또한, 불소를 1.0×10^{16} ions/cm² 첨가한 경우, IGZO막에 3.0×10^{21} atoms/cm³ 정도 함유되는 것을 알았다.
- [0412] (실시예 2)
- [0413] 본 실시예에서는 산화물 반도체막에 불소를 첨가하고, 산화물 반도체막의 시트 저항을 조사한 결과에 대하여 설명한다.
- [0414] 시료는 석영 기판 위에 산화물 반도체막으로서 In-Ga-Zn-O(원자수비 In:Ga:Zn=1:1:1) 타깃을 사용한 스퍼터링법에 의하여 IGZO막을 두께 100nm로 형성하여 제작하였다.
- [0415] 제작한 시료에 이온 주입법에 의하여 1.0×10^{14} ions/cm², 1.0×10^{15} ions/cm², 및 1.0×10^{16} ions/cm²의 도즈량으로 불소 이온(¹⁹F⁺)을 첨가하였다. 또한, 가속 전압은 20kV로 하였다. 이와 같이 하여 제작한 시료의 시트 저항값을 측정한 결과를 도 43에 나타내었다. 또한, 시트 저항 측정기의 측정 상한은 $1 \times 10^6 \Omega/\square$ 이다.
- [0416] 도 43에 나타낸 결과로부터, IGZO막에 불소를 첨가할수록 시트 저항값이 증가되는 것을 확인하였다. 또한, 불소를 1.0×10^{16} ions/cm² 첨가한 경우, IGZO막의 시트 저항값은 $1 \times 10^6 \Omega/\square$ 이상의 값이 되었다. 이것으로부터, IGZO막으로의 불소 첨가에 의하여 IGZO막의 캐리어 농도가 저하되어 i형 반도체에 가까워지는 것을 알았다.
- [0417] (실시예 3)
- [0418] 본 실시예에서는 산화물 반도체막에 불소를 첨가하고, ESR에 의하여 산화물 반도체막 내의 결함을 조사한 결과에 대하여 설명한다.
- [0419] 시료는 석영 기판 위에 산화물 반도체막으로서 In-Ga-Zn-O(원자수비 In:Ga:Zn=1:1:1) 타깃을 사용한 스퍼터링법에 의하여 IGZO막을 두께 100nm로 형성하여 제작하였다.
- [0420] 제작한 시료에 이온 주입법에 의하여 1.0×10^{14} ions/cm², 1.0×10^{15} ions/cm², 또는 1.0×10^{16} ions/cm²의 도즈량으로 불소 이온(¹⁹F⁺)을 첨가하였다. 또한, 가속 전압은 20kV로 하였다. 이와 같이 하여 제작한 시료에 대하여 ESR 측정을 수행한 결과를 도 44에 나타내었다.
- [0421] 도 44의 (A)에 ESR 스펙트럼을 나타내었다. 도 44의 (A)에 나타낸 결과로부터, IGZO막에 불소를 첨가할수록 g값 1.93 부근에 확인되는 시그널이 작아지는 것을 알 수 있다. 또한, 도 44의 (B)에 g값 1.93 부근에 확인되는 시그널의 스핀 밀도를 비교한 결과를 나타내었다. 도 44의 (B)로부터, IGZO막에 불소를 첨가할수록 g값 1.93 부근에 확인되는 시그널의 스핀 밀도가 작아지는 것을 알 수 있다.
- [0422] IGZO막에 있어서, g값 1.93 부근에 확인되는 시그널은 산소 결손에 기인한 것이므로, IGZO막에 불소를 첨가함으로써 IGZO막의 산소 결손을 저감시킬 수 있는 것을 알았다.

부호의 설명

- [0423] 100: 트랜지스터
200: 활상 장치

- 201: 스위치
- 202: 스위치
- 203: 스위치
- 210: 화소부
- 211: 화소
- 212: 부화소
- 212B: 부화소
- 212G: 부화소
- 212R: 부화소
- 220: 광전 변환 소자
- 230: 화소 회로
- 231: 배선
- 247: 배선
- 248: 배선
- 249: 배선
- 250: 배선
- 253: 배선
- 254: 필터
- 254B: 필터
- 254G: 필터
- 254R: 필터
- 255: 렌즈
- 256: 광
- 257: 배선
- 260: 주변 회로
- 270: 주변 회로
- 280: 주변 회로
- 290: 주변 회로
- 291: 광원
- 300: 실리콘 기관
- 310: 층
- 320: 층
- 330: 층
- 340: 층
- 351: 트랜지스터
- 352: 트랜지스터

353: 트랜지스터
360: 포토다이오드
361: 애노드
363: 저저항 영역
370: 플러그
371: 배선
372: 배선
373: 배선
380: 절연체
400: 기관
401: 절연체
402: 절연체
404: 도전체
406a: 반도체
406b: 반도체
406c: 반도체
412: 절연체
413: 도전체
416a: 도전체
416b: 도전체
434: 도전체
436c: 반도체
442: 절연체
450: 반도체 기관
452: 절연체
454: 도전체
456: 영역
460: 영역
462: 절연체
464: 절연체
466: 절연체
468: 절연체
472a: 영역
472b: 영역
474a: 도전체
474b: 도전체

474c: 도전체
476a: 도전체
476b: 도전체
478a: 도전체
478b: 도전체
478c: 도전체
480a: 도전체
480b: 도전체
480c: 도전체
490: 절연체
492: 절연체
494: 절연체
496a: 도전체
496b: 도전체
496c: 도전체
496d: 도전체
498a: 도전체
498b: 도전체
498c: 도전체
498d: 도전체
500: 기관
502: 절연체
503: 절연체
504: 도전체
506a: 반도체
506b: 반도체
506c: 반도체
511: 절연체
512: 절연체
513: 도전체
514: 도전체
516: 도전체
516a: 도전체
516b: 도전체
534: 도전체
536a: 반도체

536b: 반도체
536c: 반도체
542: 절연체
700: 기관
704a: 도전체
704b: 도전체
706: 반도체
706a: 반도체
706b: 반도체
712a: 절연체
712b: 절연체
714a: 도전체
714b: 도전체
716a: 도전체
716b: 도전체
718a: 절연체
718b: 절연체
718c: 절연체
719: 발광 소자
720: 절연체
721: 절연체
731: 단자
732: FPC
733a: 배선
734: 실란트
735: 구동 회로
736: 구동 회로
737: 화소
741: 트랜지스터
742: 용량 소자
743: 스위칭 소자
744: 신호선
750: 기관
751: 트랜지스터
752: 용량 소자
753: 액정 소자

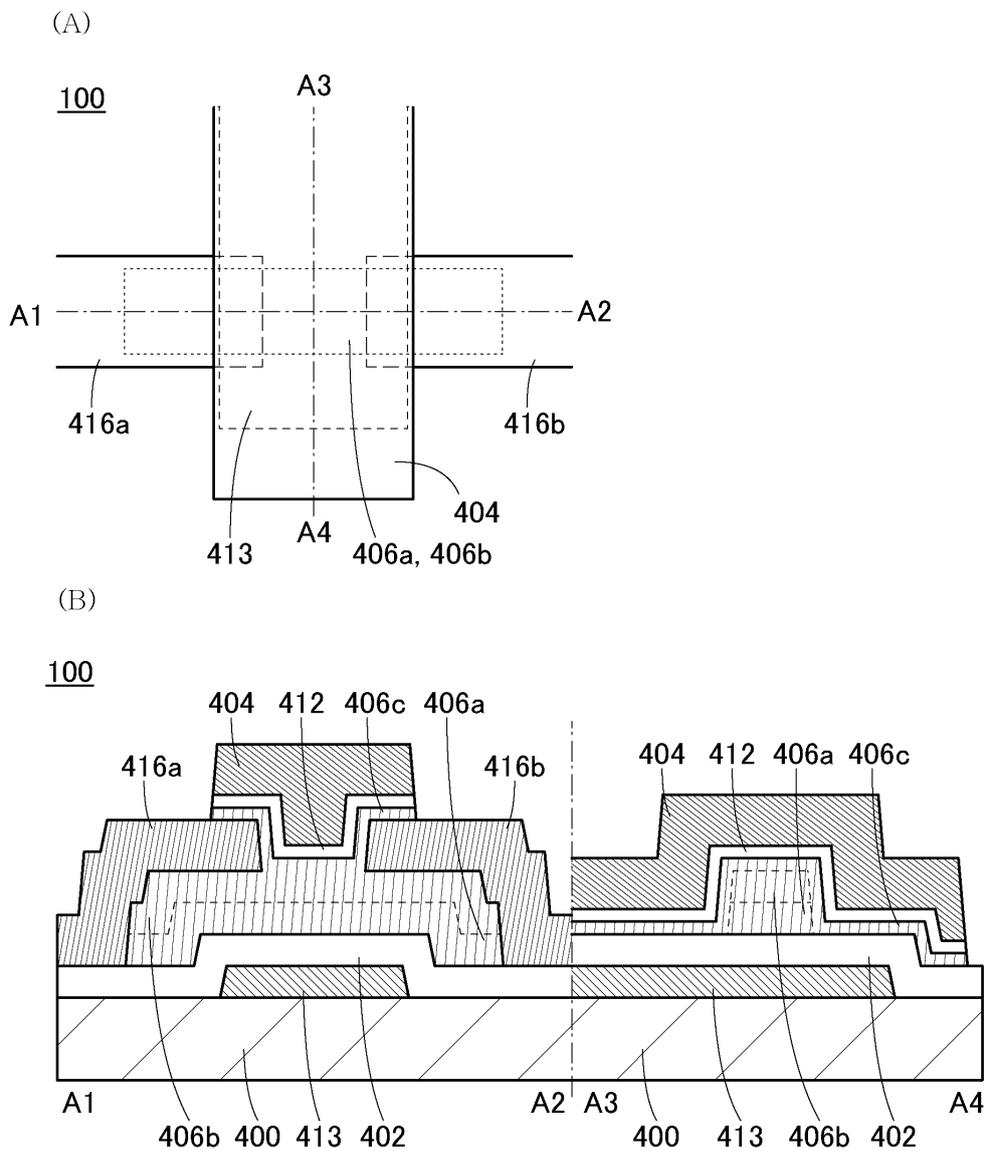
- 754: 주사선
- 755: 신호선
- 781: 도전체
- 782: 발광층
- 783: 도전체
- 784: 격벽
- 791: 도전체
- 792: 절연체
- 793: 액정층
- 794: 절연체
- 795: 스페이서
- 796: 도전체
- 797: 기관
- 901: 하우징
- 902: 하우징
- 903: 표시부
- 904: 표시부
- 905: 마이크로폰
- 906: 스피커
- 907: 조작 키
- 908: 스타일러스
- 911: 하우징
- 912: 하우징
- 913: 표시부
- 914: 표시부
- 915: 접촉부
- 916: 조작 키
- 921: 하우징
- 922: 표시부
- 923: 키보드
- 924: 포인팅 디바이스
- 931: 하우징
- 932: 냉장실 도어
- 933: 냉동실 도어
- 941: 하우징
- 942: 하우징

- 943: 표시부
- 944: 조작 키
- 945: 렌즈
- 946: 집속부
- 951: 차체
- 952: 차륜
- 953: 대시보드
- 954: 라이트
- 1189: ROM 인터페이스
- 1190: 기관
- 1191: ALU
- 1192: ALU 컨트롤러
- 1193: 인스트럭션 디코더
- 1194: 인터럽트 컨트롤러
- 1195: 타이밍 컨트롤러
- 1196: 레지스터
- 1197: 레지스터 컨트롤러
- 1198: 버스 인터페이스
- 1199: ROM
- 1200: 기억 소자
- 1201: 회로
- 1202: 회로
- 1203: 스위치
- 1204: 스위치
- 1206: 논리 소자
- 1207: 용량 소자
- 1208: 용량 소자
- 1209: 트랜지스터
- 1210: 트랜지스터
- 1213: 트랜지스터
- 1214: 트랜지스터
- 1220: 회로
- 2100: 트랜지스터
- 2200: 트랜지스터
- 3001: 배선
- 3002: 배선

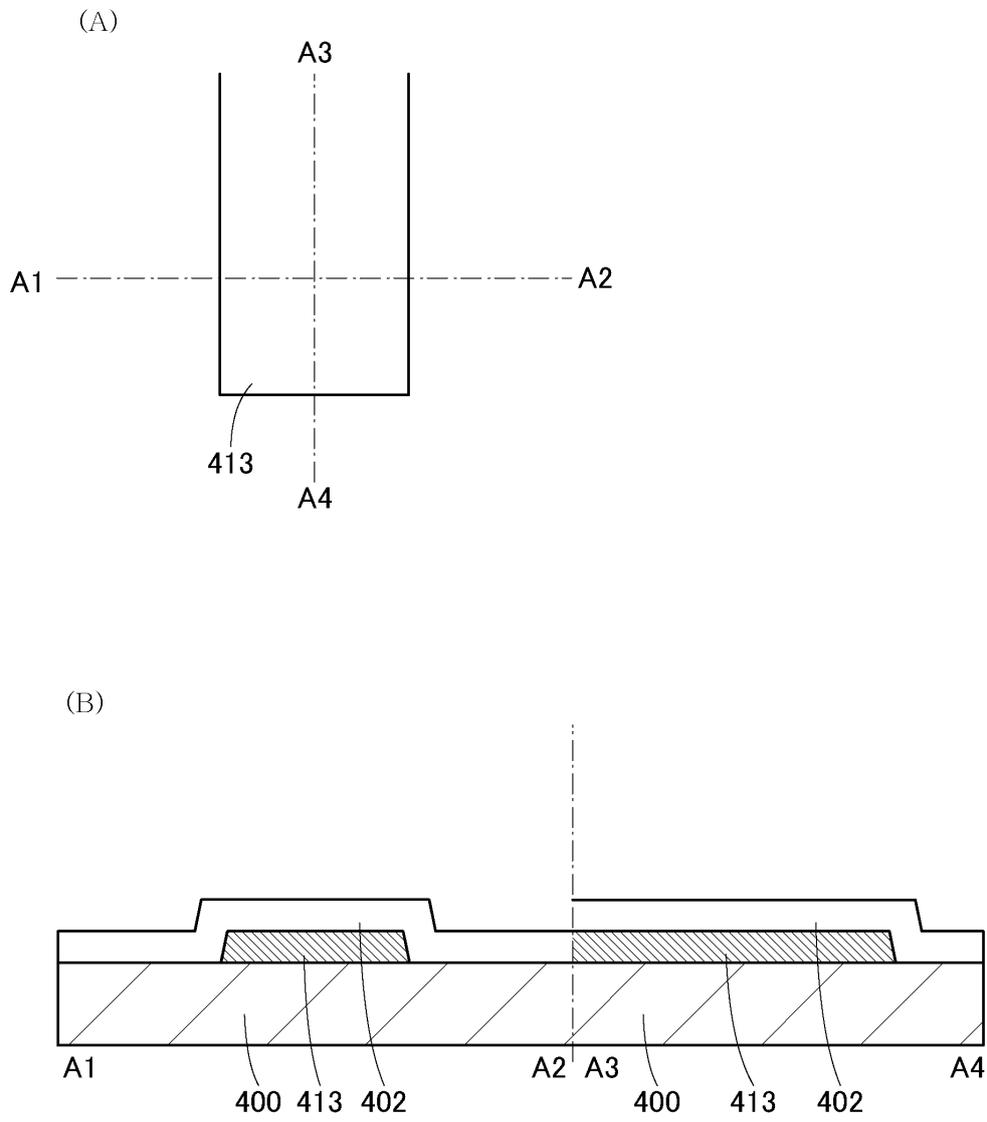
- 3003: 배선
- 3004: 배선
- 3005: 배선
- 3200: 트랜지스터
- 3300: 트랜지스터
- 3400: 용량 소자
- 5100: 펄릿
- 5120: 기판
- 5161: 영역

도면

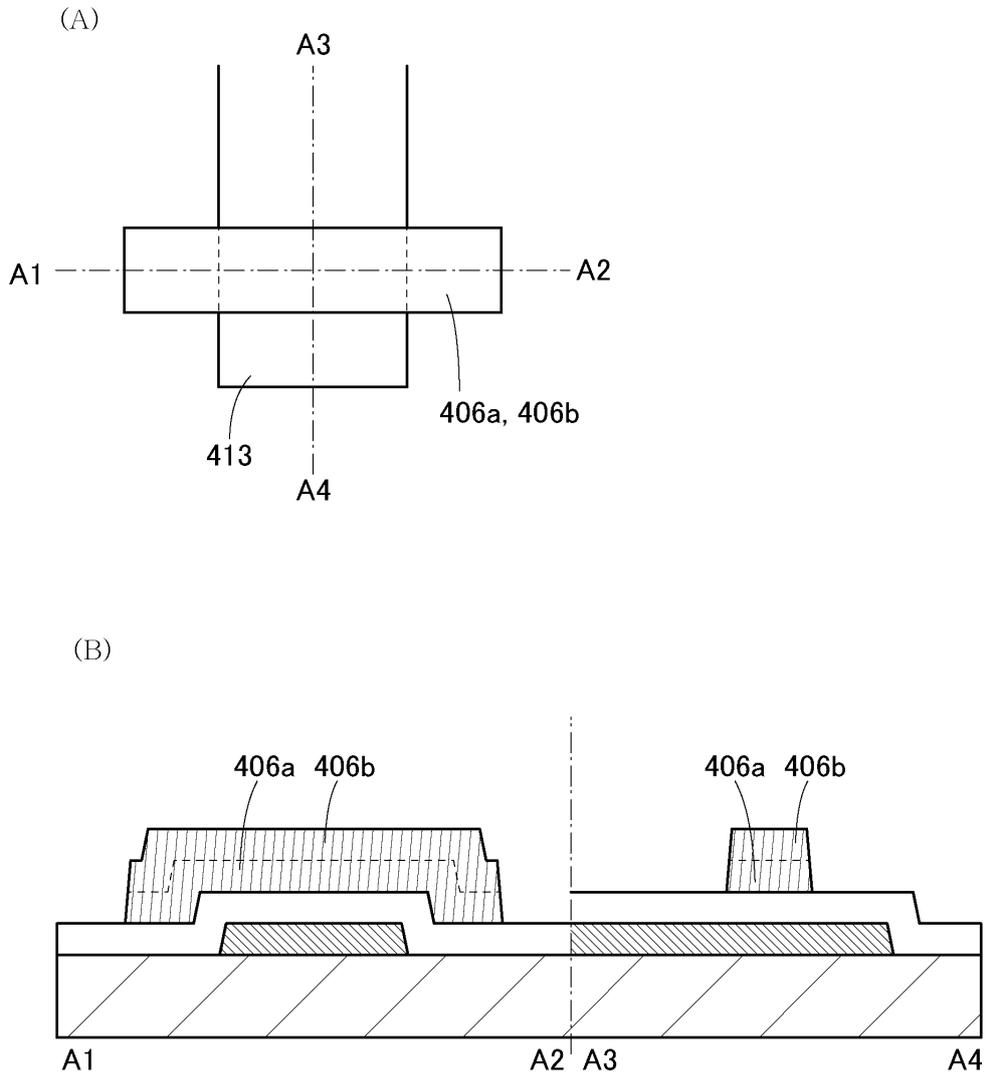
도면1



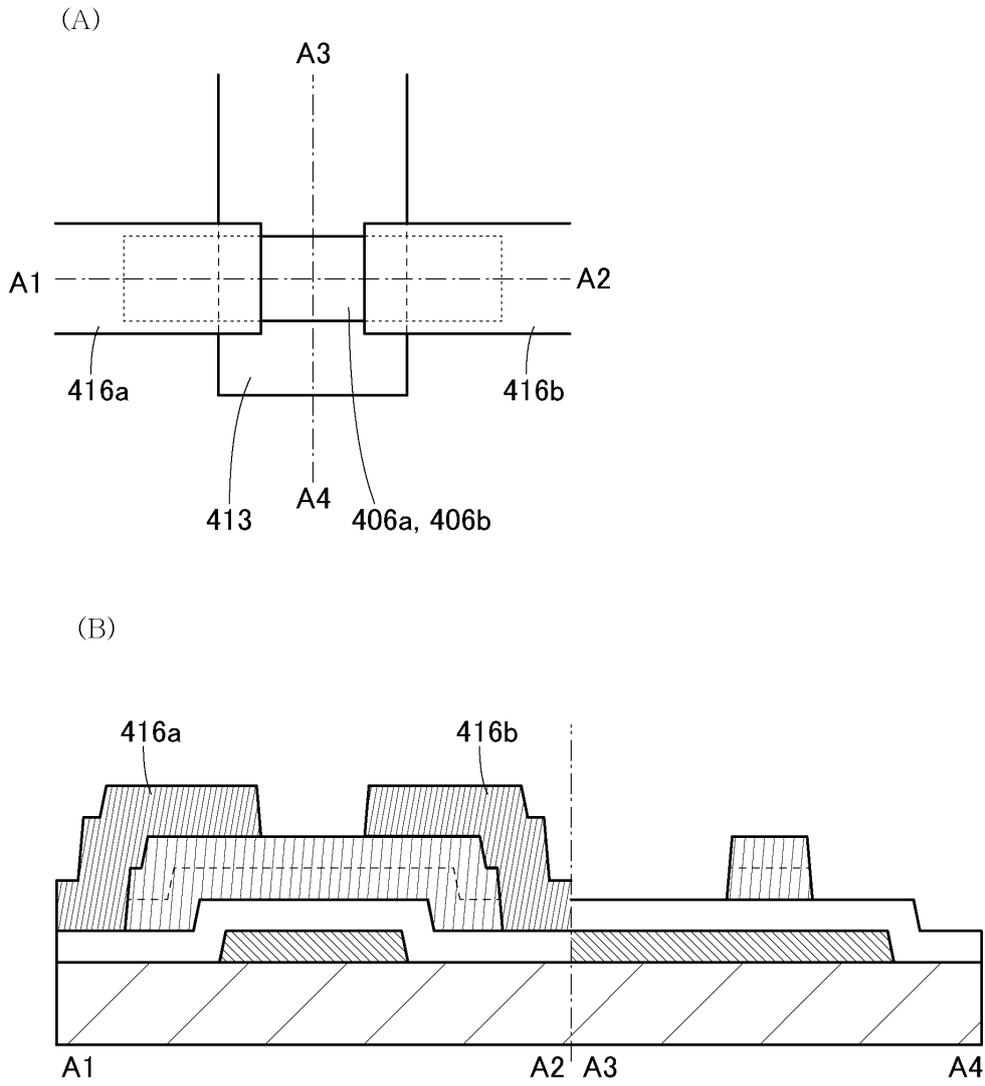
도면2



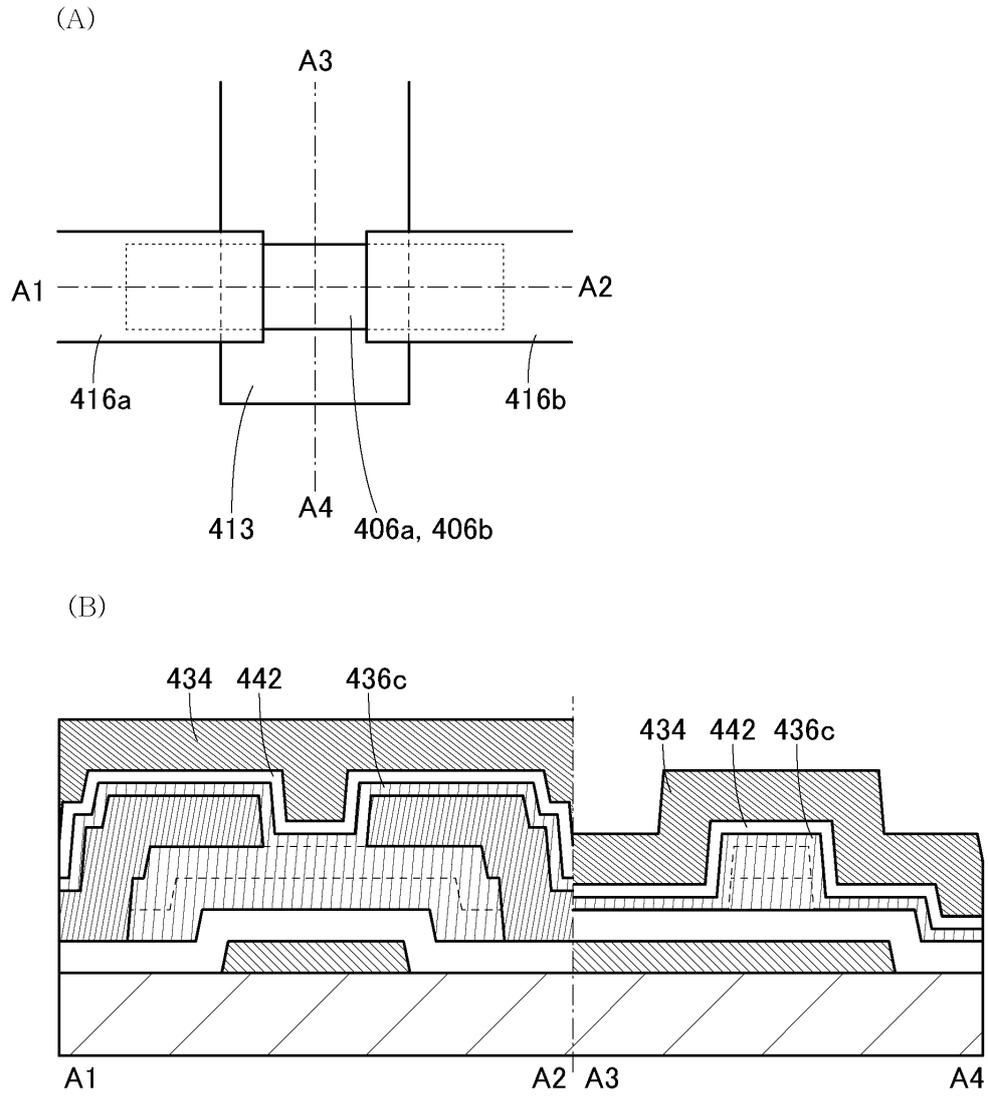
도면3



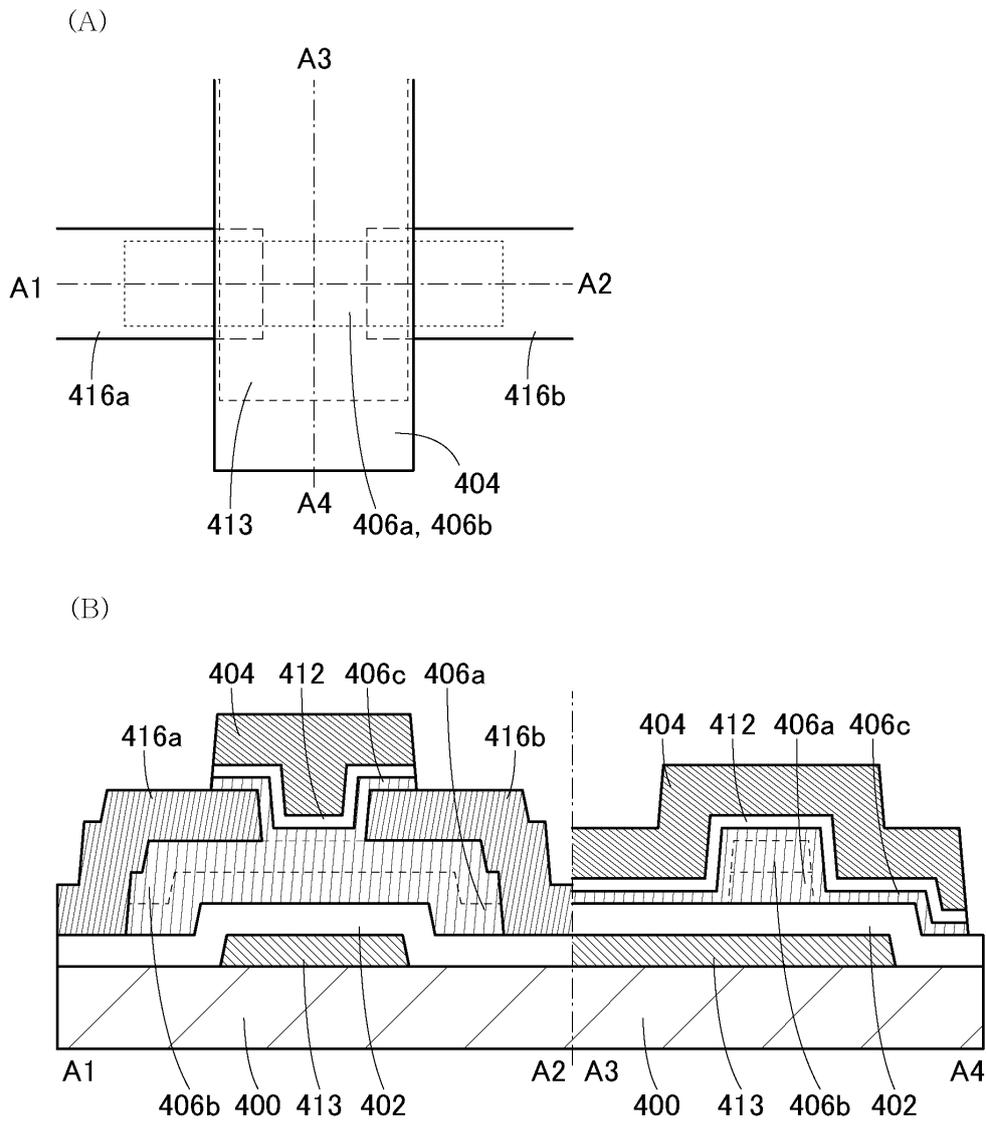
도면4



도면5

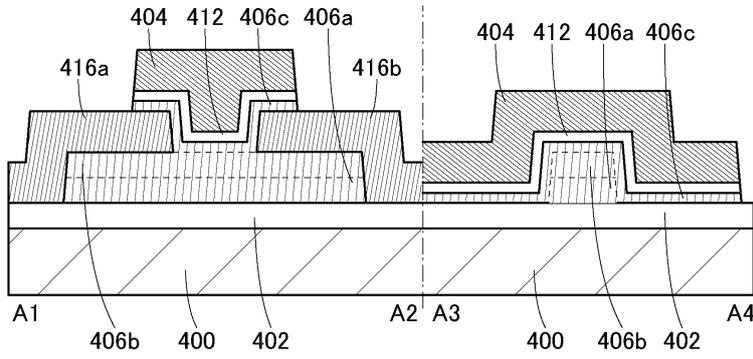


도면6

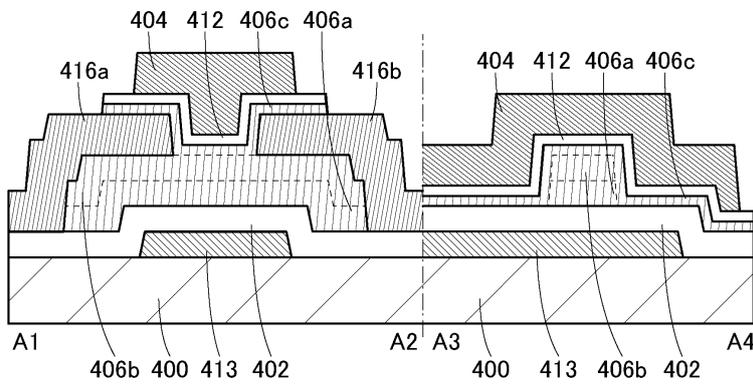


도면7

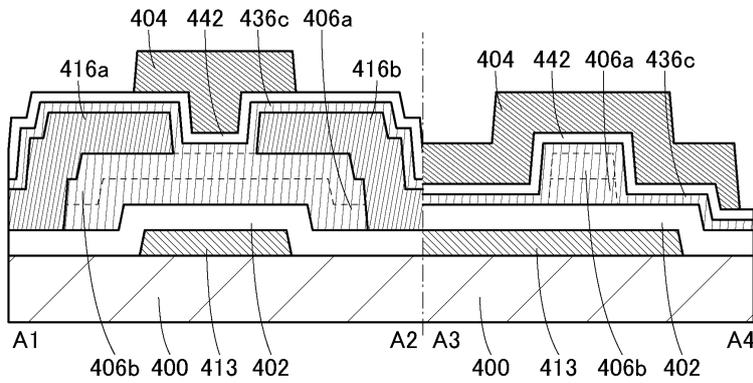
(A)



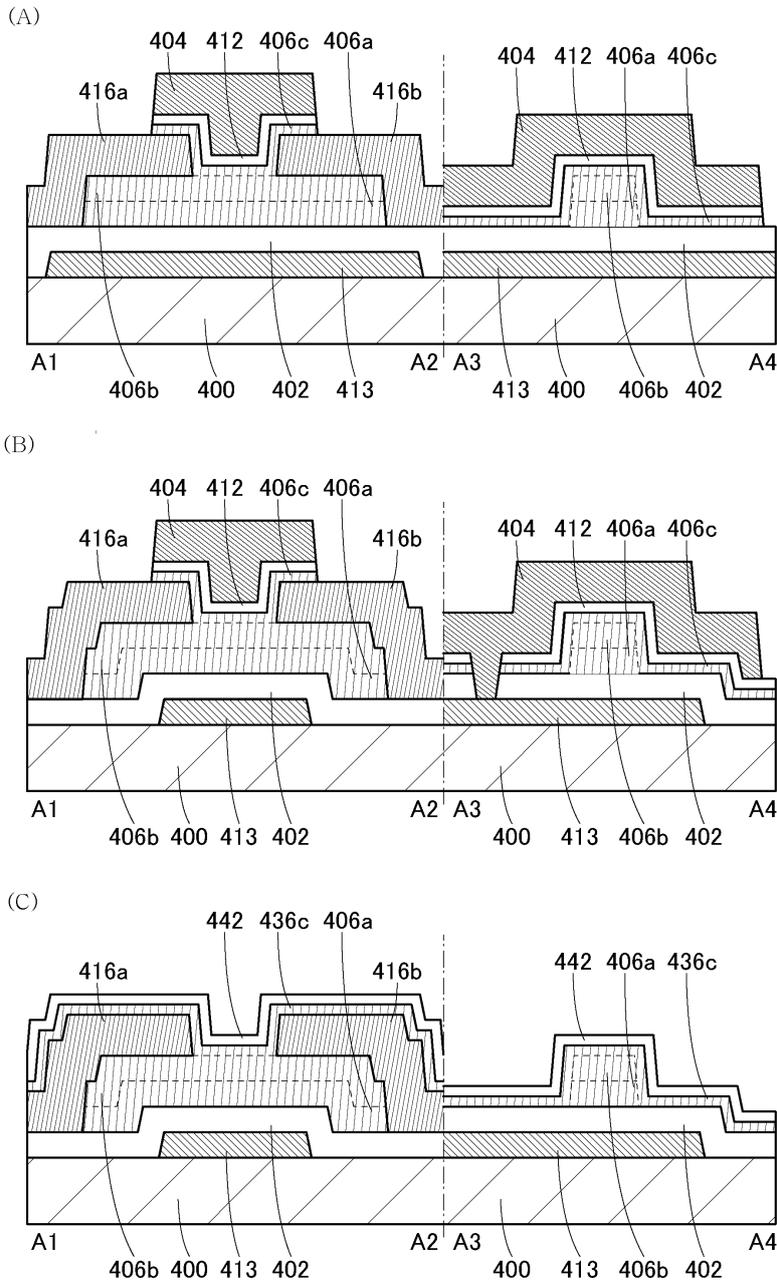
(B)



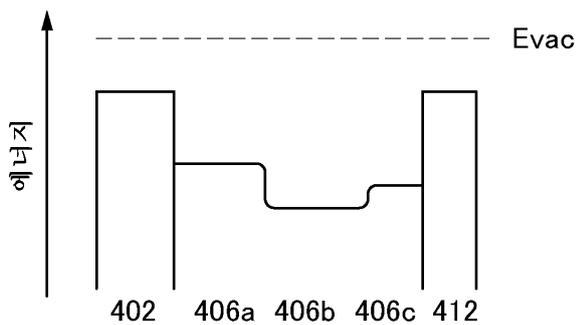
(C)



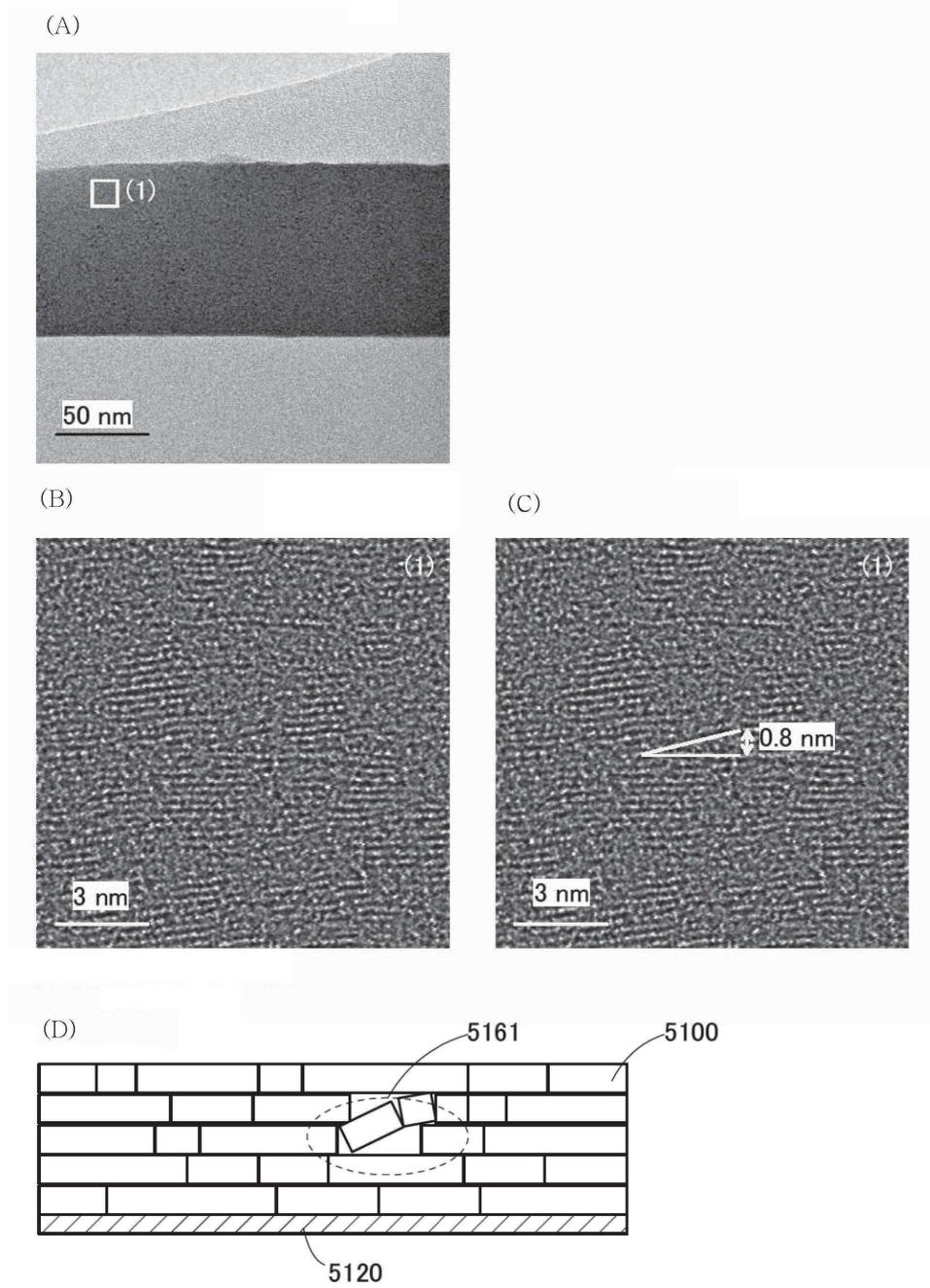
도면8



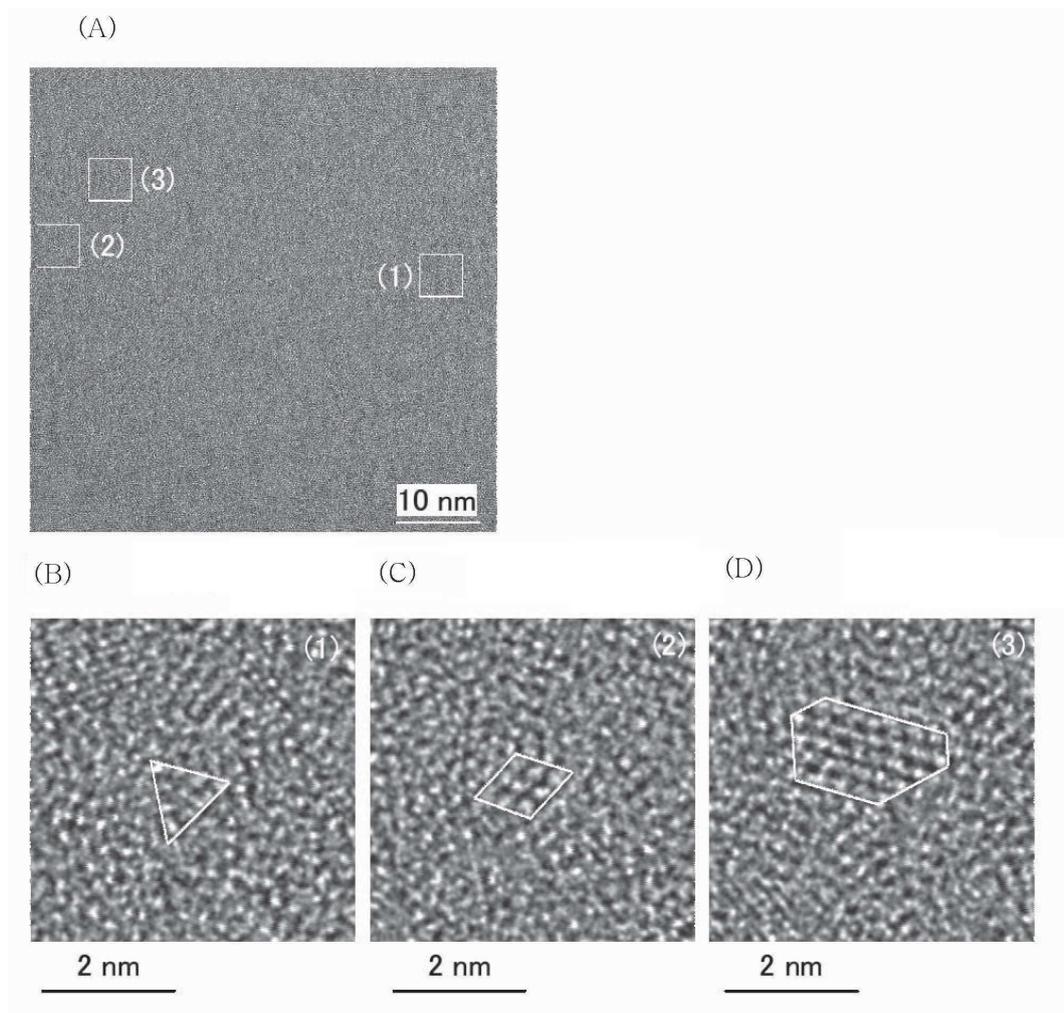
도면9



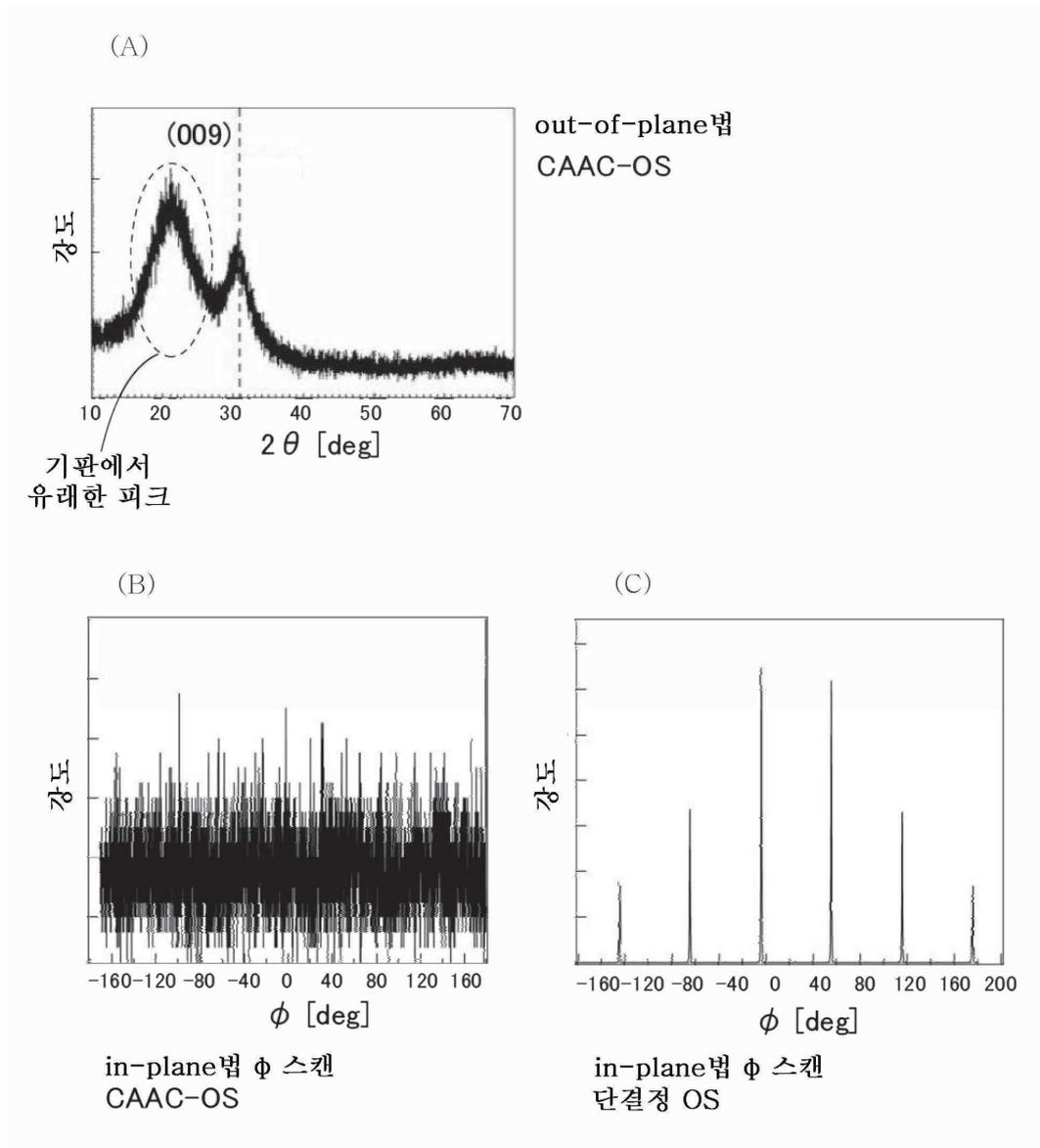
도면10



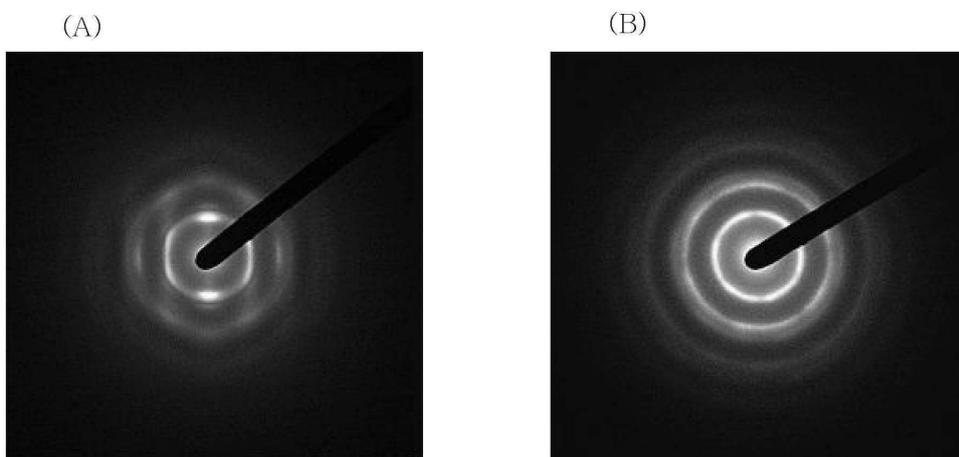
도면11



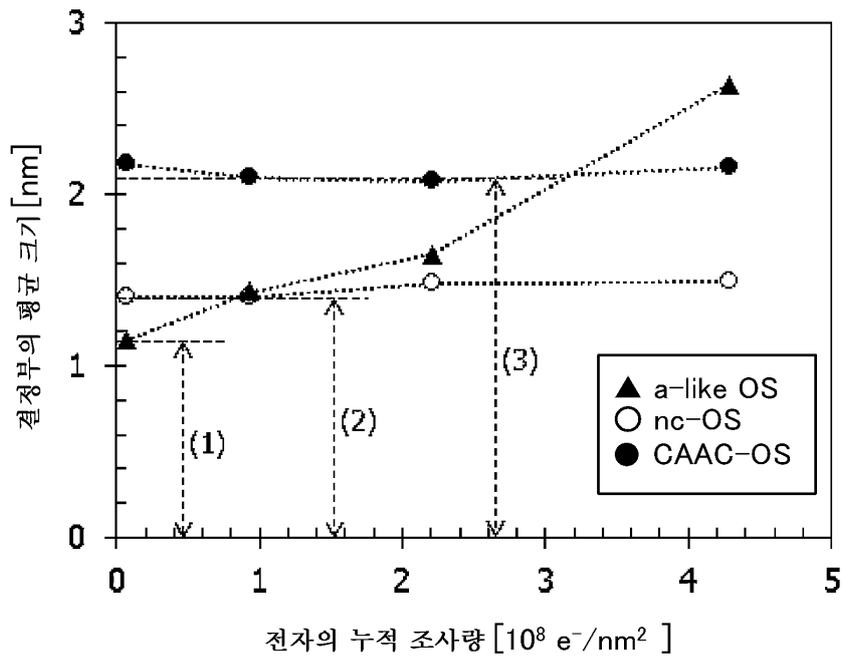
도면12



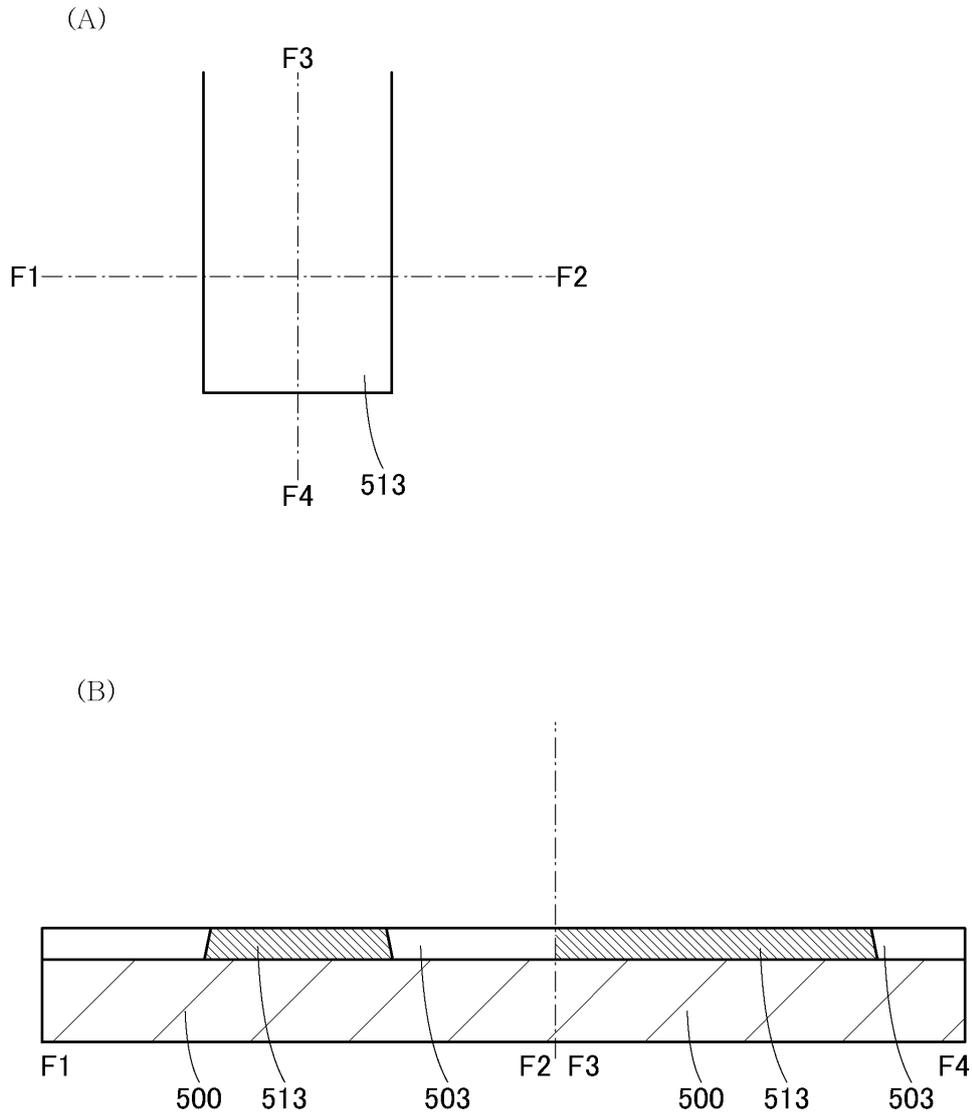
도면13



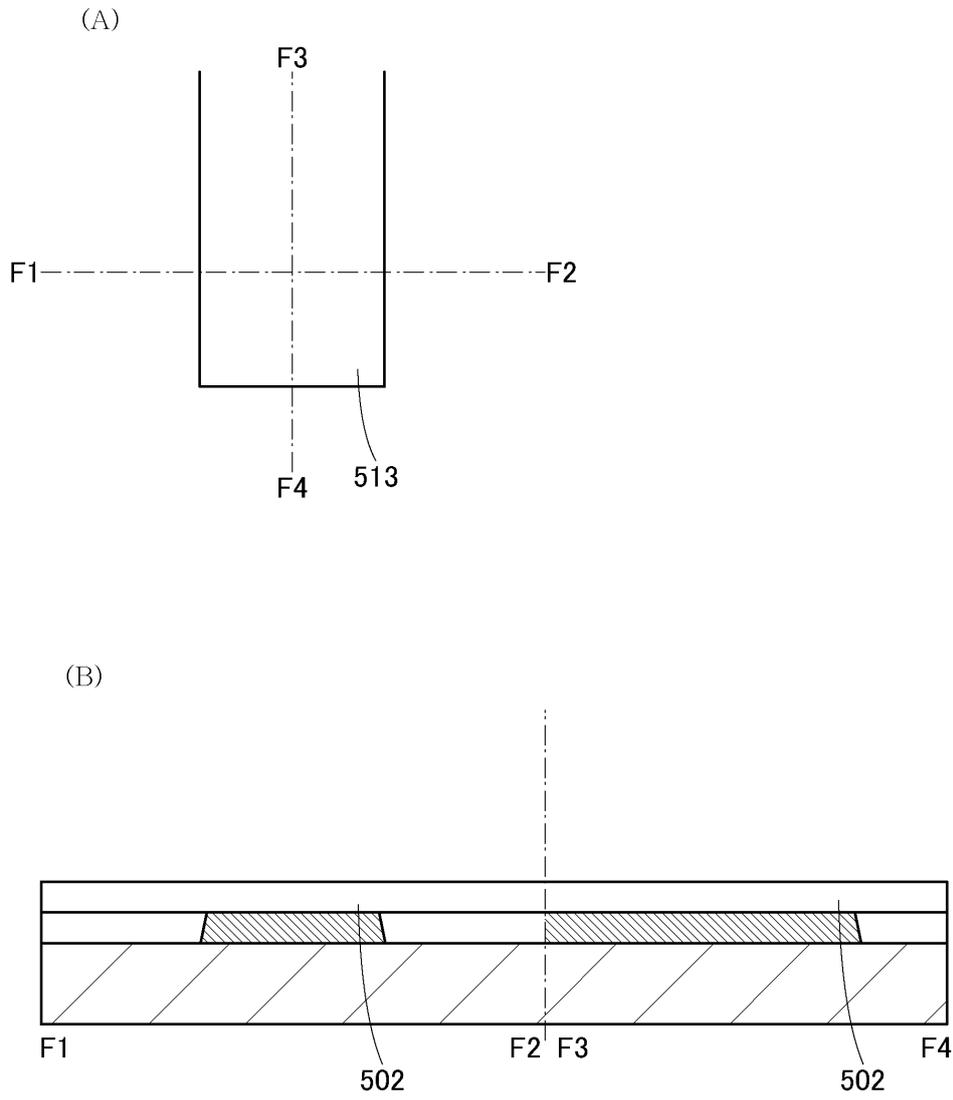
도면14



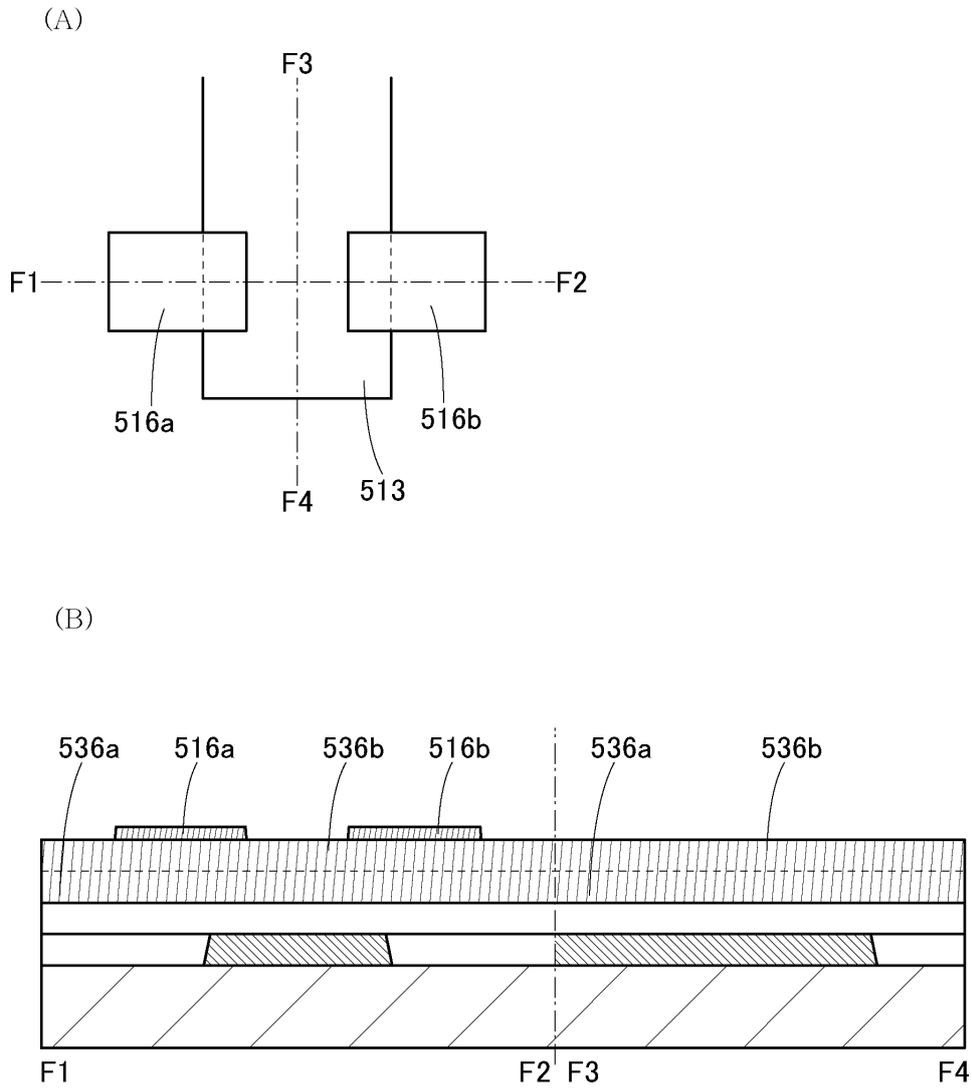
도면15



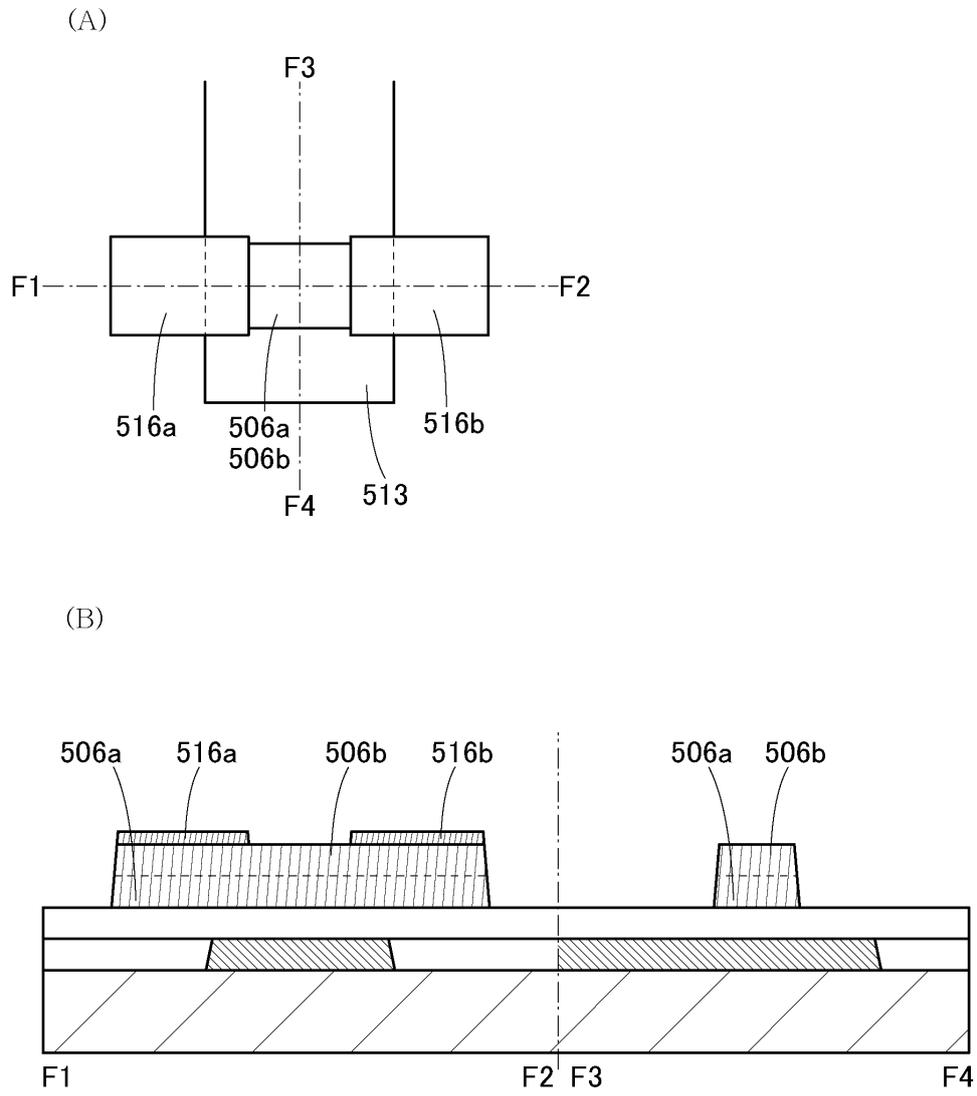
도면16



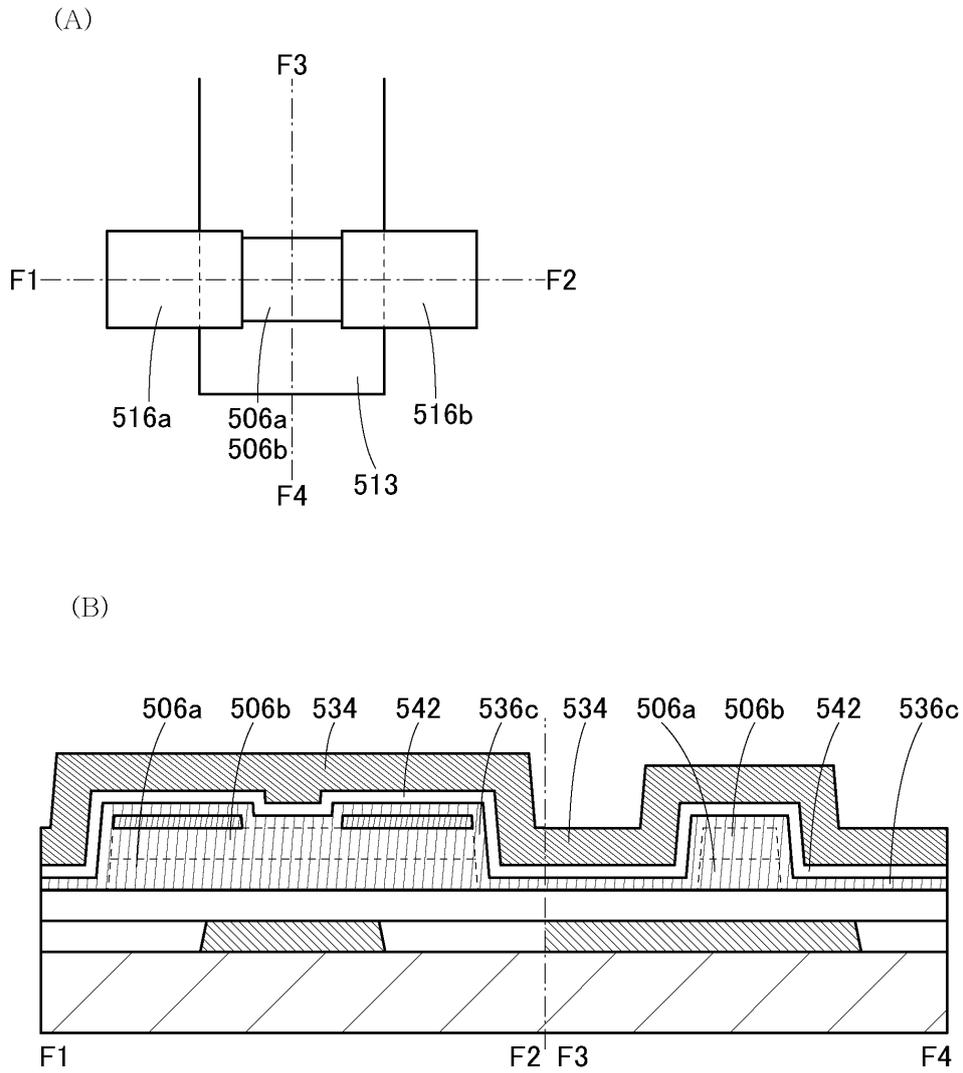
도면17



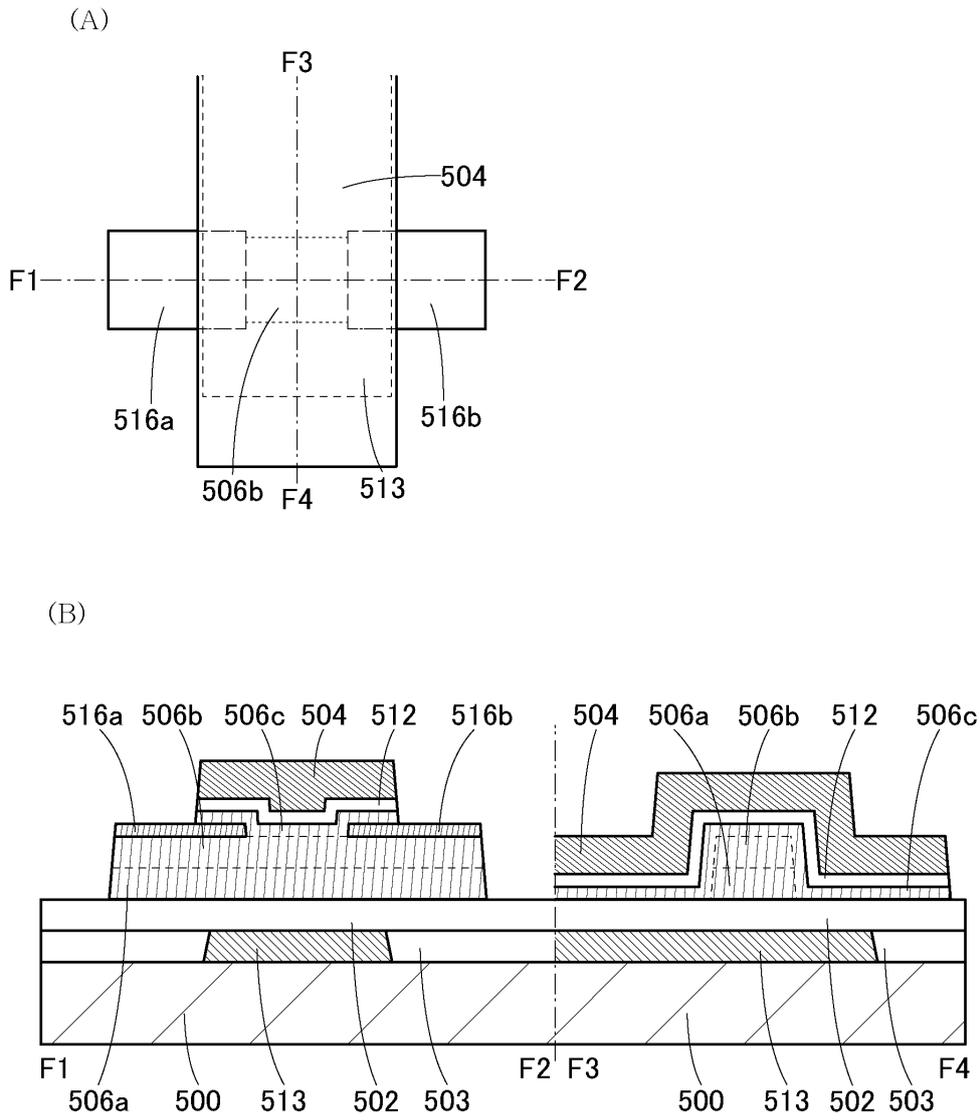
도면18



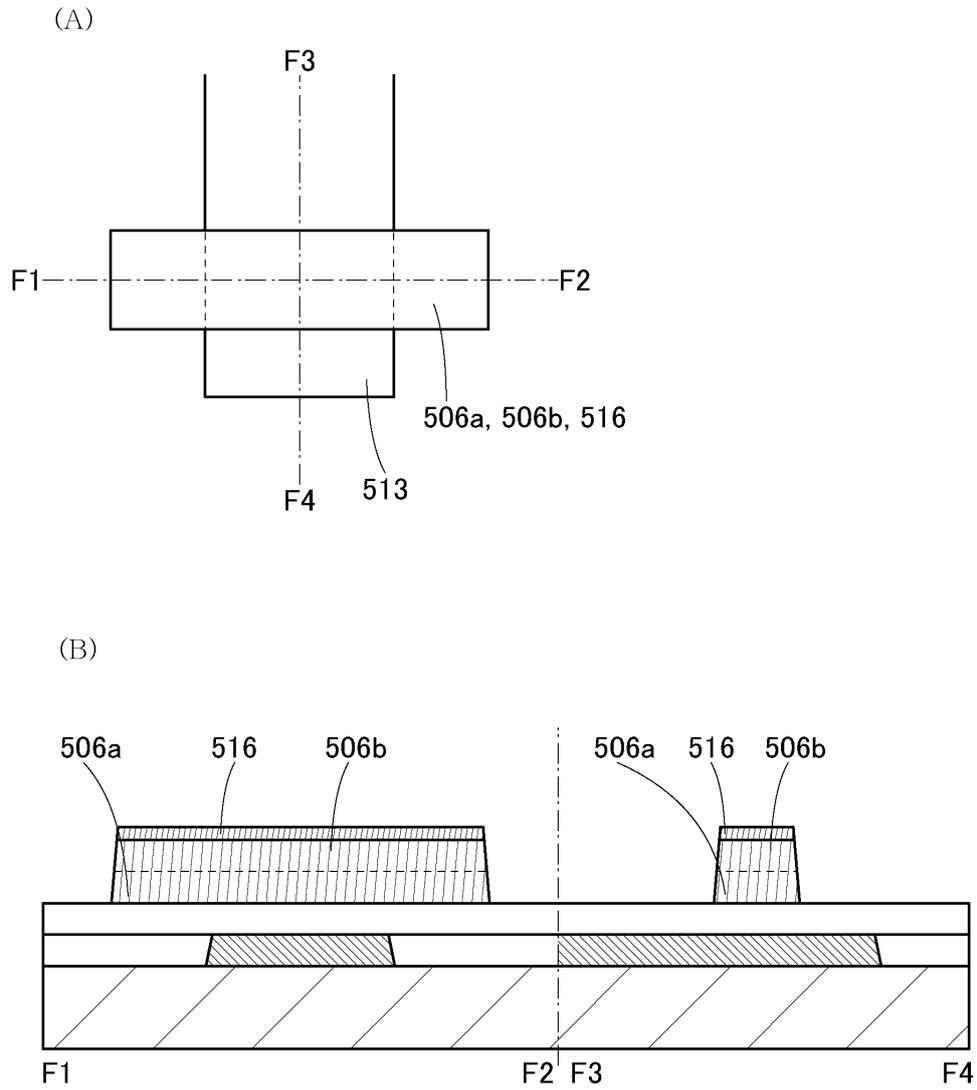
도면19



도면20

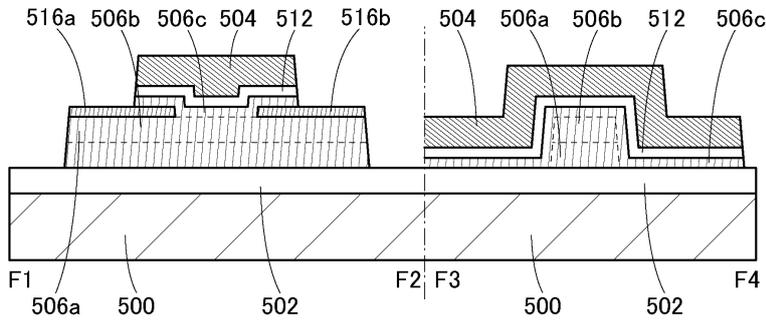


도면21

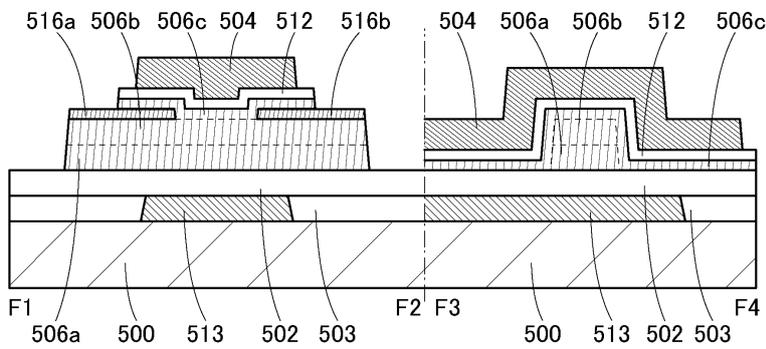


도면22

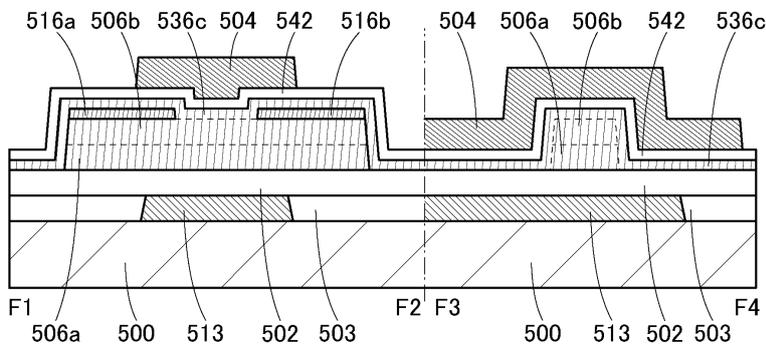
(A)



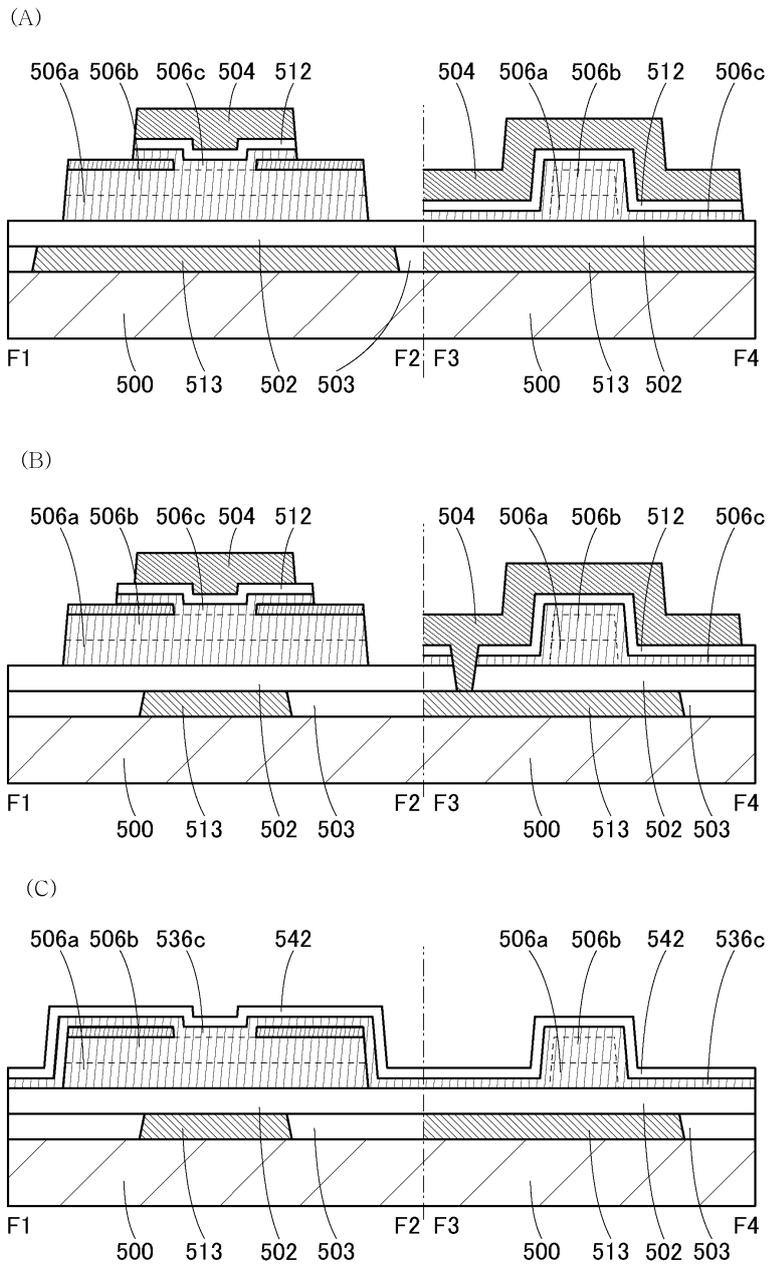
(B)



(C)

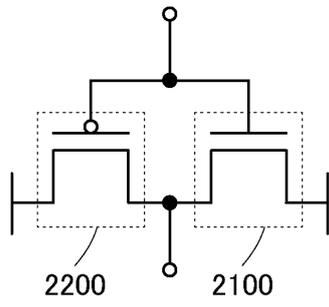


도면23

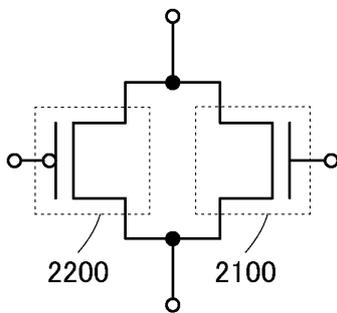


도면24

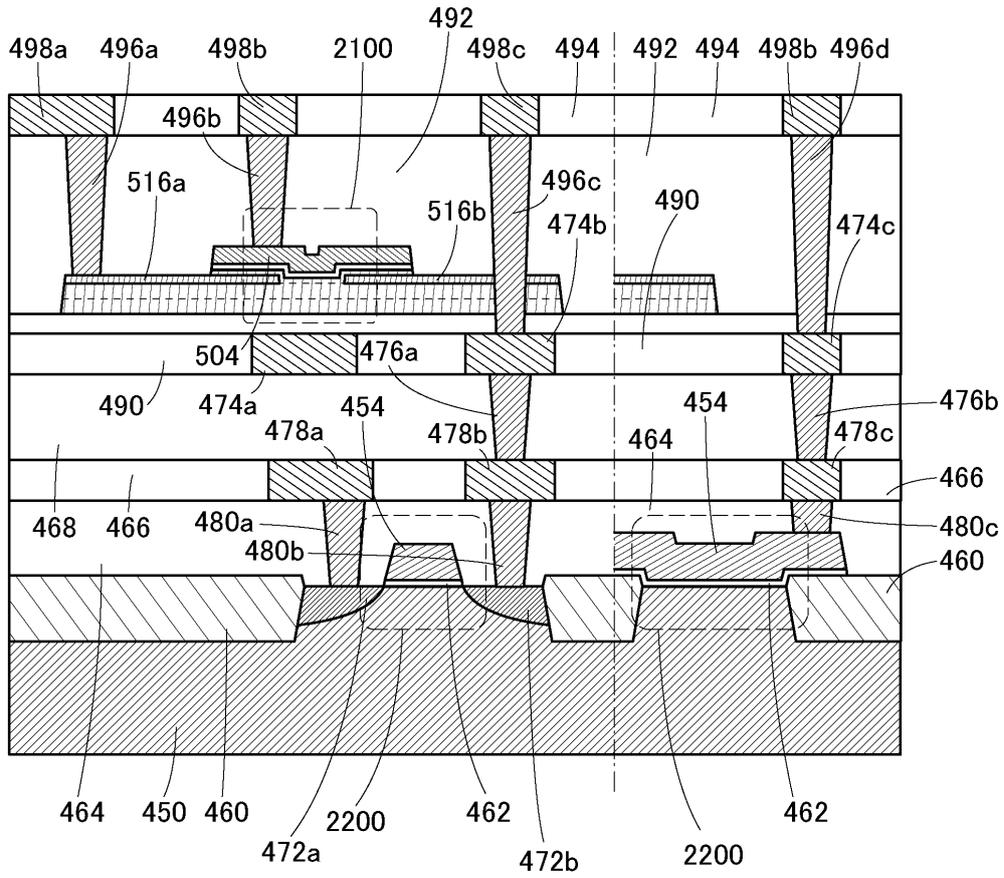
(A)



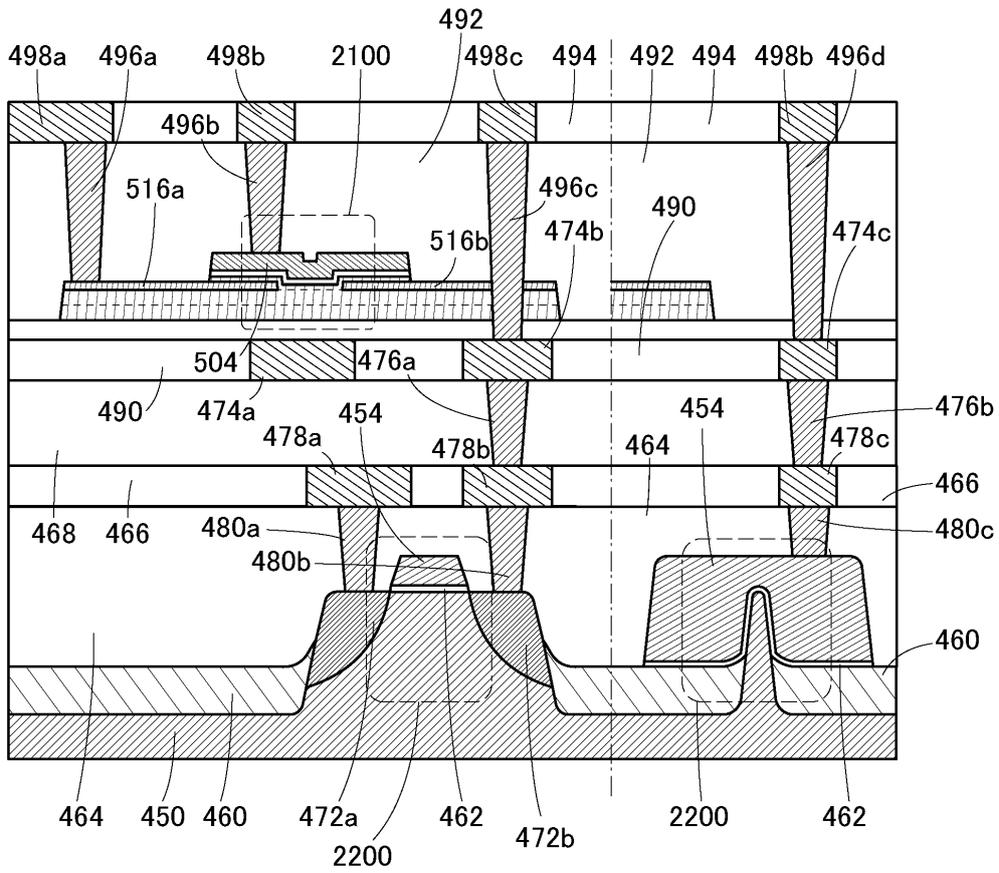
(B)



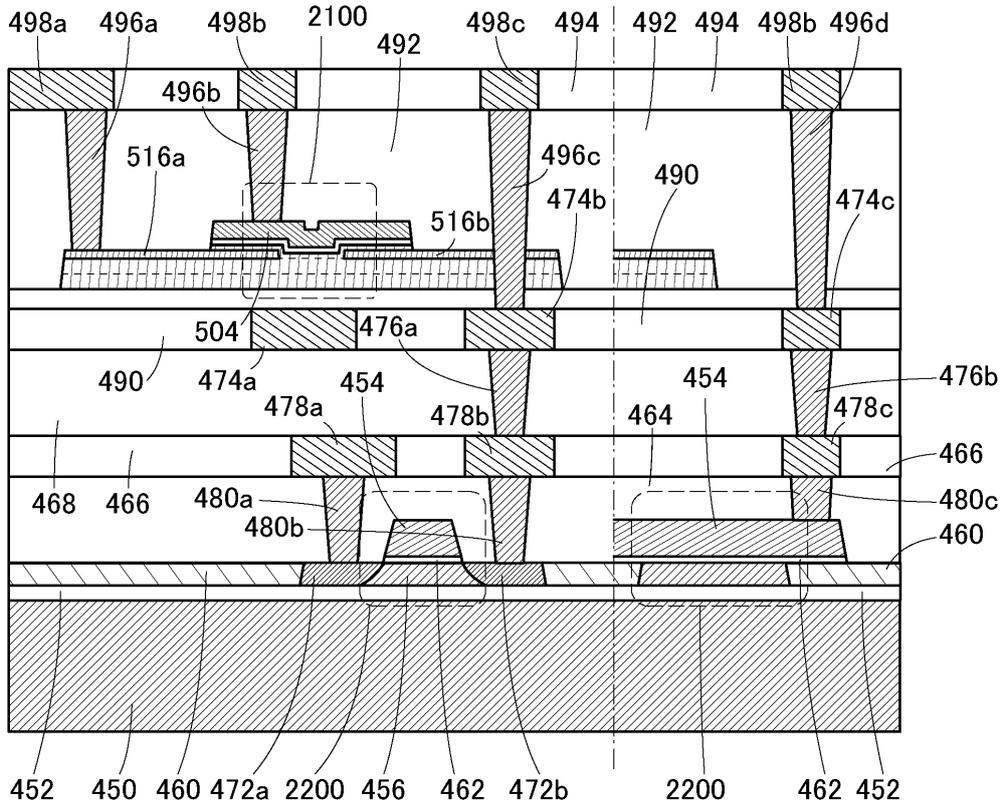
도면25



도면26

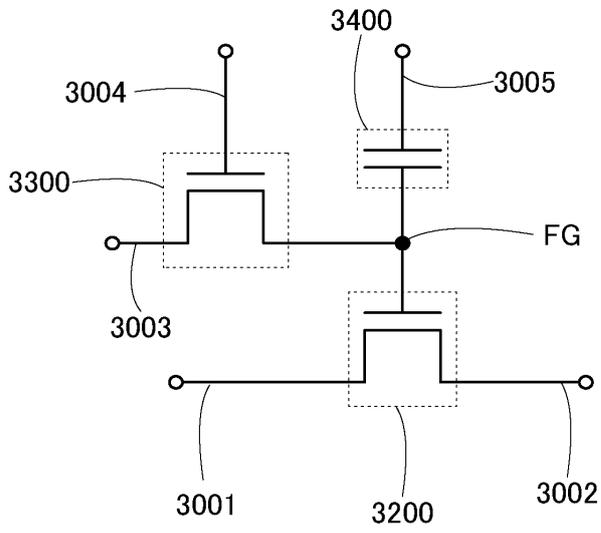


도면27

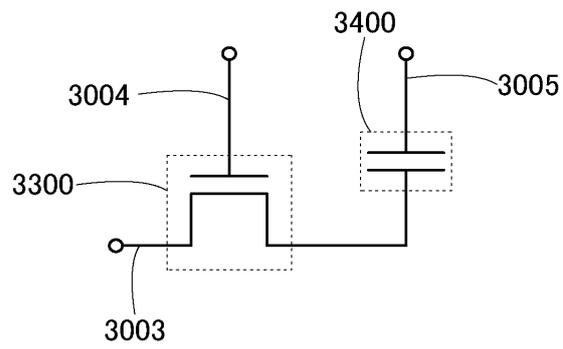


도면28

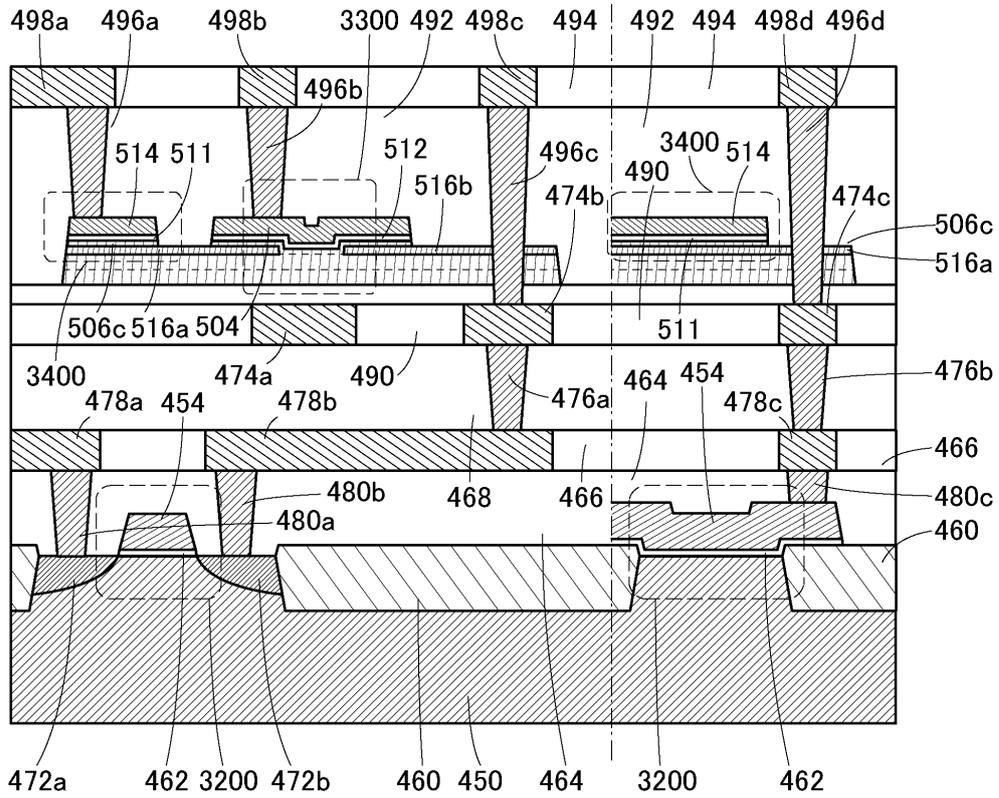
(A)



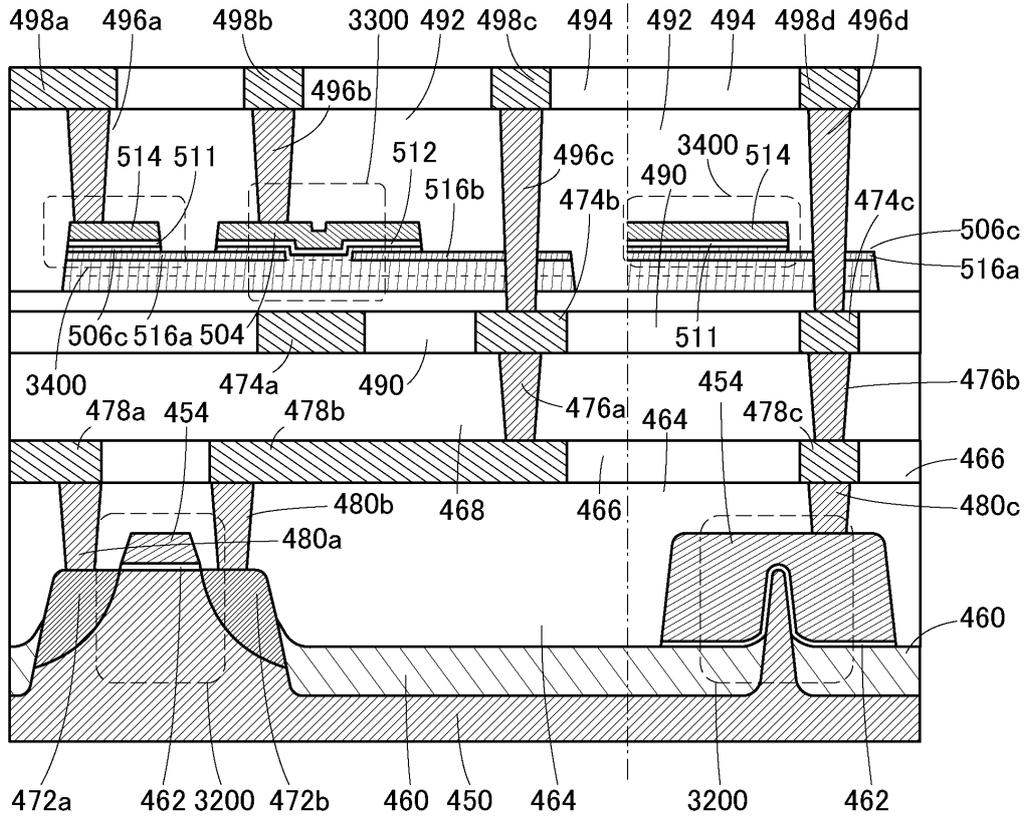
(B)



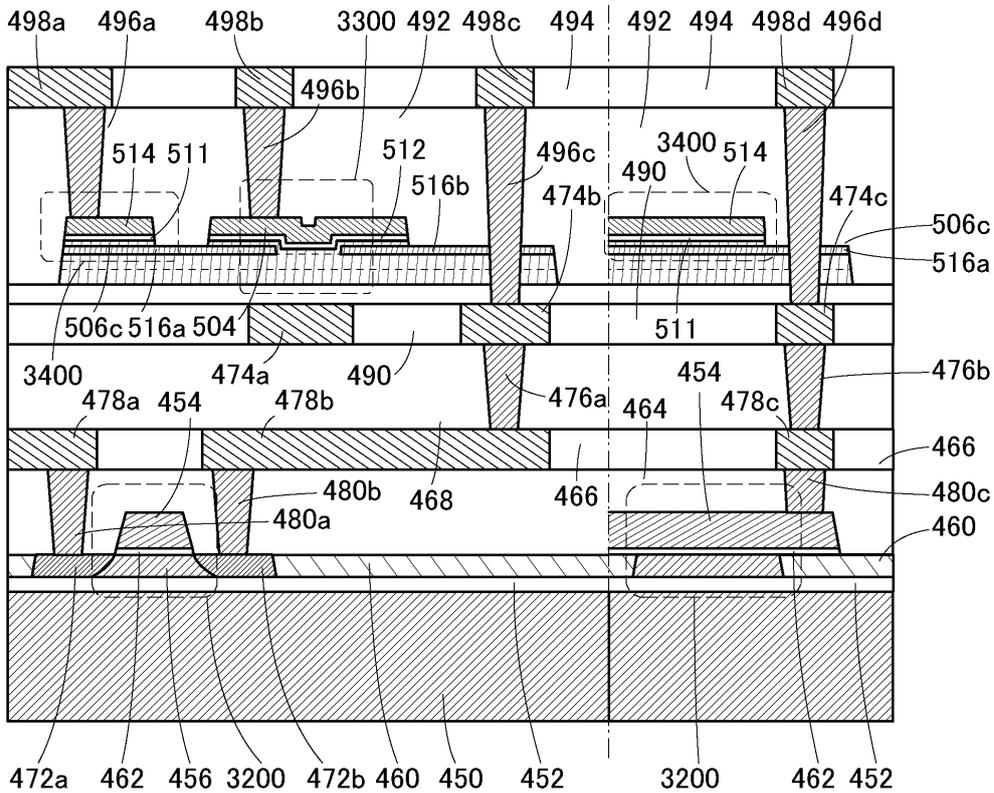
도면29



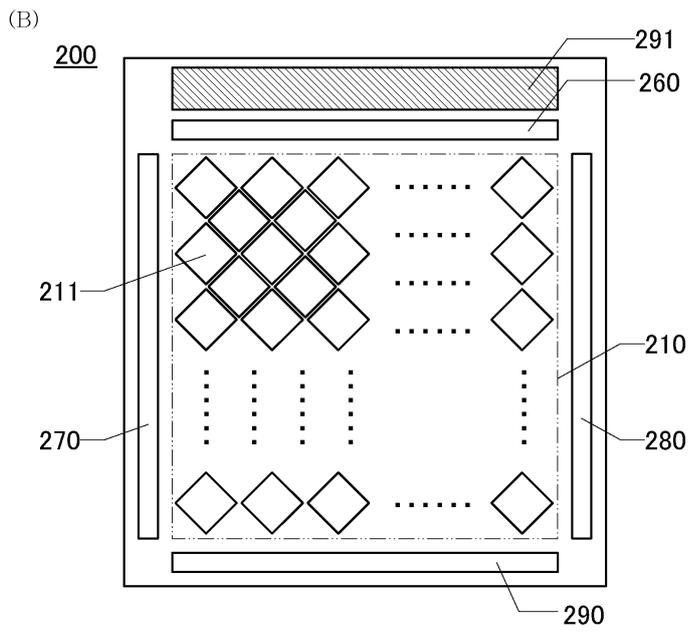
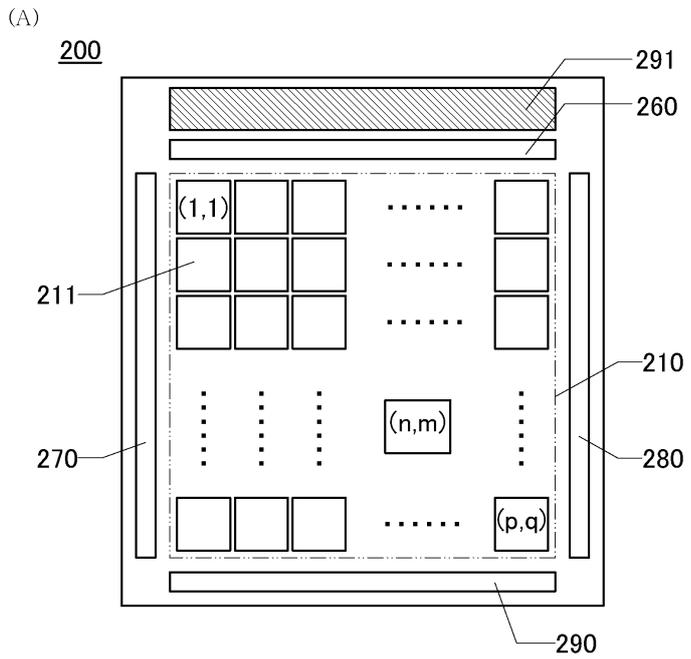
도면30



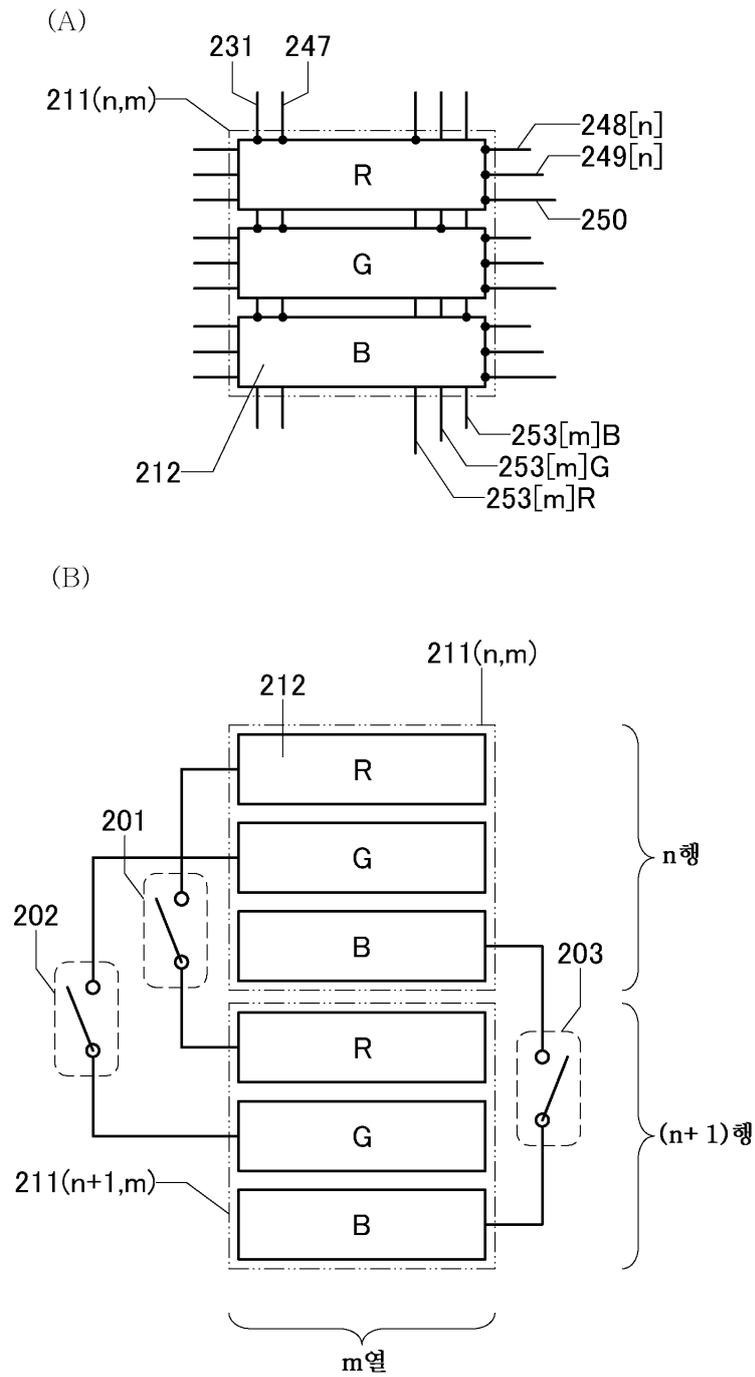
도면31



도면32

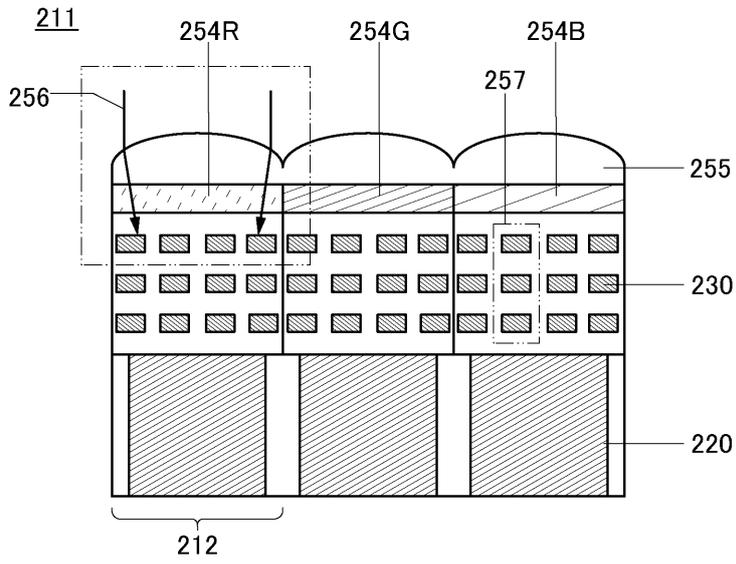


도면33

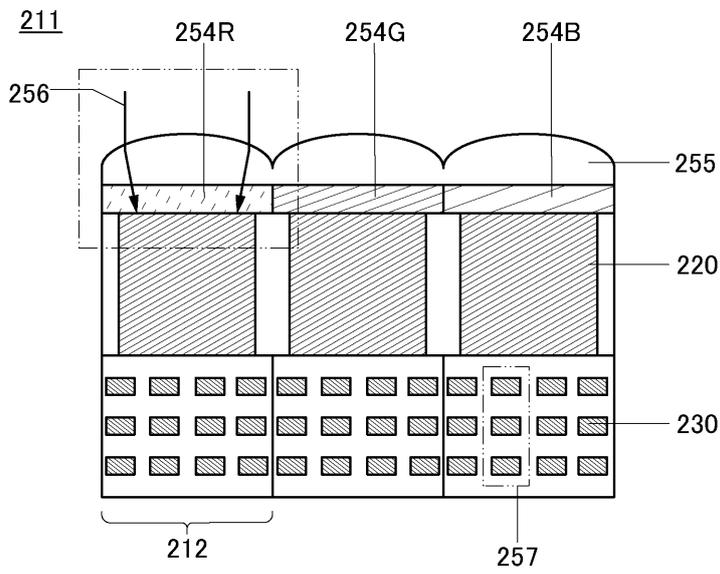


도면34

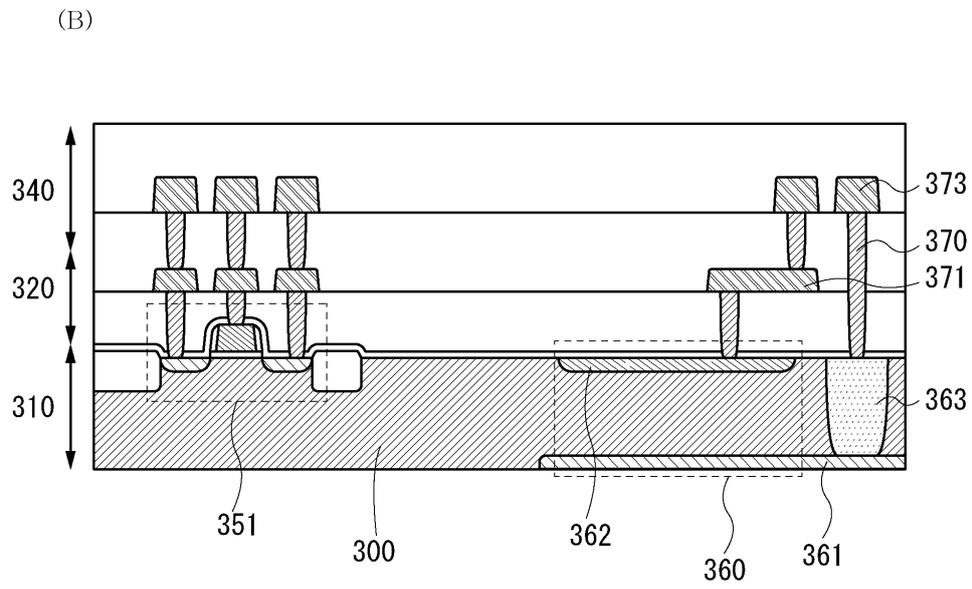
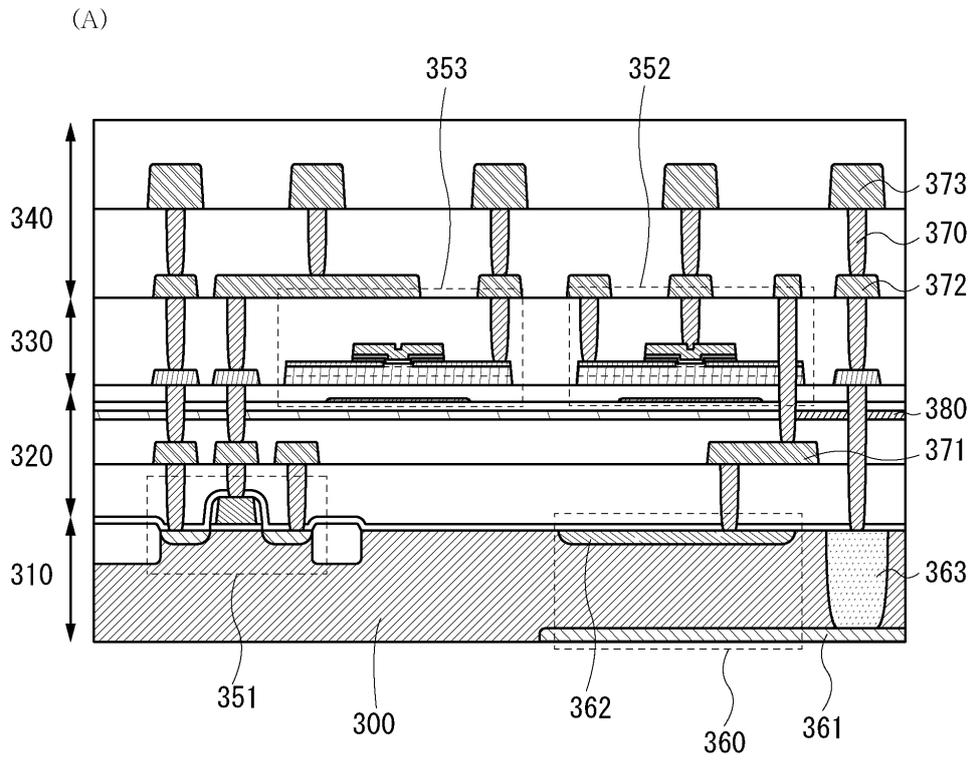
(A)



(B)

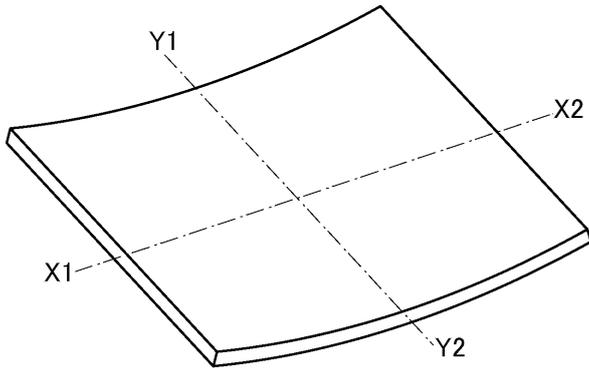


도면35

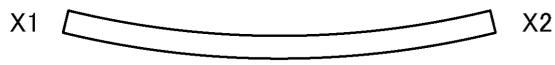


도면36

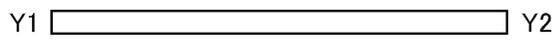
(A1)



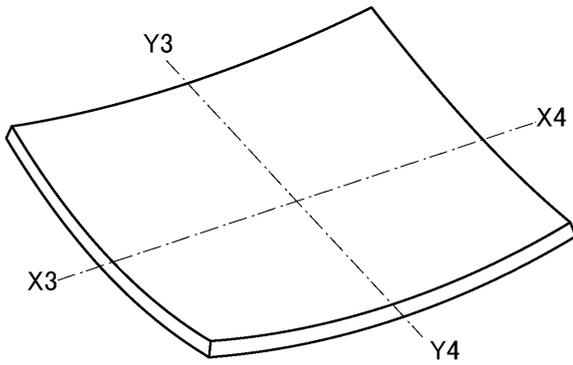
(A2)



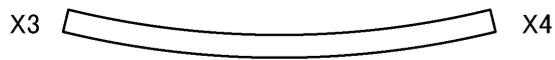
(A3)



(B1)



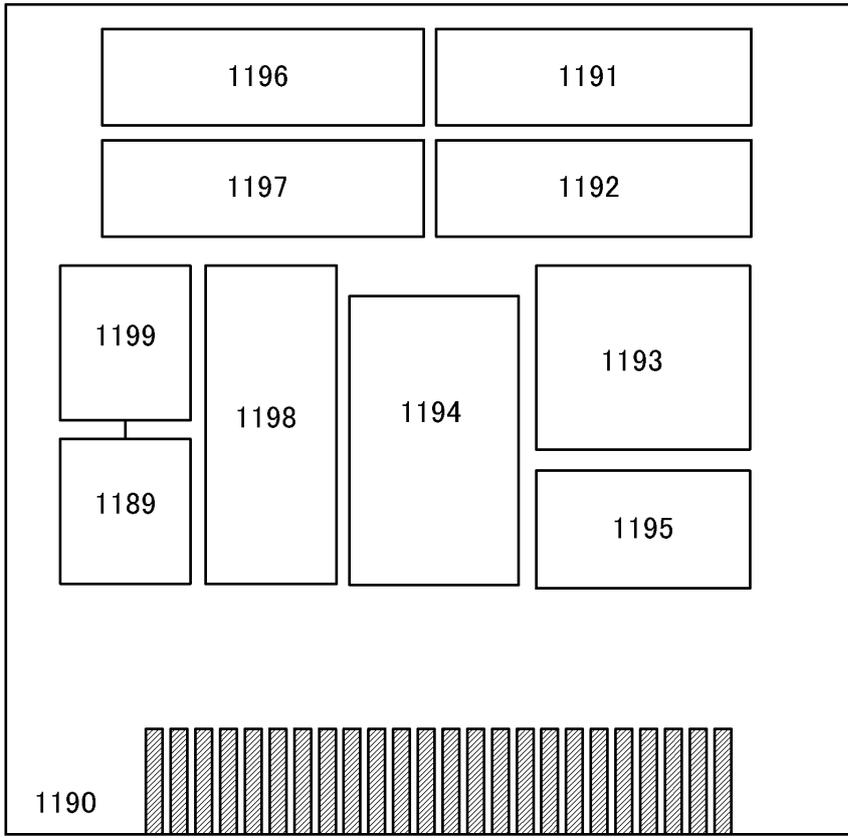
(B2)



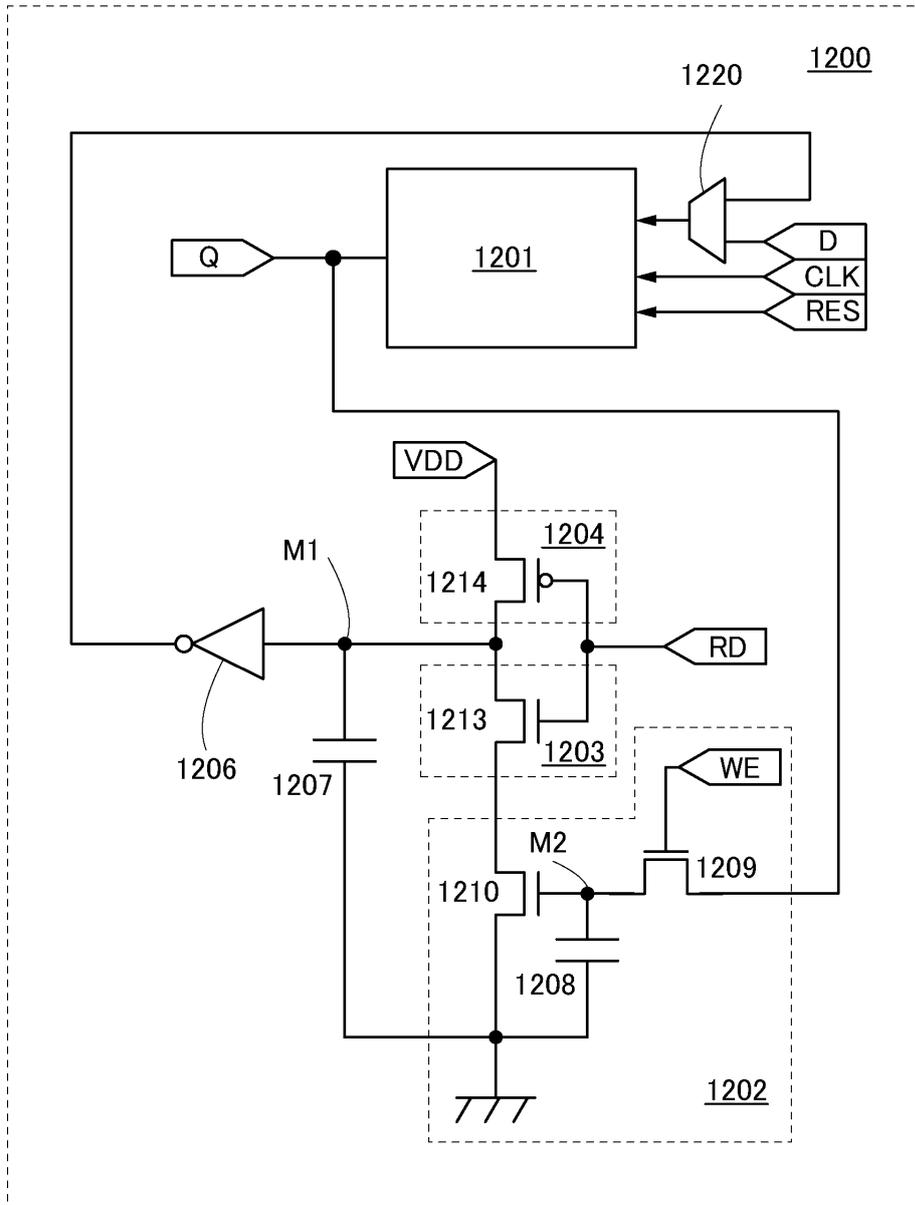
(B3)



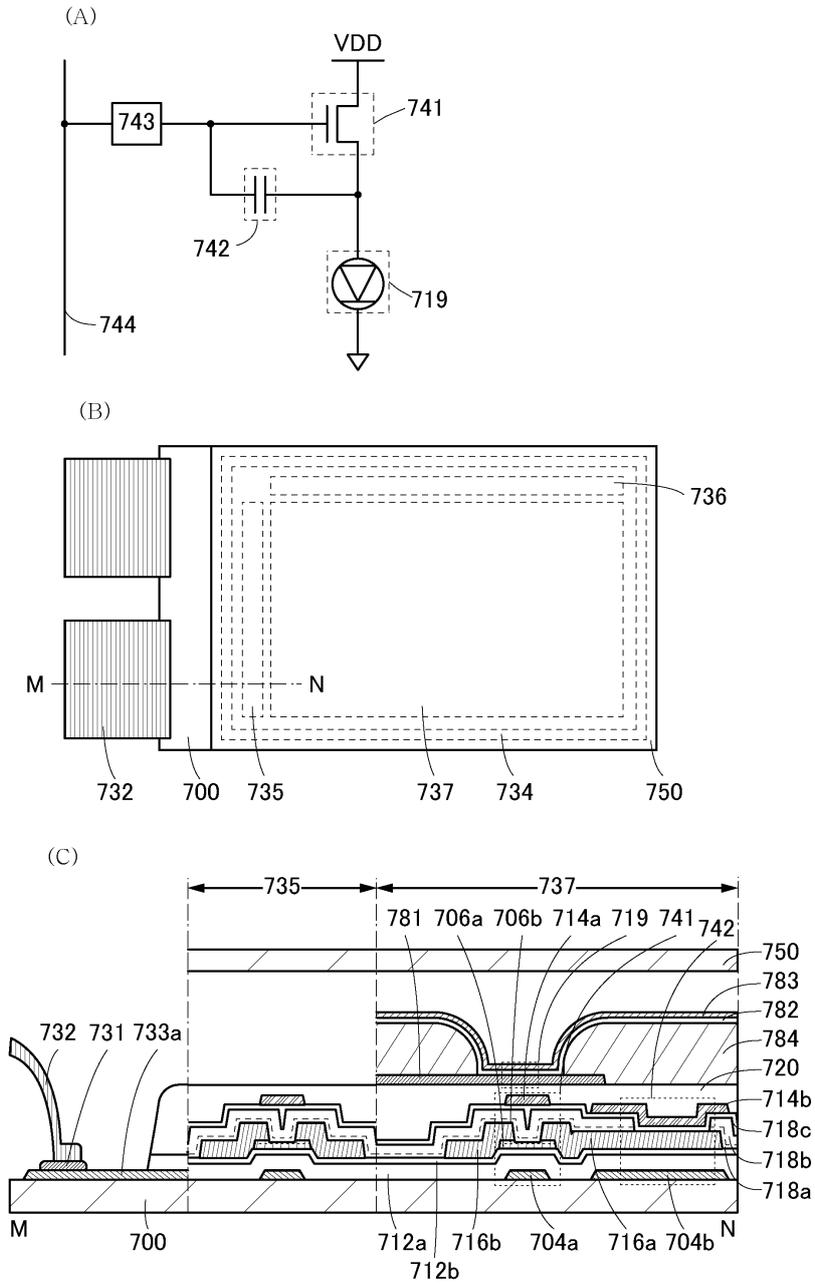
도면37



도면38

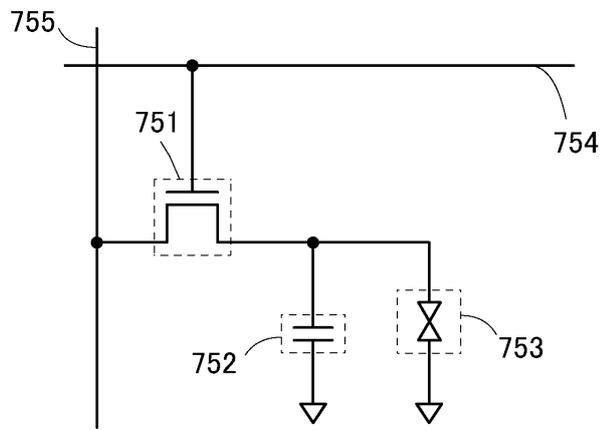


도면39

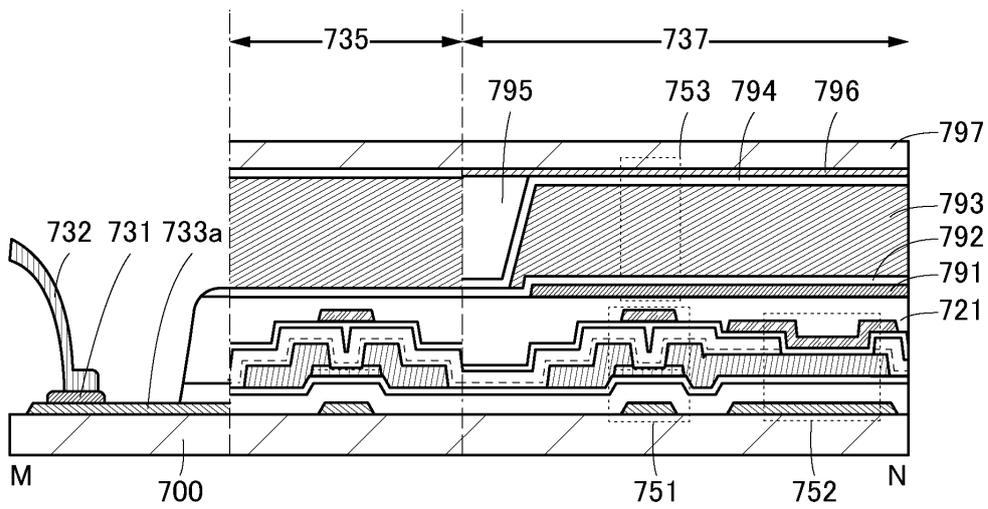


도면40

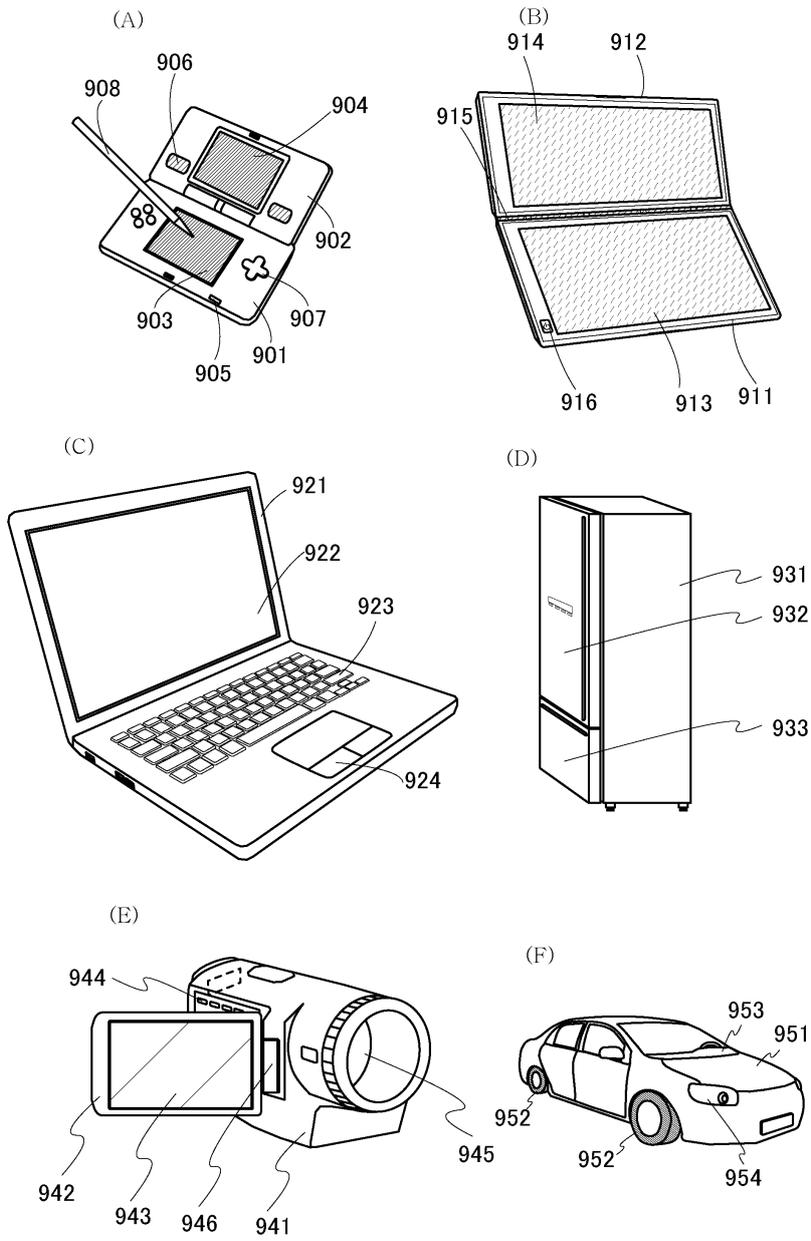
(A)



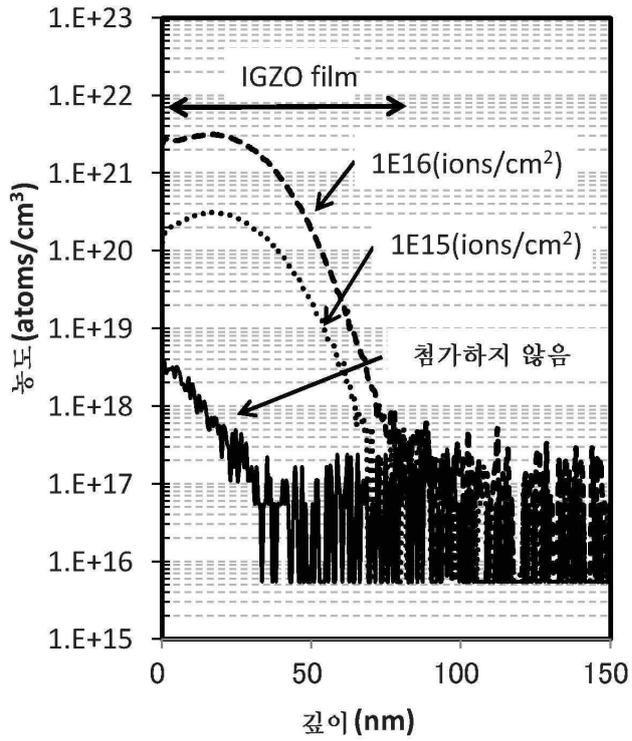
(B)



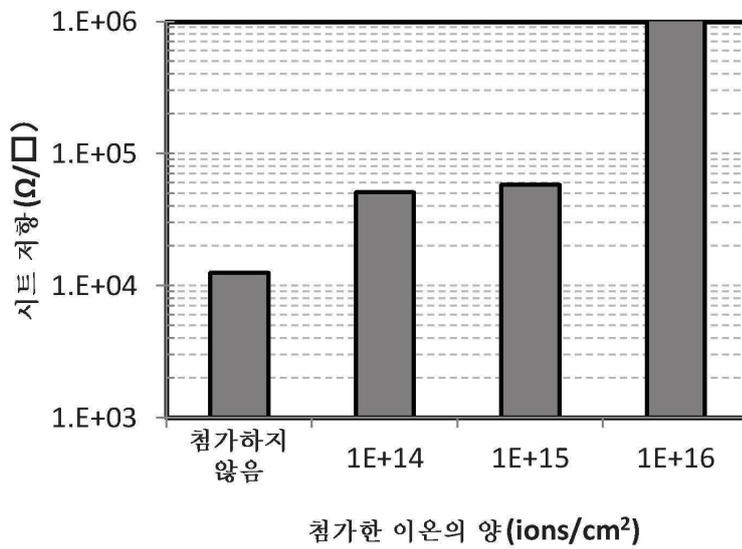
도면41



도면42

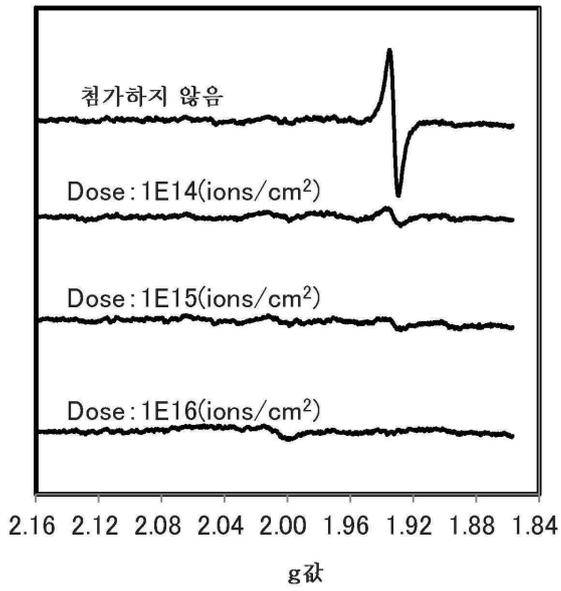


도면43



도면44

(A)



(B)

