



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I767314 B

(45)公告日：中華民國 111 (2022) 年 06 月 11 日

(21)申請案號：109130727

(22)申請日：中華民國 109 (2020) 年 09 月 08 日

(51)Int. Cl. : H01L21/60 (2006.01)

H01L21/8244(2006.01)

H01L23/528 (2006.01)

(30)優先權：2019/09/17 美國

16/573,769

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市力行六路八號

(72)發明人：陳瑞麟 CHEN, JUI-LIN (TW)；張朝淵 CHANG, CHAO-YUAN (TW)；林祐寬 LIN,
YU-KUAN (TW)；楊昌達 YANG, CHANG-TA (TW)；王屏薇 WANG, PING-WEI
(TW)

(74)代理人：洪澄文

(56)參考文獻：

US 2013/0309853A1

US 2014/0103446A1

US 2017/0317096A1

審查人員：孫建文

申請專利範圍項數：9 項 圖式數：10 共 47 頁

(54)名稱

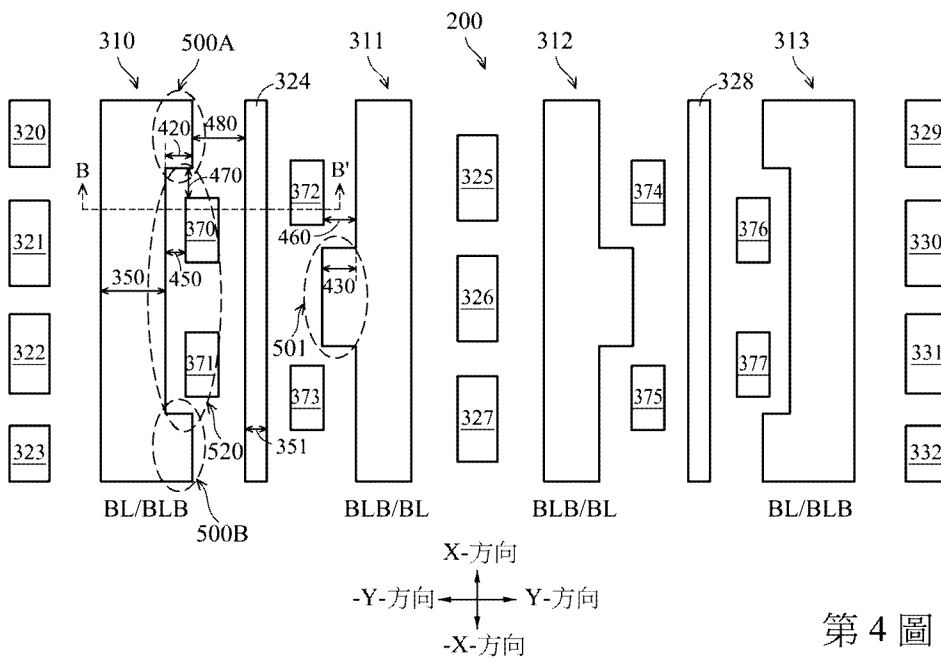
半導體裝置及其製造方法

(57)摘要

一種半導體裝置，包括閘極結構、源極/汲極、被設置於閘極結構及源極/汲極上的第一通孔、以及在截面圖中具有比第一通孔更高層的垂直位置的第一金屬線。第一通孔電性耦接至閘極結構與源極/汲極兩者。第一金屬線及第一通孔中的每一者在第一方向上延伸。一第一距離在不同於第一方向的第二方向上，分隔第一金屬線與第一通孔。第一金屬線包括突出部分，突出部分在第二方向上向外突出。

A semiconductor device includes a gate structure, a source/drain, a first via that is disposed over the gate structure and the source/drain, and a first metal line having a more elevated vertical position than the first via in a cross-sectional view. The first via is electrically coupled to both the gate structure and the source/drain. The first metal line and the first via each extends in a first direction. A first distance separates the metal line from the via in a second direction different from the first direction. The first metal line includes a protruding portion that protrudes outwardly in the second direction.

指定代表圖：



符號簡單說明：

BL:位元線

BLB:互補位元線

200:SRAM 單元陣列

310~313:金屬線

320~332:金屬線

370~377:通孔

350,351:橫向尺寸

420,430:尺寸

450~480:距離

500A,500B:突出部

501:突出部

520:凹陷區域

B-B':切割線

第 4 圖



I767314

【發明摘要】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND FABRICATING METHOD

THEREOF

【中文】

一種半導體裝置，包括閘極結構、源極/汲極、被設置於閘極結構及源極/汲極上的第一通孔、以及在截面圖中具有比第一通孔更高層的垂直位置的第一金屬線。第一通孔電性耦接至閘極結構與源極/汲極兩者。第一金屬線及第一通孔中的每一者在第一方向上延伸。一第一距離在不同於第一方向的第二方向上，分隔第一金屬線與第一通孔。第一金屬線包括突出部分，突出部分在第二方向上向外突出。

【英文】

A semiconductor device includes a gate structure, a source/drain, a first via that is disposed over the gate structure and the source/drain, and a first metal line having a more elevated vertical position than the first via in a cross-sectional view. The first via is electrically coupled to both the gate structure and the source/drain. The first metal line and the first via each extends in a first direction. A first distance separates the metal line from the via in a second direction different from the first direction. The first metal line includes a protruding portion that protrudes outwardly in the second direction.

【指定代表圖】第4圖

【代表圖之符號簡單說明】

BL:位元線

BLB:互補位元線

200:SRAM單元陣列

310~313:金屬線

320~332:金屬線

370~377:通孔

350, 351:橫向尺寸

420, 430:尺寸

450~480:距離

500A, 500B:突出部

501:突出部

520:凹陷區域

B-B':切割線

【發明說明書】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND FABRICATING METHOD

THEREOF

【技術領域】

【0001】本揭露係有關於互連結構中的金屬線，特別係有關於具有突出部分的金屬線。

【先前技術】

【0002】在深亞微米(deep sub-micron)積體電路技術中，嵌入式靜態隨機存取記憶體(static random access memory, SRAM)裝置成為了流行的儲存單元，用於高速通訊、影像處理以及系統單晶片(system-on-chip, SOC)產品。微處理器以及SOC中嵌入式SRAM的數量不斷增加，以滿足每一世代新技術的性能要求。隨著矽技術不斷地從一個世代擴展到下一個世代，寄生效應(parasitic effect)對SRAM裝置性能的影響可能會益發嚴重。舉例來說，隨著半導體特徵尺寸的持續縮小，寄生電阻可能成為更大的係數，這可能會降級(degrade)SRAM單元的最小工作電壓(V_{min})。這可能會導致低於標準的SRAM性能，甚或是至導致裝置故障。

【0003】因此，儘管現行的SRAM裝置通常已足以滿足其預期目的，但它們並非在每個方面都是完全令人滿意的。

【發明內容】

【0004】本揭露實施例提供一種半導體裝置。上述半導體裝置包括閘極結構、源極/汲極、被設置於閘極結構及源極/汲極上的第一通孔、以及在截面圖中具有比第一通孔更高層的垂直位置的第一金屬線。第一通孔電性耦接至閘極結構與源極/汲極兩者。第一金屬線及第一通孔中的每一者在第一方向上延伸。第一距離在不同於第一方向的第二方向上，分隔第一金屬線與第一通孔。第一金屬線包括突出部分，突出部分在第二方向上向外突出。

【0005】本揭露實施例提供一種半導體裝置。第一金屬線於俯視圖中在第一方向上延伸。第一金屬線包括突出部分。第二金屬線於俯視圖中在第一方向上延伸。第二金屬線定義一凹陷區域。突出部分在不同於第一方向的第二方向上指向凹陷區域。第三金屬線於俯視圖中在第一方向上延伸，且被設置於第一金屬線與第二金屬線之間。在俯視圖中，第三金屬線具有不同於第一金屬線及第二金屬線的幾何輪廓。第一通孔、第二通孔、第三通孔以及第四通孔中的每一者，於俯視圖中在第一方向上延伸。第一通孔及第二通孔被設置於第一金屬線與第三金屬線之間。第三通孔及第四通孔被設置於第二金屬線與第三金屬線之間。第一通孔及第二通孔被設置於突出部分的兩側上。第三通孔及第四通孔被設置為至少一部分在凹陷區域中。

【0006】本揭露實施例提供一種半導體裝置的製造方法。上述製造方法包括接收一積體電路佈局設計，上述積體電路佈局設計包括互連結構的複數金屬線。金屬線中的每一者於俯視圖中在第一方向上延伸。上述製造方法亦包括藉由在第二方向上擴大金屬線的至少一子集的複數部分，以至少部分地修改接收到的積體電路佈局設計，其中第二方向不同於第一方向。

【圖式簡單說明】

【0007】 本揭露之態樣自後續實施方式及附圖可更佳理解。須強調的是，依據產業之標準作法，各種特徵並未按比例繪製。事實上，各種特徵之尺寸可能任意增加或減少以清楚論述。亦須強調的是，所附之附圖僅出示本發明之典型實施例，不應認為是對範圍之限制，因為本發明亦可適用於其他實施例。

第1圖係根據本揭露實施例所示，用於1位元SRAM單元的電路示意圖。

第2圖係根據本揭露實施例所示，FinFET裝置的三維透視圖。

第3圖係根據本揭露實施例所示，SRAM單元陣列的一部分的俯視佈局圖。

第4圖係根據本揭露實施例所示，SRAM單元陣列另一個部分的俯視佈局圖。

第5圖係根據本揭露實施例所示，SRAM單元陣列的又一部分的俯視佈局圖。

第6圖係根據本揭露實施例所示，SRAM單元陣列的一部分的截面側視圖。

第7圖係根據本揭露實施例所示，SRAM單元陣列另一個部分的截面側視圖。

第8圖係根據本揭露實施例所示，電壓對電阻的圖表。

第9圖係根據本揭露實施例所示的積體電路製造系統。

第10圖係根據本揭露實施例所示，SRAM裝置之製造方法的流程圖。

【實施方式】

【0008】 以下之揭露提供許多不同實施例或範例，用以實施本揭露之不同特徵。本揭露之各部件及排列方式，其特定範例敘述於下以簡化說明。理所當然的，這些範例並非用以限制本揭露。舉例來說，若敘述中有著第一特徵成形於第二特徵之上或上方，其可能包含第一特徵與第二特徵以直接接觸成形之實施例，亦可能包含有附加特徵形成於第一特徵與第二特徵之間，而使第一特徵

與第二特徵間並非直接接觸之實施例。此外，本揭露可在多種範例中重複參考數字及/或字母。該重複之目的係為簡化及清晰易懂，且本身並不規定所討論之多種實施例及/或配置間之關係。

【0009】 進一步來說，本揭露可能會使用空間相對術語，例如「在...下方」、「下方」、「低於」、「在...上方」、「高於」及類似詞彙，以便於敘述圖式中一個元件或特徵與其他元件或特徵間之關係。除了圖式所描繪之方位外，空間相對術語亦欲涵蓋使用中或操作中之裝置其不同方位。設備可能會被轉向不同方位(旋轉90度或其他方位)，而此處所使用之空間相對術語則可相應地進行解讀。

【0010】 再進一步來說，當一數字或一數字範圍以「大約」、「大概」或類似之用語描述，該用語旨在涵蓋包括所述數字在內之合理數字，例如所述數字之 $\pm 10\%$ 或於本技術領域中具有通常知識者所理解之其他數值。舉例來說，術語「約5奈米(nm)」所涵蓋的範圍自4.5nm至5.5nm。

【0011】 本揭露直指一種靜態隨機存取記憶體(SRAM)裝置，但不限於此。SRAM裝置是一種半導體記憶體，使用雙穩態(bi-stable)鎖存電路(latching circuitry，例如：正反器(flip-flop))來儲存資訊的二進制位元。第1圖顯示單埠SRAM單元(例如：1位元SRAM單元)5的範例性電路示意圖。單埠SRAM單元5包括上拉電晶體PU1、PU2(或稱電晶體PU1、PU2)；下拉電晶體PD1、PD2(或稱電晶體PD1、PD2)；以及傳輸閘電晶體PG1、PG2(或稱電晶體PG1、PG2)。如電路圖所示，電晶體PU1及PU2為p型電晶體，例如上文所討論的p型FinFET，而電晶體PG1、PG2、PD1以及PD2為上文所討論的n型FinFET。因為在所繪實施例中，SRAM單元5包括六個電晶體，因此SRAM單元5亦被稱為6T SRAM單元。

【0012】 上拉電晶體PU1與下拉電晶體PD1的汲極耦接在一起，且上拉電晶體PU2與下拉電晶體PD2的汲極耦接在一起。電晶體PU1及PD1與電晶體PU2及PD2交叉耦接，以形成第一資料鎖存(data latch)。電晶體PU2及PD2的閘極被耦接在一起，並耦接至電晶體PU1及PD1的汲極，以形成第一儲存節點SN1，而電晶體PU1及PD1的閘極被耦接在一起，並耦接至電晶體PU2及PD2的汲極，以形成互補第一儲存節點SNB1。上拉電晶體PU1及PU2的源極被耦接到電源電壓Vcc(亦稱為Vdd)，而下拉電晶體PD1及PD2的源極則耦接到電壓Vss，在一些實施例中，電壓Vss可為電性接地。

【0013】 第一資料鎖存的第一儲存節點SN1經由傳輸閘電晶體PG1耦接至位元線BL，而互補第一儲存節點SNB1經由傳輸閘電晶體PG2耦接至互補位元線BLB。第一儲存節點N1及互補第一儲存節點SNB1為互補的節點，它們通常處於相反的邏輯位準(level)(邏輯高或邏輯低)。傳輸閘電晶體PG1及PG2的閘極被耦接至字元線WL。

【0014】 可使用「平面」電晶體裝置及/或FinFET裝置來實施諸如SRAM單元5的SRAM裝置。在這方面，FinFET裝置為鰭式場效電晶體裝置，近來在半導體工業中越來越受歡迎。與傳統的金屬氧化物半導體場效電晶體(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)裝置(例如：「平面」電晶體裝置)相比，FinFET裝置具有多項優勢。這些優勢可包括更好的晶片面積效率、改善的載子遷移率、以及與平面裝置之製造製程相容的製造製程。因此，可能會期望設計出在積體電路(IC)晶片的一部分或整體上使用FinFET裝置的IC晶片。

【0015】 FinFET裝置可為互補式金屬氧化物半導體(CMOS)裝置，包括P型金屬氧化物半導體(PMOS)FinFET裝置以及N型金屬氧化物半導體

(NMOS)FinFET裝置。應注意的是，在以下之揭露的一些態樣中，可能會使用FinFET裝置作為範例進行討論，但應理解的是，除非特地撰寫於申請專利範圍中，否則本申請並不限於FinFET裝置。

【0016】 參照第2圖，第2圖顯示了範例性之FinFET裝置結構10的透視圖。FinFET裝置結構10包括N型FinFET裝置結構(NMOS)15以及P型FinFET裝置結構(PMOS)25。FinFET裝置結構10包括基板102。基板102可由矽或其他半導體材料製成。替代地或附加地，基板102可包括其他元素半導體材料，例如鍺。在一些實施例中，基板102由化合物半導體所製成，例如碳化矽、砷化鎵、砷化銮、或是磷化銮。在一些實施例中，基板102由合金半導體所製成，例如矽鍺、碳化矽鍺(silicon germanium carbide)、磷砷化鎵(gallium arsenic phosphide)、或是磷化銮鎵(gallium indium phosphide)。在一些實施例中，基板102包括磊晶層。舉例來說，基板102可包括覆蓋在體(bulk)半導體上的磊晶層。

【0017】 FinFET裝置結構10亦包括一或多個鰭片結構104(例如：Si鰭片)，鰭片結構自基板102沿著Z方向延伸，且在Y方向上被間隔物105圍繞。鰭片結構104在X方向上延長，且能夠可選地包括鍺(Ge)。可使用合適的製程來形成鰭片結構104，例如微影(photolithography)及蝕刻製程。在一些實施例中，使用乾式蝕刻或電漿製程自基板102蝕刻鰭片結構104。在一些其他實施例中，鰭片結構104可藉由多重圖案化微影製程來形成，例如雙重圖案化微影(double-patterning lithography, DPL)製程。雙重圖案化微影是一種在基板上建構圖案的方法，藉由將圖案分割成兩個交錯(interleaved)圖案來執行。雙重圖案化微影允許增強特徵(例如：鰭片)的密度。鰭片結構104亦包括磊晶生長材料12，其可(連同鰭片結構104的部分一起)用作FinFET裝置結構10的源極/汲極。

【0018】 諸如淺溝槽隔離(shallow trench isolation, STI)結構的隔離結構108被形成，以圍繞鰭片結構104。在一些實施例中，鰭片結構104的下方部分被隔離結構108所圍繞，而鰭片結構104的上方部分則自隔離結構108突出，如第2圖所示。換句話說，鰭片結構104的一部分嵌入於隔離結構108中。隔離結構108防止電子干擾(electrical interference)或串擾(crosstalk)。

【0019】 FinFET裝置結構10進一步包括閘極堆疊結構，閘極堆疊結構包括閘極電極110以及位在閘極電極110下方的閘極介電層(未圖示)。閘極電極110可包括多晶矽或金屬。金屬包括氮化鉭(TaN)、矽化鎳(NiSi)、矽化鈷(CoSi)、鉬(Mo)、銅(Cu)、鎢(W)、鋁(Al)、鈷(Co)、銦(Zr)、鉑(Pt)、或是其他適用的材料。閘極電極110可在閘極後製製程(或是閘極替代製程)中被形成。硬遮罩層112及114可被用於定義閘極電極110。介電層115亦可被形成在閘極電極110的側壁上以及硬遮罩層112及114的上方。在至少一個實施例中，介電層115直接與閘極電極110接觸。

【0020】 閘極介電層(未圖示)可包括介電材料，例如氧化矽、氮化矽、氮氧化矽、具有高介電常數(高k值)的介電材料、或其組合。高k值介電材料的範例包括氧化鈦、氧化銦、氧化鋁、二氧化鈦-鋁合金(hafnium dioxide-alumina alloy)、氧化矽、氮氧化矽鈦(hafnium silicon oxynitride)、氧化鉭鈦(hafnium tantalum oxide)、氧化鈦鈦(hafnium titanium oxide)、氧化鈦銦(hafnium zirconium oxide)等、或其組合。

【0021】 在一些實施例中，閘極堆疊結構包括額外的薄層，例如界面層(interfacial layer)、覆蓋層(capping layer)、擴散/阻擋層(diffusion/barrier layer)、或其他適用的薄層。在一些實施例中，閘極堆疊結構被形成在鰭片結構104的中央

部分上。在一些其他實施例中，複數閘極堆疊結構被形成在鰭片結構104上。在一些其他實施例中，閘極堆疊結構包括虛擬(dummy)閘極堆疊，且在隨後於執行高熱預算(thermal budget)製程之後，被金屬閘極(MG)所取代。

【0022】 藉由沉積製程、微影製程、以及蝕刻製程來形成閘極堆疊結構。沉積製程包括化學氣相沉積(chemical vapor deposition, CVD)、物理氣相沉積(physical vapor deposition, PVD)、原子層沉積(atomic layer deposition, ALD)、高密度電漿CVD(high density plasma CVD, HDPCVD)、金屬有機CVD(metal organic CVD, MOCVD)、遠程電漿CVD(remote plasma CVD, RPCVD)、電漿增強型CVD(plasma enhanced CVD, PECVD)、電鍍(plating)、其他合適之方法、及/或其組合。微影製程包括光阻(photoresist)塗佈(例如：自旋塗佈(spin-on coating))、軟烤、光罩對準、曝光、曝後烤、顯影光阻、沖洗(rinsing)、乾燥(例如：硬烤)。蝕刻製程包括乾式蝕刻製程或濕式蝕刻製程。可選地，微影製程可藉由其他適當的方法來執行或取代，例如無光罩微影(maskless photolithography)、電子束寫入(electron-beam writing)、以及離子(ion-beam writing)束寫入。

【0023】 第3圖係根據本揭露實施例所示，使用FinFET實施之SRAM單元陣列200的一部分的俯視圖。第3圖的俯視圖由X軸(跨越第2圖的X方向)以及Y軸(跨越第2圖的Y方向)所定義。應注意的是，第3圖中的X軸是垂直軸，而第3圖中的Y軸是水平軸。

【0024】 SRAM單元陣列200包括複數SRAM單元，例如諸如第1圖之SRAM單元5(例如：6T SRAM單元)的SRAM單元。SRAM單元陣列200包括N摻雜區202(或N井(well))以及P摻雜區204(或P井)。在N摻雜區202及P摻雜區204兩者中，SRAM單元陣列200包括複數鰭片線210，鰭片線210的每一者在X方向上以

拉長的方式延伸。可使用第2圖之鰭片結構104來實施鰭片線210。SRAM單元陣列200亦包括複數閘極結構220，閘極結構220可藉由第2圖之N型FinFET裝置結構15及P型FinFET裝置結構25來實施(取決於閘極結構是用於NFET還是用於PFET)。閘極結構220可各自圍繞一或多個鰭片線210，但在第2圖的俯視圖中，閘極結構220顯示為在Y方向上延伸，其中Y方向垂直於鰭片線210所延伸的X方向。鰭片線210與閘極結構220形成電晶體。舉例來說，在一個實施例中，SRAM單元5的上拉(PU)電晶體由N摻雜區中的電晶體形成，而下拉(PD)電晶體及傳輸閘(PG)電晶體則由P摻雜區中的電晶體形成。

【0025】 第4圖顯示SRAM單元陣列200的另一個部分(例如：第3圖的SRAM單元陣列，其由第1圖所示之6T SRAM單元所組成)的另一個俯視圖。應注意的是，俯視圖可對應SRAM單元陣列200的理想俯視圖，舉例來說，第4圖中所示的各種組件可具有筆直的邊緣或者被塑形為矩形或多邊形。在實際製造的裝置中，第4圖中的組件可能具有更加圓潤、彎曲或其他非直線的邊緣。在一些實施例中，第4圖的俯視圖可對應於用於形成SRAM單元陣列200的一或多個光罩(photomask)上的圖案的俯視圖，因為與實際製造的裝置相比，光罩上的圖案具有更加筆直的邊緣，且更類似於矩形或多邊形。

【0026】 第4圖所示之SRAM單元陣列200的一部分包括多條導線，例如多層互連(multi-layered interconnect, MLI)結構之金屬-0互連層(亦稱為M0層)的金屬線310、311、312和313以及金屬線320、321、322、323、324、325、326、327、328、329、330、331和332。就這一點而言，MLI結構可被形成在基板上，且可包括複數圖案化的介電層及導電層，提供半導體裝置(例如：SRAM單元陣列200)之各種微電子組件之間的互連(例如：佈線(wiring))。舉例來說，MLI結構可以包

括複數導電組件，例如接點(contact)、通孔(via)、或是金屬線。金屬線可被設置在彼此垂直地堆疊的多個金屬層中，且通孔被用於將來自不同薄層的金屬線電性互連在一起。接點及通孔亦提供與電晶體組件(例如：閘極、源極及/或汲極)的電性連接。導電組件可包括導電材料，例如鋁、鋁/矽/銅合金、鈦、氮化鈦、鎢、多晶矽、金屬矽化物或其組合。或者，導電組件可包括銅、銅合金、鈦、氮化鈦、鈹、氮化鈹、鎢、多晶矽、金屬矽化物或其組合。

【0027】 MLI結構亦可包括圍繞導電組件的層間介電質(interlayer dielectric, ILD)。層間介電質可為導電組件提供電性隔離。在一些實施例中，層間介電質可包括低k值介電材料(例如：介電常數小於二氧化矽之介電常數(約為4)的介電材料)。作為非限制性的範例，低k值介電材料可包括多孔有機矽酸鹽薄膜(porous organosilicate)，例如SiOCH、四乙氧基矽烷(tetraethylorthosilicate, TEOS)氧化物、未摻雜之矽酸鹽玻璃、摻雜之二氧化矽，例如硼磷矽酸鹽玻璃(borophosphosilicate glass, BPSG)、熔融石英玻璃(FSG)、磷矽酸鹽玻璃(phosphosilicate glass, PSG)、氟摻雜之二氧化矽、碳摻雜之二氧化矽、多孔二氧化矽、多孔碳摻雜之二氧化矽、碳氮化矽(SiCN)、碳氧化矽(SiOCN)、旋塗有機聚合物介電質、基於旋塗矽(spin-on silicon based)之聚合物介電質、或其組合。

【0028】 如第4圖所示，金屬線310-313及金屬線320-332中的每一者，在X方向上以伸長的方式延伸。在一些實施例中，金屬線310-313中的每一者，是SRAM單元陣列200的位元線(BL)或互補位元線(bit line bar, BLB)(見第1圖)。舉例來說，金屬線310及313可各自為位元線(BL)，而金屬線311及312則可各自為互補位元線(BLB)。替代性地，金屬線310及313可各自為互補位元線(BLB)，而金屬線311及312則可各自為位元線(LB)。為了簡化說明，本文在後續亦可將金屬

線310-313稱為位元線310-313(即使它們之中有一些是互補位元線)。

【0029】 在SRAM單元陣列200的一些實施例中，於俯視圖中，位元線310-313中的每一者，連續地延伸穿過多個SRAM單元。舉例來說，位元線310-313中的每一者可在俯視圖中於X方向上延伸穿過整個SRAM單元陣列200。作為電性導體，位元線310-313理想上應具有基本為零的電阻。然而，在現實世界的裝置中，位元線310-313中的每一者，可能會產生寄生電阻(parasitic electrical resistance)，該寄生電阻是位元線尺寸(例如：在X方向上的長度與在Y方向上的寬度兩者)的函數。舉例來說，隨著位元線的寬度(例如：沿Y方向量測的橫向尺寸)減少，寄生電阻會隨之增加。在大於5奈米技術世代的舊技術世代中，由於位元線的尺寸可能夠大，因此這種寄生電阻可以忽略不計。

【0030】 然而，隨著裝置微縮趨勢持續地縮小微電子組件的尺寸(例如：包括位元線310-313的尺寸)，電阻可能會上升到不再能忽略的程度，且可能會大幅降低半導體裝置的性能。舉例來說，根據歐姆定律，電阻器兩端的電壓降等於流經電阻器的電流乘以電阻器的電阻。電壓與電阻之間的這種關係可用數學的方式表示為 $V = I * R$ ，其中V代表電壓，I代表電流，且R代表電阻。在當前情況下，位元線310-313中的每一者均可被模擬為電阻器(由於其寄生電阻)。如此一來，在SRAM單元陣列200的操作期間，位元線310-313中的每一者可經歷其長度上(X方向上)的電壓降。此電壓降會降級(degrade)某些SRAM的操作參數或標準(criteria)，例如最低工作電壓(minimum operating voltage, 下文中稱為Vmin)。在一些案例中，Vmin的降級可能處於約5毫伏特(mV)至約200mV的範圍內。若Vmin沒有被滿足，則SRAM單元可能會遇到讀取失敗、寫入失敗、存取失敗、及/或保留(retention)失敗的情況。裝置微縮的過程也可能伴隨著縮小SRAM供應電壓

(例如： V_{dd})的需求，這加劇了該問題。由於 V_{min} 可與供應電壓有關，因此供應電壓的縮小可能進一步地減少 V_{min} 所能遭受的誤差裕度(margin)(或降低量(amount of degradation))。

【0031】本揭露藉由選擇性地擴大位元線310-313來減少它們的電阻，以減輕 V_{min} 的降級問題。如此一來，位元線310-313中的每一者所具有的俯視輪廓不再是完全線性的，而會是鋸齒狀的(zig-zag shaped)。舉例來說，位元線310-313中的每一者具有一或多個突出(protrusion)，它們在Y方向上橫向突出。相較之下，在金屬線320-332中並未存在這種橫向突出。位元線310-313的鋸齒形狀(或者換句話說，其橫向突出的存在)是本揭露之SRAM單元陣列200的獨特物理特性之一，且將在下文中作更詳細的討論。

【0032】仍舊參照第4圖，金屬線324及328亦各自在X方向上以伸長的方式延伸。在一些實施例中，金屬線324及328分別是SRAM單元陣列200的 V_{cc} (見第1圖)。金屬線324及328中的每一者亦可在Y方向上比位元線310-313中的每一者還要窄。如第4圖所示，位元線310-313在Y方向上可具有最小橫向尺寸350(在其最薄的部分處測量)，且金屬線324及328中的每一者在Y方向上可具有最小橫向尺寸351。橫向尺寸350基本上大於橫向尺寸351，例如在一些實施例中，至少大上50%。橫向尺寸350與橫向尺寸351之間的差異可能是由於一個事實：它們被配置來容忍不同的電壓或電流。較寬的位元線310-313導致降低的電阻，這使得它們得以操作更大的電壓或電流。

【0033】鑒於位元線310-313以及金屬線324和328是連續的，它們在X方向上持續延伸到超過第4圖所示的範圍(因為第4圖是SRAM單元陣列200的一部分的局部圖式)，相較之下，金屬線320-323、325-327及329-332是不連續的金屬

「島」，因為它們在X方向上彼此分隔。在一些實施例中，金屬線320-323、325-327及329-332是用於SRAM單元陣列200之字元線WL或電壓V_{ss}(見第1圖)的金屬組件。換句話說，金屬線320-323、325-327及329-332電性耦接到字元線WL或電壓V_{ss}，其中字元線WL或電壓V_{ss}可被實施為MLI結構之個別金屬層(例如：金屬-0層上方的金屬-1層)中的金屬線。

【0034】 SRAM單元陣列200更包括複數導電通孔，例如第4圖所示之通孔370、371、372、373、374、375、376及377(下文中亦稱為通孔)。通孔370-377中的每一者在X方向上以伸長的方式延伸，且可被配置以將閘極結構(例如：第3圖中的閘極結構220之一)與源極/汲極電性耦接在一起。這在第5圖至第6圖中被更清楚地顯示。在這方面，第5圖是半導體裝置的一部分(例如：SRAM單元陣列200的一部分)的局部俯視示意圖，該半導體裝置包括一些通孔，例如通孔370及372。應注意的是，與第4圖相較，第5圖中的X方向及Y方向分別旋轉了90度。第6圖是沿著在第5圖之X方向上延伸的切割線A-A'截取的局部截面示意圖。換句話說，第6圖中的截面圖是透過沿著由X方向(水平)與Z方向(垂直)定義的X-Z平面截取的截面而獲得的。

【0035】 如第5圖至第6圖所示，每個閘極結構220被形成為以在Y方向上以伸長的方式延伸，且在Z方向上被形成於鱗片結構210上(見第6圖)。閘極結構220亦以第2圖中所示的方式部分地圍繞鱗片結構210，雖然此態樣在第6圖中可能無法輕易地顯而易見，因為第6圖是為截面圖。換句話說，第6圖顯示了閘極結構220位於鱗片結構210上的截面的一部分。每個閘極結構220可包括高k值閘極介電質以及金屬閘極電極。換句話說，每個閘極結構220可為高k值(HK)MG結構。

【0036】 閘極通孔380於Z方向上被形成在其中一個閘極結構220上，且閘

極通孔382於Z方向上被形成在另一個閘極結構220上。閘極通孔380及382中的每一者包括導電材料(例如：金屬或金屬化合物)，並提供通往它們各自之閘極結構220的電性連接。同時，源極/汲極通孔390、391、392、393、394、395、396及397中的每一者，於Z方向上被形成在鰭片結構210的一部分上，例如在鰭片狀結構210的源極/汲極部分上。源極/汲極通孔390-397中的每一者亦包括導電材料(例如：金屬或金屬化合物)，並提供通往它們各自之源極/汲極的電性連接。源極/汲極通孔390-397亦可被稱為源極/汲極接點或擴散接點。應注意的是，因為第6圖的截面是沿著切割線A-A'所截取的(在源極/汲極通孔390的一部分上)，因此在第6圖的截面圖中得以看見源極/汲極通孔390，但剩餘的源極/汲極通孔391-397在第6圖中無法輕易地被看見。在所繪實施例中，在俯視圖中，通孔370大於閘極通孔380，這是因為通孔370同時連接到閘極結構220以及源極/汲極通孔390兩者，而閘極通孔380僅需連接到閘極結構220即可。

【0037】如第6圖所示，通孔370於Z方向上被形成在閘極通孔380及源極/汲極通孔390上。因為通孔370的一端被形成在閘極通孔380上並電性連接至閘極通孔380，且通孔370的另一端被形成在源極/汲極通孔390上並電性連接至源極/汲極通孔390，因此通孔370於X方向上水平跨越閘極通孔380及源極/汲極通孔390，並將閘極通孔380及源極/汲極通孔390電性耦接在一起。應理解的是，儘管第5圖至第6圖將閘極通孔380與通孔370顯示及標記為兩個單獨的組件，但這種情況並非是必要的。舉例來說，在一些實施例中，可同時(或是使用相同的製程)形成用於閘極通孔380及通孔370的孔洞，且隨後形成導電材料以同時填充這些孔洞。在這些實施例中，閘極通孔380及通孔370可包括相同的材料，且可被視為相同的結構(例如：相同的通孔)，並且閘極通孔380與通孔370之間可能不具有

明確的界面。然而，在其他實施例中，閘極通孔380與通孔370可確實地被單獨形成及/或包括不同的材料。在任何案例中，因為閘極通孔380及源極/汲極通孔390分別提供通往閘極結構220及源極/汲極(例如：鱗片結構210的一部分)的電性連接，因此通孔370可在電晶體之閘極與源極/汲極之間建立電性連接。

【0038】 同樣如第6圖所示，可在通孔370及閘極通孔380與源極/汲極通孔390周圍形成電性隔離結構400，以提供與其他微電子組件的電性隔離。在一些實施例中，電性隔離結構400可包括層間介電質(ILD)結構，作為非限制性的範例，ILD結構可包括低k值材料。

【0039】 第7圖顯示半導體裝置的一部分(例如：SRAM單元陣列200的一部分)的另一個局部示意截面側視圖，以進一步顯示通孔相對於金屬線的位置。第7圖的截面圖是藉由在Y方向上沿第4圖中的切割線B-B'截取的截面而獲得的。換句話說，第7圖中的截面圖是取自由Y方向(水平)與Z方向(垂直)所定義的平面。如此一來，第7圖的截面圖垂直於或正交於第6圖的截面圖，因為一個是在Y-Z平面中截取的，而另一個則是在X-Z平面中截取的。

【0040】 如第7圖所示，通孔370及372分別於Z方向上被設置在源極/汲極通孔390及391上(且電性連接至源極/汲極通孔390及391)。在Z方向上，金屬0層具有垂直地比通孔370及372更高層的(elevated)位置。舉例來說，位元線310、311及金屬線324被設置在通孔370與372上方(例如：垂直上的更高層)，但並未電性連接至通孔370與372。這是因為SRAM的設計準則可能指明通孔應與位元線310、311電性隔離，以防止它們之間發生不希望出現的橋接(例如：電性短路)。如第4圖及第7圖所示，距離450在Y方向上將位元線310與通孔370分隔，且距離460在Y方向上將位元線311與通孔372分隔。在一些實施例中，距離450的數值與

距離460的數值彼此間能夠基本相等，或者在其他實施例中，它們彼此間能夠不同。

【0041】 回頭參照第4圖，本揭露獨特且新穎的物理特徵之一，是為位元線310-313的俯視輪廓基本上不同於金屬線320-332。舉例來說，每個位元線310-313之邊界的邊緣都是非線性的，使得它們中的每一者皆包括在Y方向上的複數橫向突出。相較之下，金屬線320-332基本不具有橫向突出。換句話說，金屬線320-332在理想情況下(或在微影光罩上)具有基本呈線性的俯視輪廓，而位元線310-313則具有鋸齒狀的俯視輪廓。

【0042】 舉例來說，如第4圖所示，位元線310可包括突出部500A及500B，而位元線311可包括突出部501。突出部500A及500B中的每一者朝著位元線311(或朝著金屬線324)橫向突出，而突出部501朝著位元線310(或朝著金屬線324)橫向突出。儘管在第4圖中僅為位元線311繪製了一個突出部501，但應理解的是，位元線311可包括與突出部501相似的複數突出。這些額外的突出可相對於突出部501進行設置，以類似於突出部500A與500B相對於彼此的設置方式進行設置。考慮到空間因素，這些額外的突出並未在第4圖中具體顯示(因為第4圖顯示SRAM單元陣列200的局部俯視圖)。

【0043】 在一些實施例中，位元線310及位元線311可為彼此的鏡像(例如：相對於金屬線324翻轉180度)，但它們亦在X方向上彼此偏移。換句話說，位元線311的突出部501可基本相同於突出部500A，但在X方向上進一步「向下」偏移。位元線311可具有與突出部500B基本相同的另一個突出，但該突出在X方向上的位置比突出部501更「向下」，因此無法見於第4圖。理所當然地，應理解的是，位元線310及位元線311均可具有多個週期性地重複自身的其他突出，類

似於第4圖中所示之突出部500A與500B彼此間分隔開來的方式。

【0044】 另一種查看突出部500A、500B及501的方法是，可以說位元線310、311具有凸狀(convex)及/或凹陷(concave)區域(或凸面及/或凹面多邊形)，雖然這些凸狀及凹陷區域不需要被彎曲或圓化(例如：它們可具有或不具有基本上筆直或線性的邊緣或邊界)。舉例來說，如第4圖所示，位元線311的突出部501可被視為位元線311的凸狀區域，因為它在-Y方向上向外突出(朝著金屬線324)。位元線311的突出部501在第4圖中作為矩形突出而向外突出。表示突出部501的另一種方法是，可以說位元線311在第4圖中所示的部分具有旋轉的「T形」俯視輪廓。舉例來說，當位元線311逆時針旋轉90度時，位元線311在第4圖中所示的部分的俯視圖可類似於字母「T」。相反地，位元線310之突出部500A與500B以及位元線310之未向外突出的剩餘部分，共同地定義了凹陷區域520。凹陷區域520亦可被稱為凹槽，例如矩形凹槽。由於位元線310、311各自在X方向上是連續的，因此可以說位元線310、311可各自具有被多個凹陷區域(或多個橫向凹槽)所夾設(interpose)的多個凸狀區域(或多個橫向突出)，反之亦然。

【0045】 亦應理解的是，位元線312及313可鏡像位元線311及310，且因此它們亦可分別包括與位元線311及310相似的(以及鏡像的)突出。不過，為使說明簡化，位元線312及313的突出在本文中並未具體標記。

【0046】 將位元線310-313配置為具有如上所述般的不規則俯視形狀的原因之一，是為了降低位元線310-313的電阻。在先前且較舊的半導體技術節點(例如：大於5奈米的節點)中，裝置尺寸較大，因此裝置寄生現象(例如：寄生電阻)並非太大的問題。舉例來說，在較舊的技術世代中對應位元線310的位元線，可具有在Y方向上大上許多(substantially greater)的尺寸，或者換句話說，比位元線

310「更寬/更厚」。因為電阻與金屬線的寬度成反比，因此用於較舊技術之SRAM裝置的位元線的電阻可能夠小，小到使它不會對裝置性能產生不利影響，且因此可以被忽略。

【0047】 然而，在諸如5奈米節點或更進一步的節點(例如：3奈米節點)等較新的技術節點中，裝置尺寸已縮小到裝置寄生現象可能大幅地降低裝置性能的程度。舉例來說，位元線310的橫向尺寸350可能小到足以使位元線310的寄生電阻增加到一個程度，在這個程度上，橫跨位元線310之長度(沿著X方向)的電壓降再也不能被忽略。位元線310-313在X方向上橫跨SRAM單元陣列200的許多單元而連續延伸的事實，更加劇了這種狀況。由於位元線310-313越長，寄生電阻就會越大，因此在SRAM遠方「末端」的遠處單元會遭受最大的寄生電阻，並因此遭受最大的無意(且不希望的)電壓降。作為範例，位元線310-313的整個長度上的電壓降可能會使SRAM單元的Vmin惡化。Vmin可為可讀取SRAM單元的最低電壓。然而，由於位元線310的整個長度上的寄生電阻引起的電壓降可能導致Vmin過高，這可能會導致SRAM單元的電晶體無法被導通(且因此無法讀取SRAM)。

【0048】 本揭露藉由在適當的時候於Y方向上選擇性地擴大位元線310-311的方式，來達成降低位元線310-313之電阻的目的。舉例來說，突出部500A、500B及501可被視為位元線310-311的橫向擴展。這些突出部500A、500B及501橫向突出到位元線310-311與金屬線324之間的空間中，且不會電性短路到金屬線324或通孔370-373中。舉例來說，突出部501突出到通孔372與通孔373之間的區域，且不會與金屬線324或通孔372及373物理性地接觸，因為通孔372及373被設置於突出部501的兩側。相似地，在俯視圖中，突出部500A突出至通孔

370與通孔370「上方」之另一個通孔(未顯示於第4圖)之間的區域中，而突出部500B突出至通孔371與通孔371「下方」之另一個通孔(未顯示於第4圖)之間的區域中，且並未與金屬線324或通孔370-371物理性地接觸。通孔370及371至少部分地位於凹陷區域520中，其中凹陷區域520是由突出部500A-500B所定義的。因為突出部501被設置在通孔372與通孔373之間，但位元線310並未有設置在通孔370與通孔371之間的部分，因此在X方向上分隔通孔370與通孔371的距離，小於在X方向上分隔通孔372與通孔373的距離。

【0049】 根據本揭露，關於橫向突出部500A、500B及501的尺寸及/或位置，實施了一組設計準則，如此使得它們可降低位元線310-311的電阻，且不會產生危險的電性橋接問題。舉例來說，突出部500A-500B中的每一者，具有在Y方向上量測的尺寸420，而突出部501則具有在Y方向上量測的尺寸430。在一些實施例中，尺寸430在一個範圍中變化，這個範圍介於位元線311在Y方向上之寬度的0%與100%之間。在一些實施例中，尺寸420與尺寸430彼此相等。換句話說，位元線311所表現出的突出量，基本上等於位元線310所定義的凹陷量。根據一個設計準則， $0 < \text{尺寸}420(\text{或是尺寸}430) < N * \text{距離}450$ 。在一些實施例中，N所處的範圍介於0與2之間。另一個設計準則具體規定，通孔(例如：通孔370)與最接近之位元線的突出(例如：突出部500A)之間，在X方向上應維持距離470。在一些實施例中，距離470基本上等於距離450。如此一來，設計準則 $0 < \text{尺寸}420(\text{或是尺寸}430) < N * \text{距離}450$ 亦可成立。在一些實施例中，距離450及/或距離470被配置以滿足用於給定技術節點的最小間隔設計準則。舉例來說，距離450可被配置為長得足以使位元線310在Y方向上不會是與通孔370電性短路的巨大風險，而距離470可被配置為長得足以使位元線310之突出部500A在X方向上不會是與通孔

370電性短路的巨大風險。另一個設計準則具體指明，突出部500A-500B與金屬線324之間在Y方向上應保持距離480。在一些實施例中，距離480亦被配置以滿足用於給定技術節點的最小間隔設計準則。舉例來說，距離480可被配置為長得足以使位元線310之突出部500A或500B在Y方向上不會是與金屬線324電性短路的巨大風險。在一些實施例中，距離480 = N*距離450，其中N所處的範圍介於0與3之間。這些設計準則有助於確保突出部500A、500B及501可在Y方向上盡可能地朝遠處延伸，而不會過度地增加與附近之通孔370-373或與金屬線324發生電性短路的風險。

【0050】 在一些實施例中，可使用諸如極紫外光(extreme ultraviolet, EUV)微影之較新式的微影方法，以足夠的精度來定義位元線310-313的形狀(例如：它們橫向突出的尺寸、位置及輪廓)。關於EUV微影的細節在美國專利申請號15/851,829中討論，該案申請於2017年12月22日，標題為「Lithography Mask With a Black Border Region And Method of Fabricating The Same」，藉由引用將其揭露內容整體併入本文。藉由使用EUV微影，本揭露可在適當的位置選擇性地擴大位元線310-313，且不會冒著與附近的組件電性橋接的風險。

【0051】 應理解的是，儘管本揭露在本文中已使用位元線作為範例性的金屬線，其中選擇性的擴大可達成降低電阻的目的(為了改善諸如V_{min}的參數)，但以上所討論的概念亦可應用於SRAM裝置之其他類型的金屬線。舉例來說，字元線(WL)可被實施為金屬-1層中的金屬線，其中金屬-1層於Z方向上位於金屬-0層的上方。可以以類似於選擇性地擴大位元線310-313的方式(例如：橫向突出)來選擇性地擴大字元線，且因此SRAM裝置中的字元線亦可達成降低電阻的目的，並進而提高SRAM的裝置性能。

【0052】 第8圖為顯示Vmin作為電阻的函數如何變化的圖表600。在圖表600中，X軸代表位元線310-313的電阻值，而Y軸表示Vmin的數值的變化，例如用Vdd以百分比的方式表示。圖表600顯示了曲線620，曲線620可包括複數資料點，例如資料點640、641及642。資料點640-642中的每一者對應自實際製造之SRAM裝置所收集的資料樣本，其中電阻值彼此不同。如第8圖所示，隨著電阻降低(例如：自資料點642到資料點641)，對應之Vmin也隨之降低，這轉化為SRAM裝置性能的改善。這種位元線電阻的降低可藉由實施上文所討論之本揭露的各種態樣來達成。實驗數據表明，藉由選擇性地擴大位元線310-313，位元線的總面積可增加約15%-25%。位元線面積的增加可使得位元線的電阻降低，這導致Vmin的降低可以超過Vdd的至少1%。

【0053】 第9圖係根據本揭露實施例所示之積體電路的製造系統700。製造系統700包括藉由通訊網路718連接的複數實體702、704、706、708、710、712、714、716...、N。通訊網路718可為單一網路，或者可為各種不同的網路，例如企業內部網及網際網路，且可包括有線及無線的通訊通道。

【0054】 在一個實施例中，實體702代表用於製造協作的服務系統；實體704代表使用者，例如監控關心之產品的產品工程師；實體706代表工程師，例如控制製程及相關配方(recipe)的製程工程師，或者是監控或調整製程機台之條件及設定的設備工程師；實體708代表用於IC測試及量測的度量(metrology)機台；實體710代表半導體製程機台，例如用於執行微影製程以定義SRAM裝置之不規則形狀的金屬線的EUV機台；實體712代表與製程機台710(或稱實體710)聯繫的虛擬度量模組；實體714代表與製程機台710以及額外之其他製程機台聯繫的先進製程控制模組；而實體716代表與製程機台710聯繫的採樣模組。

【0055】 每個實體可與其他實體交互作用，且可提供積體電路製造、製程控制及/或計算能力給其他實體及/或自其他實體接收這樣的能力。每個實體亦可包括一或多個用於執行計算及執行自動化的電腦系統。舉例來說，實體714的先進製程控制模組可包括複數電腦硬體，該等電腦硬體具有其中有編碼的軟體指令。電腦硬體可包括硬碟、快閃驅動器(flash drive)、CD-ROM、RAM記憶體、顯示裝置(例如：監視器)、輸入/輸出裝置(例如：滑鼠及鍵盤)。軟體指令可被以任何合適之程式語言寫入，且可被設計以執行特定任務。

【0056】 積體電路的製造系統700致能(enable)實體間的交互作用，以用於積體電路(IC)製造以及IC製造的先進製程控制。在一個實施例中，先進製程控制包括根據度量結果調整適用於相關晶圓之製程機台的製程條件、設定及/或配方。

【0057】 在另一個實施例中，根據基於製程品質及/或產品品質所決定的最佳取樣率，自經歷過製程的晶圓的子集測量度量結果。在另一個實施例中，根據基於製程品質及/或產品品質的各種特徵所決定的最佳取樣場/點，自經歷過製程的晶圓的子集測量度量結果。

【0058】 IC的製造系統700所提供的其中一個能力，可致能在諸如設計、工程、製程、度量及先進製程控制的領域中進行協作及資訊存取。IC的製造系統700所提供的另一個能力，可在設備之間整合系統，例如在度量機台與製程機台之間整合系統。這種整合致能設備以協調它們的活動。舉例來說，整合度量機台與製程機台可使製造資訊更有效地被合併到製造製程或先進製程控制模組中，且可自線上或整合於相關製程機台中之度量機台在現場的量測中獲取晶圓資料。

【0059】 第10圖係根據本揭露實施例所示之顯示方法900的流程圖。方法

900包括操作910，操作910接收積體電路(IC)佈局設計，該IC佈局設計包括互連結構的複數金屬線。舉例來說，IC佈局設計可接收自無晶圓廠IC設計公司(fabless IC design house)。在一些實施例中，IC佈局設計可為圖形資料庫系統(GDS)格式的電腦檔案。在俯視圖中，每個金屬線沿著第一方向延伸。在一些實施例中，所接收之IC佈局設計包括用於靜態隨機存取記憶體(SRAM)裝置的IC佈局設計，SRAM裝置包括複數位元線及複數互補位元線。在一些實施例中，所接收之IC佈局設計包括複數通孔，在俯視圖中，這些通孔被設置在複數金屬線之間。

【0060】 方法900包括操作920，藉由在第二方向上擴大金屬線的至少一個子集的一些部分，操作920至少部分地修改所接收的IC佈局設計，其中第二方向不同於第一方向。

【0061】 方法900包括操作930，操作930根據修改後的IC佈局設計促進(facilitate)半導體裝置的製造。在一些實施例中，製造的促進包括執行極紫外光(EUV)微影製程，以形成金屬線的子集。所接收之IC佈局設計的修改包括擴大位元線。在一些實施例中，擴大包括將一些部分擴大到金屬線之間未被任何通孔所佔據的空間中。

【0062】 應理解的是，可在方法900之操作910-930之前、之中或之後執行附加的製程。舉例來說，方法900可包括下列操作：形成主動區、鱗片結構、閘極結構、源極/汲極區域、互連結構、以及封裝、切割(dicing)和測試製程。為使說明簡化，本文並未詳細討論其他附加的操作。

【0063】 基於上述討論可以看出，本揭露描述了一種解決方法，用於解決隨著裝置尺寸的縮小而增加之寄生電阻的影響所導致的性能降級的問題。舉例來說，隨著SRAM裝置尺寸的縮小，位元線(作為金屬互連層中的一條金屬線)可

能會發現，它的電阻增加到對電壓降產生不可忽略的影響的程度。如此一來，諸如Vmin的電壓性能可能會降級。本揭露藉由在適當的地方選擇性地擴大位元線來解決此問題，舉例來說，藉由修改IC佈局使得位元線可具有橫向突出(或鋸齒狀的俯視圖形狀)。橫向突出可用於俯視圖中在某些通孔之間突出的方式設置。亦實施了設計準則以配置橫向突出的尺寸及/或位置。位元線之鋸齒狀的俯視形狀或是橫向突出的存在可為SRAM裝置的獨特物理特性，其中該SRAM裝置經歷了上述的製造製程。位元線之鋸齒狀的俯視形狀或是橫向突出的存在，亦可為用於圖案化位元線之微影光罩的獨特物理特性。

【0064】 基於上述討論可以看出，本揭露提供了優於傳統SRAM裝置的優點。然而，應理解的是，其他實施例亦可提供額外的優點，且並非所有的優點均須在本文中揭露，而且並非所有實施例都需要同一個特定的優點。其中一個優點是Vmin由於電阻降低而得到改善。由於諸如位元線的金屬線的電阻與金屬線的面積成反比，因此諸如位元線的金屬線的選擇性擴大，有效地增加了金屬線的面積。因此，金屬線的電阻得以降低，這進而降低了跨越金屬線之長度的電壓降，並改善了SRAM的Vmin性能。另一個優點是，本揭露不會過度地增加電性橋接的風險。舉例來說，位元線的橫向突出根據設計準則被謹慎地設置，使得它們與附近的導電組件(例如：通孔或其他金屬線)充分地分隔。因此，即使位元線的總面積得到了擴大，但橋接的風險仍舊可以忽略。其他優點包括與現行SRAM設計及製造的相容性，因此本揭露不需要額外的製程，且因此能夠簡單地以及便宜地實施。

【0065】 上述先進微影製程、方法及材料可被用於許多應用，包括但不限於鰭式場效電晶體(fin-type field effect transistor, FinFET)。舉例來說，鰭片可被

圖案化以在特徵之間產生相對緊密的間隔，上述揭露非常適合這種間隔。此外，可根據上述揭露來處理用於形成FinFET之鰭片的間隔物(亦稱為心軸(mandrel))。亦須理解的是，儘管本揭露使用SRAM作為範例來進行討論，但本文所討論之概念亦可適用於其他非SRAM的裝置。

【0066】 本揭露的其中一種態樣是有關於一種半導體裝置。上述半導體裝置包括閘極結構、源極/汲極、被設置於閘極結構及源極/汲極上的第一通孔、以及在截面圖中具有比第一通孔更高層的垂直位置的第一金屬線。第一通孔電性耦接至閘極結構與源極/汲極兩者。第一金屬線及第一通孔中的每一者在第一方向上延伸。一第一距離在不同於第一方向的第二方向上，分隔第一金屬線與第一通孔。第一金屬線包括突出部分，突出部分在第二方向上向外突出。在一或多個實施例中，突出部分具有在第二方向上量測的第一尺寸，且第一尺寸大於0但小於第一距離的N倍，其中N處於介於0至2的範圍中。在一或多個實施例中，第一金屬線為互連結構之金屬-0層的金屬線。在一或多個實施例中，上述半導體裝置包括FinFET，上述FinFET是根據5奈米技術節點或小於5奈米技術節點的技術節點製造的。在一或多個實施例中，上述半導體裝置更包括在第一方向上延伸的第二通孔；以及皆在第一方向上延伸的第二金屬線及第三金屬線；其中：第一金屬線、第二金屬線、以及第三金屬線中的每一者，在截面圖中具有比第一通孔及第二通孔更高層的垂直位置；在俯視圖中，第三金屬線被設置於第一金屬線與第二金屬線之間；在俯視圖中，第一通孔被設置於第一金屬線與第三金屬線之間；以及在俯視圖中，第二通孔被設置於第二金屬線與第三金屬線之間。在一或多個實施例中，第一金屬線為靜態隨機存取記憶體裝置的位元線；以及第二金屬線為靜態隨機存取記憶體裝置的互補位元線。在一或多個實施例

中，第三金屬線為靜態隨機存取記憶體裝置的Vcc；以及在第二方向上，第三金屬線的尺寸小於第一金屬線的尺寸或第二金屬線的尺寸。在一或多個實施例中，上述半導體裝置更包括在第一方向上延伸的第三通孔，其中：在俯視圖中，第三通孔被設置於第一金屬線與第三金屬線之間；以及在俯視圖中，第一金屬線的突出部分被設置於第一通孔與第三通孔之間。在一或多個實施例中，上述半導體裝置更包括在第一方向上延伸的第四通孔，其中：在俯視圖中，第四通孔被設置於第二金屬線與第三金屬線之間；第二金屬線包括第一突出部分及第二突出部分，第一突出部分及第二突出部分中的每一者，在第二方向上朝著第三金屬線向外突出；以及第二通孔及第四通孔兩者，均被設置於第二金屬線的第一突出部分與第二突出部分之間。在一或多個實施例中，在第一方向上分隔第一通孔與第三通孔的距離，大於在第一方向上分隔第二通孔與第四通孔的距離。

【0067】 本揭露的另一種態樣是有關於一種半導體裝置。第一金屬線於俯視圖中在第一方向上延伸。第一金屬線包括突出部分。第二金屬線於俯視圖中在第一方向上延伸。第二金屬線定義一凹陷區域。突出部分在不同於第一方向的第二方向上指向凹陷區域。第三金屬線於俯視圖中在第一方向上延伸，且被設置於第一金屬線與第二金屬線之間。在俯視圖中，第三金屬線具有不同於第一金屬線及第二金屬線的幾何輪廓。第一通孔、第二通孔、第三通孔以及第四通孔中的每一者，於俯視圖中在第一方向上延伸。第一通孔及第二通孔被設置於第一金屬線與第三金屬線之間。第三通孔及第四通孔被設置於第二金屬線與第三金屬線之間。第一通孔及第二通孔被設置於突出部分的兩側上。第三通孔及第四通孔被設置為至少一部分在凹陷區域中。在一或多個實施例中，第三金

屬線基本上不具有突出部分或凹陷部分。在一或多個實施例中，第三金屬線在第二方向上具有小於第一金屬線及第二金屬線兩者的橫向尺寸。在一或多個實施例中，上述半導體裝置包括靜態隨機存取記憶體裝置；第一金屬線及第二金屬線中的一者對應靜態隨機存取記憶體裝置的位元線；以及第一金屬線及第二金屬線中的另一者對應靜態隨機存取記憶體裝置的互補位元線。在一或多個實施例中，第一通孔、第二通孔、第三通孔以及第四通孔中的每一者，在截面圖中位於較第一金屬線、第二金屬線、以及第三金屬線為低的垂直高度處；以及第一通孔、第二通孔、第三通孔以及第四通孔中的每一者，電性耦接至一個別閘極通孔及一個別源極/汲極通孔。

【0068】 本揭露的又一種態樣是有關於一種半導體裝置的製造方法。上述製造方法包括接收一積體電路佈局設計，上述積體電路佈局設計包括互連結構的複數金屬線。金屬線中的每一者於俯視圖中在第一方向上延伸。上述製造方法亦包括藉由在第二方向上擴大金屬線的至少一子集的複數部分，以至少部分地修改接收到的積體電路佈局設計，其中第二方向不同於第一方向。在一或多個實施例中，上述積體電路佈局設計接收包括接收用於靜態隨機存取記憶體裝置的積體電路佈局設計，其中靜態隨機存取記憶體裝置包括複數位元線；以及接收到的上述積體電路佈局設計的修改包括擴大位元線。在一或多個實施例中，接收到的上述積體電路佈局設計包括複數通孔，通孔在俯視圖中被設置於金屬線之間；以及上述部分的擴大包括將上述部分擴大到金屬線之間未被任何通孔所佔據的空間中。在一或多個實施例中，上述製造方法更包括根據修改後的上述積體電路佈局設計，促進半導體裝置的一製造。在一或多個實施例中，上述製造的促進，包括執行極紫外光製程以形成金屬線的上述子集。

【0069】 前述內文概述多項實施例或範例之特徵，如此可使於本技術領域中具有通常知識者更佳地瞭解本揭露。本技術領域中具有通常知識者應當理解他們可輕易地以本揭露為基礎設計或修改其他製程及結構，以完成相同之目的及/或達到與本文介紹之實施例或範例相同之優點。本技術領域中具有通常知識者亦需理解，這些等效結構並未脫離本揭露之精神及範圍，且在不脫離本揭露之精神及範圍之情況下，可對本揭露進行各種改變、置換以及變更。舉例來說，藉由對位元線導體及字元線導體實施不同的厚度，吾人可達成用於導體的不同電阻。不過，亦可利用用於改變金屬導體之電阻的不同技術。

【符號說明】

【0070】

5:單埠SRAM單元

V_{cc}:電源電壓

V_{ss}:電壓

BL:位元線

BLB:互補位元線

WL:字線

PU1, PU2:上拉電晶體

PD1, PD2:下拉電晶體

PG1, PG2:傳輸閘電晶體

SN1:第一儲存節點

SNB1:互補第一儲存節點

10:FinFET裝置結構

12:磊晶生長材料
15:N型FinFET裝置結構
25:P型FinFET裝置結構
102:基板
104:鰭片結構
105:間隔物
108:隔離結構
110:閘極電極
112:硬遮罩層
114:硬遮罩層
115:介電層
200:SRAM單元陣列
202:N摻雜區
204:P摻雜區
210:鰭片線
220:閘極結構
310~313:金屬線
320~332:金屬線
370~377:通孔
350, 351:橫向尺寸
420, 430: 尺寸
450~480: 距離
500A, 500B: 突出部
501: 突出部

520:凹陷區域

B-B':切割線

380, 382:閘極通孔

390~397:源極/汲極通孔

A-A':切割線

400:電性隔離結構

600:圖表

620:曲線

640~642:資料點

700:製造系統

702~716:實體

N:實體

718:通訊網路

900:方法

910~930:操作

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

一閘極結構；

一源極/汲極；

一第一通孔、一第二通孔以及一第三通孔，其中上述第一通孔被設置於上述閘極結構以及上述源極/汲極上，並且電性耦接至上述閘極結構與上述源極/汲極兩者；

一第一金屬線、一第二金屬線以及一第三金屬線，上述第一金屬線、第二金屬線以及上述第三金屬線中的每一者，在一截面圖中具有比上述第一通孔及上述第二通孔更高層的垂直位置；

其中：

上述第一金屬線、上述第二金屬線、上述第三金屬線、上述第一通孔、上述第二通孔及上述第三通孔中的每一者在一第一方向上延伸；

一第一距離，在不同於上述第一方向的一第二方向上，上述第一距離分隔上述第一金屬線與上述第一通孔；

上述第一金屬線包括一突出部分，上述突出部分在上述第二方向上向外突出；

在一俯視圖中，上述第三金屬線被設置於上述第一金屬線與上述第二金屬線之間；

在上述俯視圖中，上述第一通孔以及上述第三通孔被設置於上述第一金屬線與上述第三金屬線之間；

在上述俯視圖中，上述第二通孔被設置於上述第二金屬線與上述第三金屬線

之間；以及

在上述俯視圖中，上述第一金屬線的上述突出部分被設置於上述第一通孔與上述第三通孔之間。

【請求項2】 如請求項1之半導體裝置，其中：

上述突出部分具有在上述第二方向上量測的一第一尺寸；以及

上述第一尺寸大於0但小於上述第一距離的N倍，其中N處於介於0至2的一範圍中。

【請求項3】 如請求項1之半導體裝置，更包括：

一第四通孔，在上述第一方向上延伸；

其中：

在上述俯視圖中，上述第四通孔被設置於上述第二金屬線與上述第三金屬線之間；

上述第二金屬線包括一第一突出部分及一第二突出部分，上述第一突出部分及上述第二突出部分中的每一者，在上述第二方向上朝著上述第三金屬線向外突出；以及

上述第二通孔及上述第四通孔兩者，均被設置於上述第二金屬線的上述第一突出部分與上述第二突出部分之間。

【請求項4】 一種半導體裝置，包括：

一第一金屬線，於一俯視圖中在一第一方向上延伸，其中上述第一金屬線包括一突出部分；

一第二金屬線，於上述俯視圖中在上述第一方向上延伸，其中上述第二金屬線定義一凹陷區域，上述突出部分在不同於上述第一方向的一第二方向上指向

上述凹陷區域；

一第三金屬線，於上述俯視圖中在上述第一方向上延伸，且被設置於上述第一金屬線與上述第二金屬線之間，其中在上述俯視圖中，上述第三金屬線具有不同於上述第一金屬線及上述第二金屬線的幾何輪廓；

一第一通孔、一第二通孔、一第三通孔以及一第四通孔，上述第一通孔、上述第二通孔、上述第三通孔以及上述第四通孔中的每一者，於上述俯視圖中在上述第一方向上延伸；

其中：

上述第一通孔及上述第二通孔被設置於上述第一金屬線與上述第三金屬線之間；

上述第三通孔及上述第四通孔被設置於上述第二金屬線與上述第三金屬線之間；

上述第一通孔及上述第二通孔被設置於上述突出部分的兩側上；以及

上述第三通孔及上述第四通孔被設置為至少一部分在上述凹陷區域中。

【請求項5】 如請求項4之半導體裝置，其中上述第三金屬線在上述第二方向上具有小於上述第一金屬線及上述第二金屬線兩者的橫向尺寸。

【請求項6】 如請求項4之半導體裝置，其中：

上述半導體裝置包括一靜態隨機存取記憶體裝置；

上述第一金屬線及上述第二金屬線中的一者對應上述靜態隨機存取記憶體裝置的一位元線；以及

上述第一金屬線及上述第二金屬線中的另一者對應上述靜態隨機存取記憶體裝置的一互補位元線。

【請求項7】 一種半導體裝置的製造方法，包括：

接收一積體電路佈局設計，上述積體電路佈局設計包括一互連結構的複數金屬線與複數通孔，其中上述金屬線與上述通孔中的每一者於一俯視圖中在一第一方向上延伸，且上述通孔包括一第一通孔、一第二通孔、一第三通孔以及一第四通孔；以及

藉由在一第二方向上擴大上述金屬線的至少一子集的複數部分，以至少部分地修改接收到的上述積體電路佈局設計，其中上述第二方向不同於上述第一方向；

其中：

上述至少一子集包括第一金屬線、一第二金屬線以及上述第一金屬線與上述第二金屬線之間的一第三金屬線，且上述第三金屬線具有不同於上述第一金屬線及上述第二金屬線的幾何輪廓；

上述第一通孔及上述第二通孔被設置於上述第一金屬線與上述第三金屬線之間；以及

上述第三通孔及上述第四通孔被設置於上述第二金屬線與上述第三金屬線之間；

其中上述部分的擴大包括：

使上述第一金屬線包括一第一突出部分，其中上述第一通孔及上述第二通孔位於上述第一突出部分的兩側上；以及

使上述第二金屬線包括一第二突出部分以及一第三突出部分，上述第二突出部分與上述第三突出部分定義一凹陷區域，上述第一突出部分在上述第二方向上指向上述凹陷區域，其中上述第三通孔及上述第四通孔至少一部分位於上述

凹陷區域中。

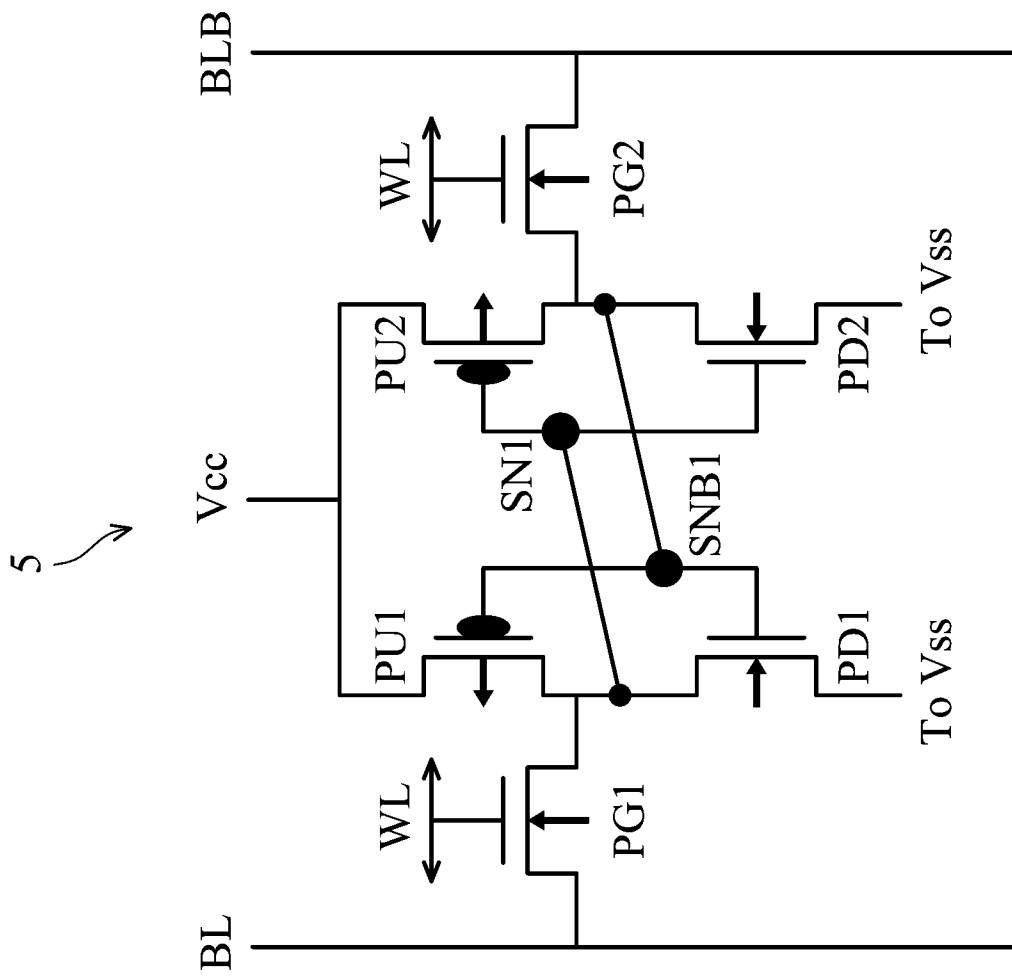
【請求項8】如請求項7之半導體裝置的製造方法，其中：

上述積體電路佈局設計接收包括接收用於一靜態隨機存取記憶體裝置的積體電路佈局設計，其中上述靜態隨機存取記憶體裝置包括複數位元線；以及接收到的上述積體電路佈局設計的修改包括擴大上述位元線。

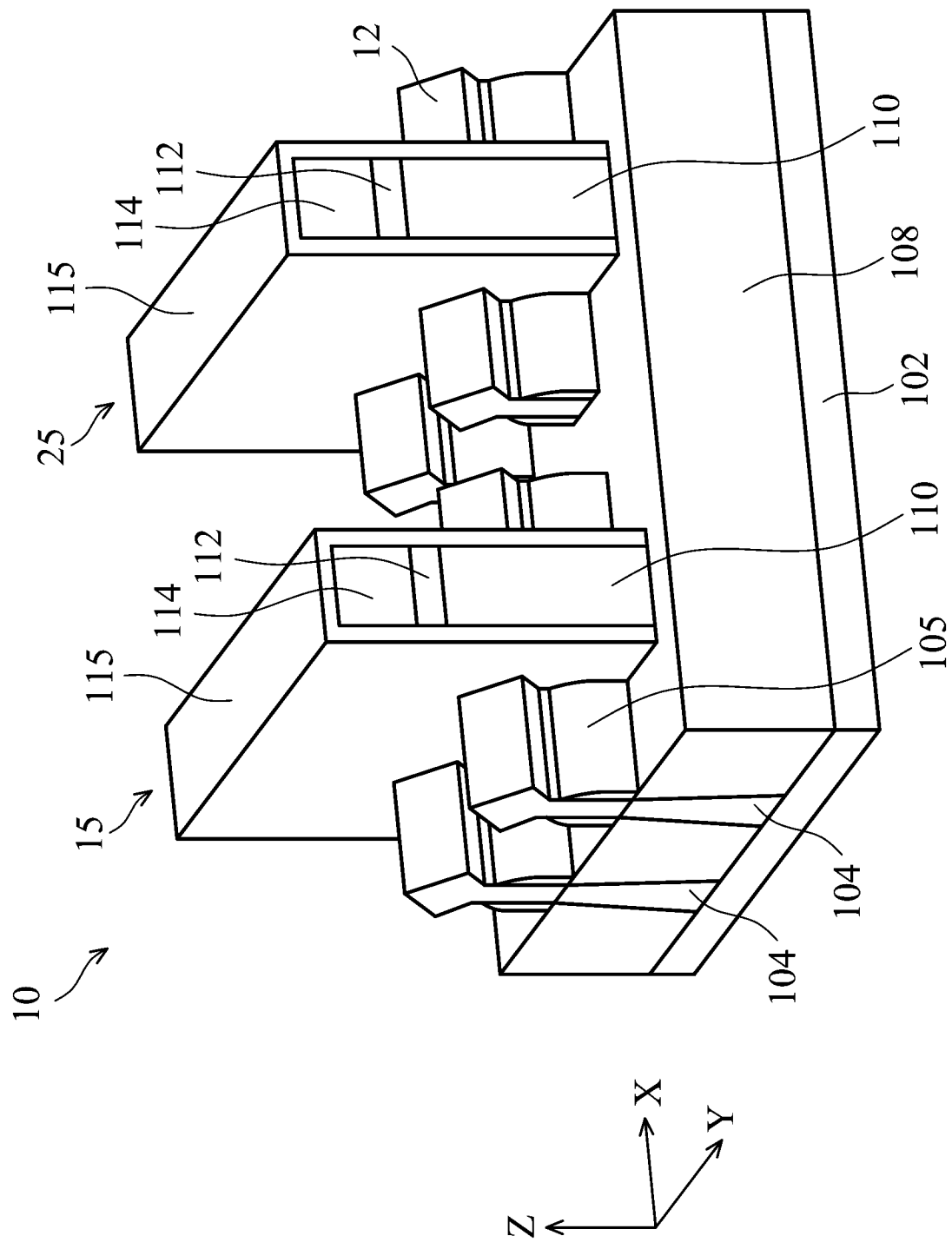
【請求項9】如請求項7之半導體裝置的製造方法，其中：

上述通孔在上述俯視圖中被設置於上述金屬線之間；以及上述部分的擴大包括將上述部分擴大到上述金屬線之間未被任何上述通孔所佔據的空間中。

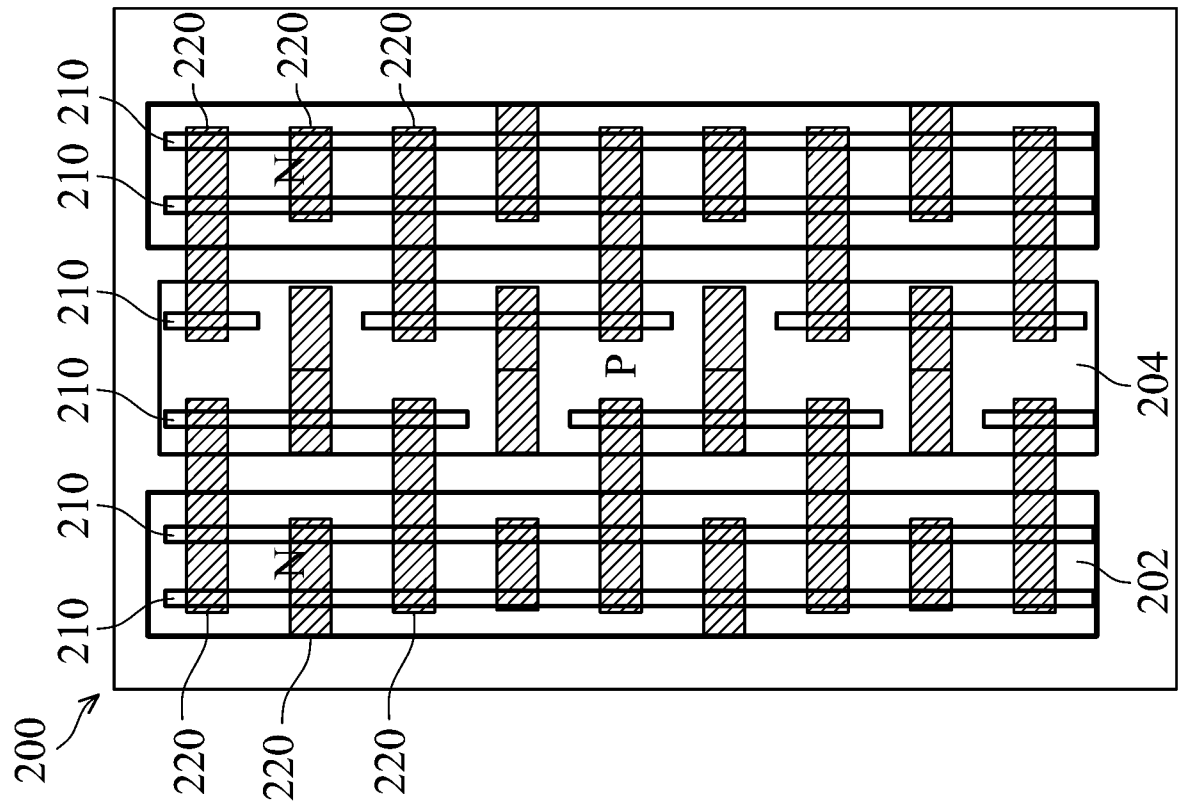
【發明圖式】



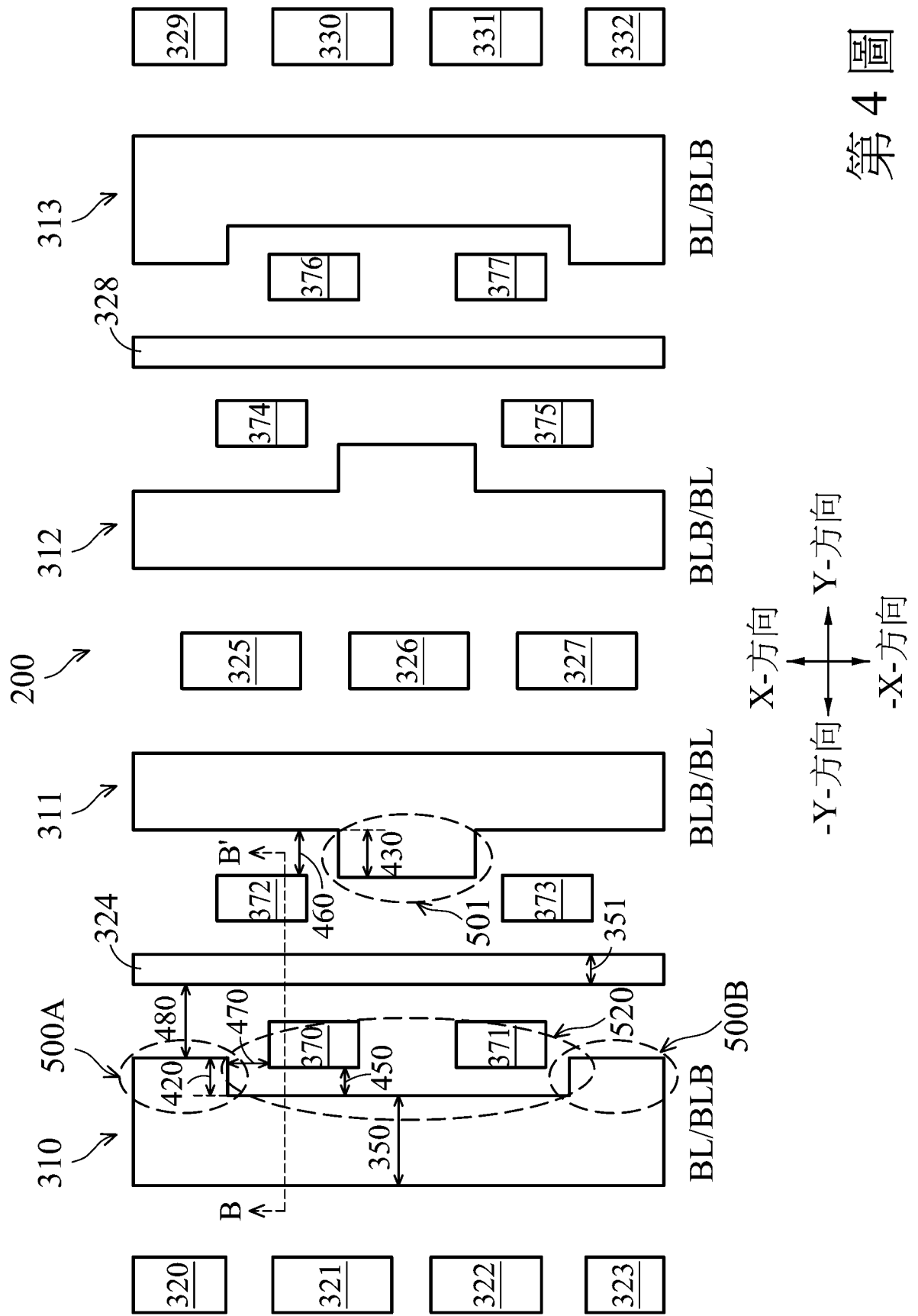
第 1 圖



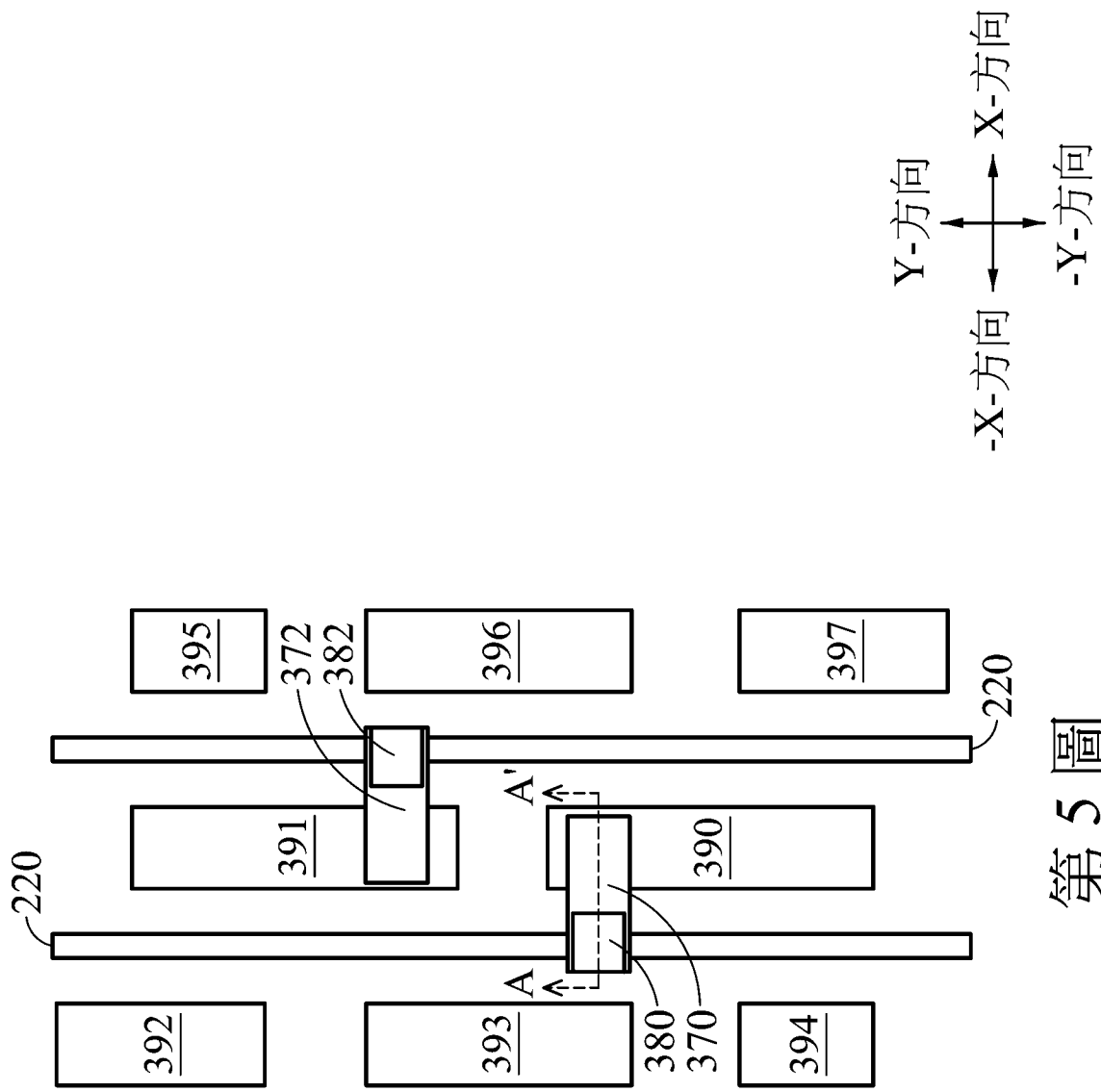
第 2 圖



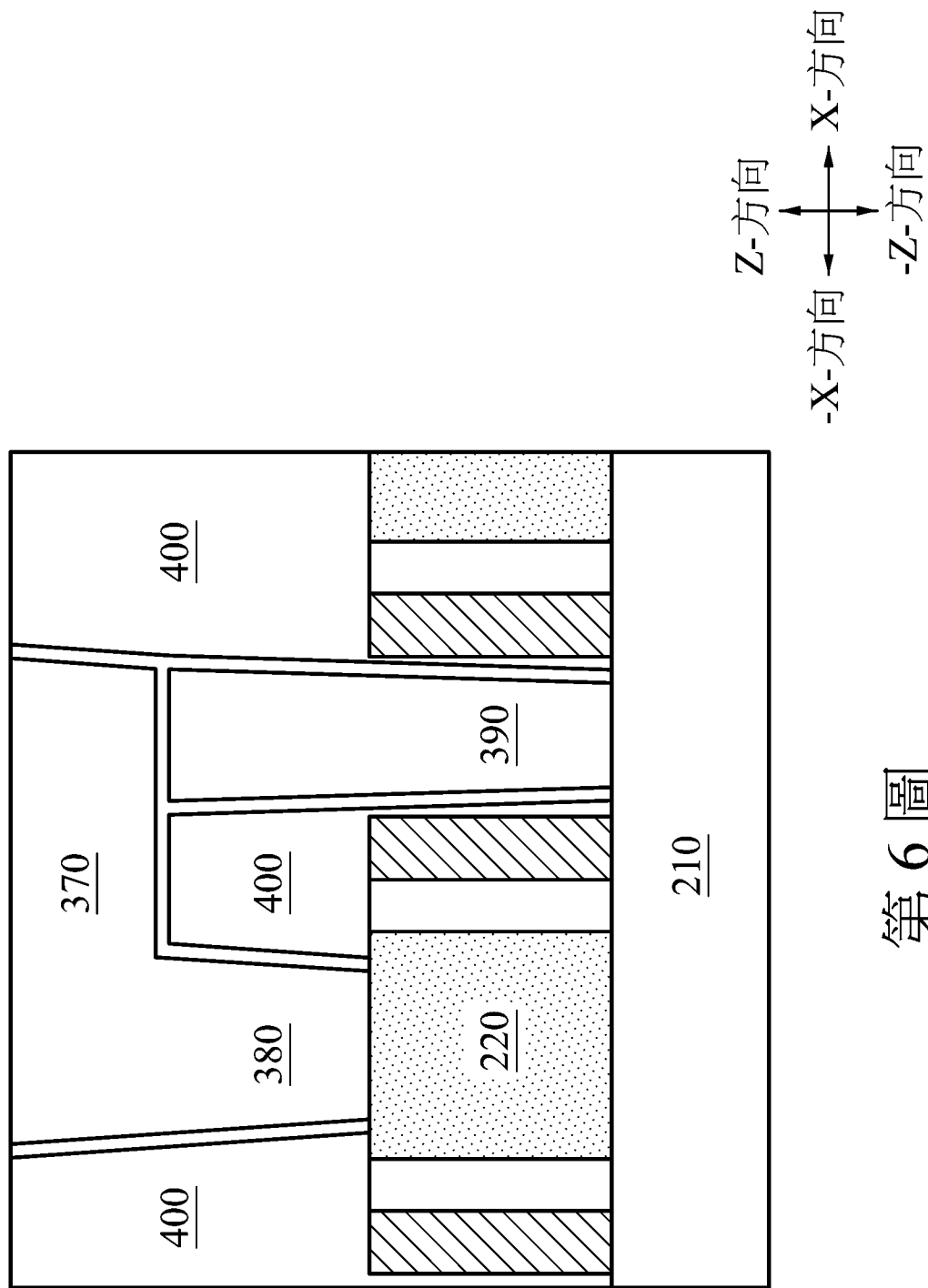
第3圖



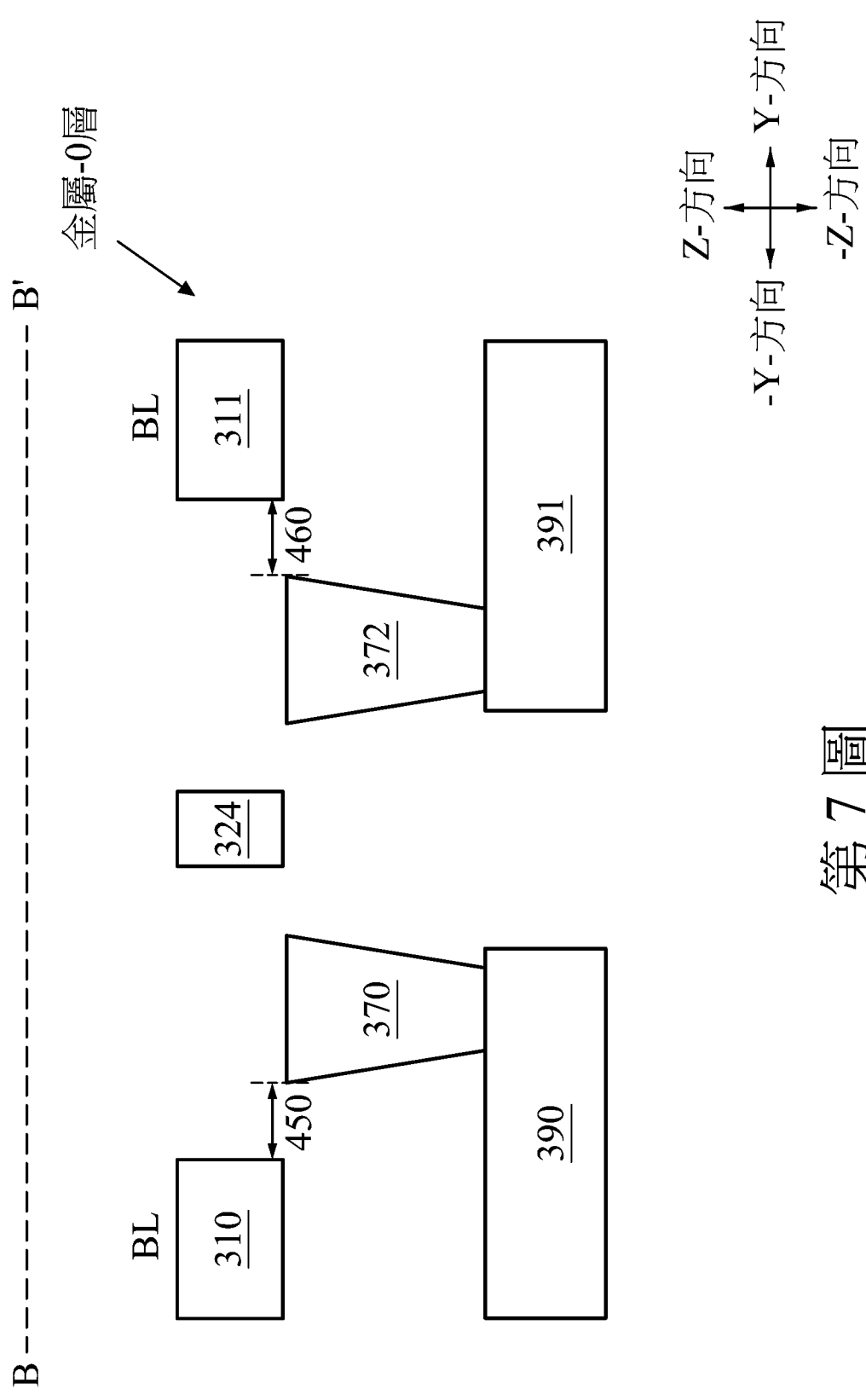
第 4 圖



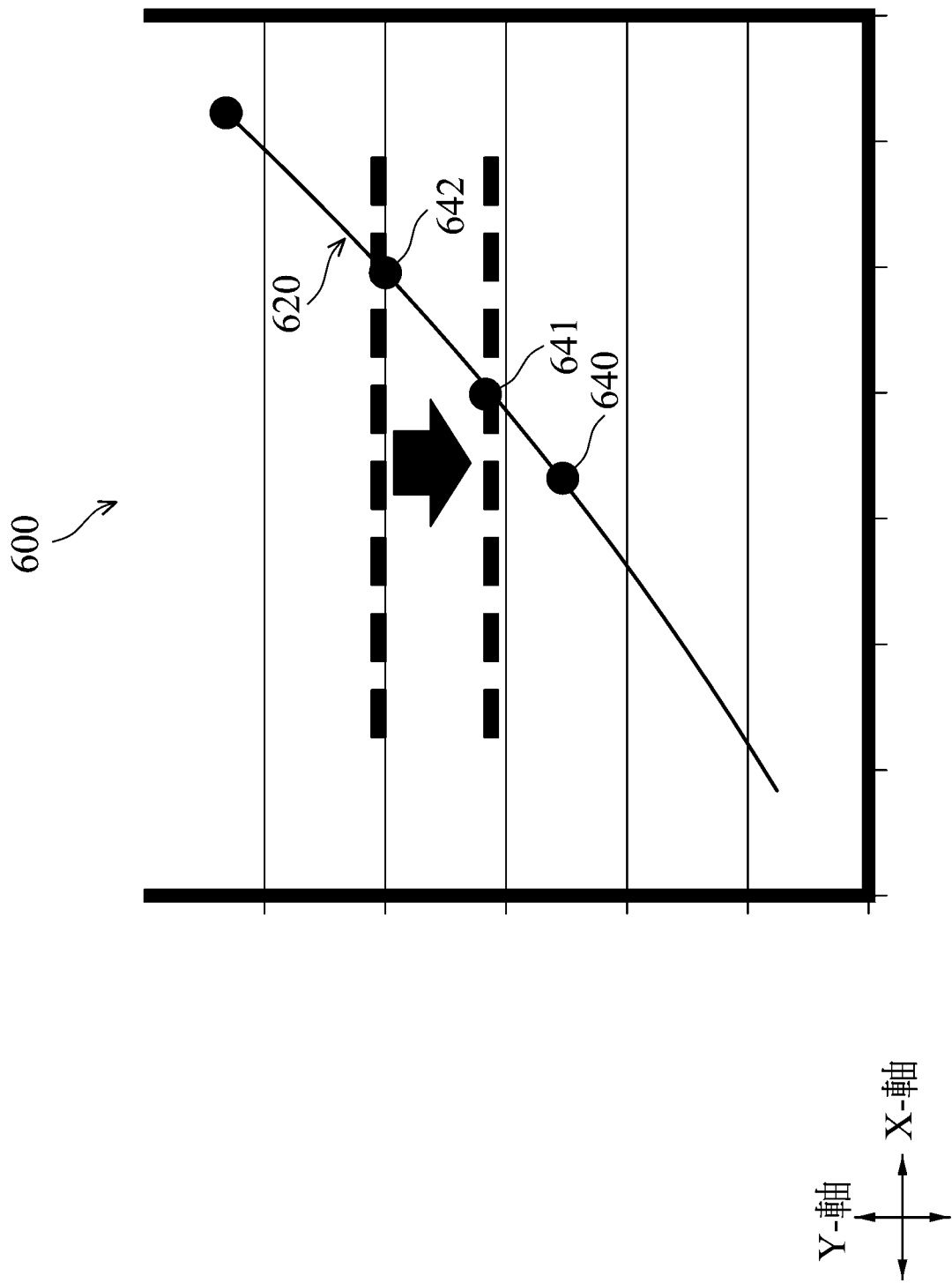
第 5 圖



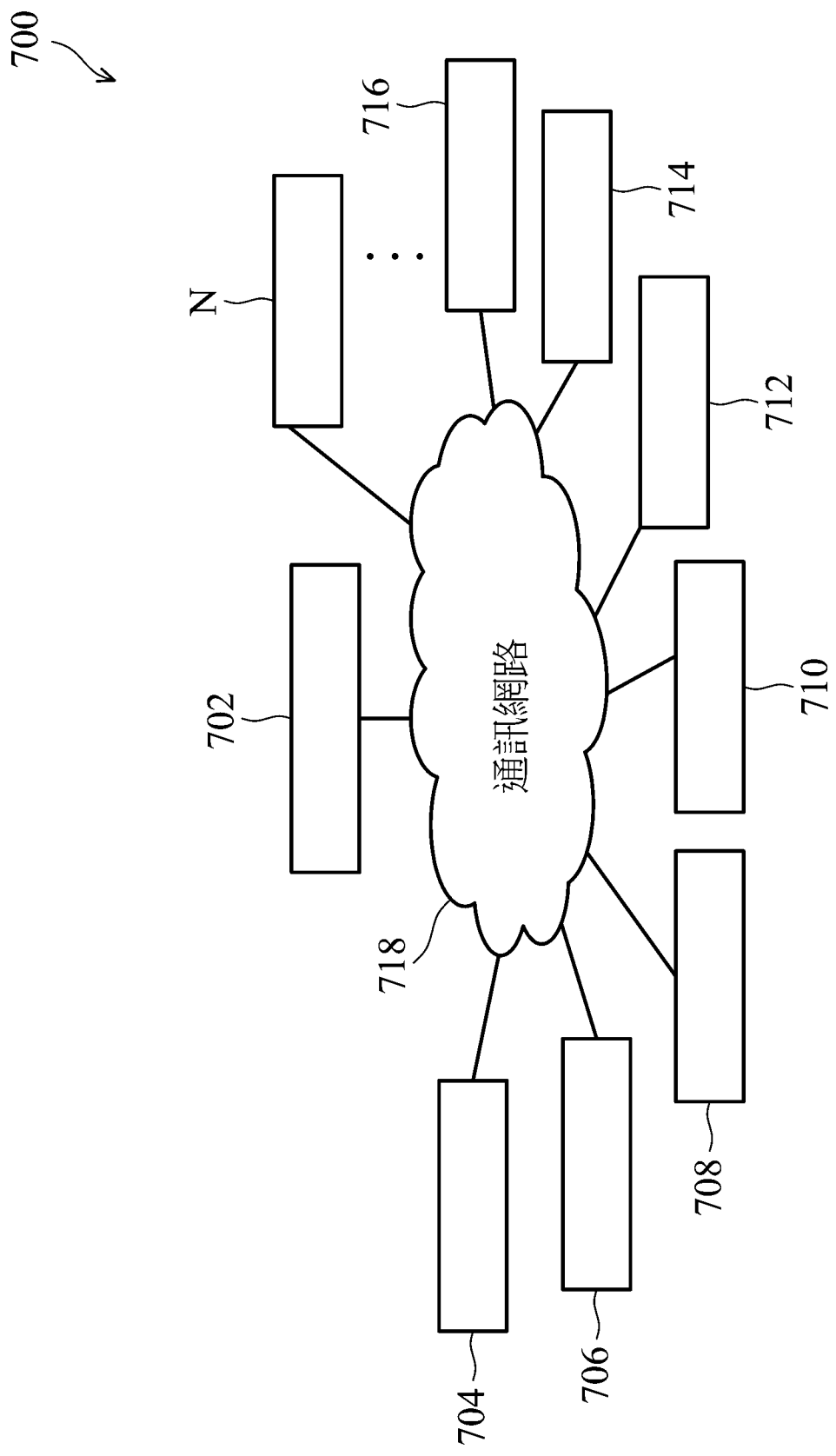
第6圖



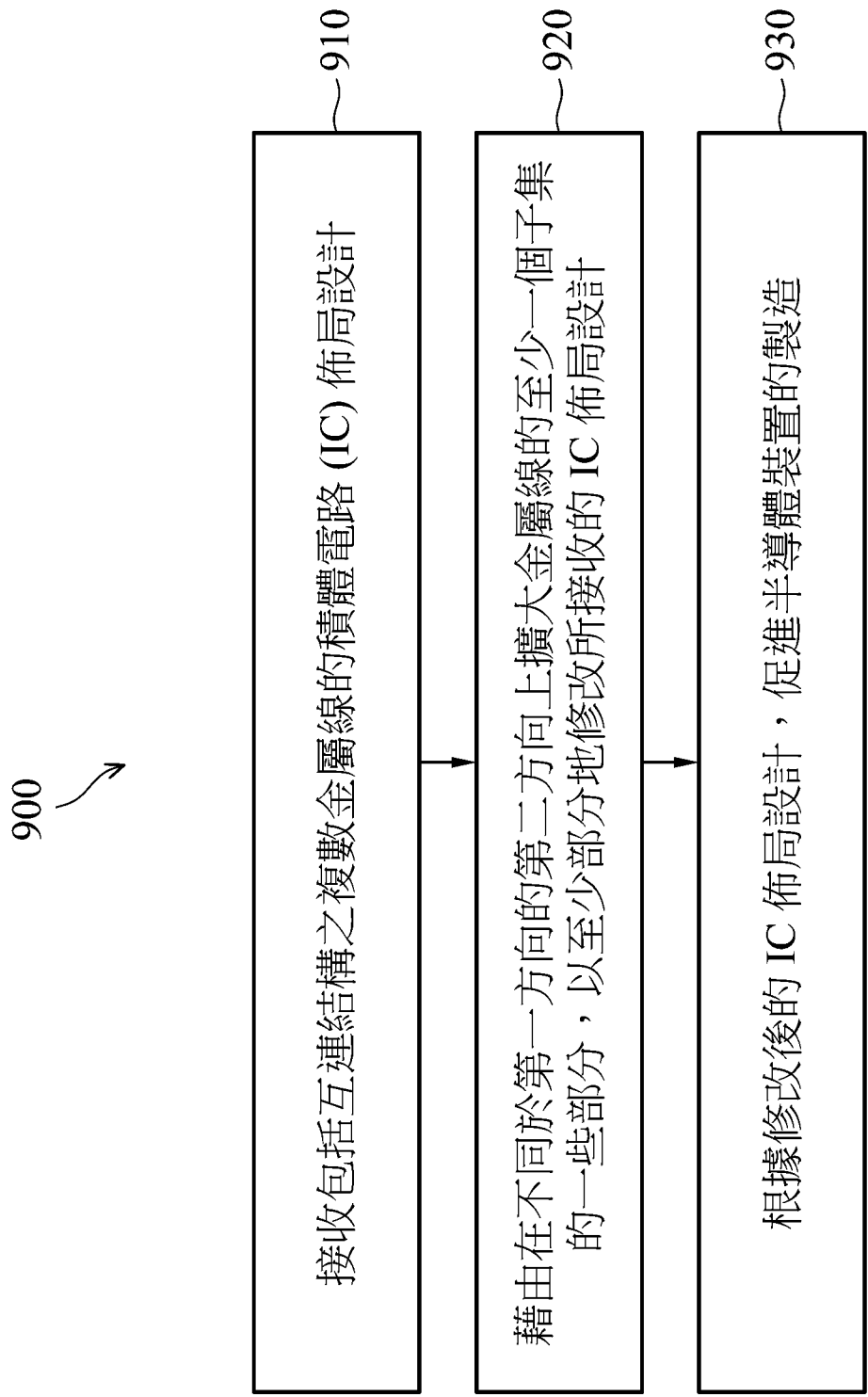
第7圖



第 8 圖



第9圖



第 10 圖