

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6600476号
(P6600476)

(45) 発行日 令和1年10月30日(2019.10.30)

(24) 登録日 令和1年10月11日(2019.10.11)

(51) Int. Cl. F 1
G O 2 B 6/122 (2006.01) G O 2 B 6/122
G O 2 B 6/13 (2006.01) G O 2 B 6/13
G O 2 B 6/12 (2006.01) G O 2 B 6/12 3 6 1

請求項の数 17 (全 21 頁)

(21) 出願番号	特願2015-67928 (P2015-67928)	(73) 特許権者	302062931
(22) 出願日	平成27年3月30日 (2015. 3. 30)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2016-188886 (P2016-188886A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成28年11月4日 (2016. 11. 4)	(74) 代理人	110002066
審査請求日	平成29年11月27日 (2017. 11. 27)		特許業務法人筒井国際特許事務所
		(72) 発明者	宇佐美 達矢
			茨城県ひたちなか市堀口751番地 ルネ
			サスセミコンダクタマニュファクチャリ
			ング株式会社内
		(72) 発明者	坂本 圭司
			茨城県ひたちなか市堀口751番地 ルネ
			サスセミコンダクタマニュファクチャリ
			ング株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板の主面上に形成された第1絶縁膜と、
 前記第1絶縁膜上に形成された半導体層からなる光導波路と、
 前記光導波路を覆うように前記第1絶縁膜上に形成された第2絶縁膜と、
 を備え、

前記第1絶縁膜に、前記第1絶縁膜の上面から第1深さを有する溝が、平面視において前記光導波路から離間した位置に形成され、

前記溝は、前記第1絶縁膜を貫通しない、半導体装置。

10

【請求項2】

請求項1記載の半導体装置において、
 前記溝のアスペクト比は、1以上である、半導体装置。

【請求項3】

請求項1記載の半導体装置において、
 前記溝の内部に埋め込まれた前記第2絶縁膜に、空隙が形成されている、半導体装置。

【請求項4】

請求項1記載の半導体装置において、
 前記溝は、平面視において、前記光導波路と互いに離間して、前記光導波路と並行して形成されている、半導体装置。

20

【請求項 5】

請求項 1 記載の半導体装置において、

前記第 1 絶縁膜は、前記光導波路の底面と接触している、半導体装置。

【請求項 6】

(a) 半導体基板と、前記半導体基板の主面上に形成された第 1 絶縁膜と、前記第 1 絶縁膜の上面上に形成された半導体層と、前記半導体基板の前記主面と反対側の裏面上に形成された裏面絶縁膜と、を有する S O I 基板を準備する工程、

(b) 前記半導体層を加工して、前記半導体層からなる光導波路を素子形成領域に形成する工程、

(c) 前記第 1 絶縁膜に、前記第 1 絶縁膜の上面から第 1 深さを有する溝を、平面視において前記光導波路と重ならない位置に形成する工程、

(d) 前記光導波路を覆うように、前記溝の内部を含む前記第 1 絶縁膜上に第 2 絶縁膜を形成する工程、

(e) 前記光導波路に達する接続孔を前記第 2 絶縁膜に形成する工程、

(f) 前記接続孔を介して前記半導体層と電氣的に接続する配線を、前記第 2 絶縁膜上に形成する工程、

を含み、

前記 (b) 工程の後で、かつ、前記 (f) 工程の前に、

(g) 前記裏面絶縁膜を除去する工程、

を含む、半導体装置の製造方法。

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、

前記溝のアスペクト比は、1 以上である、半導体装置の製造方法。

【請求項 8】

請求項 6 記載の半導体装置の製造方法において、

前記溝は、前記第 1 絶縁膜を貫通しない、半導体装置の製造方法。

【請求項 9】

請求項 6 記載の半導体装置の製造方法において、

前記溝の内部に埋め込まれた前記第 2 絶縁膜には、空隙が形成される、半導体装置の製造方法。

【請求項 10】

請求項 6 記載の半導体装置の製造方法において、

前記溝は、前記光導波路と互いに離間して、前記光導波路と並行して前記素子形成領域に形成される、半導体装置の製造方法。

【請求項 11】

請求項 6 記載の半導体装置の製造方法において、

前記溝は、前記素子形成領域の周囲に設けられたスクライプ領域に形成される、半導体装置の製造方法。

【請求項 12】

(a) 半導体基板と、前記半導体基板の主面上に形成された第 1 絶縁膜と、前記第 1 絶縁膜の上面上に形成された半導体層と、前記半導体基板の前記主面と反対側の裏面上に形成された裏面絶縁膜と、を有する S O I 基板を準備する工程、

(b) 前記半導体層を加工して、前記半導体層からなる光導波路を素子形成領域に形成する工程、

(c) 前記光導波路を覆うように、前記第 1 絶縁膜上に第 2 絶縁膜を形成する工程、

(d) 前記第 1 絶縁膜および前記第 2 絶縁膜に、前記第 2 絶縁膜の上面から第 1 深さを有する溝を、平面視において前記光導波路と重ならない位置に形成する工程、

(e) 前記溝の内部を含む前記第 2 絶縁膜上に第 3 絶縁膜を形成する工程、

(f) 前記光導波路に達する接続孔を前記第 2 絶縁膜および前記第 3 絶縁膜に形成する工程、

10

20

30

40

50

(g) 前記接続孔を介して前記半導体層と電氣的に接続する配線を、前記第3絶縁膜上に形成する工程、
を含み、

前記(b)工程の後で、かつ、前記(g)工程の前に、

(h) 前記裏面絶縁膜を除去する工程、
を含む、半導体装置の製造方法。

【請求項13】

請求項12記載の半導体装置の製造方法において、
前記溝のアスペクト比は、1以上である、半導体装置の製造方法。

【請求項14】

請求項12記載の半導体装置の製造方法において、
前記溝は、前記第1絶縁膜を貫通しない、半導体装置の製造方法。

【請求項15】

請求項12記載の半導体装置の製造方法において、
前記溝の内部に埋め込まれた前記第3絶縁膜には、空隙が形成される、半導体装置の製造方法。

【請求項16】

請求項12記載の半導体装置の製造方法において、
前記溝は、前記光導波路と互いに離間して、前記光導波路と並行して前記素子形成領域に形成される、半導体装置の製造方法。

【請求項17】

請求項12記載の半導体装置の製造方法において、
前記溝は、前記素子形成領域の周囲に設けられたスクライプ領域に形成される、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置およびその製造方法に関し、例えばSOI(Silicon On Insulator)基板を用いた半導体装置およびその製造に好適に利用できるものである。

【背景技術】

【0002】

SOI層となる第一の半導体基板と指示基板となる第二の半導体基板を清浄な雰囲気中で密着させることで直接接合する技術が、特開平7-74328号公報(特許文献1)に記載されている。SOI層となる第一の半導体基板の酸化膜に溝を形成することにより、SOI基板のそりを低減することができる。

【0003】

ウェハの処理前にウェハ裏面酸化膜の厚さを検知し、その厚さに応じた一連の電圧シーケンス(離脱シーケンス)を印加する技術が、特開2000-31252号公報(特許文献2)に記載されている。この離脱シーケンスの印加により、ウェハの離脱がスムーズに行われる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平7-74328号公報

【特許文献2】特開2000-31252号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

半導体製造装置では、ウェハを吸着し、保持する方法の一つとして静電チャックが用いられている。静電チャックは、ウェハの全面吸着が可能であり、特に、大口径ウェハを保

10

20

30

40

50

持する方法として用いられている。しかし、裏面絶縁膜を有するSOI基板からなるウェハ（以下、「SOIウェハ」と言う。）の場合、SOIウェハに残留する電荷に起因して、静電チャックの残留吸着力が減少せず、SOIウェハが静電チャックに張り付くことがある。このため、SOIウェハを静電チャックから離脱させる際に、SOIウェハの割れまたは搬送不良などの不具合が生じることがある。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

一実施の形態による半導体装置は、半導体基板と、半導体基板の主面上に形成された第1絶縁膜と、第1絶縁膜上に形成された半導体層からなる光導波路と、光導波路を覆うように第1絶縁膜上に形成された第2絶縁膜と、を備えており、第1絶縁膜の上面から第1深さを有する溝が、平面視において光導波路と重ならない位置に形成されている。

【0008】

一実施の形態による半導体装置の製造方法は、半導体基板、半導体基板の主面上に形成された第1絶縁膜、第1絶縁膜の上面上に形成された半導体層および半導体基板の裏面上に形成された裏面絶縁膜を有するSOI基板を準備する工程と、半導体層を加工して、半導体層からなる光導波路を形成する工程とを含む。さらに、裏面絶縁膜を除去する工程と、第1絶縁膜に、第1絶縁膜の上面から第1深さを有し、平面視において光導波路と重ならない位置に溝を形成する工程と、光導波路を覆うように、前記溝の内部を含む第1絶縁膜上に第2絶縁膜を形成する工程と、光導波路に達する接続孔を第2絶縁膜に形成する工程と、接続孔を介して半導体層と電気的に接続する配線を、第2絶縁膜上に形成する工程と、を含む。

【発明の効果】

【0009】

一実施の形態によれば、半導体製造装置に備わる静電チャックから、不具合が生じることなくSOIウェハを吸着させ、離脱させることができる。

【図面の簡単な説明】

【0010】

【図1】実施の形態1による半導体装置の要部断面図である。

【図2】実施の形態1による半導体装置の製造工程を示す要部断面図である。

【図3】図2に続く、半導体装置の製造工程を示す要部断面図である。

【図4】図3に続く、半導体装置の製造工程を示す要部断面図である。

【図5】図4に続く、半導体装置の製造工程を示す要部断面図である。

【図6】図5に続く、半導体装置の製造工程を示す要部断面図である。

【図7】図6に続く、半導体装置の製造工程を示す要部断面図である。

【図8】図7に続く、半導体装置の製造工程を示す要部断面図である。

【図9】実施の形態2による半導体装置の要部断面図である。

【図10】実施の形態3による半導体装置の要部断面図である。

【図11】実施の形態4による半導体装置の要部平面図である。

【図12】実施の形態4による半導体装置の変形例1の要部平面図である。

【図13】実施の形態4による半導体装置の変形例2の要部平面図である。

【図14】実施の形態4による半導体装置の変形例3の要部平面図である。

【発明を実施するための形態】

【0011】

以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0012】

10

20

30

40

50

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0013】

また、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0014】

また、「Aからなる」、「Aよりなる」、「Aを有する」、「Aを含む」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものでないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0015】

また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本実施の形態を図面に基づいて詳細に説明する。

【0016】

（実施の形態1）

近年、シリコンを材料とした光信号用の伝送線路を作製し、この光信号用の伝送線路により構成した光回路をプラットフォームとして、種々の光デバイスと電子デバイスとを集積することで光通信用モジュールを実現する技術、いわゆるシリコンフォトニクス技術の開発が積極的に行われている。

【0017】

以下に、本実施の形態1によるシリコンフォトニクス技術を用いた半導体装置の構造およびその製造方法について説明する。本実施の形態1では、SOI基板上に集積された光信号用伝送線路部および光変調部を有する半導体装置を例示するが、これに限定されるものではない。また、本実施の形態1では、2層構造の多層配線を有する半導体装置を例示するが、これに限定されるものではない。

【0018】

<半導体装置の構造>

本実施の形態1による半導体装置の構造を、図1を用いて説明する。図1は、本実施の形態1による半導体装置の要部断面図である。

【0019】

1. 光信号用伝送線路部

図1に示すように、光信号用伝送線路部には、種々の光信号用の伝送線路（光信号線とも言う。）OTLが形成されている。光信号用の伝送線路OTLは、単結晶シリコン（Si）からなる半導体基板SUB上に、絶縁膜（BOX層、下層クラッド層とも言う。）CLを介して形成されたシリコン（Si）からなる半導体層（SOI層とも言う。）SLにより構成されている。絶縁膜CLの厚さは、例えば1 μ m以上、好ましくは2～3 μ m程度である。このように、絶縁膜CLは相対的に厚く形成されているので、半導体基板SUBと半導体層SLとの間の静電容量を小さく抑えることができる。半導体層SLの厚さは、例えば100～300nmが適切な範囲と考えられるが（他の条件によってはこの範囲に限定されないことはもとよりである）、200nmを中心値とする範囲が最も好適と考えられる。

【0020】

ここでは、光信号用の伝送線路OTLの一例として、矩形光導波路PO、および光の位相を変化させる光位相シフタPSについて説明する。矩形光導波路POおよび光位相シフタPSは、半導体基板SUB上に、絶縁膜CLを介して形成された半導体層SLから構成

10

20

30

40

50

される。

【0021】

矩形光導波路POの半導体層SLは、平板状に加工されており、紙面垂直方向（図1に示すz方向）に延在している。従って、矩形光導波路PO内に導入される光信号は、紙面垂直方向に進行する。矩形光導波路POの高さ（紙面上下方向（図1に示すy方向）の寸法）は、例えば200nm程度である。矩形光導波路POには、不純物が導入されており、その不純物濃度は、例えば $10^{15} \sim 10^{19} \text{ cm}^{-3}$ の範囲であり、代表的な値としては、例えば 10^{15} cm^{-3} 程度である。

【0022】

光位相シフトPSの半導体層SLは、リブ型に加工されている。半導体層SLのうちの厚さが厚くなっている部分（リブ部）が光導波路（コア層とも言う。）WO1となっており、紙面垂直方向（図1に示すz方向）に延在している。従って、光導波路WO1内に導入される光信号は、紙面垂直方向に進行する。光導波路WO1の高さ（紙面上下方向（図1に示すy方向）の寸法）は、例えば200nm程度、光導波路WO1の幅（紙面左右方向（図1に示すx方向）の寸法）は、例えば500nm程度である。また、光導波路WO1には、不純物が導入されており、その不純物濃度は、例えば $10^{15} \sim 10^{19} \text{ cm}^{-3}$ の範囲であり、代表的な値としては、例えば 10^{15} cm^{-3} 程度である。

【0023】

光導波路WO1の両側の半導体層SLの厚さは薄くなっている。この半導体層SLのうちの厚さが薄くなっている部分の厚さは、例えば50nm程度である。光導波路WO1の一方の側（紙面左側）における半導体層SLには、p型の不純物が導入されて、p型の半導体PR1が形成されている。このp型の半導体PR1は、光導波路WO1と並行するように形成されている。また、光導波路WO1の他方の側（紙面右側）における半導体層SLには、n型の不純物が導入されて、n型の半導体NR1が形成されている。このn型の半導体NR1は、光導波路WO1と並行するように形成されている。すなわち、p型の半導体PR1とn型の半導体NR1との間の半導体層SLが、光導波路WO1となっている。

【0024】

上記構造に順方向バイアスを印加すると、光導波路WO1にキャリアが注入される。光導波路WO1にキャリアが注入されると、光導波路WO1においてキャリアプラズマ効果（光学的に生成されたキャリアが電子正孔対（プラズマ）を増加させることに起因する現象）が生じて、光導波路WO1における光の屈折率が変化する。光導波路WO1における光の屈折率が変化する、光導波路WO1を進行する光の波長が変化するので、光導波路WO1を進行する過程で光の位相を変化させることができる。

【0025】

光信号用の伝送線路OTLは、第1層間絶縁膜（上層クラッド層とも言う。）ID1、第2層間絶縁膜ID2および保護膜TCにより覆われている。第1層間絶縁膜ID1および第2層間絶縁膜ID2は、例えば酸化シリコン（ SiO_2 ）からなり、その厚さはそれぞれ、例えば1 μm 以上である。保護膜TCは、例えば酸窒化シリコン（ SiON ）からなる。光信号用伝送線路部には、後述の第1層目の配線M1および第2層目の配線M2は形成されていない。

【0026】

2. 光変調部

図1に示すように、光変調部には、電気信号を光信号に変える光変調器PCが形成されている。光変調器PCは、半導体基板SUB上に、絶縁膜CLを介して形成されたシリコン（Si）からなる半導体層SLにより構成されている。ここでは、一例としてpin構造の光変調器PCについて説明する。

【0027】

pin構造の光変調器PCは、前述の光信号用の伝送線路OTLと同様に、半導体基板SUB上に、絶縁膜CLを介して形成された半導体層SLから構成される。

10

20

30

40

50

【0028】

半導体層S Lからなる光導波路(コア層とも言う。)W O 2は、紙面垂直方向(図1に示すz方向)に延在している。従って、光導波路W O 2内に導入される光信号は、紙面垂直方向に進行する。光導波路W O 2には不純物が導入されておらず、真性半導体、すなわちi (intrinsic)型の半導体により形成されている。

【0029】

光導波路W O 2の一方の側(紙面左側)における半導体層S Lには、p型の不純物が導入されて、p型の半導体P R 2が形成されている。このp型の半導体P R 2は、光導波路W O 2と並行するように形成されている。また、光導波路W O 2の他方の側(紙面右側)における半導体層S Lには、n型の不純物が導入されて、n型の半導体N R 2が形成されている。このn型の半導体N R 2は、光導波路W O 2と並行するように形成されている。すなわち、p型の半導体P R 2とn型の半導体N R 2との間の半導体層S Lが、真性半導体からなる光導波路W O 2となっており、p i n構造が形成されている。p型の半導体P R 2およびn型の半導体N R 2にはそれぞれ電極(第1プラグP L 1)が接続されている。

10

【0030】

電極に印加される電圧により、真性半導体からなる光導波路W O 2内のキャリア密度が変化して、その領域の屈折率が変化する。これにより、光変調器P Cを伝搬する光に対する実効的な屈折率が変化して、光変調器P Cから出力される光の位相を変化させることができる。

20

【0031】

光変調器P Cは、第1層間絶縁膜I D 1に覆われており、第1層間絶縁膜I D 1には、p型の半導体P R 2およびn型の半導体N R 2にそれぞれ達する接続孔(コンタクト・ホールとも言う。)C T 1が形成されている。接続孔C T 1の内部にはタングステン(W)を主導電材料とする第1プラグ(埋め込み電極、埋め込みコンタクトとも言う。)P L 1が形成されており、この第1プラグP L 1を介してp型の半導体P R 2と第1層目の配線M 1、n型の半導体N R 2と第1層目の配線M 1とが電氣的に接続されている。第1層目の配線M 1は、例えばアルミニウム(A l)、銅(C u)またはアルミニウム-銅合金(A l - C u合金)を主導電材料とし、その厚さは、例えば1 μ mよりも薄い。

【0032】

また、第1層目の配線M 1は第2層間絶縁膜I D 2に覆われており、第2層間絶縁膜I D 2には、第1層目の配線M 1に達する接続孔(ピア・ホールとも言う。)C T 2が形成されている。接続孔C T 2の内部にはタングステン(W)を主導電材料とする第2プラグ(埋め込み電極、埋め込みコンタクト)P L 2が形成されており、この第2プラグP L 2を介して第1層目の配線M 1と第2層目の配線M 2とが電氣的に接続されている。第2層目の配線M 2は、例えばアルミニウム(A l)、銅(C u)またはアルミニウム-銅合金(A l - C u合金)を主導電材料とする。

30

【0033】

第2層目の配線M 2は保護膜T Cにより覆われており、その一部を開口して、第2層目の配線M 2の上面を露出させている。

40

【0034】

<半導体装置の構造の特徴および効果>

さらに、図1に示すように、半導体基板S U B上に形成された絶縁膜C Lには、複数の溝T Rが形成されている。溝T Rの深さは、1 μ m以上であるが、溝T Rは、絶縁膜C Lを貫通しておらず、半導体基板S U Bには達していない。溝T Rの深さに応じて、絶縁膜C Lの圧縮応力が制御できることから、溝T Rの具体的な深さは、絶縁膜C Lの厚さまたは溝T Rの配置などから決定される。また、溝T Rの幅は、1 μ m以下で、そのアスペクト比は、1以上であることが望ましい。しかし、溝T Rの具体的な幅は、溝T Rの深さとアスペクト比との関係およびパターンレイアウトの制約などから決定される。

【0035】

50

さらに、溝TRには、その内部に、第1層間絶縁膜ID1が完全に埋め込まれておらず、空隙(ボイドとも言う。)VOが形成されているものもある。しかし、溝TRのアスペクト比を、1以上としていることから、溝TRの上部は、第1層間絶縁膜ID1によって完全に塞がれており、第1層間絶縁膜ID1の上面まで空隙VOは形成されないため、第1層間絶縁膜ID1の上面の平坦性は保たれる。

【0036】

溝TRは、光信号用伝送線路部に形成されるが、平面視において、光信号用の伝送線路OTL(例えば矩形光導波路POまたは光位相シフトPS)を構成する半導体層SLとは重ならず、その半導体層SLから離間して、その半導体層SLの両側に形成されている。また、同様に、溝TRは、光変調部に形成されるが、平面視において、光変調器PCを構成する半導体層SLとは重ならず、その半導体層SLから離間して、その半導体層SLの両側に形成されている。また、溝TRは、平面視において、半導体層SLと所定の距離を有して、半導体層SLに並行して形成されている。なお、隣り合う2つの半導体層SLが近接している場合は、それぞれの半導体層SLの両側に溝TRを形成せず、隣り合う2つの半導体層SLで、1つの溝TRを共有することもできる。

10

【0037】

上記溝TRを形成しない従来のSOIウェハでは、SOIウェハのそりを防止するために、その裏面に絶縁膜を形成する必要がある。しかし、その裏面に絶縁膜を形成したSOIウェハでは、その裏面に絶縁膜を形成しないSOIウェハと比べると、静電チャックの吸着残留力がさらに大きくなる。SOIウェハの裏面に絶縁膜を形成しなければ、吸着残留力を減少させることはできるが、絶縁膜CLの圧縮応力により、SOIウェハのそりが発生して、SOIウェハの静電チャック上での移動または搬送不良などの不具合が生じることがある。

20

【0038】

しかし、本実施の形態1による半導体装置では、静電チャックを備えた半導体製造装置でSOIウェハを処理する前に、SOIウェハの裏面の絶縁膜を除去することにより、静電チャックを備えた半導体製造装置を用いた場合でも、SOIウェハから電荷を逃がしやすくすることができる。これらのことから、SOIウェハの裏面に電荷が溜まりにくくなり、静電チャックの残留吸着力が減少して、SOIウェハの静電チャックへの張り付きを回避することができる。なお、その詳細については、後述の半導体装置の製造方法において説明する。

30

【0039】

さらに、本実施の形態1では、SOIウェハの裏面の絶縁膜を除去した後に、静電チャックを備えた半導体製造装置を用いている。しかし、絶縁膜CLには複数の溝TRが形成されているので、絶縁膜CLの圧縮応力が緩和して、SOIウェハのそりを低減することができる。これにより、SOIウェハの静電チャック上での移動または搬送不良などの不具合も回避することができる。

【0040】

ところで、絶縁膜CLの圧縮応力を緩和して、SOIウェハのそりを低減するには、溝TRを半導体基板SUBに達するまで(絶縁膜CLを貫通するまで)形成することが望ましい。しかし、SOIウェハの強度が低くなる、または深い溝TRを形成するのに長い加工時間を要するなどの課題が新たに生じるため、溝TRは、半導体基板SUBに達しない深さまで形成する。本実施の形態1では、溝TRの底から半導体基板SUBの上面までの絶縁膜CLの厚さは、0 μ mより厚く、1 μ m以下とした。溝TRの底から半導体基板SUBの上面までの絶縁膜CLの厚さが、この範囲であれば、絶縁膜CLの圧縮応力に起因するSOIウェハのそりの問題は解消される。

40

【0041】

<半導体装置の製造方法>

本実施の形態1による半導体装置の製造方法を、図2～図8を用いて工程順に説明する。図2～図8は、本実施の形態1による製造工程中の半導体装置の要部断面図である。

50

【 0 0 4 2 】

まず、図 2 に示すように、半導体基板 SUB と、半導体基板 SUB の主面上に形成された絶縁膜 CL と、絶縁膜 CL 上に形成された半導体層 SL と、半導体基板 SUB の主面と反対側の面（裏面とも言う。）上に形成された裏面絶縁膜 RCL と、からなる SOI（Silicon On Insulator）基板（この段階では SOI ウェハと称する平面略円形の基板）を準備する。

【 0 0 4 3 】

半導体基板 SUB は単結晶シリコン（Si）からなる支持基板であり、絶縁膜 CL および裏面絶縁膜 RCL は酸化シリコン（SiO₂）からなり、半導体層 SL はシリコン（Si）からなる。半導体基板 SUB の厚さは、例えば 750 μm 程度である。絶縁膜 CL および裏面絶縁膜 RCL の厚さは、例えば 1 μm 以上、好ましくは 2 ~ 3 μm 程度である。半導体層 SL の厚さは、例えば 100 ~ 300 nm 程度、好ましくは 200 nm 程度である。

10

【 0 0 4 4 】

SOI 基板は、例えば SIMOX（Silicon Implanted Oxide）法、貼り合わせ法またはスマートカット（Smart-Cut）法などにより形成することができる。SIMOX 法では、例えばシリコン（Si）からなる半導体基板の主面に高いエネルギーで酸素をイオン注入し、その後の熱処理でシリコン（Si）と酸素（O）とを結合させて絶縁膜を形成することにより、SOI 基板は形成される。また、貼り合わせ法では、例えば上面に絶縁膜を形成したシリコン（Si）からなる半導体基板と、もう 1 枚のシリコン（Si）からなる半導体基板とを高熱および圧力を加えることで接着して貼り合わせた後、片側の半導体基板を研磨して薄膜化することで、SOI 基板は形成される。また、スマートカット法では、例えばシリコン（Si）からなる半導体基板の主面に絶縁膜を形成した後、水素イオン注入を行い、もう 1 枚のシリコン（Si）からなる半導体基板と接合する。その後、熱処理を行うことにより、水素脆化現象を利用して片方の半導体基板を剥離することで、SOI 基板は形成される。

20

【 0 0 4 5 】

次に、半導体層 SL 上にフォトレジストを塗布し、露光後、現像処理を行うことにより、フォトレジストをパターニングして第 1 レジストマスク（図示は省略）を形成する。続いて、第 1 レジストマスクをマスクとして、ドライエッチングにより光信号用伝送線路部の矩形光導波路用および光位相シフタ用の半導体層 SL、並びに光変調部の光変調器用の半導体層 SL を矩形に加工する。その後、第 1 レジストマスクを除去する。

30

【 0 0 4 6 】

さらに、矩形に加工された半導体層 SL を覆うように絶縁膜 CL 上にフォトレジストを塗布し、露光後、現像処理を行うことにより、フォトレジストをパターニングして第 2 レジストマスク（図示は省略）を形成する。続いて、第 2 レジストマスクをマスクとして、ドライエッチングにより光信号用伝送線路部の光位相シフタ用の半導体層 SL の一部（p 型の半導体層 PR1 および n 型の半導体層 NR1 が形成される部分）を所定の厚さまで加工して、光信号用伝送線路部の光位相シフタ用のリブ型の半導体層 SL を形成する。その後、第 2 レジストマスクを除去する。

40

【 0 0 4 7 】

次に、光信号用伝送線路部の矩形光導波路用および光位相シフタ用の半導体層 SL にそれぞれ不純物を導入する。その不純物濃度は、例えば $10^{15} \sim 10^{19} \text{ cm}^{-3}$ の範囲であり、代表的な値としては、例えば 10^{15} cm^{-3} 程度である。また、光位相シフタ用の半導体層 SL の一部（p 型の半導体 PR1 が形成される部分）に p 型不純物を導入し、他の一部（n 型の半導体 NR1 が形成される部分）に n 型不純物を導入する。

【 0 0 4 8 】

また、光変調部の光変調器用の半導体層 SL の一部（p 型の半導体 PR2 が形成される部分）に p 型不純物を導入し、他の一部（n 型の半導体 NR2 が形成される部分）に n 型不純物を導入する。

50

【 0 0 4 9 】

以上の工程により、光信号用伝送線路部に、矩形光導波路 P O、並びに光導波路 W O 1、光導波路 W O 1 を挟んで一方の側に位置する p 型の半導体 P R 1 および他方の側に位置する n 型の半導体 N R 1 からなるリブ型の光位相シフタ P S が形成される。また、光変調部に、光導波路 W O 2、光導波路 W O 2 を挟んで一方の側に位置する p 型の半導体 P R 2 および他方の側に位置する n 型の半導体 N R 2 からなる光変調器 P C が形成される。

【 0 0 5 0 】

次に、図 3 に示すように、半導体基板 S U B の裏面に形成されている裏面絶縁膜 R C L をウエットエッチングで除去する。

【 0 0 5 1 】

次に、図 4 に示すように、光信号用伝送線路部の矩形光導波路 P O および光位相シフタ P S、並びに光変調部の光変調器 P C を覆うように絶縁膜 C L 上にフォトレジストを塗布し、露光後、現像処理を行うことにより、フォトレジストをパターンニングして第 3 レジストマスク（図示は省略）を形成する。続いて、第 3 レジストマスクをマスクとして、ドライエッチングにより絶縁膜 C L に複数の溝 T R を形成する。その後、第 3 レジストマスクを除去する。

【 0 0 5 2 】

溝 T R の深さは、1 μ m 以上であるが、溝 T R は、半導体基板 S U B には達していない。溝 T R の深さに応じて、絶縁膜 C L の圧縮応力が制御できることから、溝 T R の具体的な深さは、絶縁膜 C L の厚さまたは溝 T R の配置などから決定される。また、溝 T R の幅は、1 μ m 以下で、そのアスペクト比は、1 以上であることが望ましい。しかし、溝 T R の具体的な幅は、溝 T R の深さとアスペクト比との関係およびパターンレイアウトの制約などから決定される。

【 0 0 5 3 】

溝 T R は、光信号用伝送線路部に形成されるが、平面視において、矩形光導波路 P O および光位相シフタ P S を構成する半導体層 S L とは重ならず、その半導体層 S L から離間して、その半導体層 S L の両側に形成されている。また、同様に、溝 T R は、光変調部に形成されるが、平面視において、光変調器 P C を構成する半導体層 S L とは重ならず、その半導体層 S L から離間して、その半導体層 S L の両側に形成されている。また、溝 T R は、平面視において、半導体層 S L と所定の距離を有して、半導体層 S L に並行して形成されている。なお、隣り合う 2 つの半導体層 S L が近接している場合は、それぞれの半導体層 S L の両側に溝 T R を形成せず、隣り合う 2 つの半導体層 S L で、1 つの溝 T R を共有することもできる。

【 0 0 5 4 】

溝 T R は、半導体基板 S U B を貫通して形成されていてもよい。これにより、S O I 基板の圧縮応力は 0（ゼロ）となり、S O I 基板のそりは無くなる。但し、溝 T R が、半導体基板 S U B を貫通すると、S O I 基板の強度が低くなる。また、深い溝 T R を形成するのに長い加工時間を要してしまう。このため、半導体基板 S U B を貫通しない溝 T R を形成することが望ましい。例えば溝 T R の底から半導体基板 S U B の上面までの絶縁膜 C L の厚さは、0 μ m より厚く、1 μ m 以下とすることが望ましい。溝 T R の底から半導体基板 S U B の上面までの絶縁膜 C L の厚さが、この範囲であれば、S O I 基板のそりの問題は解消される。すなわち、裏面絶縁膜 R C L を除去しても、S O I 基板の静電チャック上での移動または搬送不良などの不具合を生じない程度まで S O I 基板のそりを低減することができる。

【 0 0 5 5 】

本実施の形態 1 では、裏面絶縁膜 R C L をウエットエッチングで除去した後、絶縁膜 C L に複数の溝 T R を形成したが、絶縁膜 C L に複数の溝 T R を形成した後、裏面絶縁膜 R C L をウエットエッチングで除去してもよい。また、裏面絶縁膜 R C L の除去は、これ以外の工程においても行うことができる。例えば S O I 基板の静電チャックへの張り付きが生じやすい半導体製造装置を用いる工程、例えば後述するプラズマエッチング装置を用い

10

20

30

40

50

た第1層目の配線M1を加工する工程の前までに、裏面絶縁膜RCLを除去すればよい。

【0056】

次に、図5に示すように、光信号用伝送線路部の矩形光導波路POおよび光位相シフタPS、並びに光変調部の光変調器PCを覆うように絶縁膜CL上に第1層間絶縁膜ID1を形成する。第1層間絶縁膜ID1は、例えば平行平板型のプラズマCVD (Chemical Vapor Deposition) 装置を用いて形成された酸化シリコン (SiO_2) からなり、その厚さは、例えば1 μm 以上である。絶縁膜CLに形成された溝TRのアスペクト比は1以上であるので、溝TRの内部を第1層間絶縁膜ID1で埋め込むことができる。ところで、溝TRの内部は、第1層間絶縁膜ID1で完全に埋め込むことができず、溝TRの内部に空隙VOが形成される場合がある。しかし、溝TRのアスペクト比を1以上としているので、空隙VOが形成されたとしても、溝TRの上部は第1層間絶縁膜ID1によって完全に塞ぐことができ、第1層間絶縁膜ID1の上面まで空隙VOは形成されない。

10

【0057】

次に、第1層間絶縁膜ID1の上面を、例えばCMP (Chemical Mechanical Polishing) 法などにより、平坦化した後、第1層間絶縁膜ID1に、光変調器PCのp型の半導体PR2およびn型の半導体NR2にそれぞれ達する接続孔CT1を形成する。続いて、接続孔CT1の内部を導電膜により埋め込み、この埋め込まれた導電膜からなる第1プラグPL1を形成する。第1プラグPL1は、例えばアルミニウム (Al) またはタングステン (W) などからなる。

【0058】

20

次に、図6に示すように、第1層間絶縁膜ID1上に、例えばスパッタリング法などにより、金属膜ML、例えばアルミニウム (Al) 膜を堆積する。

【0059】

次に、金属膜ML上にフォトレジストを塗布し、露光後、現像処理を行うことにより、フォトレジストをパターニングして第4レジストマスクRPを形成する。

【0060】

次に、図7に示すように、プラズマエッチング装置を用いて第4レジストマスクRPをマスクとして、ドライエッチングにより金属膜MLを加工して、第1層目の配線M1を形成する。その後、第4レジストマスクRPを除去する。

【0061】

30

プラズマエッチング装置では、そのステージへのSOI基板の固定に、静電チャックを用いている。静電チャックは、導体金属の電極板に所望の厚さの誘電体を付したもので、静電チャックの上にSOI基板を置き、SOI基板と電極板との間に電圧を印加することにより、静電力が発生し、SOI基板をステージに吸着、保持、固定することができるものである。

【0062】

ところで、前述したように、SOI基板の場合、SOI基板に残留する電荷に起因して、静電チャックの残留吸着力が減少せず、SOI基板が静電チャックに張り付くことがある。このため、SOI基板を静電チャックから離脱させる際に、SOI基板の割れまたは搬送不良などの不具合が生じる。特に、SOI基板の場合、その裏面に絶縁膜 (例えば裏面絶縁膜RCL) が形成されていると、残留吸着力が大きくなる。

40

【0063】

しかし、本実施の形態1では、SOI基板を構成する絶縁膜CLに複数の溝TRを形成していること、およびSOI基板の裏面に形成されていた裏面絶縁膜RCLを除去していることから、SOI基板から電荷を逃がしやすくすることができる。従って、SOI基板の裏面に電荷が溜まりにくくなり、静電チャックの残留吸着力が減少して、SOI基板の静電チャックへの張り付きを回避することができる。これにより、SOI基板を静電チャックから離脱させる際に、SOI基板の割れまたは搬送不良などの不具合が生じにくくなる。

【0064】

50

次に、図 8 に示すように、第 1 層目の配線 M 1 を覆うように第 1 層間絶縁膜 I D 1 上に第 2 層間絶縁膜 I D 2 を形成する。第 2 層間絶縁膜 I D 2 は、例えば平行平板型のプラズマ C V D 装置を用いて形成された酸化シリコン (S i O ₂) からなり、その厚さは、例えば 1 μ m 以上である。

【 0 0 6 5 】

次に、第 2 層間絶縁膜 I D 2 の上面を、例えば C M P 法などにより、平坦化した後、第 2 層間絶縁膜 I D 2 に、第 1 層目の配線 M 1 に達する接続孔 C T 2 を形成する。続いて、接続孔 C T 2 の内部を導電膜により埋め込み、この埋め込まれた導電膜からなる第 2 プラグ P L 2 を形成する。第 2 プラグ P L 2 は、例えばアルミニウム (A l) またはタンゲステン (W) などからなる。

10

【 0 0 6 6 】

次に、第 2 層間絶縁膜 I D 2 上に、例えばスパッタリング法などにより、金属膜 (図示は省略)、例えばアルミニウム (A l) 膜を堆積した後、プラズマエッチング装置を用いてレジストマスクをマスクとして、ドライエッチングにより金属膜を加工することにより、第 2 層目の配線 M 2 を形成する。

【 0 0 6 7 】

第 2 層目の配線 M 2 の形成に適用するプラズマエッチング装置でも、そのステージへの S O I 基板の固定に、静電チャックを用いている。しかし、前述のプラズマエッチング装置と同様に、S O I 基板の裏面に電荷が溜まりにくくなり、静電チャックの残留吸着力が減少して、S O I 基板の静電チャックへの張り付きを回避することができる。これにより、S O I 基板を静電チャックから離脱させる際に、S O I 基板の割れまたは搬送不良などの不具合が生じにくくなる。

20

【 0 0 6 8 】

その後、図 1 に示したように、第 2 層目の配線 M 2 を覆うように、保護膜 T C を形成した後、保護膜 T C を加工して、第 2 層目の配線 M 2 の上面を露出させる。これにより、本実施の形態 1 による半導体装置が略完成する。

【 0 0 6 9 】

このように、本実施の形態 1 によれば、静電チャックを備える半導体製造装置を用いても、S O I ウェハから電荷を逃がしやすくすることができるので、S O I ウェハの裏面に電荷が溜まりにくくなり、静電チャックの残留吸着力が減少して、S O I ウェハの静電チャックへの張り付きを回避することができる。これにより、S O I ウェハを静電チャックから離脱させる際に、S O I ウェハの割れまたは搬送不良などの不具合が生じにくくなる。

30

【 0 0 7 0 】

(実施の形態 2)

本実施の形態 2 によるシリコンフォトリソグラフィ技術を用いた半導体装置の構造について、図 9 を用いて説明する。図 9 は、本実施の形態 2 による半導体装置の要部断面図である。

【 0 0 7 1 】

本実施の形態 2 が前述の実施の形態 1 と相違する点は、光信号用伝送線路部の矩形光導波路 P O および光位相シフタ P S、並びに光変調部の光変調器 P C を覆う第 1 層間絶縁膜 I D 1 a である。すなわち、前述の実施の形態 1 では、例えばプラズマ C V D 法により形成される酸化シリコン (S i O ₂) からなる第 1 層間絶縁膜 I D 1 を用いたが、本実施の形態 2 では、被覆性の優れた酸化シリコン (S i O ₂) からなる第 1 層間絶縁膜 I D 1 a を用いる。本実施の形態 2 による第 1 層間絶縁膜 I D 1 a は、例えば S A C V D (Sub-Atmospheric Chemical Vapor Deposition : 準常圧 C V D) 法により形成される、T E O S (Tetra Ethyl Ortho Silicate ; S i (O C ₂ H ₅) ₄) とオゾン (O ₃) とをソースガスに用いた酸化シリコン (S i O ₂) からなる。

40

【 0 0 7 2 】

本実施の形態 2 による半導体装置は、第 1 層間絶縁膜以外の構成は、前述した実施の形態 1 による半導体装置とほぼ同様であるので、以下、相違点を中心に説明する。

50

【 0 0 7 3 】

図9に示すように、前述の実施の形態1に示した半導体装置と同様に、半導体基板SUB上に形成された絶縁膜CLには、複数の溝TRが形成されている。溝TRの深さは、1μm以上であるが、溝TRは、絶縁膜CLを貫通しておらず、半導体基板SUBには達していない。溝TRの深さに応じて、絶縁膜CLの圧縮応力が制御できることから、溝TRの具体的な深さは、絶縁膜CLの厚さまたは溝TRの配置などから決定される。また、溝TRの幅は、1μm以下で、そのアスペクト比は、1以上であることが望ましい。しかし、溝TRの具体的な幅は、溝TRの深さとアスペクト比との関係およびパターンレイアウトの制約などから決定される。

【 0 0 7 4 】

前述の実施の形態1と同様に、絶縁膜CLに複数の溝TRが形成されていること、およびSOIウェハの裏面に絶縁膜を形成していないことにより、静電チャックを備えた半導体製造装置を用いた場合でも、SOIウェハから電荷を逃がしやすくすることができる。従って、SOIウェハの裏面に電荷が溜まりにくくなり、静電チャックの残留吸着力が減少して、SOIウェハの静電チャックへの張り付きを回避することができる。

【 0 0 7 5 】

さらに、溝TRには、その内部に、被覆性に優れた第1層間絶縁膜ID1aが埋め込まれており、空隙はほとんど形成されておらず、第1層間絶縁膜ID1aの上面の平坦性は保たれる。第1層間絶縁膜ID1aは、例えばSACVD法により形成される、TEOSとオゾンとをソースガスに用いた酸化シリコン(SiO₂)からなる(以下、「TEOS酸化膜」と言う。)。このTEOS酸化膜は被覆性に優れ、また、溝TRの内部でのTEOS酸化膜は引張応力を示す。絶縁膜CLは圧縮応力を示し、TEOS酸化膜は引張応力を示すので、全体のSOIウェハのそりは相殺される方向になり、SOIウェハのそりは低減する。

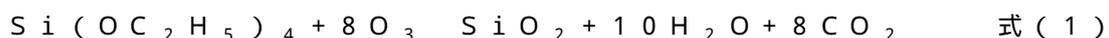
【 0 0 7 6 】

また、前述の実施の形態1と異なり、溝TRの内部には、空隙はほとんど形成されない。従って、空隙が形成されることにより懸念される、空隙に起因した光の乱反射を防止することができる。

【 0 0 7 7 】

TEOS酸化膜は、例えばTEOSとオゾンとをソースガスに用いたSACVD法により形成される。450~550の温度範囲、500~800Torrの圧力範囲で気相反応を行うことにより、式(1)に示す反応式によって、酸化シリコン(SiO₂)を成長させることができる。これにより、TEOS酸化膜を形成することができる。

【 0 0 7 8 】



なお、本実施の形態2では、被覆性に優れた絶縁膜として、TEOS酸化膜を例示したが、これに限定されるものではない。

【 0 0 7 9 】

また、本実施の形態2では、半導体基板SUBの裏面に形成された裏面絶縁膜の除去については説明していないが、前述の実施の形態1と同様に行うことができる。すなわち、光信号用伝送線路部の矩形光導波路POおよび光位相シフタPS、並びに光変調部の光変調器PCを形成した後で、かつ、SOIウェハの静電チャックへの張り付きが生じやすい半導体製造装置を用いる工程、例えばプラズマエッチング装置を用いた第1層目の配線M1を加工する工程の前までに、裏面絶縁膜を除去すればよい。

【 0 0 8 0 】

このように、本実施の形態2によれば、前述の実施の形態1とほぼ同様の効果を得ることができる。

【 0 0 8 1 】

(実施の形態3)

本実施の形態3によるシリコンフォトリソ技術を用いた半導体装置の構造について、

10

20

30

40

50

図10を用いて説明する。図10は、本実施の形態3による半導体装置の要部断面図である。

【0082】

本実施の形態3が前述の実施の形態1と相違する点は、光信号用伝送線路部の矩形光導波路POおよび光位相シフタPS、並びに光変調部の光変調器PCを覆う第1層間絶縁膜ID1bである。すなわち、前述の実施の形態1では、1層の絶縁膜からなる第1層間絶縁膜ID1を用いたが、本実施の形態3では、少なくとも2層の絶縁膜からなる第1層間絶縁膜ID1bを用いる。

【0083】

本実施の形態3による半導体装置は、第1層間絶縁膜以外の構成は、前述した実施の形態1による半導体装置とほぼ同様であるので、以下、相違点を中心に説明する。

【0084】

図10に示すように、光信号用伝送線路部の矩形光導波路POおよび光位相シフタPS、並びに光変調部の光変調器PCを覆う第1層間絶縁膜ID1bは、下層の絶縁膜Idと上層の絶縁膜Iuとから構成される。下層の絶縁膜Idは、絶縁膜CL上に形成された半導体層SLを覆うように形成されている。下層の絶縁膜Idの厚さは、例えば1 μ m程度である。

【0085】

そして、この下層の絶縁膜Idと絶縁膜CLに連続して、複数の溝TRが形成されている。溝TRの深さは、1 μ m以上であるが、溝TRは、絶縁膜CLを貫通しておらず、半導体基板SUBには達していない。溝TRの深さに応じて、絶縁膜CLの圧縮応力が制御できることから、溝TRの具体的な深さは、絶縁膜CLの厚さまたは溝TRの配置などから決定される。また、溝TRの幅は、1 μ m以下で、そのアスペクト比は、1以上であることが望ましい。しかし、溝TRの具体的な幅は、溝TRの深さとアスペクト比との関係およびパターンレイアウトの制約などから決定される。

【0086】

前述の実施の形態1と同様に、絶縁膜CLに複数の溝TRが形成されていること、およびSOIウェハの裏面に絶縁膜を形成していないことにより、静電チャックを備えた半導体製造装置を用いた場合でも、SOIウェハから電荷を逃がしやすくすることができる。従って、SOIウェハの裏面に電荷が溜まりにくくなり、静電チャックの残留吸着力が減少して、SOIウェハの静電チャックへの張り付きを回避することができる。

【0087】

上層の絶縁膜Iuは、下層の絶縁膜Idを覆うように形成されている。上層の絶縁膜Iuは、例えば平行平板型のプラズマCVD装置を用いて形成された酸化シリコン(SiO₂)からなり、その厚さは、例えば1 μ m以上である。下層の絶縁膜Idの厚さと上層の絶縁膜Iuの厚さとの合計の厚さが、例えば2 μ m以上となるように、これらの厚さは設定される。絶縁膜CLおよび下層の絶縁膜Idに形成された溝TRのアスペクト比は1以上であるので、溝TRの内部を上層の絶縁膜Iuで埋め込むことができる。ところで、溝TRの内部は、上層の絶縁膜Iuで完全に埋め込むことができず、溝TRの内部に空隙VOが形成される場合がある。しかし、溝TRのアスペクト比を1以上としているので、空隙VOが形成されたとしても、溝TRの上部は上層の絶縁膜Iuによって完全に塞ぐことができ、上層の絶縁膜Iuの上面まで空隙VOは形成されない。

【0088】

また、この空隙VOは、絶縁膜CLに形成された溝TRの内部に形成されていることが必要となる。空隙VOが、絶縁膜CLに形成された溝TRの内部に形成されることにより、絶縁膜CLの圧縮応力を緩和することができるからである。

【0089】

前述の実施の形態1では、レジストマスクを用いたドライエッチングにより絶縁膜CLに複数の溝TRを形成するが、その後、例えばアッシング処理によるレジストマスクの除去および洗浄処理を行う。この際、半導体層SLの表面もアッシング処理および洗浄処理

10

20

30

40

50

が行われるため、半導体層 S L の露出する表面が粗くなり、光学特性が劣化する懸念がある。

【 0 0 9 0 】

しかし、本実施の形態 3 では、レジストマスクを用いたドライエッチングにより絶縁膜 C L および下層の絶縁膜 I d に複数の溝 T R を形成するが、この際、半導体層 S L の表面は、下層の絶縁膜 I d により覆われているので、例えばアッシング処理および洗浄処理が行われても、半導体層 S L の表面が粗くなることなく、光学特性の劣化は生じない。

【 0 0 9 1 】

なお、本実施の形態 3 では、上層の絶縁膜 I u は、プラズマ C V D 法により形成される酸化シリコン (S i O ₂) からなるとしたが、これに限定されるものではない。例えば前

10

【 0 0 9 2 】

また、本実施の形態 3 では、半導体基板 S U B の裏面に形成された裏面絶縁膜の除去については説明していないが、前述の実施の形態 1 と同様に行うことができる。すなわち、光信号用伝送線路部の矩形光導波路 P O および光位相シフタ P S 、並びに光変調部の光変調器 P C を形成した後で、かつ、S O I ウェハの静電チャックへの張り付きが生じやすい半導体製造装置を用いる工程、例えばプラズマエッチング装置を用いた第 1 層目の配線 M 1 を加工する工程の前までに、裏面絶縁膜を除去すればよい。

【 0 0 9 3 】

このように、本実施の形態 3 によれば、前述の実施の形態 1 および 2 とほぼ同様の効果を得ることができる。さらに、これに加えて、半導体装置の製造過程において、半導体層 S L の表面が粗くなるのを回避することができるので、半導体装置の光学特性の劣化を抑えることができる。

20

【 0 0 9 4 】

(実施の形態 4)

本実施の形態 4 によるシリコンフォトニクス技術を用いた半導体装置の構造について、図 1 1 ~ 図 1 4 を用いて説明する。図 1 1 は、本実施の形態 4 による半導体装置の要部平面図である。図 1 2 は、本実施の形態 4 による半導体装置の変形例 1 の要部平面図である。図 1 3 は、本実施の形態 4 による半導体装置の変形例 2 の要部平面図である。図 1 4 は、本実施の形態 4 による半導体装置の変形例 3 の要部平面図である。なお、図 1 1 ~ 図 1 4 では、複数の溝の配置が明確になるとと思われるため、S O I ウェハに形成される半導体チップを拡大して示している。

30

【 0 0 9 5 】

前述の実施の形態 1 、 2 および 3 では、溝 T R は、半導体チップ内の光信号用伝送線路部および光変調部に形成されている。すなわち、平面視において、矩形光導波路 P O 、光位相シフタ P S および光変調器 P C を構成する半導体層 S L とは重ならず、その半導体層 S L から離間して、その半導体層 S L の両側に形成されている。

【 0 0 9 6 】

しかし、溝 T R は、半導体チップ内のみでなく、スクライプ領域 (スクライプライン、ダイシング領域とも言う。) にも形成することができる。また、複数の溝 T R の配置も種々変更することができる。スクライプ領域は、S O I ウェハから個々の半導体チップに切り分けるために、隣り合う半導体チップ間に設けられた領域であり、例えば 1 0 0 μ m 以下の幅を有する。

40

【 0 0 9 7 】

図 1 1 に示すように、平面視において、S O I ウェハ S W の主面に X 方向、および X 方向と直交する Y 方向に延在して形成されたスクライプ領域 S R に沿って、線状の溝 T R が形成されている。溝 T R は、線状に限定されるものではなく、例えば図 1 2 に示すように、平面視において、一定の間隔で複数の溝 T R を形成した、破線状の溝 T R であってもよい。

50

【 0 0 9 8 】

また、図 1 3 に示すように、平面視において、S O I ウェハ S W に形成されたスクライプ領域 S R に沿って、破線状の溝 T R を形成し、さらに、半導体チップ S C 内に、破線状の溝 T R を形成してもよい。

【 0 0 9 9 】

また、図 1 4 に示すように、平面視において、個々の半導体チップの外周を囲むように、溝 T R をスクライプ領域 S R に形成してもよい。この場合は、隣り合う半導体チップの間のスクライプ領域 S R には、2 つの溝 T R が並行して形成される。

【 0 1 0 0 】

なお、ここでの説明は省略したが、本実施の形態 4 による溝 T R の断面形状は、前述の 10
実施の形態 1、2 または 3 とほぼ同様である。

【 0 1 0 1 】

このように、本実施の形態 4 によれば、溝 T R をスクライプ領域 S R に形成しても、前述の実施の形態 1、2 および 3 とほぼ同様の効果を得ることができる。

【 0 1 0 2 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 1 0 3 】

例えば、静電チャックを備える半導体製造装置として、プラズマエッチング装置および 20
プラズマ C V D 装置を例示したが、これに限定されるものではない。例えばイオン注入装置など、静電チャックを備えるいかなる半導体製造装置を用いる場合にも適用することができる。

【 符号の説明 】

【 0 1 0 4 】

C L 絶縁膜 (B O X 層、下層クラッド層)

C T 1 接続孔 (コンタクト・ホール)

C T 2 接続孔 (ピア・ホール)

I d 下層の絶縁膜

I D 1 , I D 1 a , I D 1 b 第 1 層間絶縁膜 (上層クラッド層) 30

I D 2 第 2 層間絶縁膜

I u 上層の絶縁膜

M 1 第 1 層目の配線

M 2 第 2 層目の配線

M L 金属膜

N R 1 , N R 2 n 型の半導体

O T L 光信号用の伝送線路 (光信号線)

P C 光変調器

P L 1 第 1 プラグ (埋め込み電極、埋め込みコンタクト)

P L 2 第 2 プラグ (埋め込み電極、埋め込みコンタクト) 40

P O 矩形光導波路

P R 1 , P R 2 p 型の半導体

P S 光位相シフタ

R C L 裏面絶縁膜

R P 第 4 レジストマスク

S C 半導体チップ

S L 半導体層 (S O I 層)

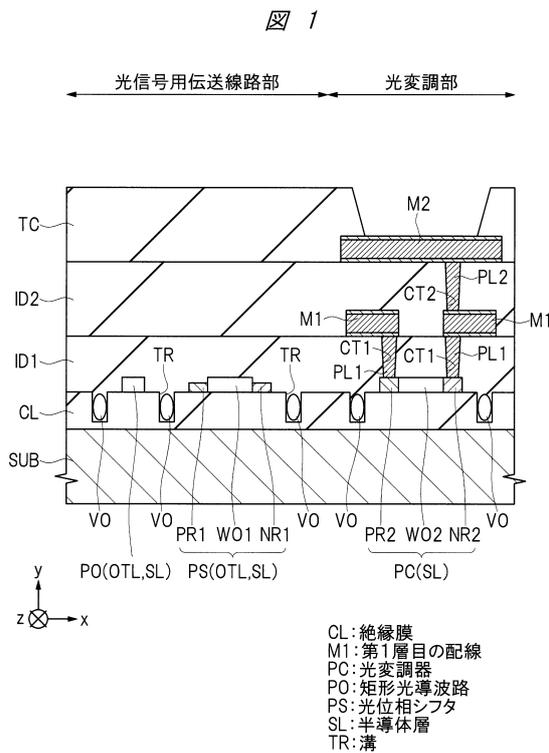
S R スクライプ領域

S U B 半導体基板

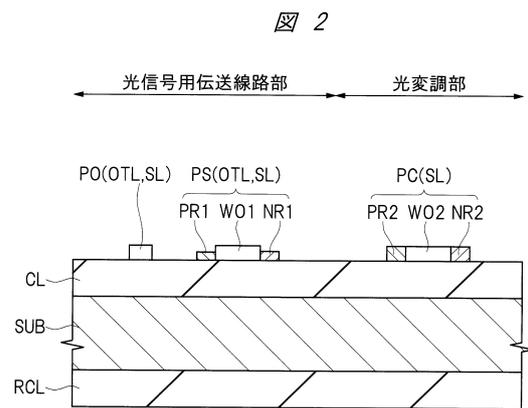
S W S O I ウェハ 50

TR 溝
 TC 保護膜
 VO 空隙 (ボイド)
 WO1, WO2 光導波路 (コア層)

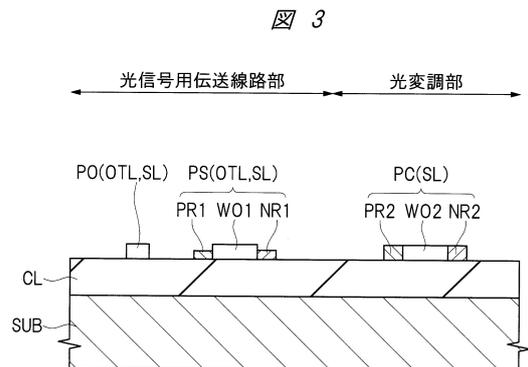
【図1】



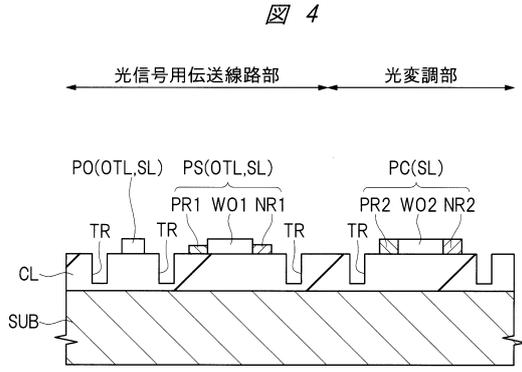
【図2】



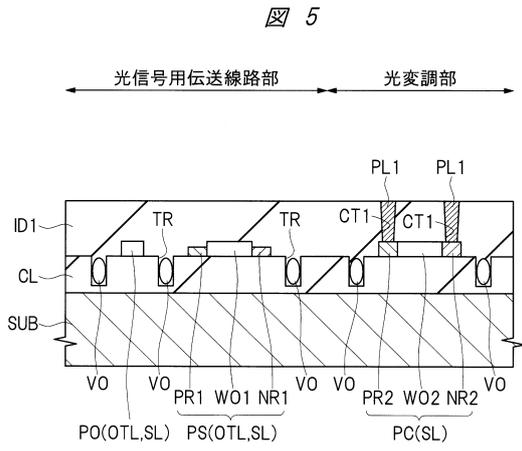
【図3】



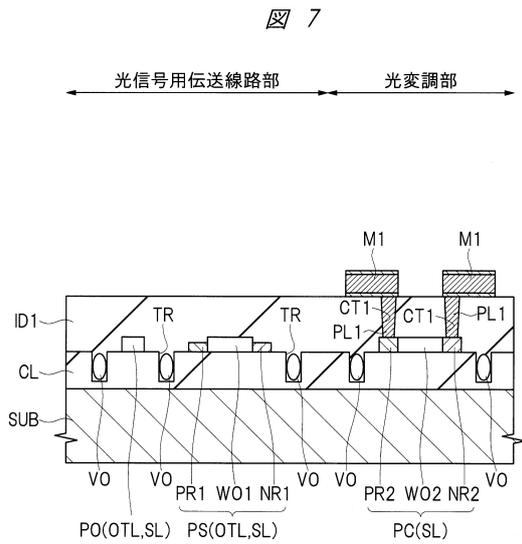
【図4】



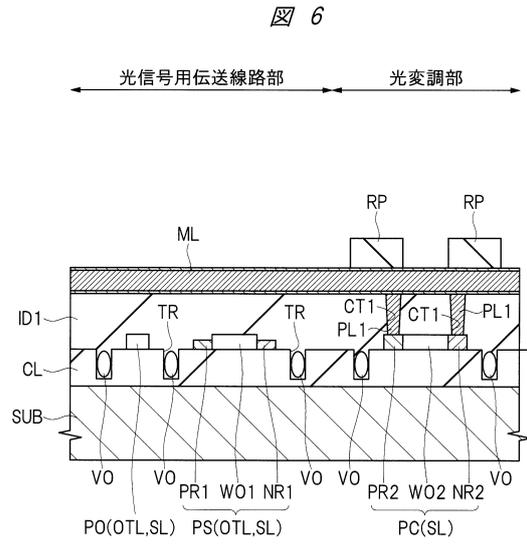
【図5】



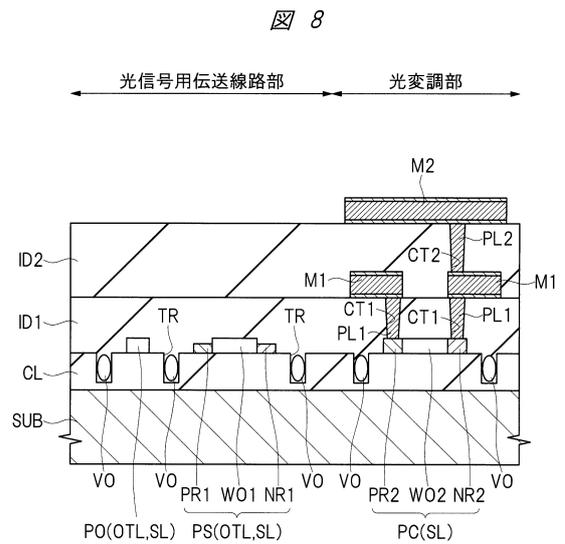
【図7】



【図6】

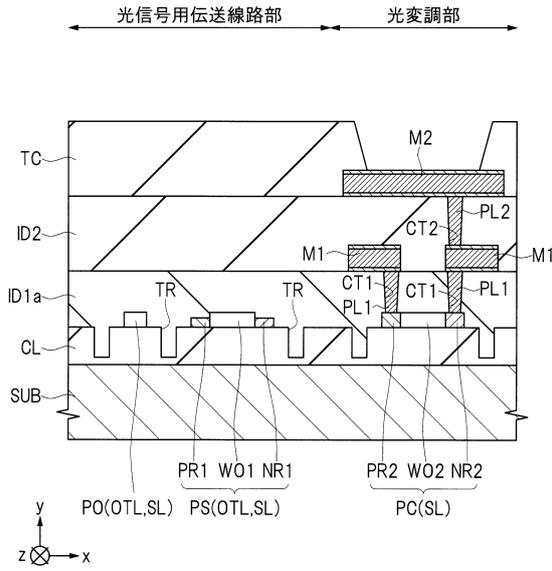


【図8】



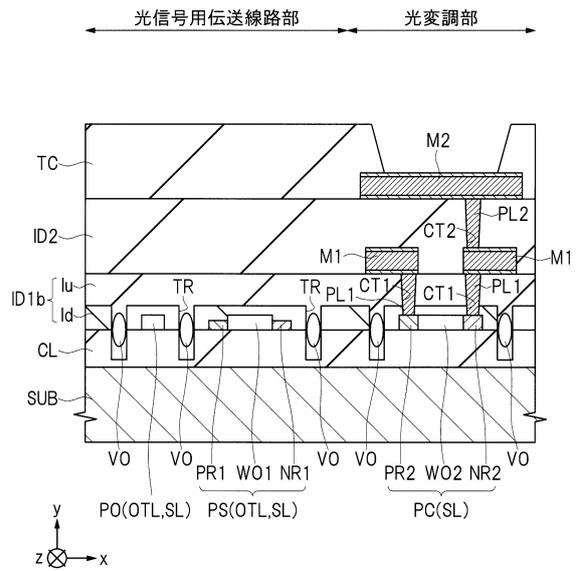
【図 9】

図 9



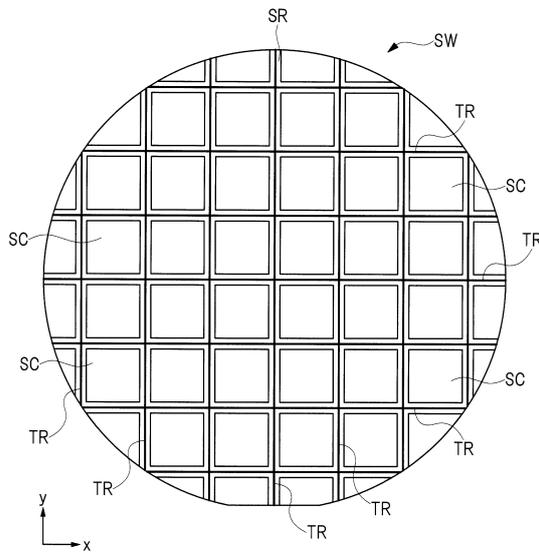
【図 10】

図 10



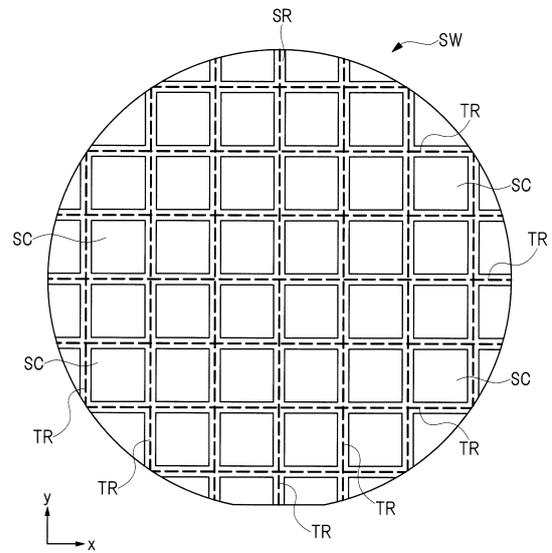
【図 11】

図 11

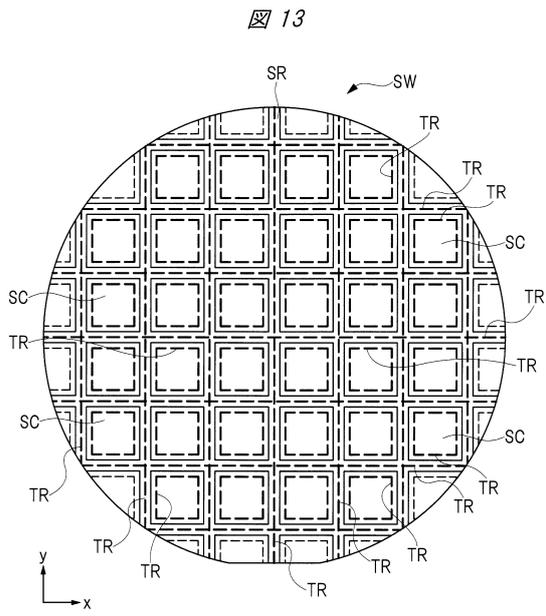


【図 12】

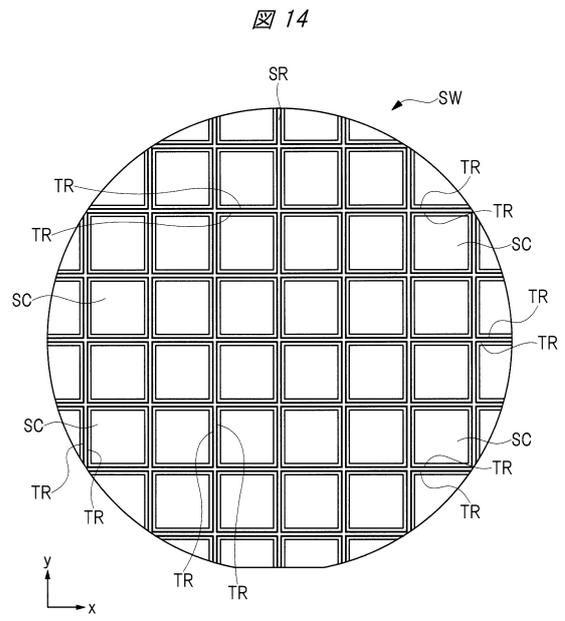
図 12



【図 13】



【図 14】



フロントページの続き

(72)発明者 國嶋 浩之

茨城県ひたちなか市堀口751番地 ルネサスセミコンダクタマニュファクチャリング株式会社
内

審査官 岸 智史

(56)参考文献 米国特許出願公開第2013/0233824 (US, A1)

特開2009-139474 (JP, A)

特開2015-025953 (JP, A)

特開2010-266731 (JP, A)

特開2007-165393 (JP, A)

特開2005-026404 (JP, A)

米国特許第05838870 (US, A)

米国特許出願公開第2013/0015546 (US, A1)

米国特許出願公開第2014/0264723 (US, A1)

米国特許出願公開第2014/0321802 (US, A1)

(58)調査した分野(Int.Cl., DB名)

G02B 6/12 - 6/14