



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202335292 A

(43) 公開日：中華民國 112 (2023) 年 09 月 01 日

(21) 申請案號：111142784

(22) 申請日：中華民國 111 (2022) 年 11 月 09 日

(51) Int. Cl. : H01L29/08 (2006.01)

H01L29/417 (2006.01)

H01L29/66 (2006.01)

H01L29/78 (2006.01)

(30) 優先權：2021/11/09 美國

63/277,178

(71) 申請人：新加坡商發明創新暨合作實驗室有限公司 (新加坡) INVENTION AND COLLABORATION LABORATORY PTE. LTD. (SG)

新加坡

(72) 發明人：盧超群 LU, CHAO-CHUN (TW)

(74) 代理人：吳豐任；戴俊彥；高銘良

申請實體審查：有 申請專利範圍項數：23 項 圖式數：30 共 67 頁

(54) 名稱

電晶體結構

(57) 摘要

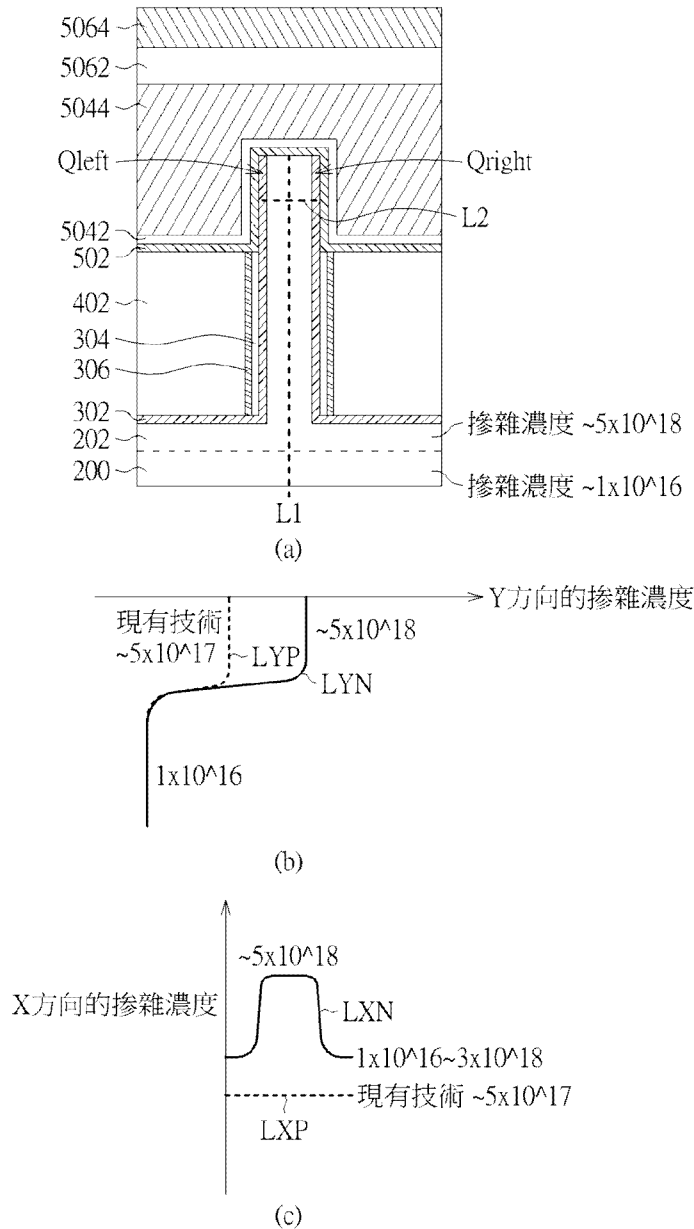
電晶體結構包含一基底、一隔離牆及一閘極區。該基底具有一鰭式結構；該隔離牆夾住該鰭式結構的側壁；該閘極區位於該鰭式結構和該隔離牆上方；該隔離牆用於防止該鰭式結構坍塌。

A transistor structure includes a substrate, an isolation wall, and a gate region. The substrate has a fin structure. The isolation wall clamps sidewalls of the fin structure. The gate region is above the fin structure and the isolation wall. The isolation wall is configured to prevent the fin structure from collapsing.

指定代表圖：

符號簡單說明：

- 200:p 型基底
- 202:p 型井
- 302、Qleft、Qright:半導體層
- 304:氧化間隔層
- 306:氮化間隔層
- 402:淺溝槽隔離
- 502:閘極介電質材料
- 5042:氮化鈦
- 5044:金屬
- 5062:氮化層-1
- 5064:硬光罩-氧化物層
- L1、L2:虛線
- LXP、LXN、LYP、LYN:濃度曲線



第13圖

【發明摘要】

【中文發明名稱】電晶體結構

【英文發明名稱】TRANSISTOR STRUCTURE

【中文】

電晶體結構包含一基底、一隔離牆及一閘極區。該基底具有一鰭式結構；該隔離牆夾住該鰭式結構的側壁；該閘極區位於該鰭式結構和該隔離牆上方；該隔離牆用於防止該鰭式結構坍塌。

【英文】

A transistor structure includes a substrate, an isolation wall, and a gate region. The substrate has a fin structure. The isolation wall clamps sidewalls of the fin structure. The gate region is above the fin structure and the isolation wall. The isolation wall is configured to prevent the fin structure from collapsing.

【指定代表圖】第（ 13 ）圖。

【代表圖之符號簡單說明】

200	p型基底
202	p型井
302、Qleft、Qright	半導體層
304	氧化間隔層
306	氮化間隔層
402	淺溝槽隔離
502	閘極介電質材料

5042	氮化鈦
5044	金屬
5062	氮化層-1
5064	硬光罩-氧化物層
L1、L2	虛線
LXP、LXN、LYP、LYN	濃度曲線

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 電晶體結構

【英文發明名稱】 TRANSISTOR STRUCTURE

【技術領域】

【0001】 本發明是有關於一種電晶體結構，尤指一種電晶體結構，其可形成一堅固牆以夾住一主動區或一鰭式結構，特別是該鰭式結構的側壁。如此將使得一源極(一汲極)的邊緣和一閘極的邊緣之間的相對位置或距離是可控制的，將降低該源極(該汲極)的阻值，以及將使得該源極(該汲極)的的大部分都被絕緣材料隔離。

【先前技術】

【0002】 第1圖是說明現有技術中的場效電晶體(例如N型金氧半(N-type metal-oxide-semiconductor, NMOS)電晶體)的示意圖，其中該場效電晶體可為具有鰭式結構的一鰭式場效電晶體(fin field-effect transistor, FinFET)或具有三維鰭式結構的一三閘極(Tri-gate)金氧半場效電晶體。如第1圖所示，該N型金氧半電晶體的閘極結構5形成在一三維矽表面上方，閘極結構5包含在一絕緣體(例如氧化物，氧化物/氮化物，或一些高介電值材料等)上的一些導電材料(例如金屬，多晶矽，或多晶矽化物(polyside)等)，以及閘極結構5的側壁通過絕緣材料(例如氧化物，或氧化物/氮化物，或其他介電質)與其他電晶體隔離。該N型金氧半電晶體的源極11和汲極12是通過離子植入加上熱退火技術(thermal annealing technique)將高濃度n型(n+)摻雜植入一p型基底(或p井)中形成，從而導致該p型基底(或p井)中形成兩個分離的n+/p界面(n+/p junction)。

第1頁，共26頁(發明說明書)

【0003】 此外，爲了減少重摻雜n+/p接面前方的碰撞游離(impact ionization)和熱載子注入，通常通過離子注入加上熱退火技術在源極11和汲極12前方形成輕摻雜汲極(n- lightly doped-drains(LDDs))13。然而如第1圖所示，這種離子注入加上熱退火技術經常導致輕摻雜汲極13滲透到閘極結構5下面的3D主動區的部分。因此，輕摻雜汲極13之間的有效通道14的長度不可避免地被縮短。

【0004】 另一方面，製程技術的進步正持續通過在水平和垂直方向上快速地縮小該N型金氧半電晶體的幾何尺寸(例如稱爲 λ)的最小特徵尺寸已從28奈米(nm)縮小到5nm或3nm)。但由於該鱗式場效電晶體(FinFET)或該三閘極(Tri-gate)金氧半場效電晶體的幾何尺寸縮小，引發下列問題或使下列問題變得更糟：

【0005】 (1)因爲必須同時縮小在水平和垂直方向上的尺寸，所以僅利用傳統的閘極、間隔層和離子植入形成的自對準方法越來越難將輕摻雜汲極13的接面邊緣(或源極11/汲極12的邊緣)與閘極結構5的邊緣對準在完美的位置。另外，用於消除離子植入損傷的熱退火技術必須依靠高溫處理技術(例如使用各種能源或其他熱製程的快速熱退火方法)。由此衍生的一個問題是儘管閘極誘導汲極洩漏(gate-induced drain leakage, GIDL)電流應該被最小化以減少漏電流，但閘極誘導汲極洩漏電流的產生很難控制。由此衍生的另一個問題是因爲有效通道14的長度很難被控制，所以短通道效應(short channel effect, SCE)很難被最小化。此外，源極11/汲極12的邊緣與閘極結構5的邊緣之間的相對位置也很難調整以控制閘極誘導汲極洩漏(gate-induced drain leakage, GIDL)電流。

【0006】 (2)此外，由於形成輕摻雜汲極13(或N型金氧半電晶體中的n+/p界面或P型金氧半電晶體中的p+/n界面)的離子植入類似於轟擊以便將離子從矽表面的頂部直接向下射入到基底，所以從源極11和汲極12到有效通道14和基底-本體(substrate-body region)很難創建具有較低缺陷的均勻材料介面(因為摻雜濃度在垂直方向上的分佈是不均勻的，例如在垂直方向上是從摻雜濃度較高的頂面到摻雜濃度較低的界面)。

【0007】 (3)此外，當水平方向上的尺寸縮小到7nm、5nm或3nm時，N型金氧半電晶體的鰭式結構的高度(垂直尺寸，例如60~300nm)遠大於N型金氧半電晶體的鰭式結構的寬度(水平尺寸，例如3~7nm)，從而使N型金氧半電晶體的鰭式結構在接下來的製程中(例如形成源極11/汲極12、形成閘極結構5等)很脆弱甚至坍塌。

【0008】 因此，本發明提供了一種用於解決上述(1)-(3)的問題的電晶體結構。

【發明內容】

【0009】 本發明的一實施例提供一種電晶體結構。該電晶體結構包含一基底、一隔離牆及一閘極區。該基底具有一鰭式結構；該隔離牆夾住該鰭式結構的側壁；該閘極區位於該鰭式結構和該隔離牆上方；該隔離牆用於防止該鰭式結構坍塌。

【0010】 在本發明的一實施例中，該隔離牆夾住了該鰭式結構的四個側壁。

【0011】 在本發明的一實施例中，該電晶體結構另包含一淺溝槽隔離(shallow

trench isolation, STI)區，其中該淺溝槽隔離區圍繞該隔離牆。

【0012】 在本發明的一實施例中，該電晶體結構另包含一片狀通道層(sheet-channel layer, SCL)，其中該片狀通道層設置在該鰭式結構的側壁和該隔離牆之間，以及該片狀通道層是通過一選擇性外延生長(selective epitaxy growth, SEG)技術形成。

【0013】 在本發明的一實施例中，該閘極區包含覆蓋在該鰭式結構上的一閘極介電層，覆蓋在該閘極介電層上的一閘極導電層，以及覆蓋在該閘極導電層上的一帽蓋層。

【0014】 在本發明的一實施例中，該隔離牆用於防止該鰭式結構在形成該閘極電介質層、該閘極導電層和該帽蓋層期間坍塌。

【0015】 在本發明的一實施例中，該電晶體結構另包含一間隔層，其中該間隔層位在該閘極區的一側壁上。

【0016】 在本發明的一實施例中，該電晶體結構另包含一第一導電區，其中該第一導電區與該鰭式結構相鄰，以及該第一導電區獨立於該基底。

【0017】 在本發明的一實施例中，第一導電區形成於該基底的一原始水平表面下的一第一凹槽中。

【0018】 在本發明的一實施例中，該隔離牆用於防止該鰭式結構在形成該第

一凹槽和該第一導電區期間坍塌。

【0019】 在本發明的一實施例中，該第一凹槽是通過以下方式形成(1)蝕刻該基底以形成一臨時凹槽，然後在該臨時凹槽上形成一熱氧化層，以及(2)蝕刻該熱氧化層。

【0020】 在本發明的一實施例中，該第一凹槽包含一側壁，該第一導電區包含一輕摻雜區和一重摻雜區，該輕摻雜區與該第一凹槽的該側壁相鄰，以及該重摻雜區與該輕摻雜區相鄰。

【0021】 在本發明的一實施例中，該第一凹槽的該側壁的位置取決於位在該閘極區的該側壁上的該間隔層的厚度和該熱氧化層的厚度。

【0022】 在本發明的一實施例中，該閘極區的一邊緣與該第一導電區的一邊緣之間的相對位置取決於位在該閘極區的該側壁上的該間隔層的厚度和該熱氧化層的厚度。

【0023】 本發明的另一實施例提供一種電晶體結構。該電晶體結構包含一基底、一閘極區和一第一導電區。該基底具有一鰭式結構；該閘極區位於該鰭式結構的上方；及該第一導電區與該鰭式結構相鄰；該第一導電區的至少二側面與一金屬區接觸。

【0024】 在本發明的一實施例中，該第一導電區的一頂面和一側壁與該金屬區接觸。

【0025】 在本發明的一實施例中，該第一導電區的一頂面、一底面和一側壁與該金屬區接觸。

【0026】 在本發明的一實施例中，該電晶體結構另包含一淺溝槽隔離(shallow trench isolation, STI)區，其中該淺溝槽隔離區圍繞該鰭式結構，以及該第一導電區被該淺溝槽隔離區限制。

【0027】 在本發明的一實施例中，該第一導電區沒有跨越該淺溝槽隔離區。

【0028】 本發明的另一實施例提供一種電晶體結構。該電晶體結構包含一基底、一閘極區和一第一導電區。該一基底具有一鰭式結構；該閘極區位於該鰭式結構的上方；及該第一導電區與該鰭式結構相鄰；該閘極區的底部低於該第一導電區的底部。

【0029】 在本發明的一實施例中，該電晶體結構另包含一淺溝槽隔離區，其中該淺溝槽隔離區圍繞該鰭式結構，以及位於該淺溝槽隔離區上的該閘極區的底部低於該第一導電區的底部超過10奈米(nm)。

【0030】 在本發明的一實施例中，該第一導電區的至少二側面與一金屬區接觸。

【0031】 在本發明的一實施例中，該電晶體結構另包含一淺溝槽隔離區，其中該淺溝槽隔離區圍繞該鰭式結構，第一導電區被淺溝槽隔離淺溝槽隔離區限

制，以及該第一導電區被該淺溝槽隔離區限制。

【圖式簡單說明】

【0032】

第1圖是說明現有技術中的場效電晶體的示意圖。

第2A圖是本發明的一實施例所公開的一種鰭式場效電晶體(fin field-effect transistor, FinFET)的製造方法的流程圖。

第2B、2C、2D圖是說明第2A圖的示意圖。

第3圖是說明長出襯墊氧化層，沉積出襯墊氮化層，以及形成溝槽的示意圖。

第4圖是說明形成半導體層，沉積氧化間隔層在半導體層之上，以及沉積氮化間隔層在氧化間隔層之上的示意圖。

第5圖是說明形成淺溝槽隔離的示意圖。

第6圖是說明定義橫跨主動區以及隔離區的閘極區的示意圖。

第7圖是說明形成閘極材料以及沉積複合帽層的示意圖。

第8圖是說明蝕刻回淺溝槽隔離以及移除襯墊氮化層的示意圖。

第9圖是說明蝕刻掉襯墊氧化層，蝕刻回淺溝槽隔離的部分，以及形成氧化物-2間隔層和氮化物-2間隔層的示意圖。

第10圖是說明蝕刻掉一些暴露的矽以為該鰭式場效電晶體的源極和汲極製作出淺溝槽的示意圖。

第11圖是說明利用熱氧化製程長出氧化物-3層的示意圖。

第12圖是說明蝕刻掉氧化物-3層以及利用該選擇性生長技術形成該鰭式場效電晶體的源極和汲極的示意圖。

第13圖是說明該鰭式場效電晶體的橫截面，以及對應該橫截面的Y方向的濃度曲線和X方向的濃度曲線的示意圖。

第14圖是說明在p型井上形成氧化間隔層以及在氧化間隔層上形成氮化間隔層的示意圖。

第15圖是說明本發明的另一實施例所公開的鰭式場效電晶體的示意圖。

第16A、16B圖是本發明的另一實施例所公開的一種鰭式場效電晶體的製造方法的流程圖。

第17圖是說明長出襯墊氧化層，沉積出襯墊氮化層，形成溝槽，以及形成淺溝槽隔離-氧化物-1層的示意圖。

第18圖是說明移除襯墊氧化層和襯墊氮化層的示意圖。

第19圖是說明形成高介電值介電層的示意圖。

第20圖是說明形成該閘極區，蝕刻掉該閘極區之外的高介電值介電層，熱生成方式長出熱氧化物-1層，以及形成氮化物-1間隔層和氧化物-2間隔層的示意圖。

第21圖是說明在淺溝槽隔離-氧化物-1層上沉積氧化層，然後蝕刻該氧化層以形成淺溝槽隔離-氧化物-2層的示意圖。

第22圖是說明蝕刻掉曝露的矽以形成用於該鰭式場效電晶體的源極和汲極的淺溝槽的示意圖。

第23圖是說明以熱生成方式長出氧化物-3層的示意圖。

第24圖是說明在氧化物-3B層上沉積氮化物-3層，然後蝕刻回氮化物-3層以形成矽基底局部隔離(localized isolation into silicon substrate, LISS)的示意圖。

第25、26、27、28、29圖是說明形成合併的半導體接面和金屬導體結構(merged semiconductor junction and metal conductor (MSMC)structure)的示意圖。

第30A圖是說明本發明的另一實施例所公開的合併的半導體接面和金屬導體結構的示意圖。

第30B圖是說明本發明的另一實施例所公開的合併的半導體接面和金屬導體結構的示意圖。

【實施方式】

【0033】 請參照第2A、2B、2C、2D、3、4、5、6、7、8、9、10、11、12、13圖，其中第2A圖是本發明的一實施例所公開的一種鰭式場效電晶體(fin field-effect transistor, FinFET)的製造方法的流程圖，且第2A圖中的該鰭式場效電晶體的製造方法可使該鰭式場效電晶體具有較低的閘極誘導汲極洩漏(gate-induced drain leakage, GIDL)電流和較低的短通道效應(short channel effect, SCE)，以及使該鰭式場效電晶體形成一堅固牆(solid wall，也就是請求項1中所述的隔離牆)以夾住該鰭式場效電晶體的主動區(active region)或窄的鰭式結構。該製造方法的詳細步驟如下：

【0034】 步驟10： 開始；

【0035】 步驟20： 在一p型井202上定義一主動區和形成一鰭式結構；

【0036】 步驟30： 在p型井202的原始水平表面(original horizontal surface)OHS上形成該鰭式場效電晶體的閘極區；

【0037】 步驟40： 形成該鰭式場效電晶體的源極和汲極；

【0038】 步驟50： 結束。

【0039】 請參照第2B、3、4圖，步驟20包含：

【0040】 步驟102： 形成一襯墊氧化層204和沉積一襯墊氮化層206；

【0041】 步驟104： 定義該鰭式場效電晶體的主動區，以及移除對應於該主動區外的原始水平表面OHS的部分矽材料以製造溝槽210和形成該鰭式結構；

【0042】 步驟106： 形成圍繞該主動區的一半導體層302(其中形成半導體層302是可選擇的，且半導體層302也稱為片狀通道層(sheet-channel layer, SCL))，

形成一氧化間隔層304和一氮化間隔層306，以及蝕刻回氧化間隔層304和氮化間隔層306。

【0043】 然後，請參照第2C、5、6、7圖，步驟30包含：

【0044】 步驟108：沉積一氧化層並使用化學機械研磨(chemical mechanical polishing, CMP)技術去除多餘的該氧化層以形成一淺溝槽隔離(STI)402；

【0045】 步驟110：定義一個橫跨該主動區和隔離區的閘極區，蝕刻掉對應該閘極區的襯墊氧化層204和襯墊氮化層206，以及蝕刻回對應該閘極區的淺溝槽隔離402；

【0046】 步驟112：在一凹槽404中形成一閘極介電質材料502以及沉積一閘極材料504，然後蝕刻回閘極材料504；

【0047】 步驟114：形成一複合帽層506且通過該化學機械研磨技術對複合帽層506進行拋光。

【0048】 請參照第2D、8、9、10、11、12、13圖，步驟40包含：

【0049】 步驟116：蝕刻回淺溝槽隔離402以及移除襯墊氮化層206；

【0050】 步驟118：蝕刻掉襯墊氧化層204以及蝕刻回淺溝槽隔離402；

【0051】 步驟120：在閘極材料504和複合帽層506的邊緣形成一氧化物-2間隔層802和一氮化物-2間隔層804；

【0052】 步驟122：蝕刻掉曝露的矽；

【0053】 步驟124：以熱生成方式長出一氧化物-3層1002；

【0054】 步驟126：蝕刻掉氧化物-3層1002，接著形成n型輕摻雜汲極(lightly doped drain, LDD)1102、1104，然後形成n+摻雜源極1106以及n+摻雜汲極1108。

【0055】 前述製造方法的詳細說明如下：從良好設計的摻雜p型井202開始，其中p型井202是設置在一p型基底200中(但在本發明的另一實施例中，沒有p型井202，所以是從p型基底200開始)。另外，本發明的一實施例中，p型井202的頂面從原始水平表面OHS算起約500nm厚，且p型井202的摻雜濃度(例如接近 5×10^{18} 摻雜物/cm³)具有比現有技術中最先進的鰭式場效電晶體所使用的摻雜濃度高，其中該最先進的鰭式場效電晶體具有更輕摻雜的摻雜基底(甚至包含穿透式(punch-through)佈植摻雜物的分佈)。另外，例如p型基底200具有接近 1×10^{16} 摻雜物/cm³的較低濃度。實際的摻雜濃度將由最終的大規模生產優化條件決定。施加於p型基底200的電壓(通常是一地電位，即0V)可被提供且橫跨在該鰭式場效電晶體的本體的大部分上，而不會造成該鰭式場效電晶體的鰭式結構的本體大部分空乏(其中該鰭式結構的本體大部分空乏的行為就像一個很難控制或穩定的電壓漂浮本體，所以相較於具有電壓穩定本體的半導體電晶體，該電壓漂浮本體變得不太需要)。

【0056】 在步驟102中，如第3(a)圖所示，在原始水平表面OHS上長出具有良好設計厚度的襯墊氧化層204，以及在襯墊氧化層204的頂面沉積出具有良好設計厚度的襯墊氮化層206。

【0057】 在步驟104中，如第3(a)圖所示，利用一光刻光罩技術(photolithographic masking technique)通過一各向異性蝕刻技術(anisotropic etching technique)以定義該鰭式場效電晶體的該主動區，其中該各向異性蝕刻技術移除對應於該主動區外的原始水平表面OHS的部分矽材料以製造溝槽210(例如大約300nm深)，其中溝槽210是用於未來淺溝槽隔離(shallow trench isolation, STI)的需求。如此，該鰭式場效電晶體的鰭式結構被創造出來。另外，第3(b)圖

是對應第3(a)圖的俯視圖，其中第3(a)圖是沿第3(b)圖所示的X方向的切割線的橫截面圖。

【0058】 在步驟106中，如第4(a)圖所示，利用一選擇性生長技術(例如一選擇性外延生長(selective epitaxial growth, SEG)技術)以在曝露的矽表面(該鰭式結構的兩側壁以及溝槽210底部區域的表面)上長出半導體層302(也稱為片狀通道層(sheet-channel layer, SCL)，以及半導體層302可以是具有約為1至2nm厚度的整片p型摻雜矽且為了詳細的元件設計而能良好地調整)。在本發明的另一實施例中，形成該片狀通道層(sheet-channel layer, SCL)是可選擇的。沉積氧化間隔層304在半導體層302之上以及沉積氮化間隔層306在氧化間隔層304之上，然後使用該各向異性蝕刻技術蝕刻回氧化間隔層304和氮化間隔層306以使氧化間隔層304和氮化間隔層306的頂面和原始水平表面OHS平齊，其中氧化間隔層304和氮化間隔層306是在該鰭式場效電晶體的主動區之外。如此，這裡本發明的重點在於氧化間隔層304和氮化間隔層306形成該堅固牆以夾住該鰭式場效電晶體的該主動區或該鰭式結構，特別是該鰭式結構的側壁。該堅固牆可以是單層結構或複合層結構以防止該鰭式結構在形成該鰭式場效電晶體的源極和汲極或該鰭式場效電晶體的閘極區期間坍塌。

【0059】 另外，本發明的另一重點在於半導體層302將用於該鰭式場效電晶體的通道(該通道將變成一空乏區直到被完全反轉為一導通通道，其中該導通通道取決於施加至該鰭式場效電晶體的閘極區的一閘極電壓如何施加)。因此，半導體層302的摻雜濃度將影響該鰭式場效電晶體的臨界值電壓，並在反轉作用下形成帶有電子載子的主要導電層以連接該鰭式場效電晶體的n型源極和n型汲極。由於半導體層302和該鰭式場效電晶體的本體是分開形成，所以最理想的設計是

半導體層302具有適當的比該鰭式結構的本體低的摻雜濃度(例如 1×10^{16} 摻雜物/cm³至 3×10^{18} 摻雜物/cm³)。這樣就能使該通道從關閉到開啟(分別對應該通道的空乏和反轉)大部分發生在半導體層302內部,且由於該鰭式場效電晶體的本體的電壓條件比較穩定,所以半導體層302受到的影響比較小。另外,當該鰭式結構的鰭由於特徵尺寸(也就是線路的尺寸)在水平方向上繼續縮小而變得更薄和更高時,半導體層302可加強該鰭式結構的鰭的機械穩定性。雖然較高的鰭式結構可以增加元件的寬度(以補償由於該鰭式結構變窄而產生的不良通道碰撞所導致的載子遷移率的降低),但是較高且窄的鰭式結構可能會在實體上崩塌。另外,第4(b)圖是對應第4(a)圖的俯視圖,其中第4(a)圖是沿第4(b)圖所示的X方向的切割線的橫截面圖。

【0060】 在步驟108中,如第5(a)圖所示,沉積厚的該氧化層使其完全填滿溝槽210且使用該化學機械研磨(CMP)技術去除多餘的該氧化層以形成淺溝槽隔離402,其中淺溝槽隔離402的頂面與襯墊氮化層206的頂面平齊。再次,淺溝槽隔離402進一步包含或夾住該鰭式場效電晶體的該主動區或該鰭式結構,特別是該鰭式結構的側壁以防止該鰭式結構在形成該鰭式場效電晶體的源極和汲極或該鰭式場效電晶體的閘極區期間坍塌。另外,第5(b)圖是對應第5(a)圖的俯視圖,其中第5(a)圖是沿第5(b)圖所示的X方向的切割線的橫截面圖。

【0061】 在步驟110中,如第6(a)圖所示,然後利用該光刻光罩技術定義橫跨該主動區和該隔離區的閘極區以使對應該閘極區的襯墊氧化層204和襯墊氮化層206被除去以形成凹槽404。另外,對應該閘極區的淺溝槽隔離402也被除去一定量(例如40~80nm深)以在該鰭式結構的表面和蝕刻的淺溝槽隔離區之間形成對應該閘極區的一台階結構。另外,對應該閘極區的氧化間隔層304和氮化間隔

層306也被移除。如此，半導體層302的上方部份被曝露出來，以及為該鳍式場效電晶體的閘極區提供光滑的線邊緣粗糙度。另外，第6(b)圖是對應第6(a)圖的俯視圖，其中第6(a)圖是沿第6(b)圖所示的X方向的切割線的橫截面圖。

【0062】 在步驟112中，如第7(a)圖所示，在凹槽404中(也在該台階結構中)形成閘極介電質材料502(例如複合材料或氧化物)，以及沉積閘極材料504(例如金屬(如鎢)5044和氮化鈦5042)在閘極介電質材料502之上。然後用該化學機械研磨技術對閘極材料504進行拋光以使閘極材料504的頂面與剩餘的襯墊氮化層206的頂面平齊。接著蝕刻回閘極材料504以使閘極材料504的頂面低於剩餘的襯墊氮化層206的頂面。如此，形成一三閘極(tri-gate)結構。

【0063】 在步驟114中，如第7(a)圖所示，然後將由氮化層-1 5062和硬光罩-氧化物層5064組成的複合帽層506沈積到閘極材料504頂面上的凹槽404中，其中複合帽層506用於保護閘極材料504。然後通過該化學機械研磨技術對複合帽層506進行拋光以使複合帽層506的頂面與襯墊氮化層206的頂面平齊。另外，第7(b)圖是對應第7(a)圖的俯視圖，其中第7(a)圖是沿第7(b)圖所示的X方向的切割線的橫截面圖。

【0064】 在步驟116中，如第8(a)圖所示，蝕刻回淺溝槽隔離402以及移除襯墊氮化層206以使淺溝槽隔離402的頂面與襯墊氮化層204的頂面平齊。另外，第8(b)圖是對應第8(a)圖的俯視圖，其中第8(a)圖是沿第8(b)圖所示的X方向的切割線的橫截面圖。

【0065】 到步驟116為止，兩個半導體層302(也稱為該片狀通道層(sheet
第 14 頁，共 26 頁(發明說明書)

channel layer, SCL))已經在該鰭式結構的兩側壁上形成(其中兩個半導體層302分別被命名為Qleft、Qright)，但該鰭式結構的頂面沒有該片狀通道層，所以該鰭式場效電晶體中具有較高摻雜濃度的上層(Qtop)的臨界電壓可能比該鰭式場效電晶體中兩個側壁的臨界電壓高。

【0066】 在步驟118中，如第9(a)圖所示，蝕刻掉襯墊氧化層204以及蝕刻回淺溝槽隔離402的部分。

【0067】 在步驟120中，如第9(a)圖所示，然後在閘極材料504和複合帽層506的邊緣沉積一氧化物-2層以形成氧化物-2間隔層802以及沉積一氮化物-2層以形成氮化物-2間隔層804。另外，第9(b)圖是對應第9(a)圖的俯視圖，其中第9(a)圖是沿第9(b)圖所示的X方向的切割線的橫截面圖。

【0068】 在本發明的另一實施例中，移除襯墊氮化層206並保留淺溝槽隔離402，使得淺溝槽隔離402仍然圍繞該鰭式結構。然後蝕刻掉襯墊氧化層204以及淺溝槽隔離402的部分，從而使剩餘的淺溝槽隔離402仍有高於原始水平表面OHS的頂面(如第9(c)所示)。如此，該鰭式結構被剩餘的淺溝槽隔離402所圍繞，其中剩餘的淺溝槽隔離402的頂面高於原始水平表面OHS。

【0069】 在步驟122中，如第10(a)圖所示，然後蝕刻掉一些暴露的矽以為該鰭式場效電晶體的源極和汲極製作出淺溝槽902(例如約50nm深)。另外，第10(b)圖是對應第10(a)圖的俯視圖，其中第10(a)圖是沿第10(b)圖所示的X方向的切割線的橫截面圖。第10(c)圖是在第9(c)圖的結構基礎上，蝕刻掉一些暴露的矽以創造出淺溝槽902的另一個例子。

【0070】 在步驟124中，如第11(a)圖所示，利用一熱氧化製程(thermal oxidation process，稱為氧化物-3製程)長出氧化物-3層1002(包括穿透該鰭式場效電晶體的本體的垂直側壁的氧化物-3V層10022(假設具有陡峭的結晶方向(110))和在淺溝槽902底部的頂面上的氧化物-3B層10024)。因為淺溝槽902的一個側壁有由氧化物-2間隔層802和氮化物-2間隔層804組成的垂直複合材料，以及淺溝槽902的其他側壁則是靠著氧化間隔層304和氮化間隔層306，所以該鰭式場效電晶體的源極/汲極的寬度不會真正受到該熱氧化製程的影響。另外，氧化物-3V層10022和氧化物-3B層10024出現在第11圖和後續圖中的厚度僅是用以說明本發明，且氧化物-3V層9022和氧化物-3B層9024的幾何形狀與那些圖中所示的淺溝槽隔離402的尺寸並不成比例。例如，氧化物-3V層10022和氧化物-3B層10024的厚度約為20~30nm，但是淺溝槽隔離402的垂直高度約為200~250nm。

【0071】 另外，設計該氧化物-3製程非常重要以使氧化物-3V層10022的厚度可以在精確控制的熱氧化溫度、時間和生長速度下得到非常精確的控制。由於在定義明確的矽表面上的該熱氧化製程應該導致氧化物-3V層10022厚度的40%被移除，所以在該鰭式場效電晶體本體的垂直壁上暴露的矽表面(110)的厚度和氧化物-3V層10022其餘60%的厚度會被視為該鰭式場效電晶體的本體的垂直壁外的附加物(因為氧化物-3V層10022上這種40%和60%的分佈的重要性將在下文中進一步闡明，所以在第11圖中，氧化物-3V層10022上這種相對於氧化物-2間隔層802/氮化物-2間隔層804的40%和60%分佈將特別用虛線畫出)。另外，第11(b)圖是對應第11(a)圖的俯視圖，其中第11(a)圖是沿第11(b)圖所示的X方向的切割線的橫截面圖。第11(c)圖是在第10(c)圖的結構基礎上，該熱氧化製程的另一個例子。

【0072】 在步驟126中，如第12(a)圖所示，首先蝕刻掉氧化物-3層1002。然後利用該選擇性生長技術(例如該選擇性外延生長技術)以形成n型輕摻雜汲極1102、1104以及形成n+摻雜源極1106和n+摻雜汲極1108。至此，該鰭式場效電晶體的主要部分已經完成。另外，第12(b)圖是對應第12(a)圖的俯視圖，其中第12(a)圖是沿第12(b)圖所示的X方向的切割線的橫截面圖。第12(c)圖是在第11(c)圖的結構基礎上，該選擇性生長技術的另一個例子。因為該鰭式結構被剩餘的淺溝槽隔離402所圍繞且剩餘的淺溝槽隔離402的頂面高於原始水平表面OHS，所以在該源極(該汲極)的生長過程中，該源極(該汲極)將被剩餘的淺溝槽隔離402限制，而不會超過剩餘的淺溝槽隔離402。

【0073】 此外，值得注意的是，在本發明的一實施例中，在該淺溝槽隔離區(未顯示)上的該閘極區的底部可能比該源極/汲極的底部低約10~20nm。

【0074】 請參照第13圖，第13(a)圖是沿第12(b)圖所示的Y方向的切割線的橫截面圖。如第13(a)圖所示，可以清楚地看到Qleft和Qright都是選擇性外延生長的p型摻雜矽通道。第13(b)圖顯示Y方向的濃度曲線LYN和現有技術的Y方向的濃度曲線LYP，其中Y方向的濃度曲線LYN對應第13(a)圖所示的一虛線L1。同樣地，第13(c)圖顯示X方向的濃度曲線LXN和現有技術的X方向的濃度曲線LXP，其中 X方向的濃度曲線LXN對應第13(a)圖所示的一虛線L2。如第13(a)圖、第13(c)圖所示，Qleft和Qright的摻雜濃度(例如介於 1×10^{16} 摻雜物/cm³和 3×10^{18} 摻雜物/cm³之間)很明顯地低於該鰭式場效電晶體的鰭式結構本體的摻雜濃度(例如 5×10^{18} 摻雜物/cm³)。

【0075】 因此，本發明的主要的重點描述如下：因為該鰭式場效電晶體的汲極和源極都是由該選擇性外延生長技術形成(除了其摻入的n型摻雜物的濃度高於 Q_{left} 和 Q_{right} 摻入的n型摻雜物的濃度外)，所以該汲極與該通道之間和該源極與該通道之間的無縫接觸區都已分別被良好地創造出來。另外，因為形成該汲極和該源極的過程沒有用到離子佈植，所以不需要高溫退火來消除由於離子佈植時的重擊而造成的損壞。另外，該堅固牆(例如第4圖所示的氧化間隔層304和氮化間隔層306)夾住該主動區或窄的該鰭式結構，特別是該鰭式結構的側壁。該堅固牆可以是單層結構或複合層結構以防止該鰭式結構在形成該鰭式場效電晶體的源極和汲極或該鰭式場效電晶體的閘極區期間坍塌。另外，如第5圖所示的淺溝槽隔離402進一步包含或夾住該鰭式場效電晶體的該主動區或該鰭式結構，特別是該鰭式結構的側壁以防止該鰭式結構在形成該鰭式場效電晶體的源極和汲極或該鰭式場效電晶體的閘極區期間坍塌。如此，即使該鰭式結構的高度(例如60~300nm)遠大於該鰭式場效電晶體的該鰭式結構的寬度(例如3~7nm)，在後續的製程中(例如形成該鰭式場效電晶體的源極和汲極，形成該鰭式場效電晶體的閘極區等)，由該堅固牆保護的該鰭式結構也不太可能受到損害。如第9圖所示，本發明的另一個優點為因為形成在該閘極區(也就是閘極材料504和複合帽層506)的邊緣的氧化物-2間隔層802和氮化物-2間隔層804的厚度是可控制的，以及通過該熱氧化製程生成的氧化物-3V層10022和氧化物-3B層10024的厚度(如第11圖所示)也是可控制的，所以如第12圖所示，該源極(該汲極)的邊緣可和該閘極區的邊緣對齊或實質上對齊，特別是通過該選擇性外延生長技術形成的該源極和該汲極。如此，該源極(該汲極)的邊緣和該閘極區的邊緣之間的相對位置或距離也是可控制的，以及取決於在該閘極區的邊緣形成的間隔層的厚度和/或該氧化層(如第11圖所示的氧化物-3V層10022，雖然第12圖中的氧化物-3V層10022被移除)的厚度。因此，一有效通道長度 L_{eff} (如第12圖所示)可被

控制以致於閘極誘導汲極洩漏(gate-induced drain leakage, GIDL)電流問題將被改善。

【0076】 另外，如第14圖所示，在本發明的另一實施例中，並不需要在第4圖中通過該選擇性外延生長(selective epitaxial growth, SEG)技術所生成的半導體層302，但該堅固牆(如第4圖所示的氧化間隔層304和氮化間隔層306)仍須形成以夾住該主動區或該鰭式結構，特別是該鰭式結構的側壁。另外，第14(b)圖是對應第14(a)圖的俯視圖，其中第14(a)圖是沿第14(b)圖所示的X方向的切割線的橫截面圖。

【0077】 然後第5圖至第12圖的類似製程可在第14圖之後執行以形成第15圖所示的另一電晶體結構。再次，即使該另一電晶體結構的鰭式結構的高度(例如60~300nm)遠大於該鰭式結構的寬度(例如3~7nm)，在後續的製程中(例如形成該另一電晶體結構的源極和汲極，形成該另一電晶體結構的閘極區等)，由堅固牆保護的該鰭式結構也不太可能受到損害。另外，該源極(該汲極)的邊緣和該閘極區的邊緣之間的相對位置或距離是可控制的，以及取決於在該閘極區的邊緣形成的間隔層的厚度和/或氧化層(如第11圖所示的氧化物-3V層10022)的厚度。因此，有效通道長度 L_{eff} (如第12圖所示)可被控制以致於閘極誘導汲極洩漏(gate-induced drain leakage, GIDL)電流問題將被改善。第15(c)圖是說明該選擇性生長技術的另一個例子。因為該鰭式結構被剩餘的淺溝槽隔離402所圍繞且剩餘的淺溝槽隔離402的頂面高於原始水平表面OHS該鰭式結構，所以在該源極(該汲極)的生長過程中，該源極(該汲極)將被剩餘的淺溝槽隔離402限制，而不會超過剩餘的淺溝槽隔離402。

【0078】 請參照第16A、16B、17、18、19、20、21、22、23、24、25、26、27、28、29圖，其中第16A、16B圖是本發明的另一實施例所公開的一種鰭式場效電晶體(fin field-effect transistor, FinFET)的製造方法的流程圖，且第16A、16B圖中的該鰭式場效電晶體的製造方法可使該鰭式場效電晶體也具有較低的閘極誘導汲極洩漏(gate-induced drain leakage, GIDL)電流和較低的短通道效應(short channel effect, SCE)，以及使該鰭式場效電晶體形成一堅固牆以夾住該鰭式場效電晶體的主動區或窄的鰭式結構。該製造方法的詳細步驟如下：

【0079】 步驟1600：開始；

【0080】 步驟1602：在p型井202的基礎上，形成襯墊氧化層204和沉積襯墊氮化層206(如第17圖所示)；

【0081】 步驟1604：定義該鰭式場效電晶體的主動區，以及移除對應於該主動區外的原始水平表面OHS的部分矽材料以製造溝槽210(如第17圖所示)和形成一鰭式結構；

【0082】 步驟1606：沉積一氧化物-1層並使用化學機械研磨(chemical mechanical polishing, CMP)技術去除多餘的該氧化物-1層以形成一淺溝槽隔離-氧化物-1層1702(如第17圖所示)；

【0083】 步驟1608：移除襯墊氧化層204和襯墊氮化層206(如第18圖所示)；

【0084】 步驟1610：在原始水平表面OHS和淺溝槽隔離-氧化物-1層1702的頂面上形成一高介電值介電層1902(如第19圖所示)；

【0085】 步驟1612：定義一個橫跨該主動區和隔離區的閘極區，以及蝕刻掉該閘極區之外的高介電值介電層1902；

【0086】 步驟1614：形成該閘極區，例如在高介電值介電層1902上沉積一閘極材料2002(例如鎢)，然後形成由氮化層-1 5062和硬光罩-氧化物層5064組成的

複合帽層506(如第20圖所示)；

【0087】 步驟1618：以熱生成方式長出一熱氧化物-1層2003(可選擇的)；

【0088】 步驟1620：在熱氧化物-1層2003上沉積一氮化物-1層，然後蝕刻該氮化物-1層以形成一氮化物-1間隔層2004，以及在氮化物-1間隔層2004上沉積一氧化物-2層，然後蝕刻該氧化物-2層以形成一氧化物-2間隔層2006(如第20圖所示)；

【0089】 步驟1622：在淺溝槽隔離-氧化物-1層1702上沉積一氧化層，然後蝕刻該氧化層以形成淺溝槽隔離-氧化物-2層2102，以及顯示原始水平表面OHS(如第21圖所示)；

【0090】 步驟1624：蝕刻掉曝露的矽以形成用於該鰭式場效電晶體的源極和汲極的淺溝槽2202(如第22圖所示)；

【0091】 步驟1626：以熱生成方式在淺溝槽2202中長出一氧化物-3層2300，其中氧化物-3層2300由一氧化物-3V層2302和一氧化物-3B層2304組成(如第23圖所示)；

【0092】 步驟1628：在淺溝槽2202中，在氧化物-3B層2304上沉積一氮化物-3層2402(可選擇的)，然後蝕刻回氮化物-3層2402以形成一矽基底局部隔離(localized isolation into silicon substrate, LISS)(如第24圖所示)；

【0093】 步驟1630：在淺溝槽2202中，沉積一氮化鈦2502，然後在氮化鈦2502上沉積一金屬2504(例如鎢)(如第25圖所示)；

【0094】 步驟1632：蝕刻回氮化鈦2502和金屬2504(如第26圖所示)；

【0095】 步驟1634：蝕刻氧化物-3V層2302的部分以暴露矽側壁2702(如第27圖所示)；

【0096】 步驟1636：利用該選擇性外延生長(selective epitaxial growth, SEG)技術從矽側壁2702形成n型輕摻雜汲極2802，然後形成n+摻雜源極2804和n+摻雜

汲極2806(如第28圖所示)；

【0097】 步驟1638：沉積金屬2504(例如鎢)(如第29圖所示)；

【0098】 步驟1640：結束。

【0099】 步驟1602~1626可參照上述步驟102~126，所以在此不再贅述。另外，步驟1628~1638利用一合併的半導體接面和金屬導體結構(merged semiconductor junction and metal conductor (MSMC)structure)(公開於美國專利申請號16/991,044，申請日2020/08/12，在此全文引用)以在形成直接連接到該鰭式場效電晶體的p型井202的n+摻雜源極2804和n+摻雜汲極2806，所以在此也不再贅述

【0100】 如第29圖所示，再次看到(1)在第16A、16B圖的實施例中，該鰭式結構被該堅固牆保護，以及(2)該鰭式場效電晶體的n+摻雜源極2804(n+摻雜汲極2806)的邊緣和該鰭式場效電晶體的閘極區的邊緣之間的相對位置或距離是可控制的，以及取決於氧化物-3V層2302的厚度(及/或在該閘極區的邊緣形成的間隔層的厚度)。另外，如第29圖所示，通過在n+摻雜源極2804(n+摻雜汲極2806)形成合併的金屬半導體接面可降低n+摻雜源極2804(n+摻雜汲極2806)的阻值。另外，如第29圖所示，n+摻雜源極2804(n+摻雜汲極2806)的大部分都被包含氧化物-3B層2304及/或氮化物-3層2402所組成的底部結構的絕緣材料隔離，所以接面漏電流顯著地降低。

【0101】 如第30A圖所示，在本發明的另一實施例中，因為圍繞該鰭式結構的淺溝槽隔離-氧化物-2層2102的頂面高於該鰭式結構的頂面，所以在n+摻雜源極2804(n+摻雜汲極2806)的生長過程中，n+摻雜源極2804(n+摻雜汲極2806)將被淺溝槽隔離-氧化物-2層2102限制，而不會超過淺溝槽隔離-氧化物-2層2102。如第

第 22 頁，共 26 頁(發明說明書)

30A圖所示，金屬接觸插銷(metal contact plug)可直接沉積在淺溝槽隔離-氧化物-2層2102和該閘極區之間的孔洞中，而無需使用另一個接觸光罩來創造出該孔洞。另外，因為n+摻雜源極2804(n+摻雜汲極2806)的頂面、底面和側壁是直接接觸金屬(該金屬接觸插銷和金屬2504)，所以n+摻雜源極2804(n+摻雜汲極2806)的接觸電阻的阻值可以顯著降低。此外，值得注意的是，在本發明的一實施例中，在圍繞該鰭式結構的該淺溝槽隔離區(未顯示)上方的該閘極區的底部可能比該源極(該汲極)的底部低約10~20nm。在第30A圖中，該金屬(該金屬接觸插銷和金屬2504)圍繞或接觸n+摻雜汲極2806的頂面、底面和一個側壁。

【0102】 另外，如第30B圖所示，在本發明的另一實施例中，第30B和第30A圖的差異在於第30B圖省略了第25、26圖中所沉積的氮化鈦2502和金屬2504(例如鎢)，以及利用氮化物-3層2402的頂面做為參考基準以蝕刻氧化物-3V層2302的部分，從而暴露矽側壁2702；然後利用該選擇性生長技術形成n型輕摻雜汲極2802，然後形成n+摻雜源極2804和n+摻雜汲極2806，最後沉積金屬(例如鎢)以形成金屬接觸插銷(metal contact plug)。在第30B圖中，該金屬接觸插銷接觸n+摻雜汲極2806的頂面和一個側壁。

【0103】 綜上所述，本發明所提供的該鰭式場效電晶體具有下列優點：

【0104】 (1)該堅固牆是用來夾住該主動區或該鰭式結構，特別是該鰭式結構的側壁。如此，即使該鰭式結構的高度(例如60~300nm)遠大於該鰭式結構的寬度(例如3~7nm)，由該堅固牆保護的該鰭式結構不太可能受到損害。

【0105】 (2)該源極(該汲極)的邊緣和該閘極區的邊緣之間的相對位置或距

離是可控制的，以及取決於在該閘極區的邊緣形成的間隔層的厚度和/或該氧化層(如第11圖所示的氧化物-3V層10022或第23圖所示的氧化物-3V層2302)。

【0106】 (3)通過在該源極(該汲極)形成合併的金屬半導體界面(如第29、30A、30B圖所示)可降低該源極(該汲極)的阻值。

【0107】 (4)該源極(該汲極)的大部分都被絕緣材料隔離，其中該絕緣材料包括由該氧化物質-3B層和/或該氮化物-3層構成的底部結構(如第29圖所示)，所以界面漏電流顯著地降低。

【0108】 (5)因為圍繞該鰭式結構的淺溝槽隔離區的頂面高於該鰭式結構的頂面，所以在該源極(該汲極)的生長過程中，該源極(該汲極)將被該淺溝槽隔離區限制，而不會超過該淺溝槽隔離區(如第12(c)圖所示的淺溝槽隔離402以及如第30A圖所示的淺溝槽隔離-氧化物-2層2102)。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0109】

5	閘極結構
11	源極
12	汲極
13	輕摻雜汲極

14	有效通道
200	p型基底
202	p型井
204	襯墊氧化層
206	襯墊氮化層
210	溝槽
302、Qleft、Qright	半導體層
304	氧化間隔層
306	氮化間隔層
402	淺溝槽隔離
404	凹槽
502	閘極介電質材料
504、2002	閘極材料
5042、2502	氮化鈦
5044、2504	金屬
506	複合帽層
5062	氮化層-1
5064	硬光罩-氧化物層
802	氧化物-2間隔層
804	氮化物-2間隔層
902、2202	淺溝槽
1002、2300	氧化物-3層
10022、2302	氧化物-3V層
10024、2304	氧化物-3B層

1102、1104、2802	n型輕摻雜汲極
1106、2804	n+摻雜源極
1108、2806	n+摻雜汲極
1702	淺溝槽隔離-氧化物-1層
1902	高介電值介電層
2003	熱氧化物-1層
2004	氮化物-1間隔層
2006	氧化物-2間隔層
2102	淺溝槽隔離-氧化物-2層
2402	氮化物-3層
2702	矽側壁
L1、L2	虛線
LXP、LXN、LYP、LYN	濃度曲線
n+、n-	n型
OHS	原始水平表面
10、20、30、40、50、102~126、 1600~1640	步驟

【發明申請專利範圍】

【請求項1】 一種電晶體結構，包含：

- 一基底，具有一鰭式結構；
 - 一隔離牆，夾住該鰭式結構的側壁；及
 - 一閘極區，位於該鰭式結構和該隔離牆上方；
- 其中該隔離牆用於防止該鰭式結構坍塌。

【請求項2】 如請求項1所述的電晶體結構，其中該隔離牆夾住了該鰭式結構的四個側壁。

【請求項3】 如請求項2所述的電晶體結構，另包含：

- 一淺溝槽隔離(shallow trench isolation, STI)區，其中該淺溝槽隔離區圍繞該隔離牆。

【請求項4】 如請求項1所述的電晶體結構，另包含：

- 一片狀通道層(sheet-channel layer, SCL)，設置在該鰭式結構的側壁和該隔離牆之間，其中該片狀通道層是通過一選擇性外延生長(selective epitaxy growth, SEG)技術形成。

【請求項5】 如請求項1所述的電晶體結構，其中該閘極區包含覆蓋在該鰭式結構上的一閘極介電層，覆蓋在該閘極介電層上的一閘極導電層，以及覆蓋在該閘極導電層上的一帽蓋層。

【請求項6】 如請求項5所述的電晶體結構，其中該隔離牆用於防止該鰭式結

構在形成該閘極電介質層、該閘極導電層和該帽蓋層期間坍塌。

【請求項7】 如請求項1所述的電晶體結構，另包含：

一間隔層，位在該閘極區的一側壁上。

【請求項8】 如請求項7所述的電晶體結構，另包含：

一第一導電區，與該鰭式結構相鄰，其中該第一導電區獨立於該基底。

【請求項9】 如請求項8所述的電晶體結構，其中第一導電區形成於該基底的一

原始水平表面下的一第一凹槽中。

【請求項10】 如請求項9所述的電晶體結構，其中該隔離牆用於防止該鰭式結

構在形成該第一凹槽和該第一導電區期間坍塌。

【請求項11】 如請求項9所述的電晶體結構，其中該第一凹槽是通過以下方式

形成(1)蝕刻該基底以形成一臨時凹槽，然後在該臨時凹槽上形成一熱氧化層，以及(2)蝕刻該熱氧化層。

【請求項12】 如請求項11所述的電晶體結構，其中該第一凹槽包含一側壁，該

第一導電區包含一輕摻雜區和一重摻雜區，該輕摻雜區與該第一凹槽的該側壁相鄰，以及該重摻雜區與該輕摻雜區相鄰。

【請求項13】 如請求項11所述的電晶體結構，其中該第一凹槽的該側壁的位置

取決於位在該閘極區的該側壁上的該間隔層的厚度和該熱氧化層的厚度。

【請求項14】 如請求項11所述的電晶體結構，其中該閘極區的一邊緣與該第一導電區的一邊緣之間的相對位置取決於位在該閘極區的該側壁上的該間隔層的厚度和該熱氧化層的厚度。

【請求項15】 一種電晶體結構，包含：

一基底，具有一鰭式結構；

一閘極區，位於該鰭式結構的上方；及

一第一導電區，與該鰭式結構相鄰；

其中該第一導電區的至少二側面與一金屬區接觸。

【請求項16】 如請求項15所述的電晶體結構，其中該第一導電區的一頂面和一側壁與該金屬區接觸。

【請求項17】 如請求項15所述的電晶體結構，其中該第一導電區的一頂面、一底面和一側壁與該金屬區接觸。

【請求項18】 如請求項15所述的電晶體結構，另包含：

一淺溝槽隔離(shallow trench isolation, STI)區，其中該淺溝槽隔離區圍繞該鰭式結構，以及該第一導電區被該淺溝槽隔離區限制。

【請求項19】 如請求項18所述的電晶體結構，其中該第一導電區沒有跨越該淺溝槽隔離區。

【請求項20】 一種電晶體結構，包含：

- 一基底，具有一鰭式結構；
 - 一閘極區，位於該鰭式結構的上方；及
 - 一第一導電區，與該鰭式結構相鄰；
- 其中該閘極區的底部低於該第一導電區的底部。

【請求項21】 如請求項18所述的電晶體結構，另包含：

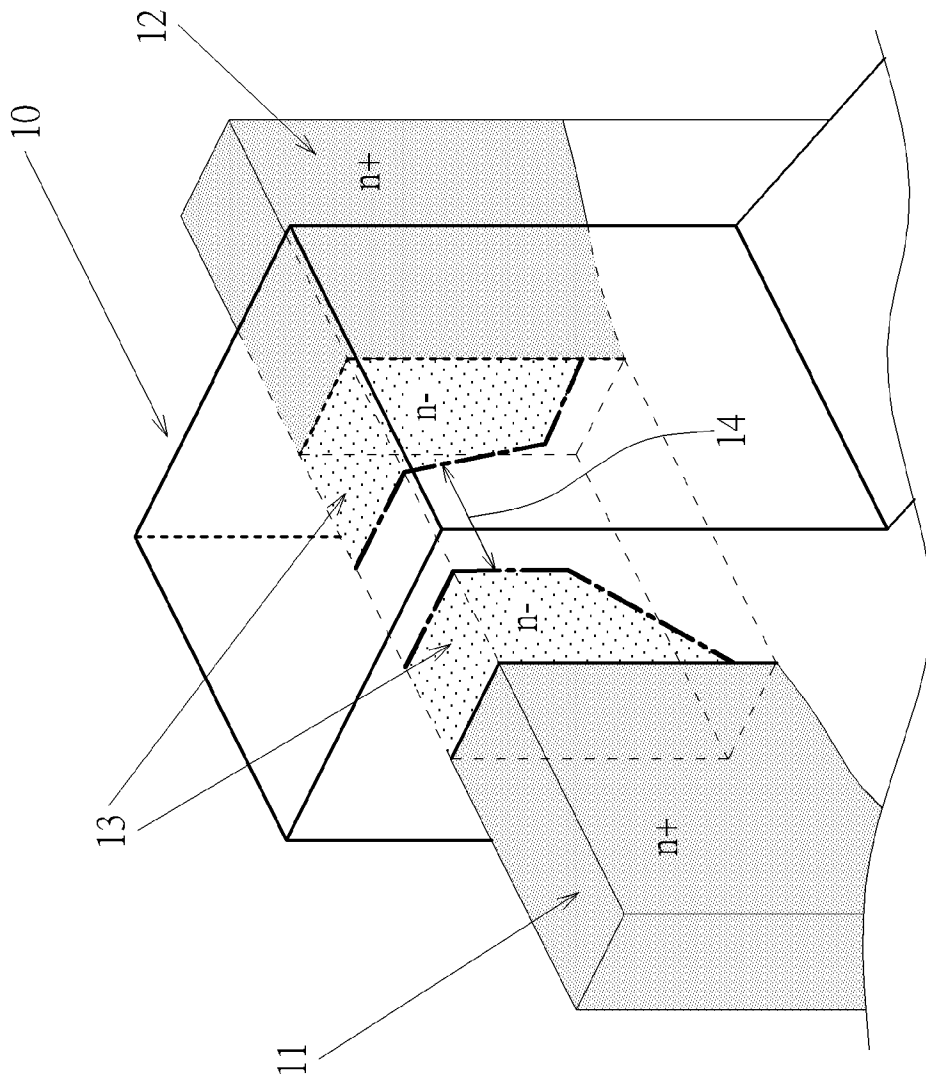
- 一淺溝槽隔離區，其中該淺溝槽隔離區圍繞該鰭式結構，以及位於該淺溝槽隔離區上的該閘極區的底部低於該第一導電區的底部超過10奈米(nm)。

【請求項22】 如請求項20所述的電晶體結構，其中該第一導電區的至少二側面與一金屬區接觸。

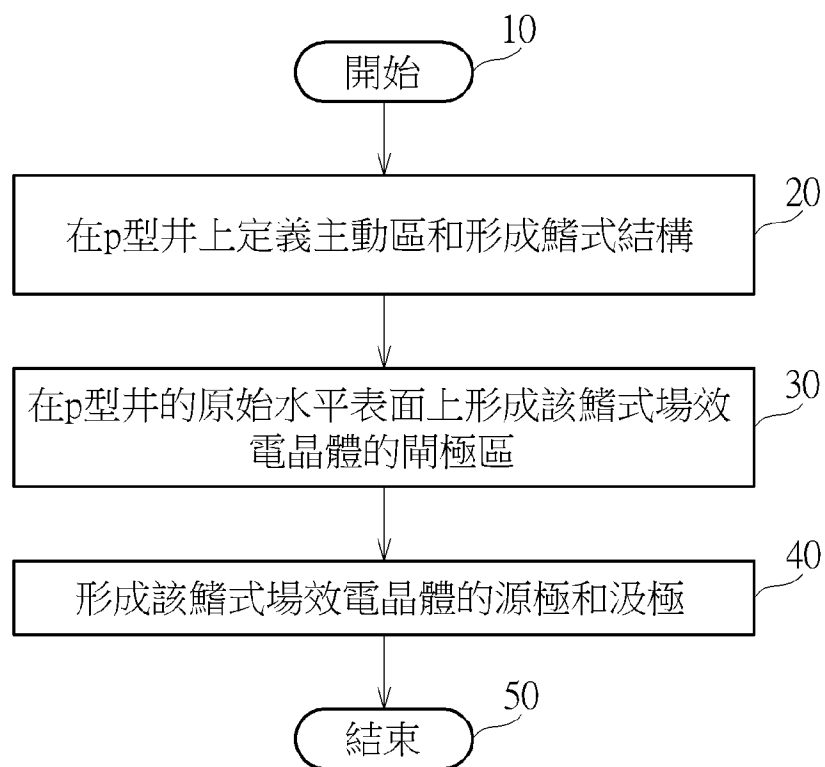
【請求項23】 如請求項20所述的電晶體結構，另包含：

- 一淺溝槽隔離區，其中該淺溝槽隔離區圍繞該鰭式結構，第一導電區被淺溝槽隔離淺溝槽隔離區限制，以及該第一導電區被該淺溝槽隔離區限制。

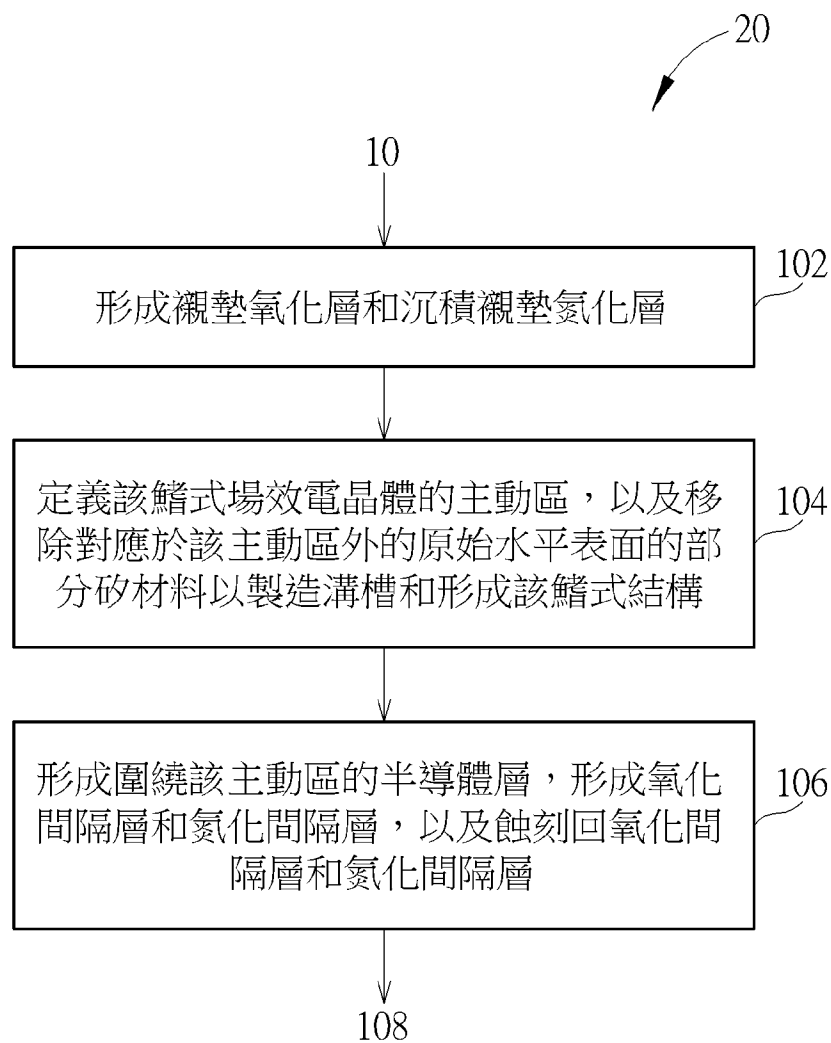
【發明圖式】



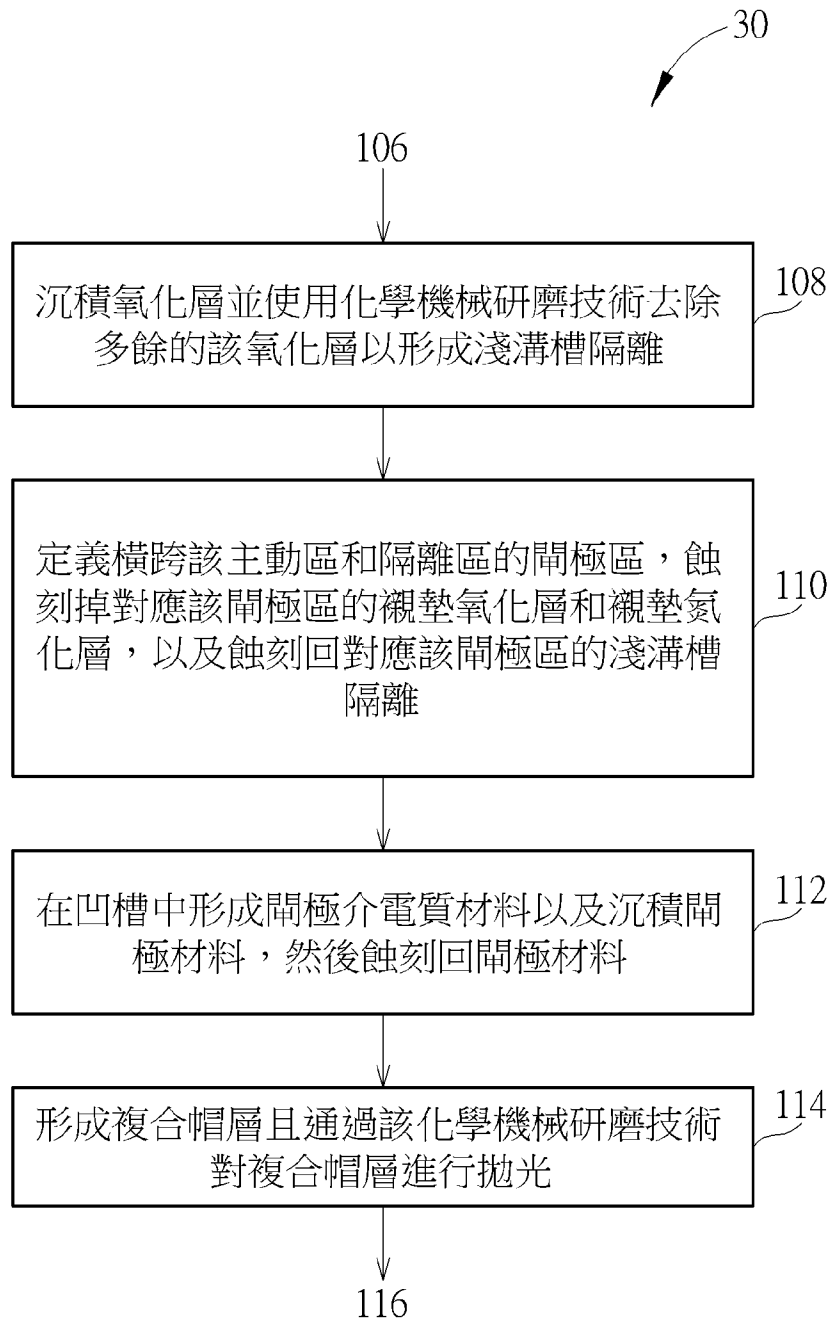
第1圖



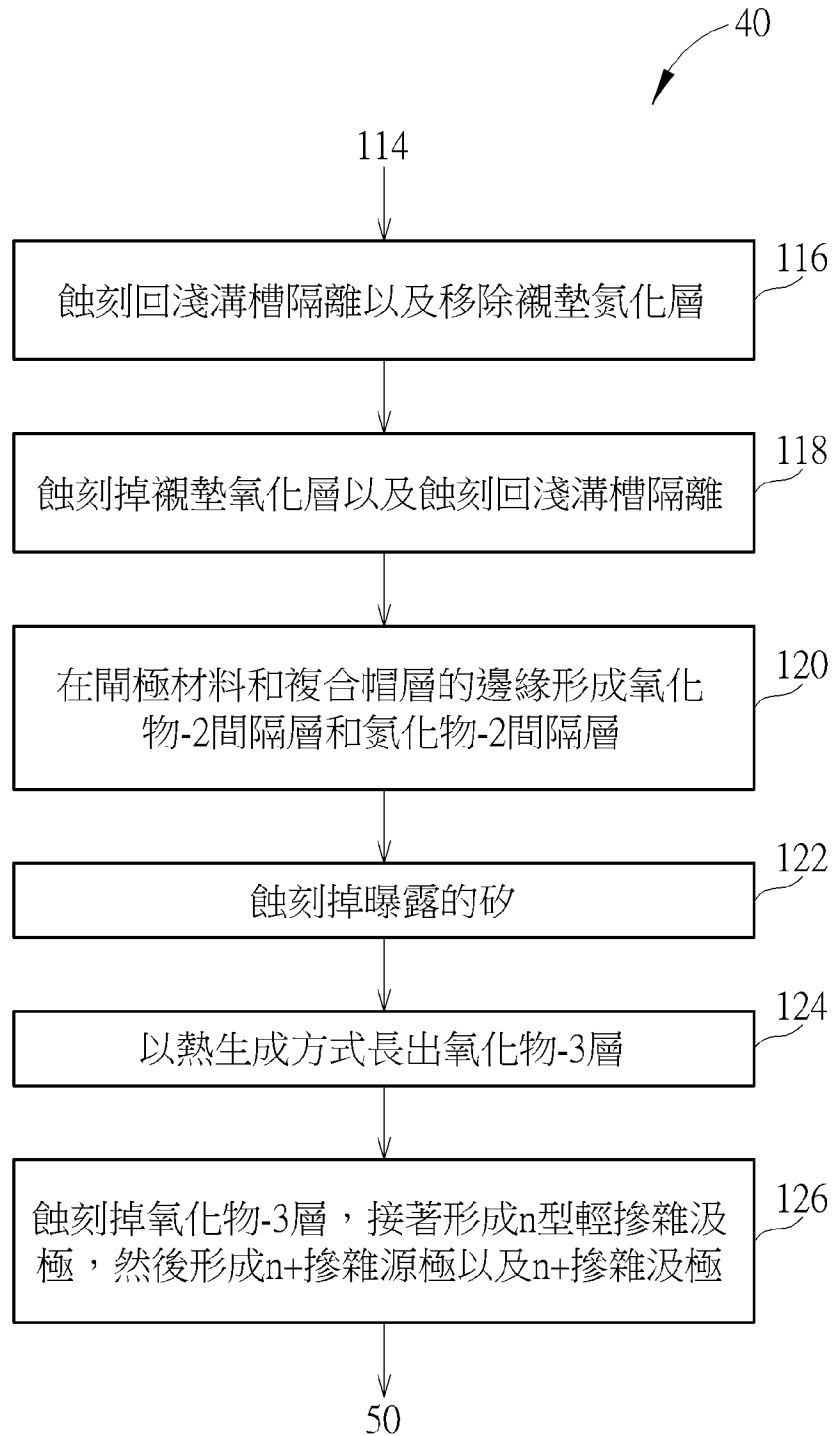
第2A圖



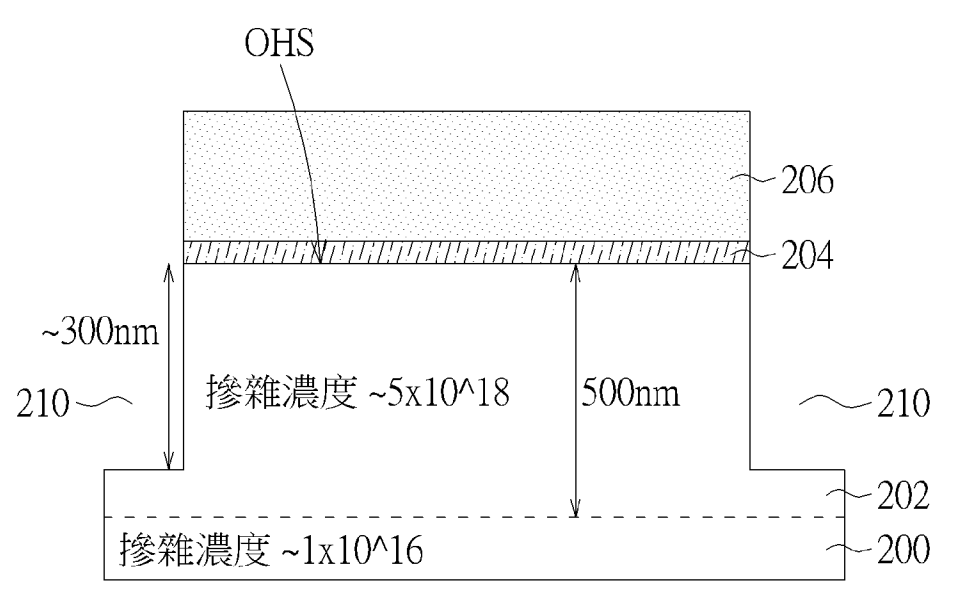
第2B圖



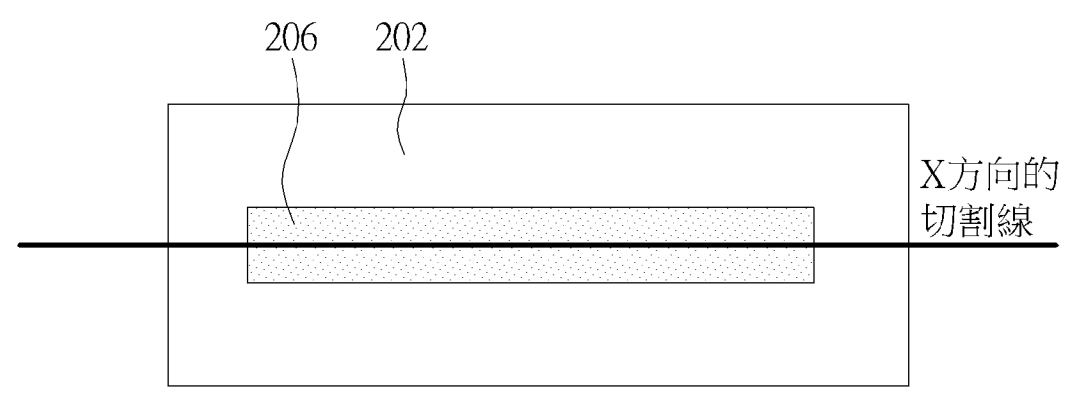
第2C圖



第2D圖

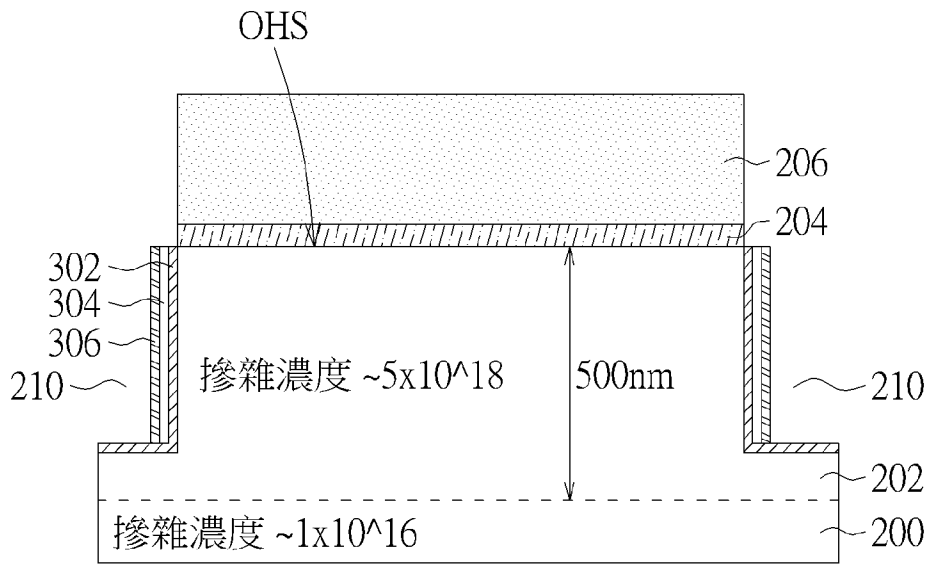


(a)

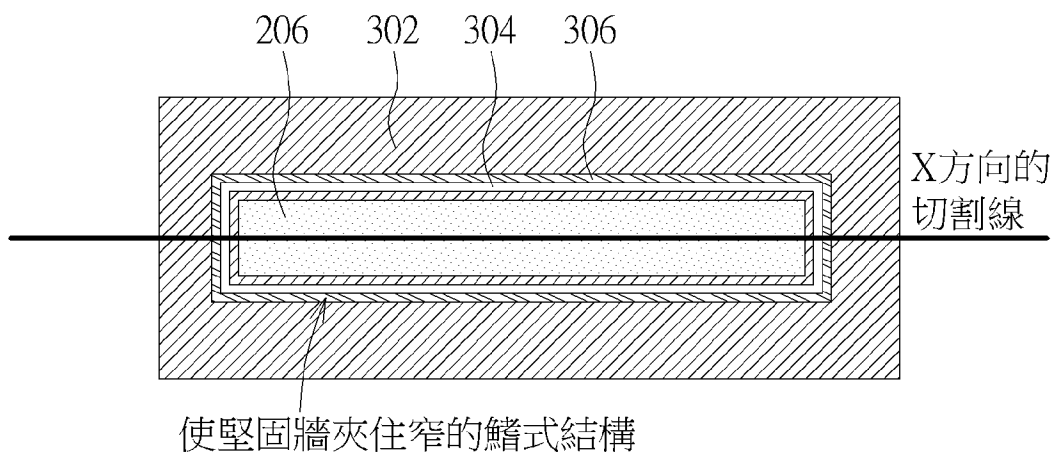


(b)

第3圖

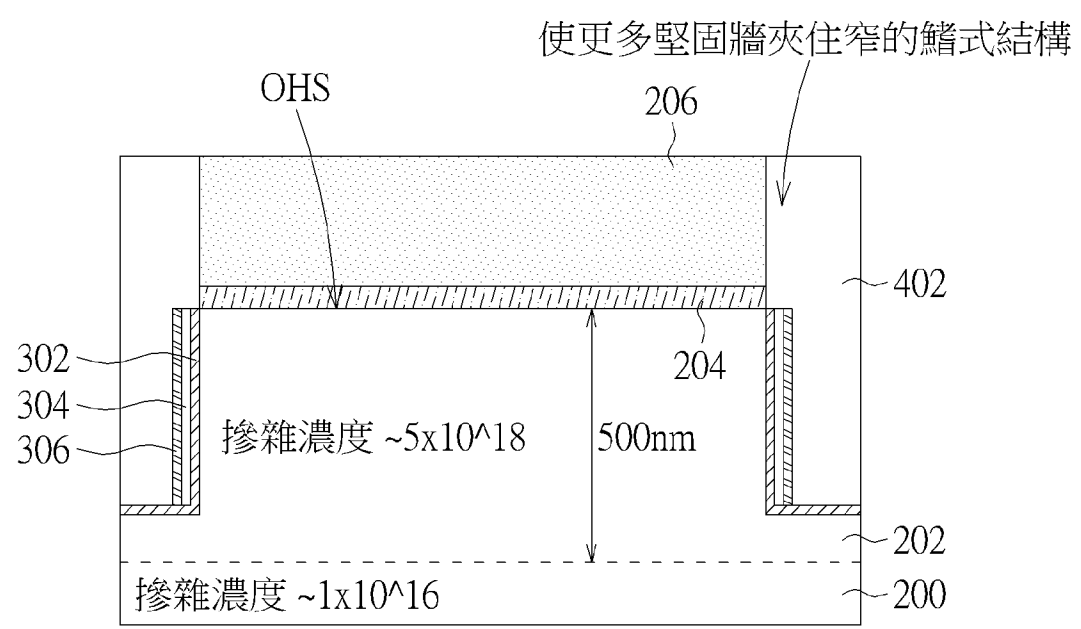


(a)

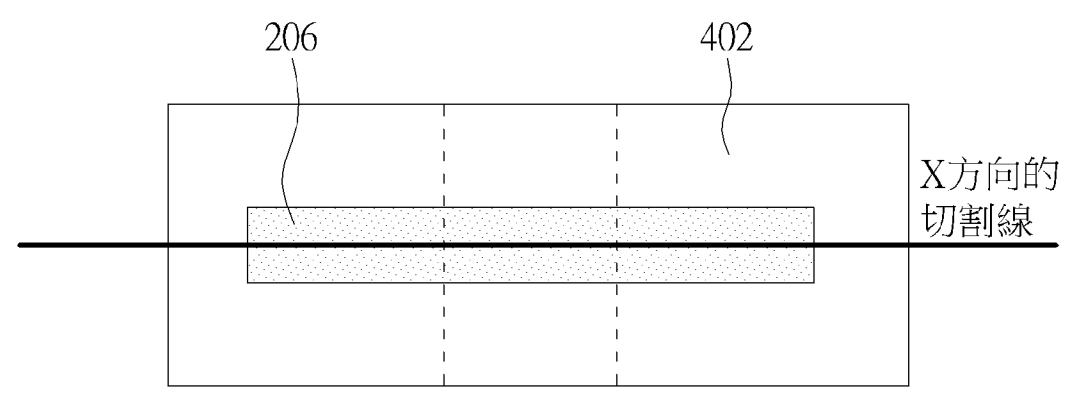


(b)

第4圖

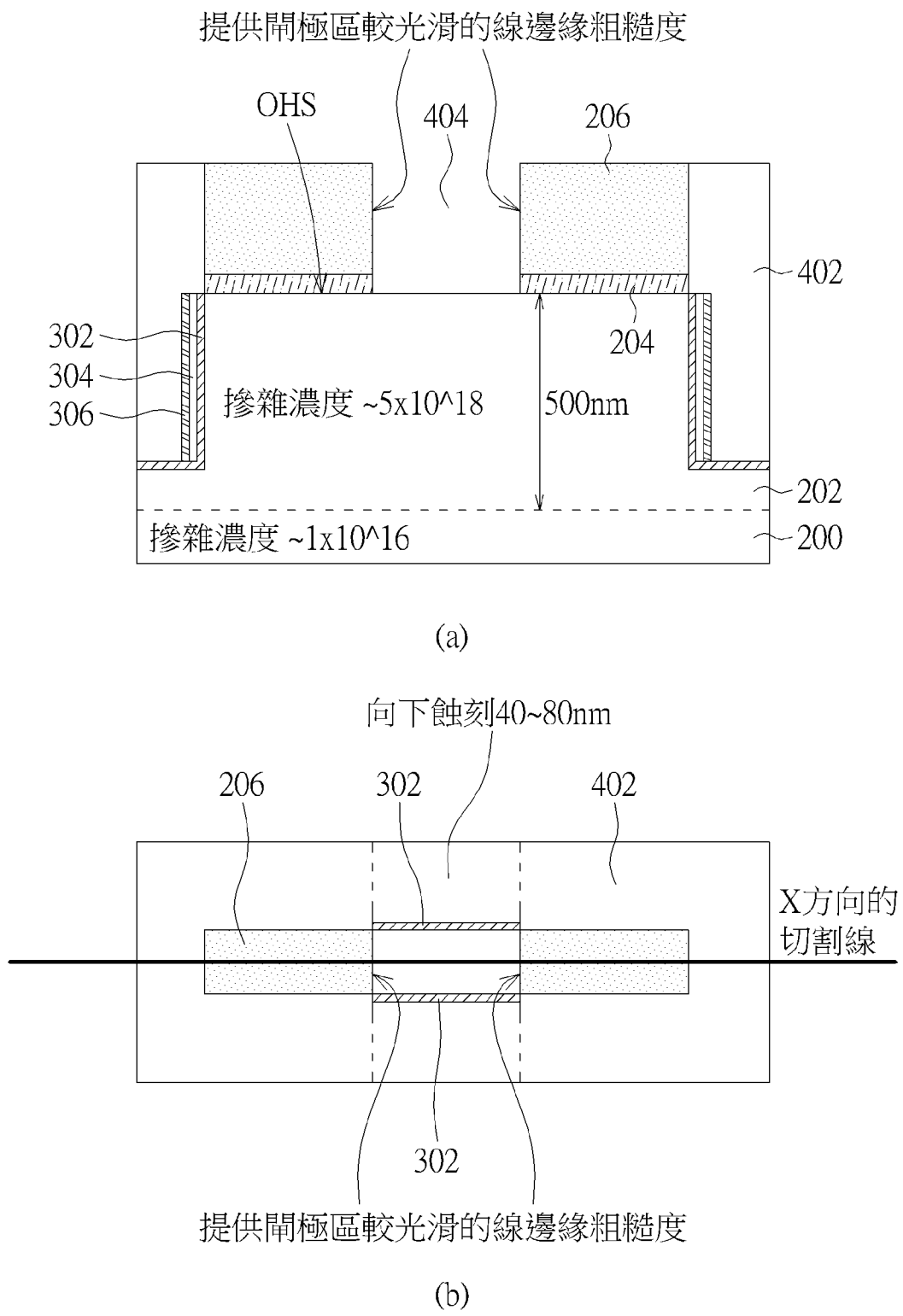


(a)

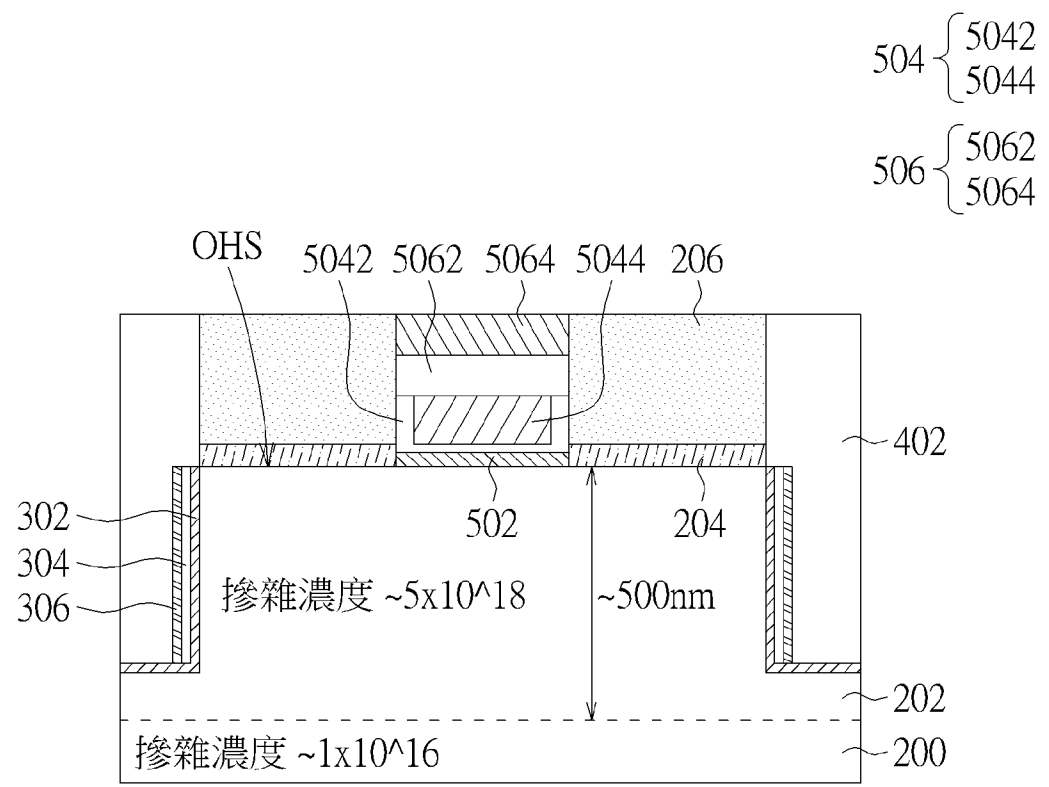


(b)

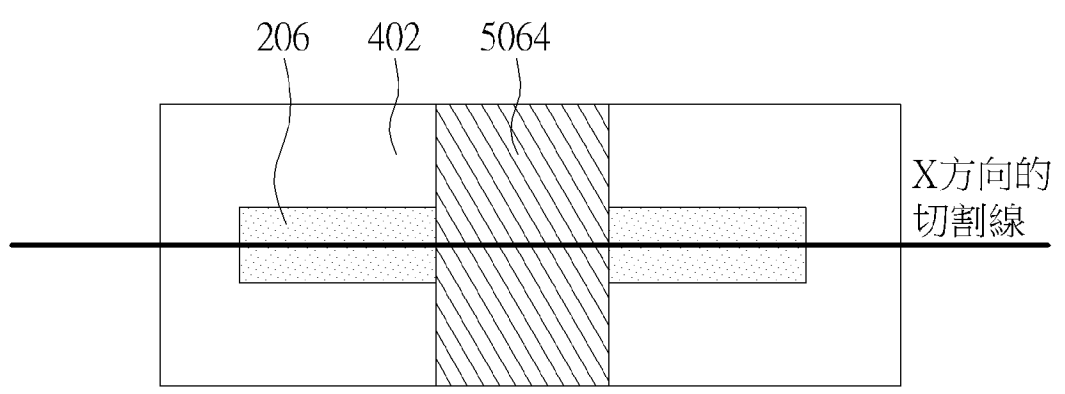
第5圖



第6圖

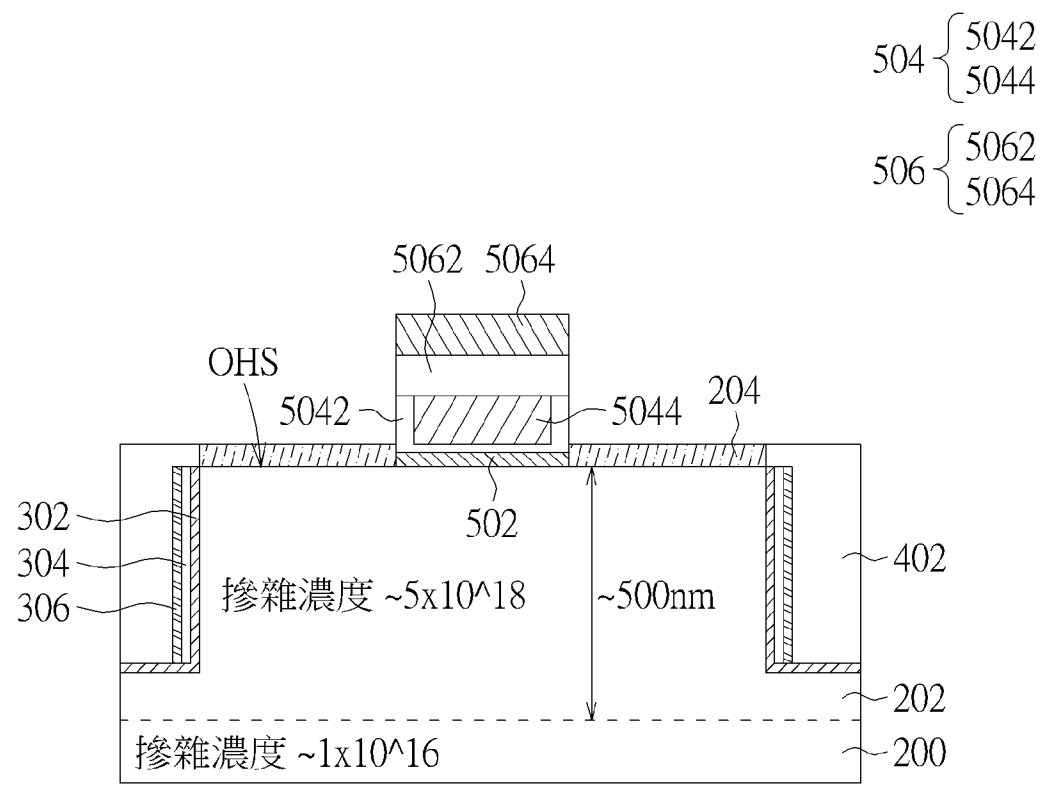


(a)

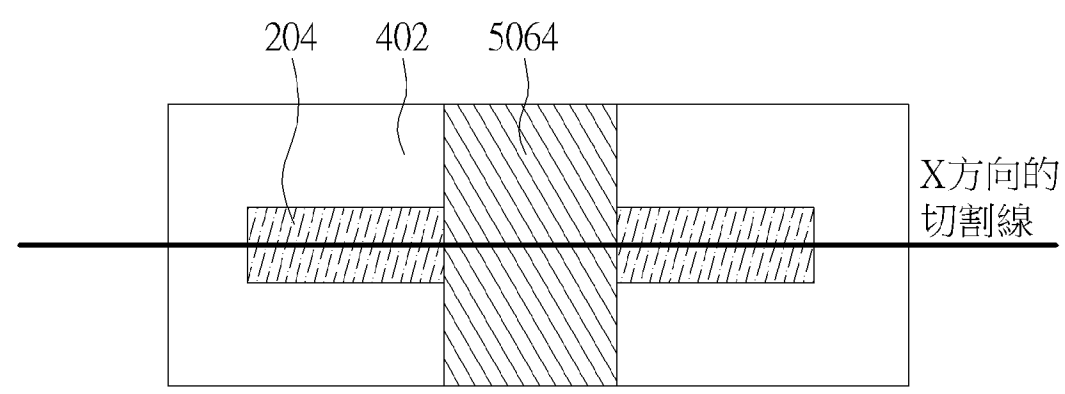


(b)

第7圖

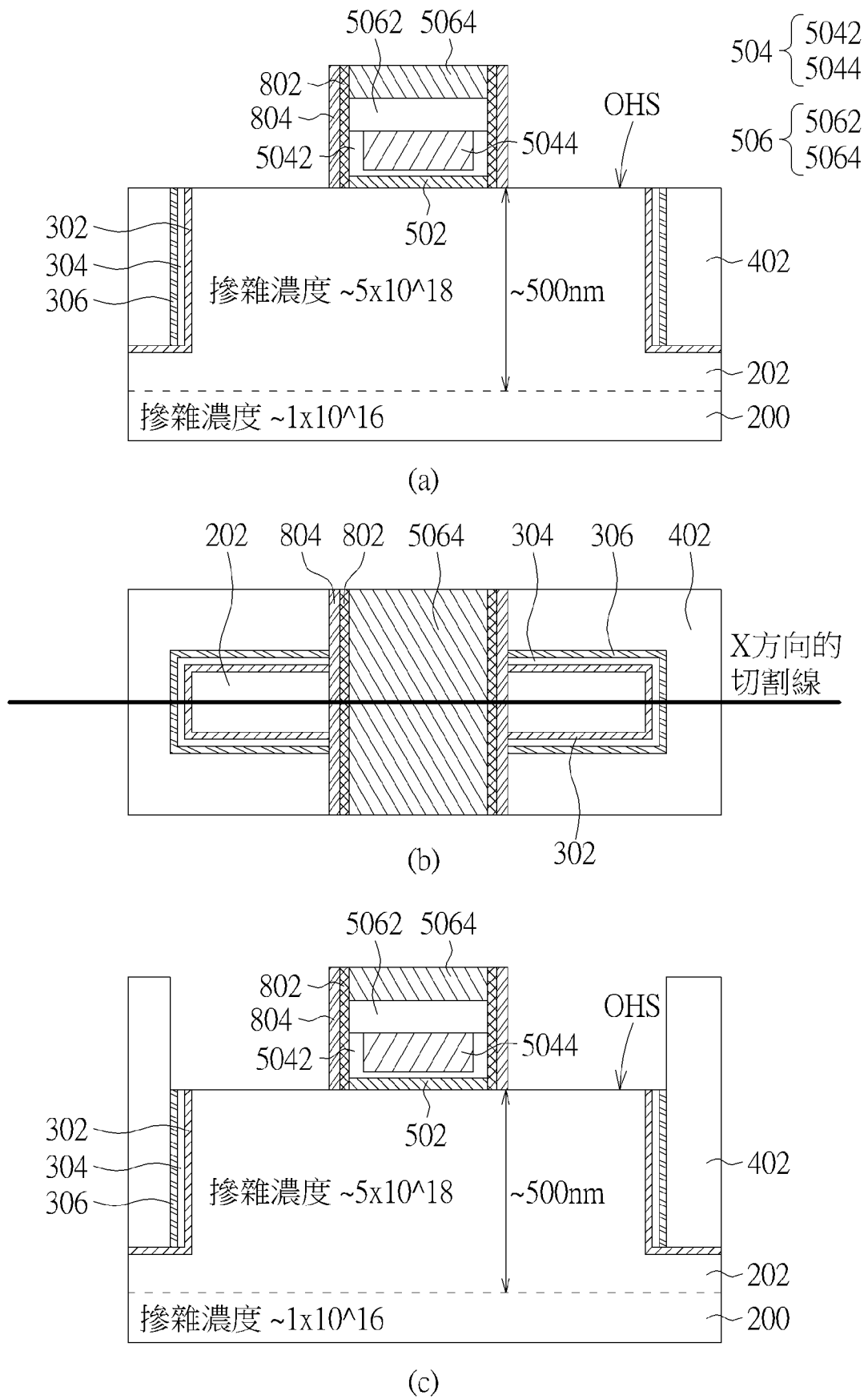


(a)

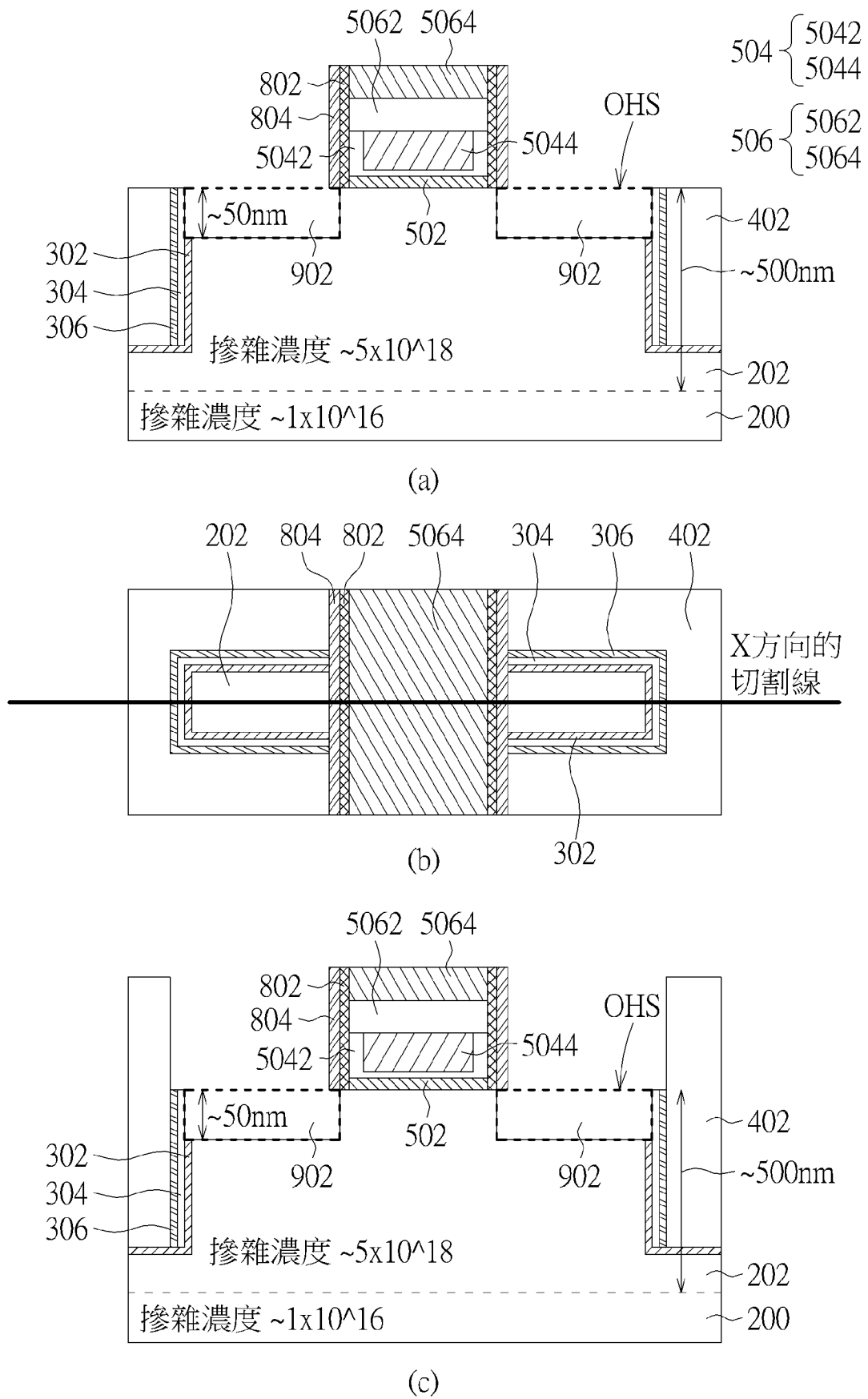


(b)

第8圖

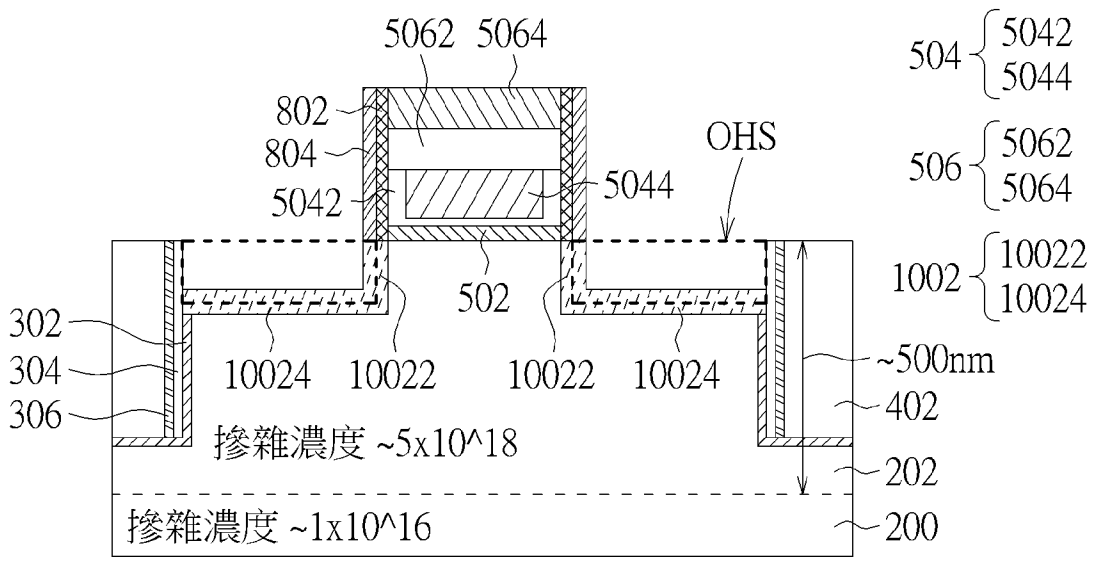


第9圖

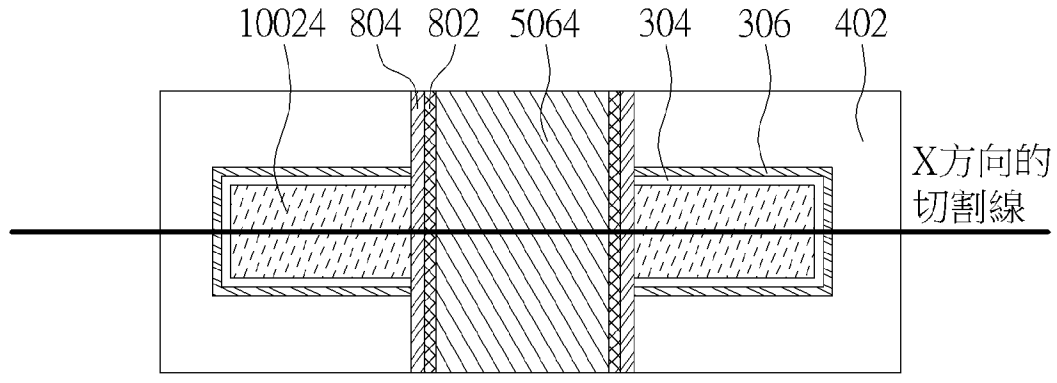


第10圖

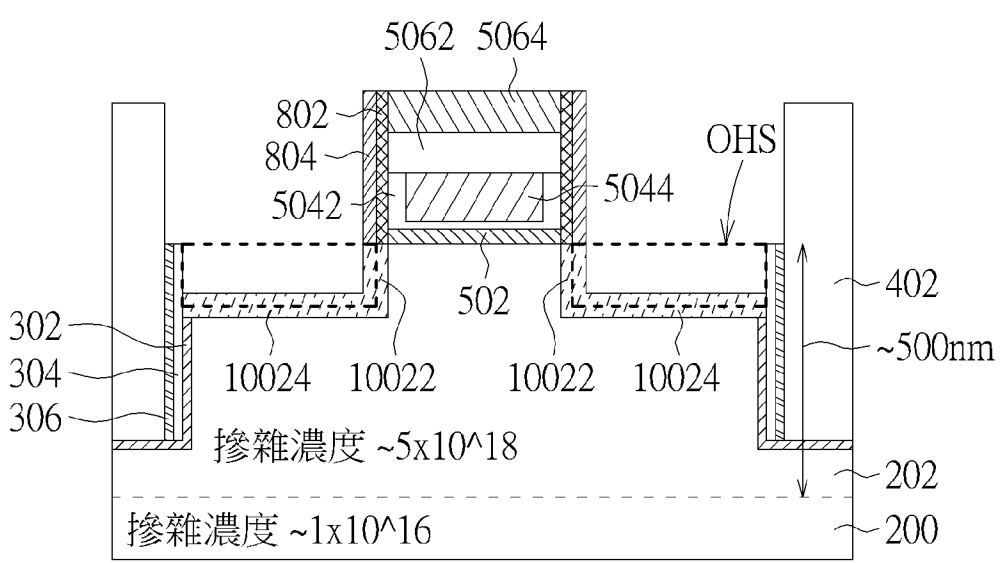
第 13 頁，共 35 頁(發明圖式)



(a)



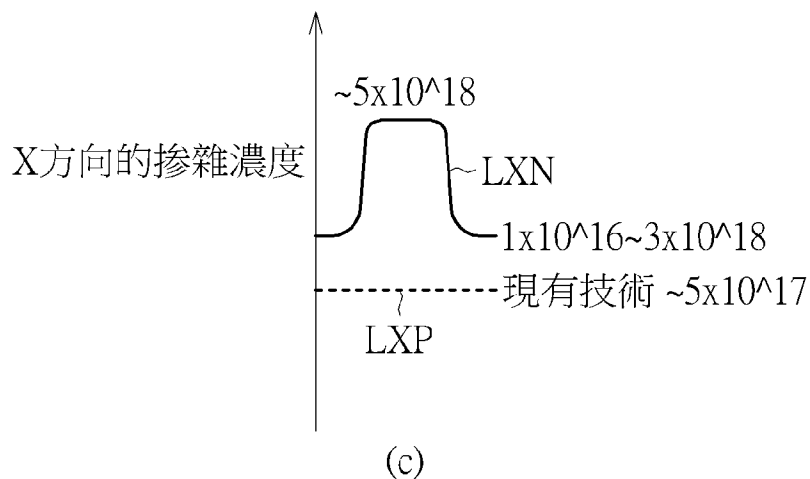
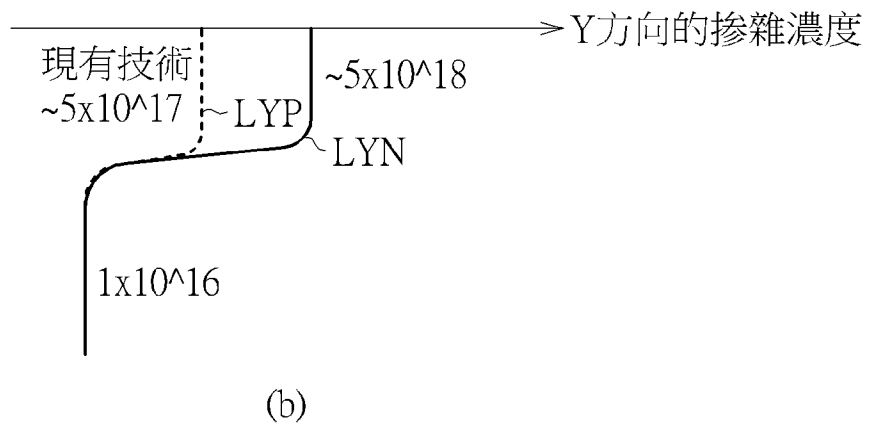
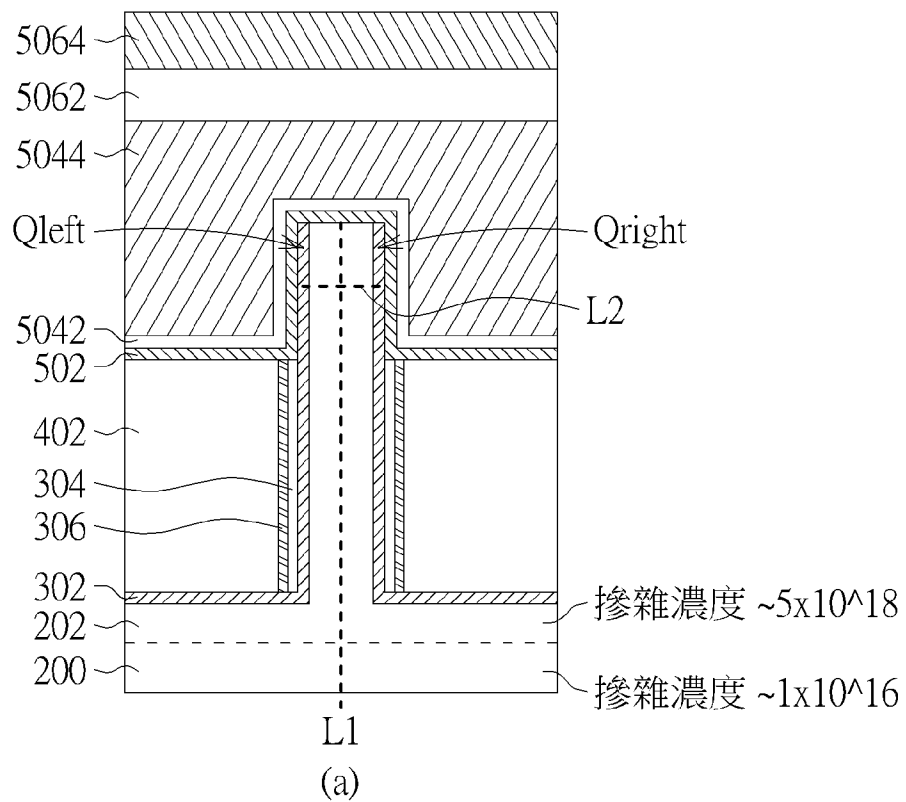
(b)



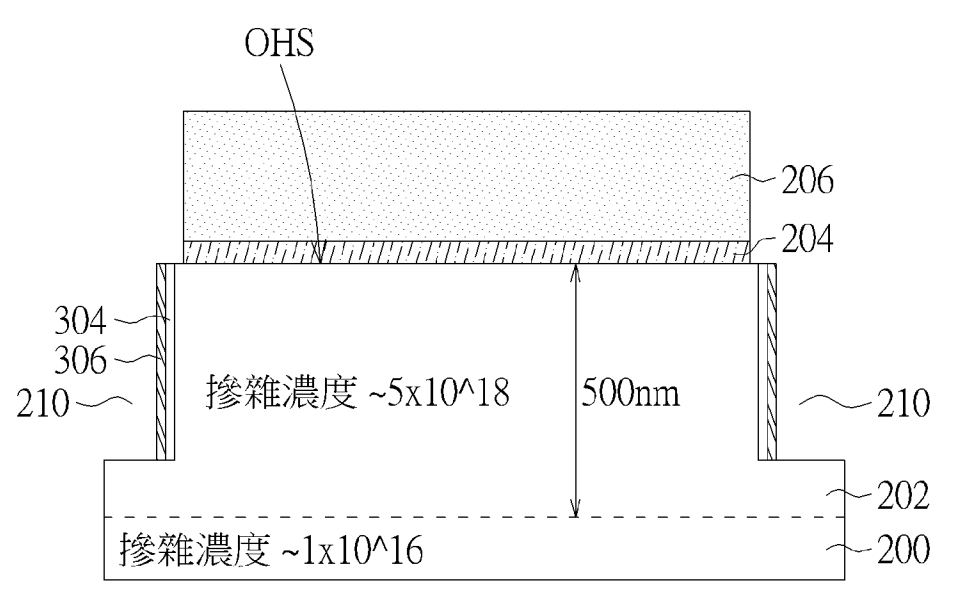
(c)

第11圖

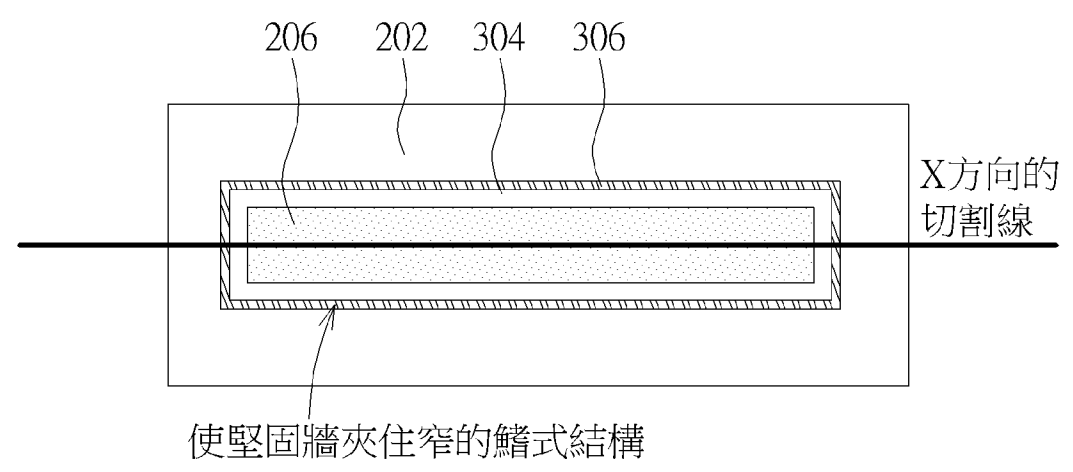
第 14 頁，共 35 頁(發明圖式)



第13圖

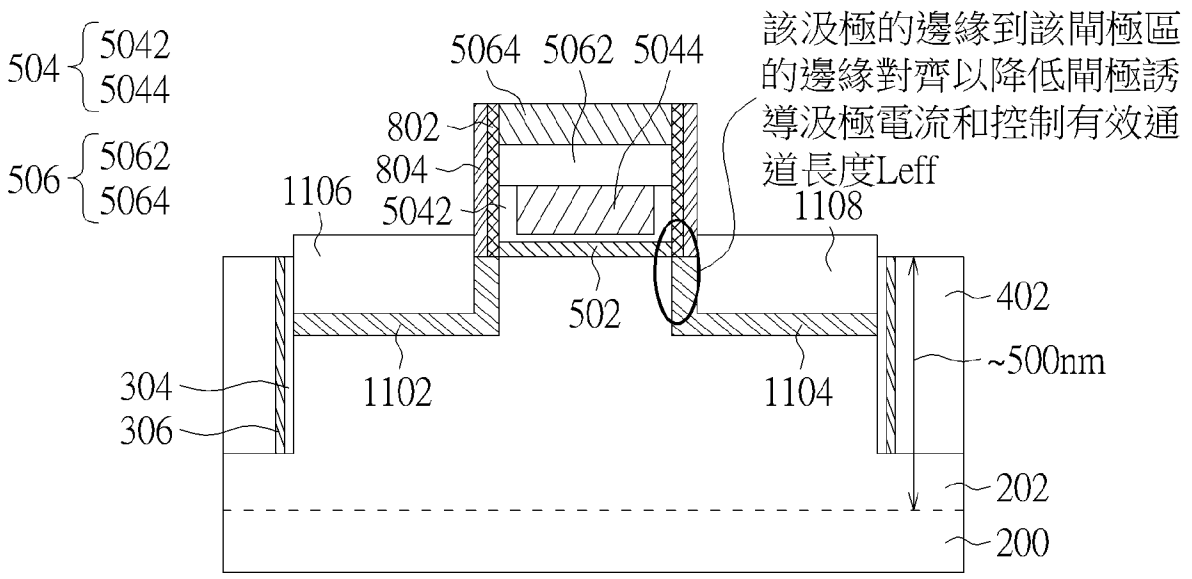


(a)

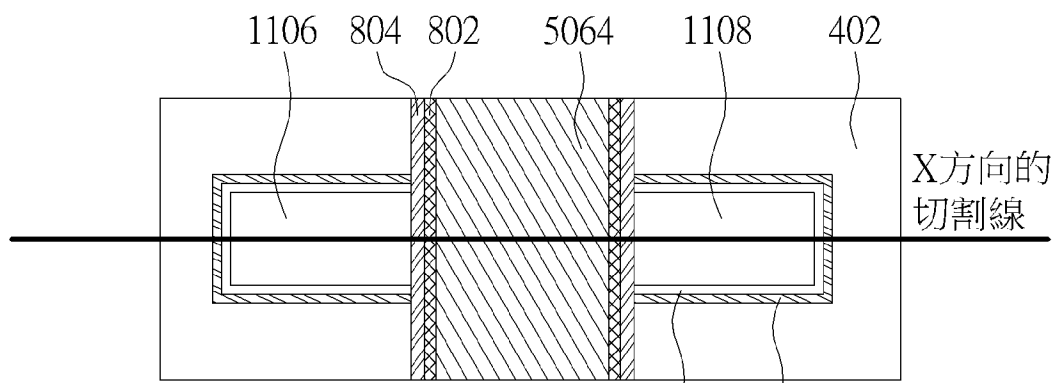


(b)

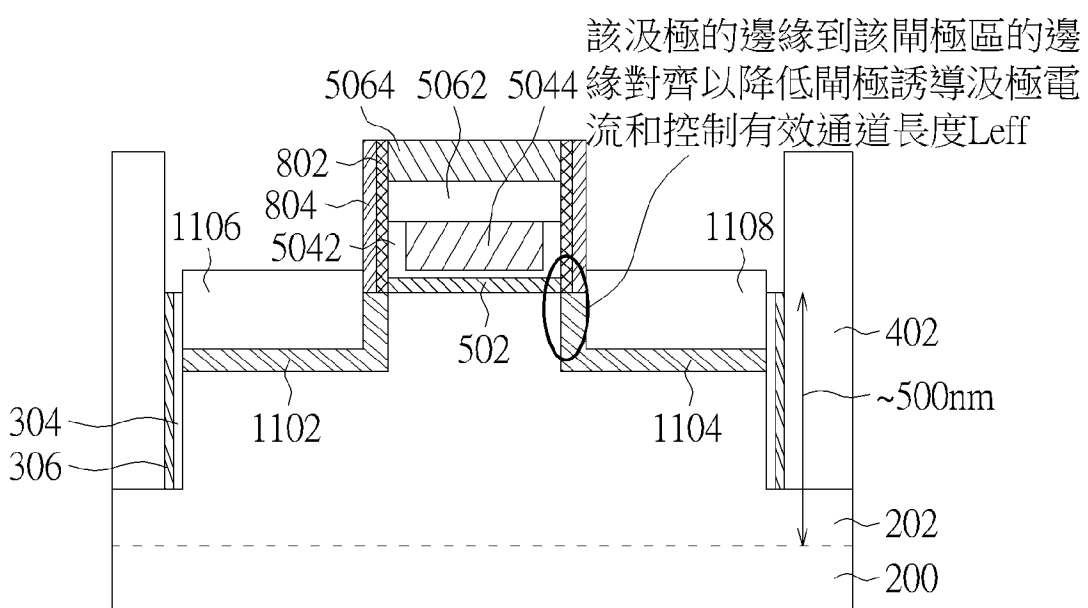
第14圖



(a)



(b)



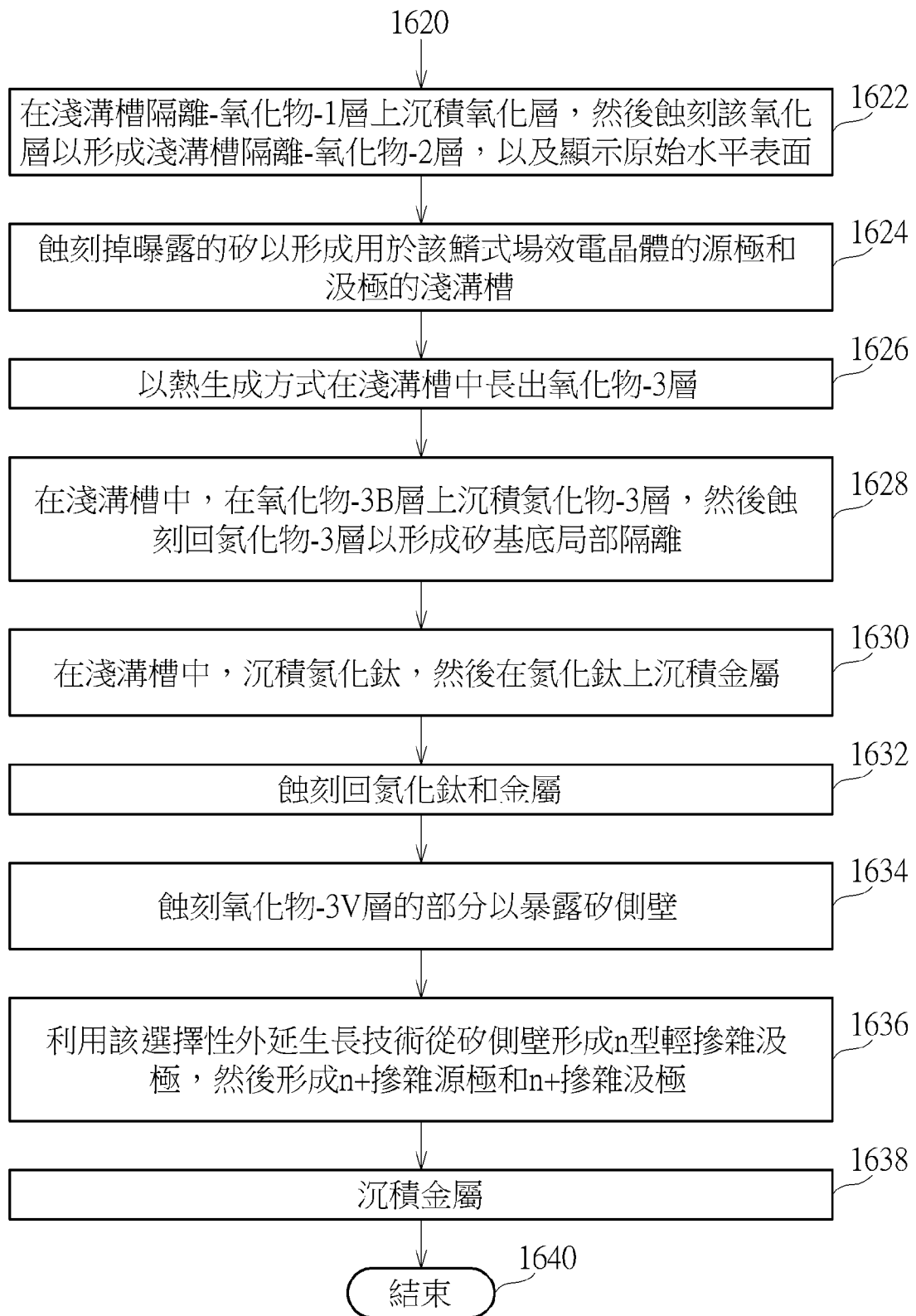
(c)

第15圖

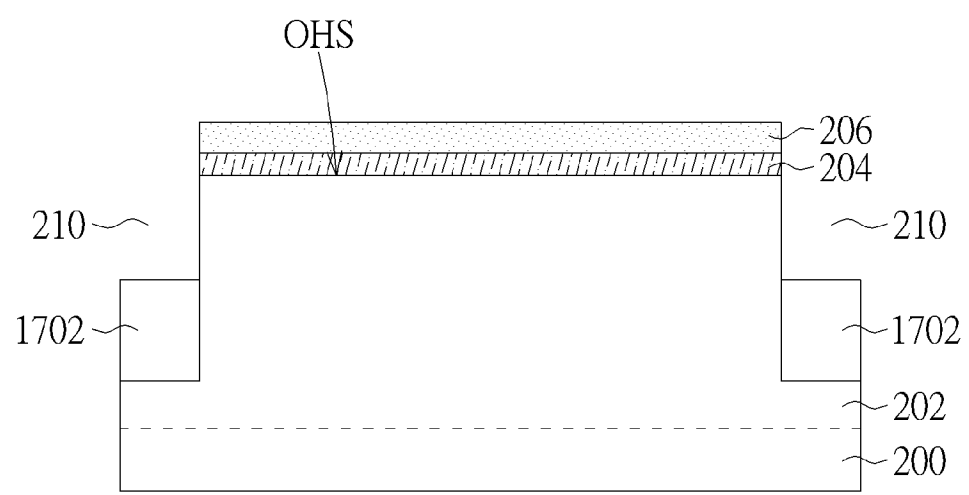


第16A圖

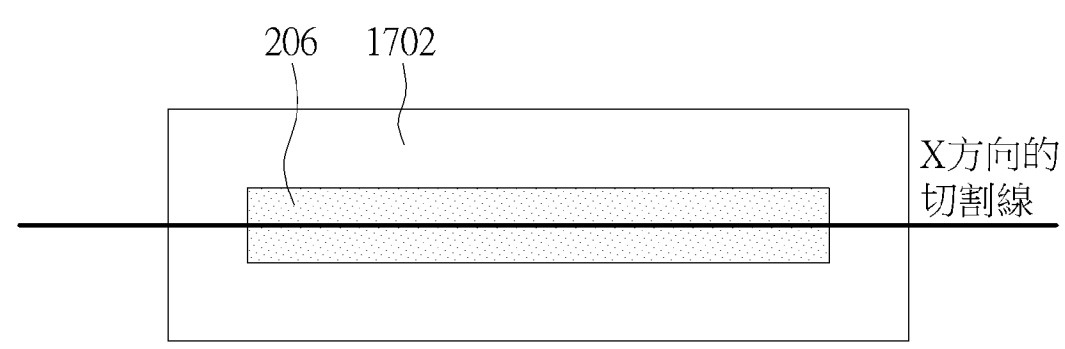
第 19 頁，共 35 頁(發明圖式)



第16B圖

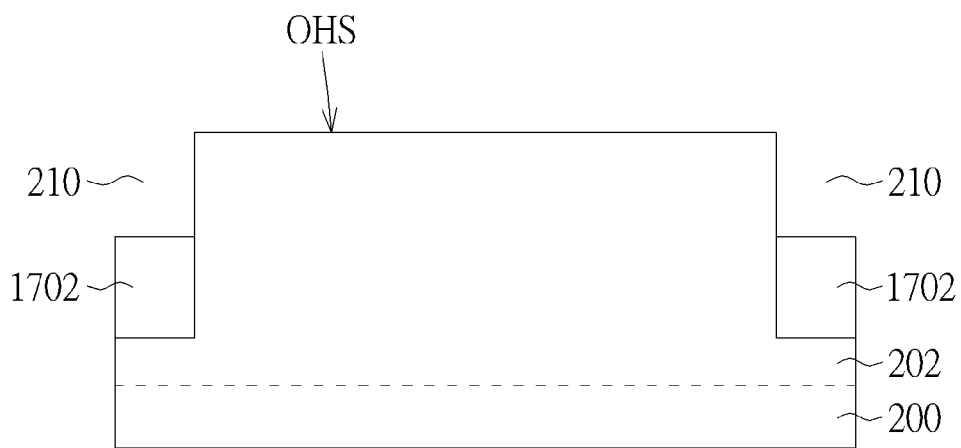


(a)

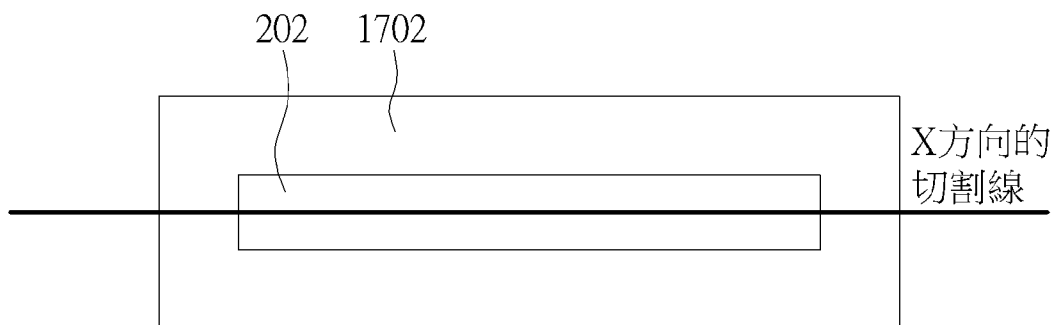


(b)

第17圖

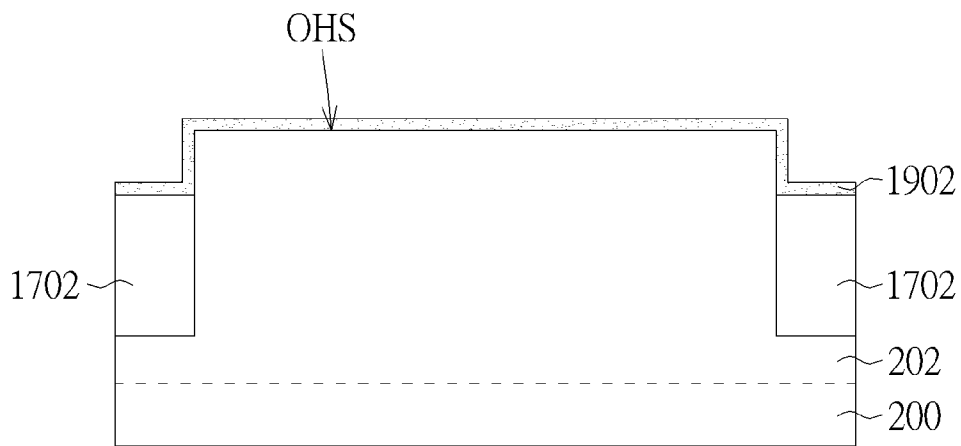


(a)

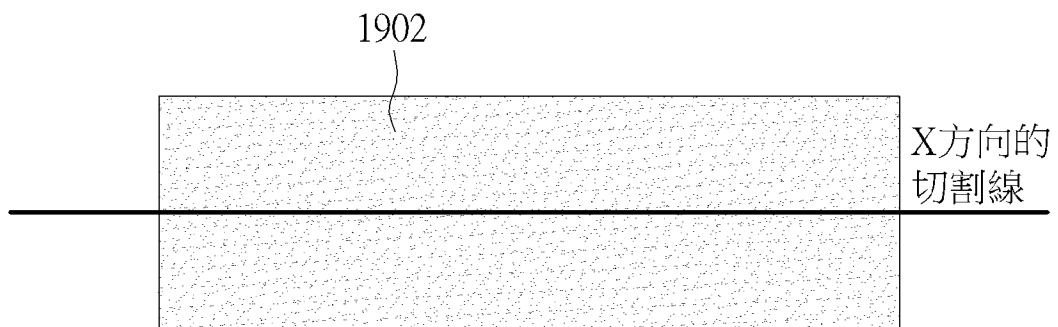


(b)

第18圖

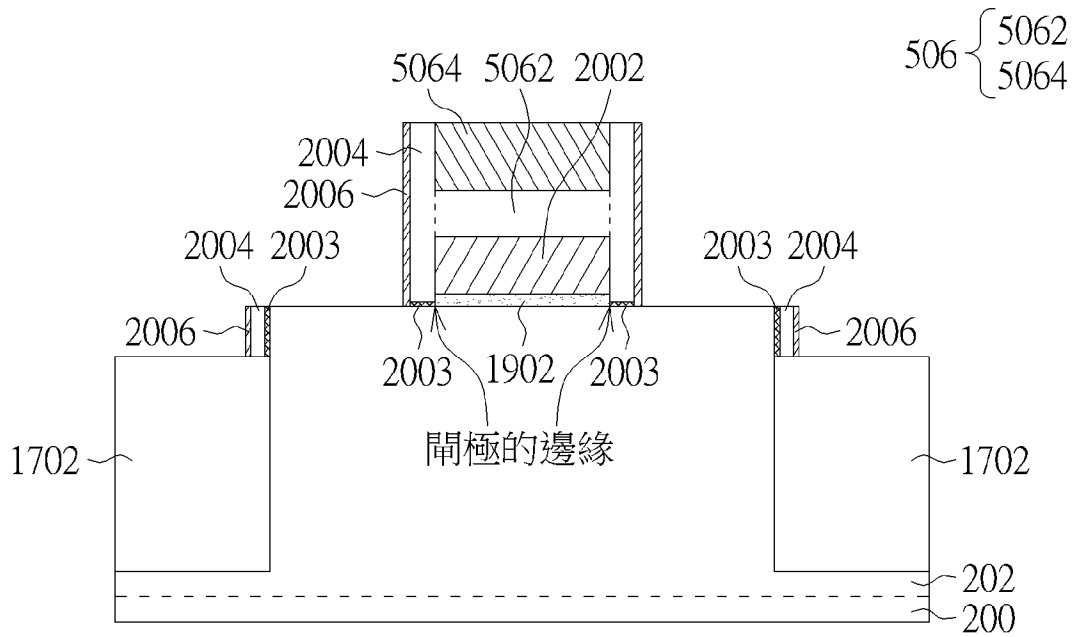


(a)

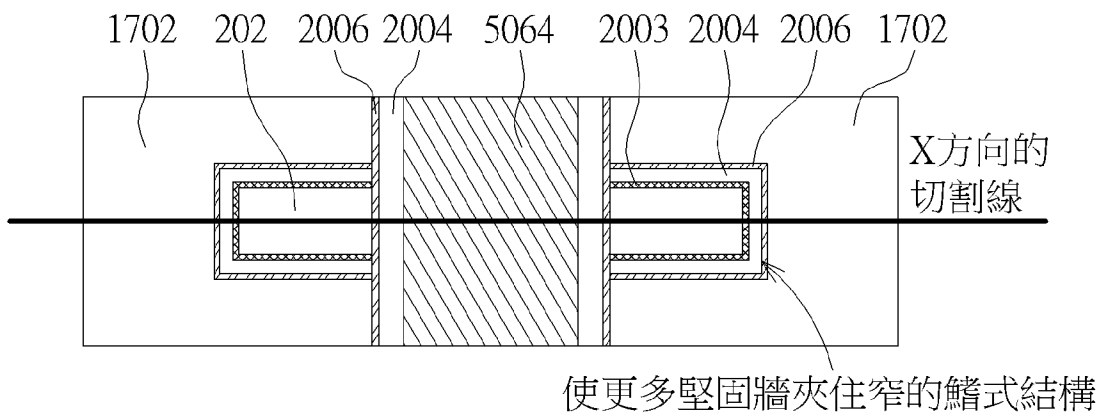


(b)

第19圖

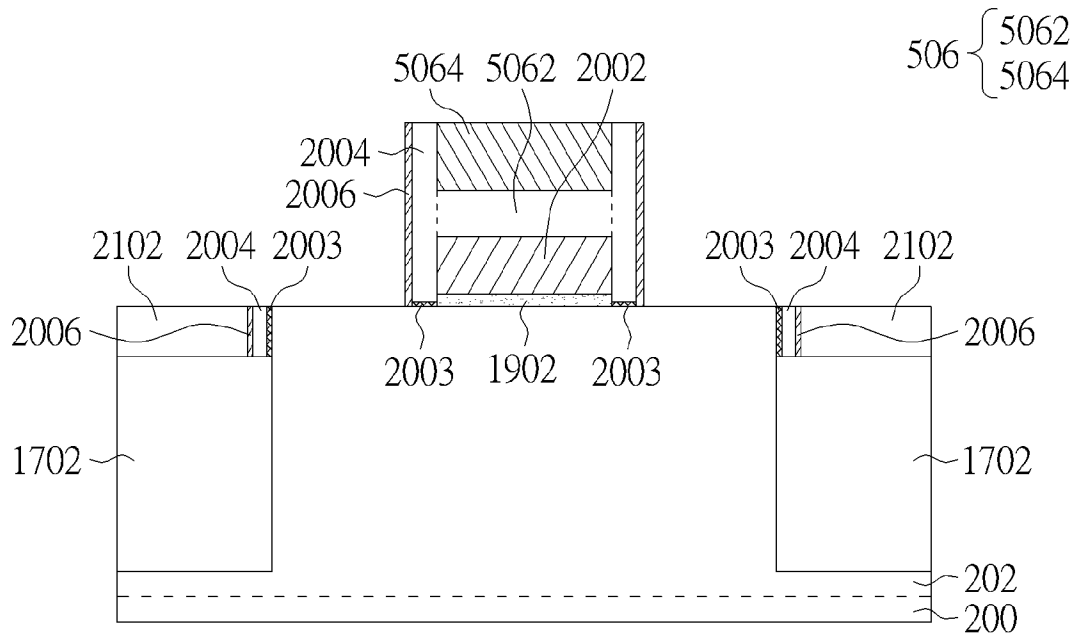


(a)

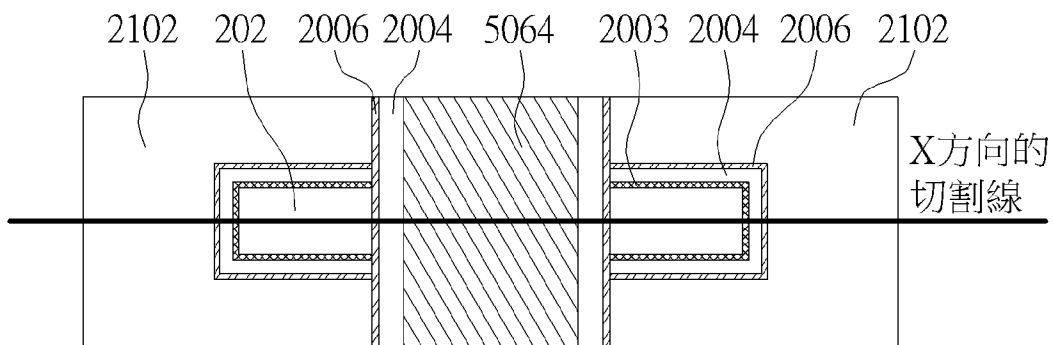


(b)

第20圖

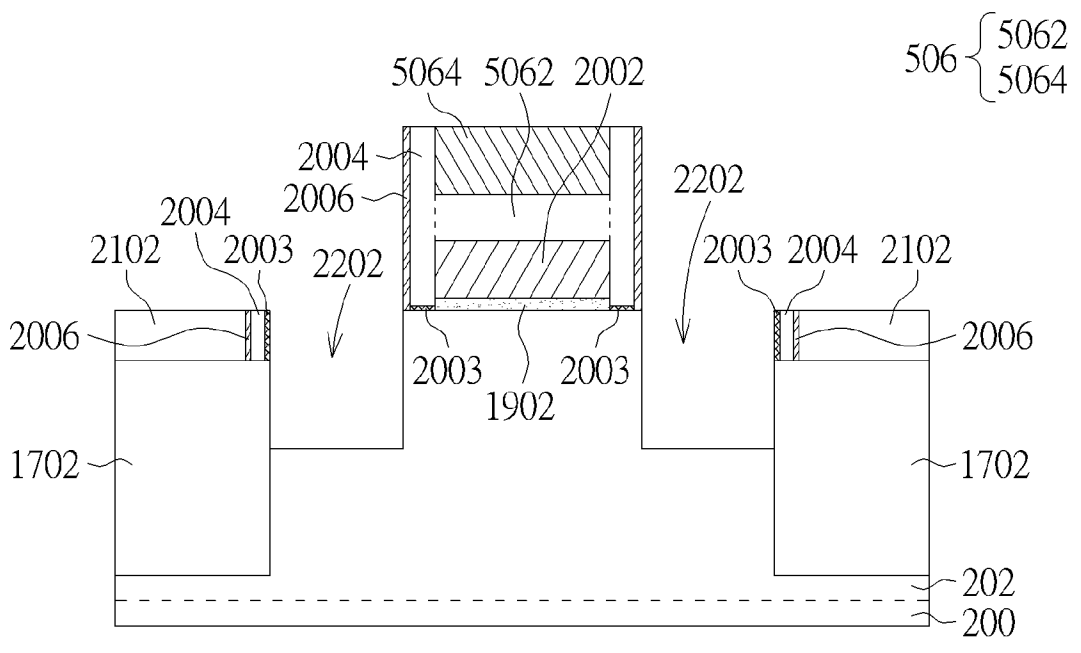


(a)

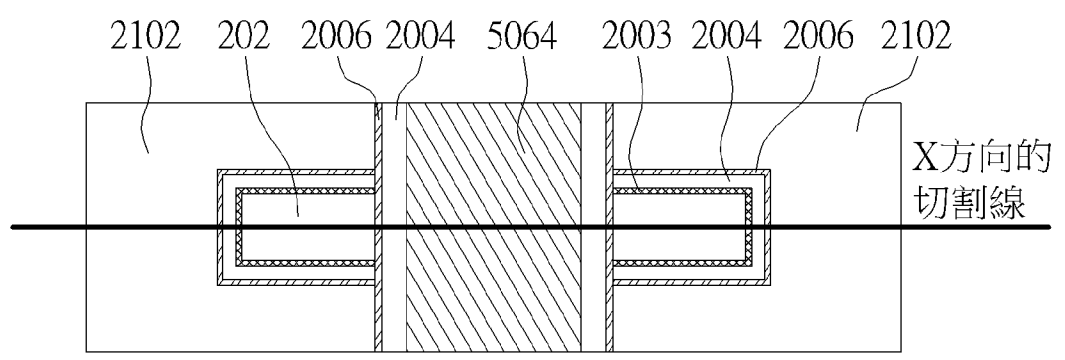


(b)

第21圖

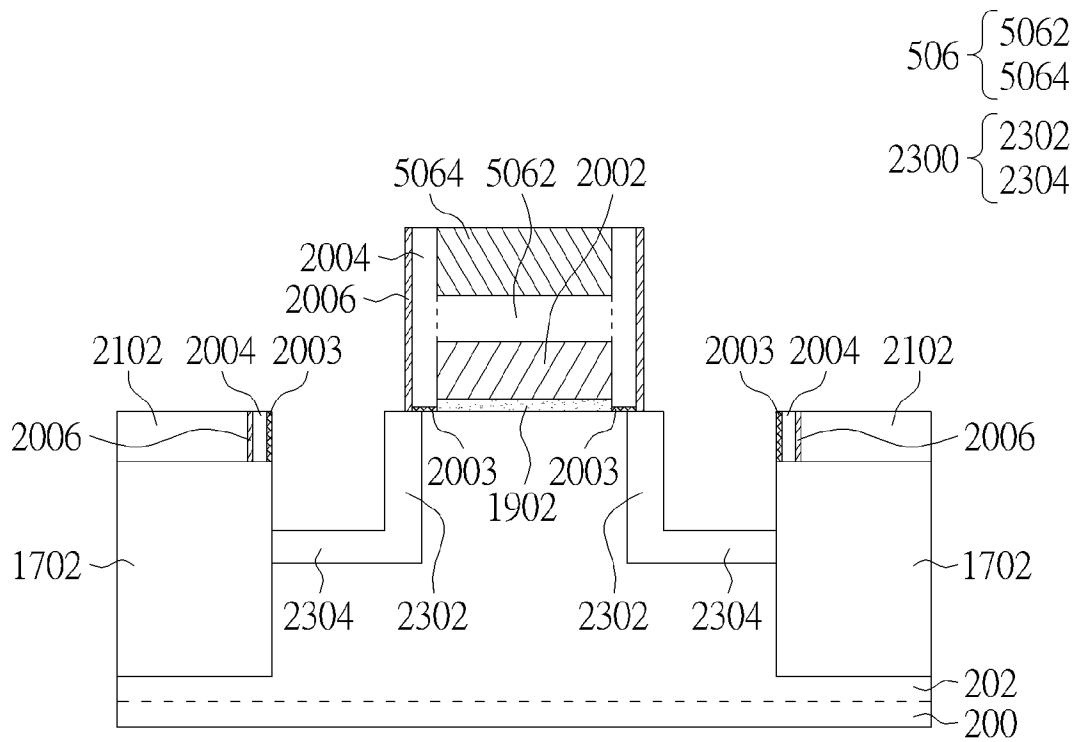


(a)

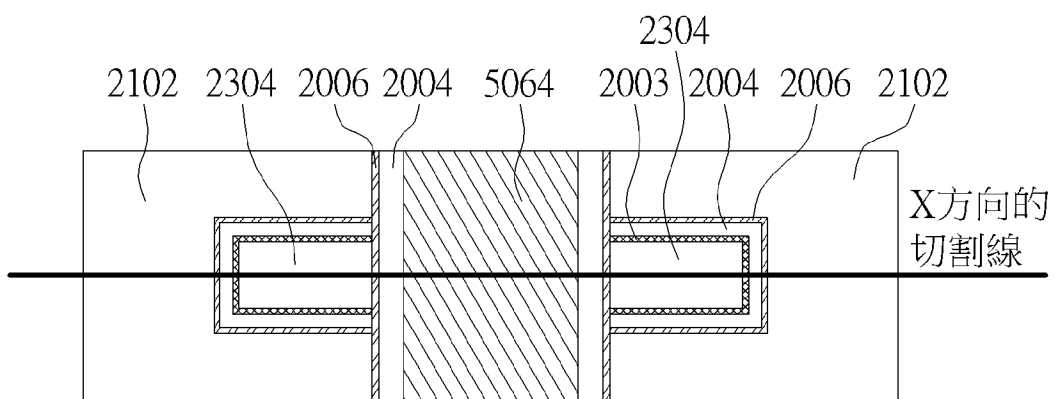


(b)

第22圖

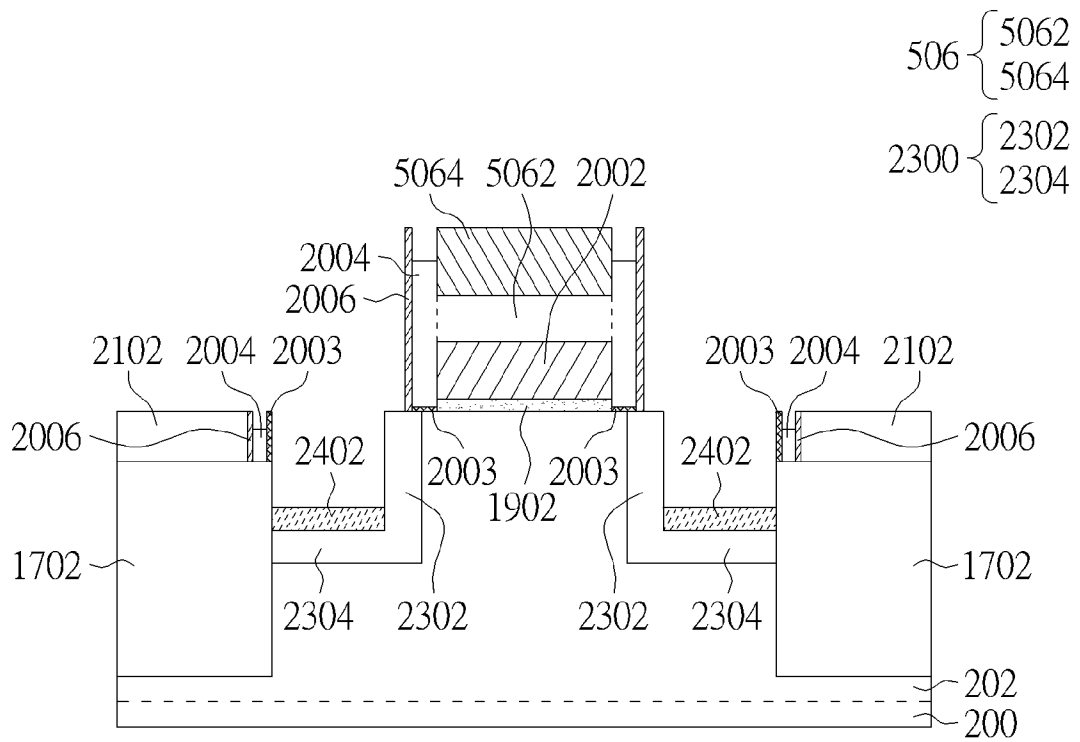


(a)

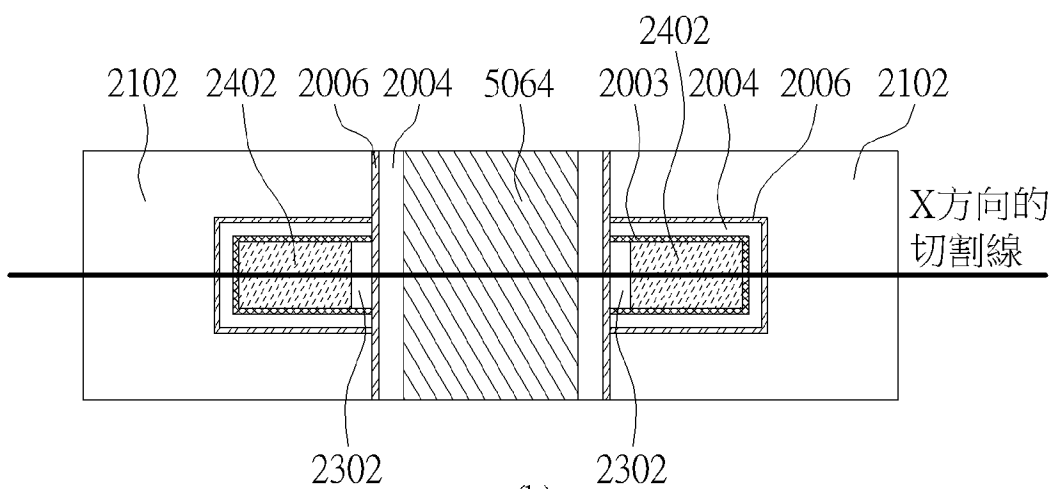


(b)

第23圖

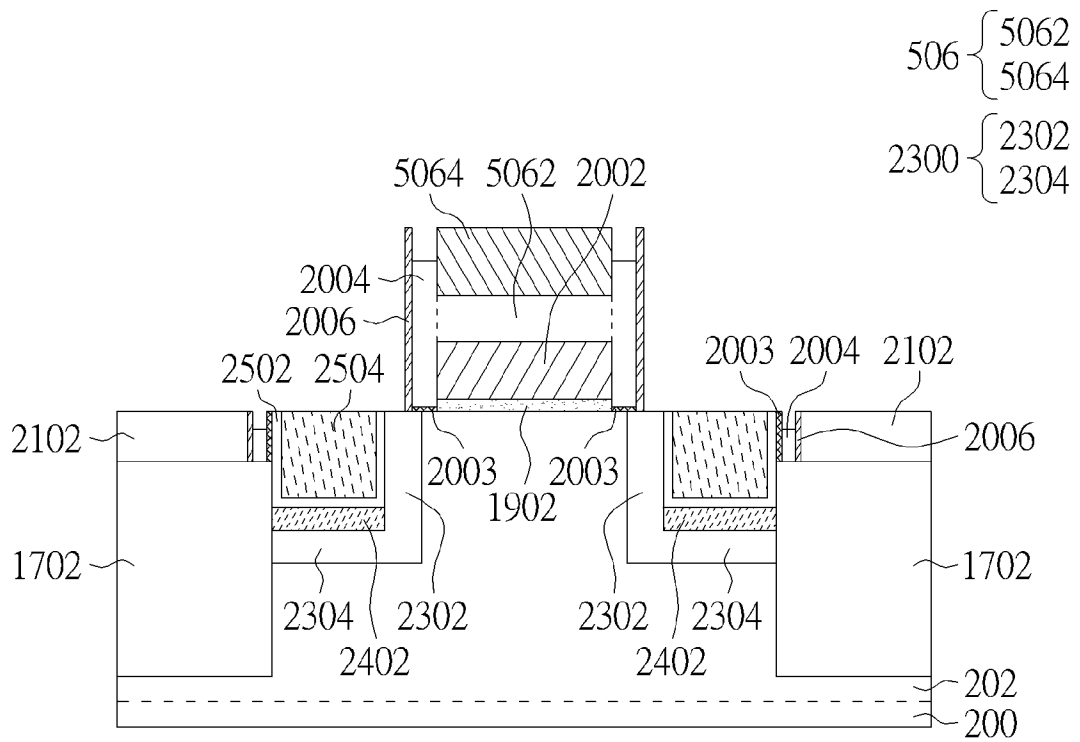


(a)

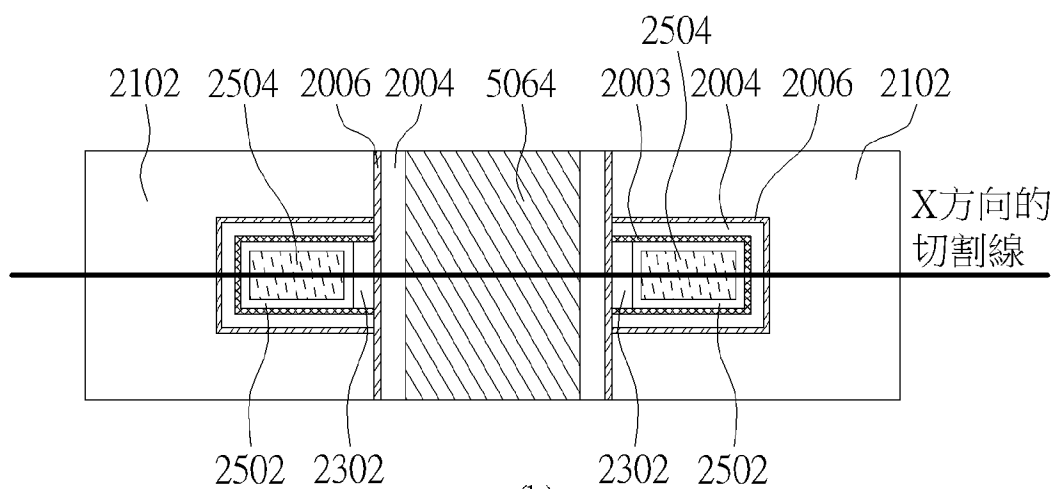


(b)

第24圖

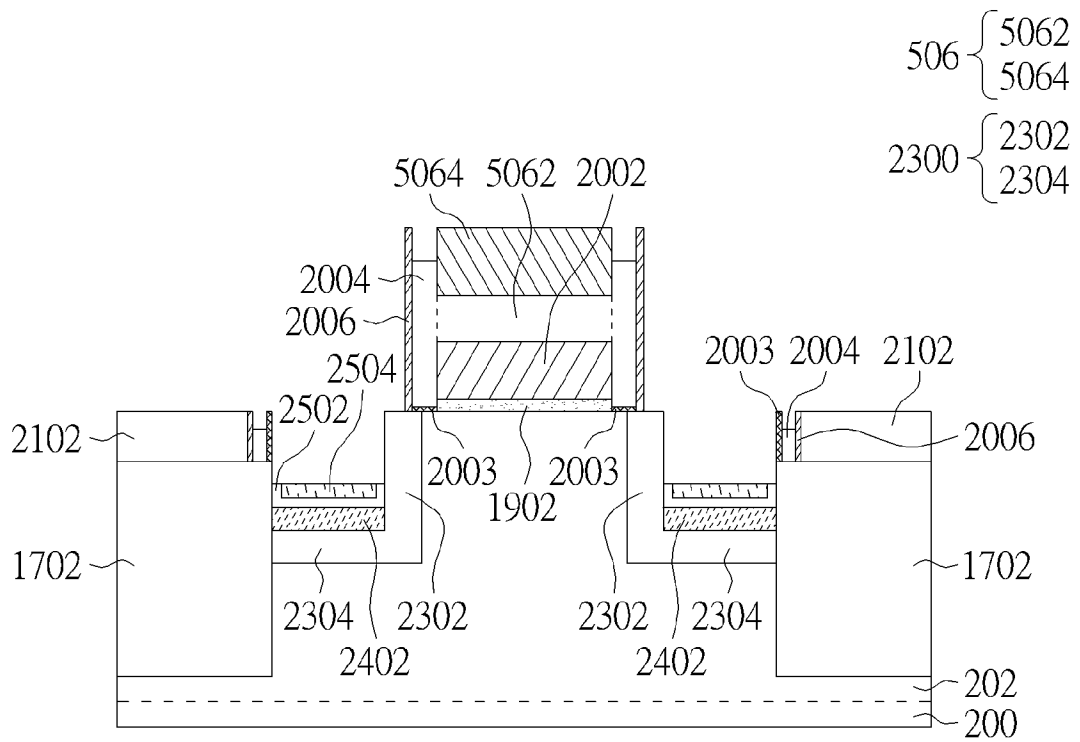


(a)

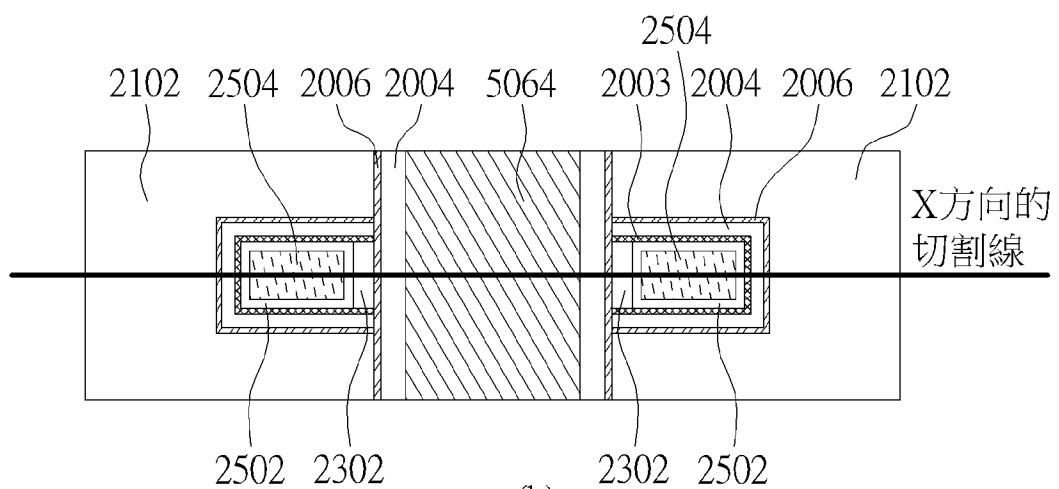


(b)

第25圖

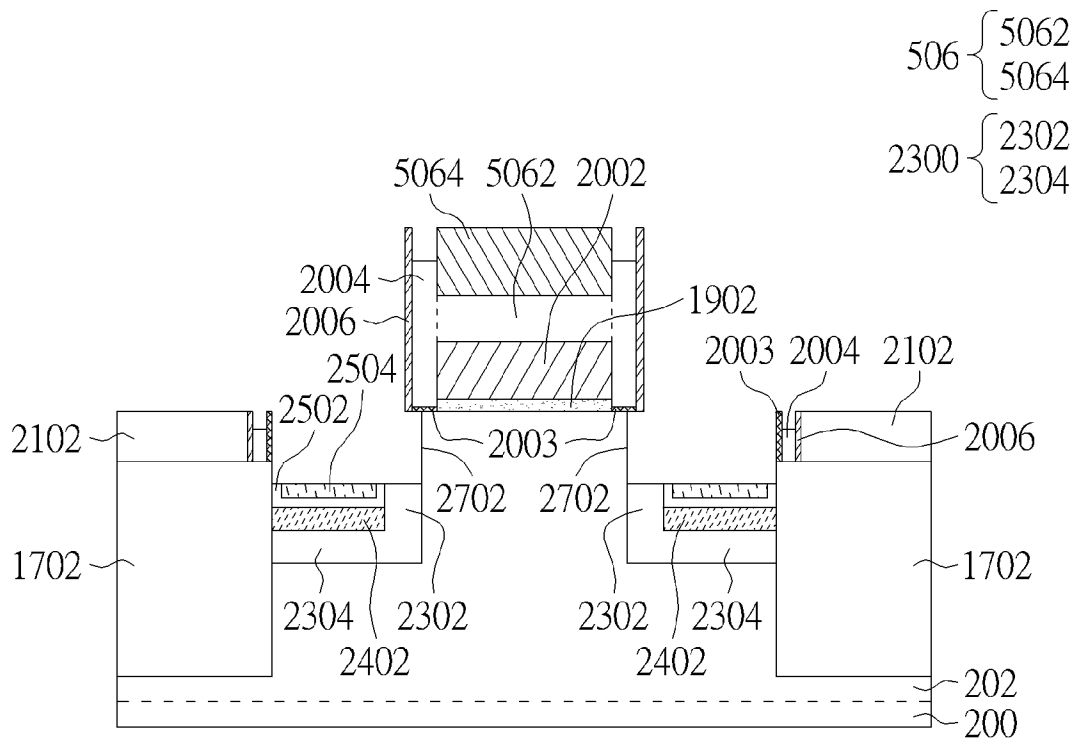


(a)

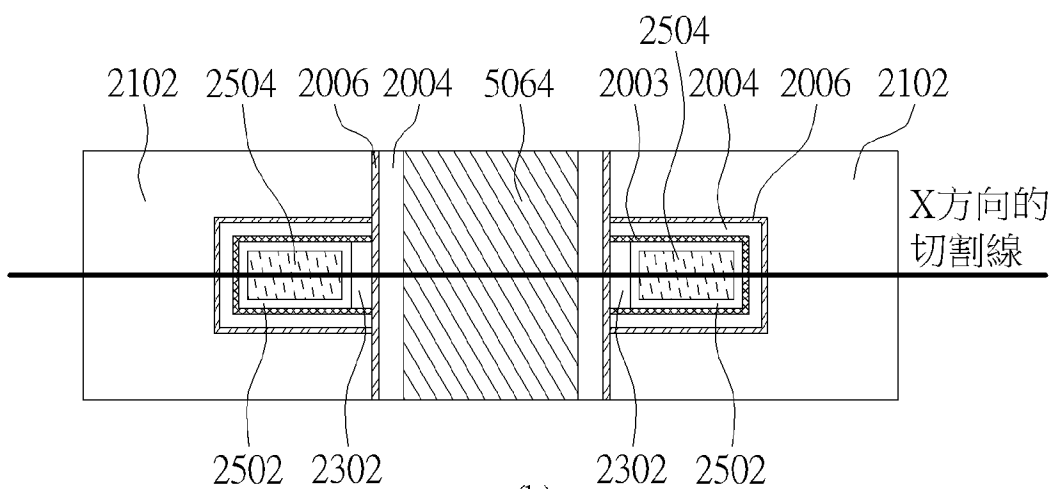


(b)

第26圖

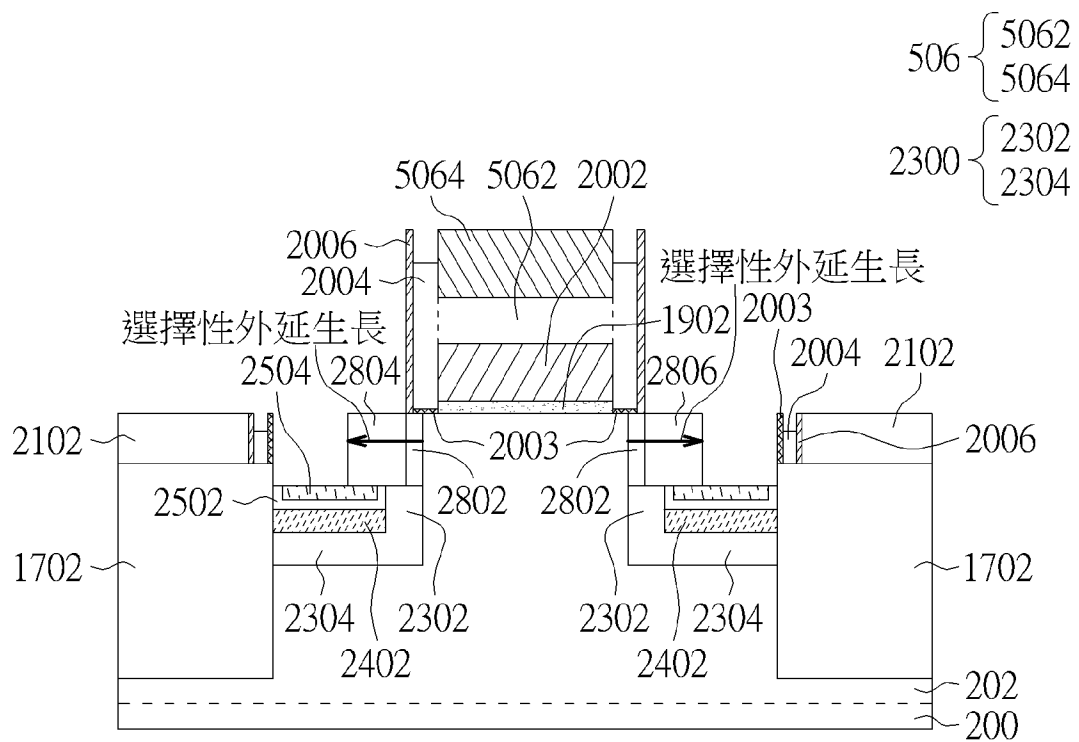


(a)

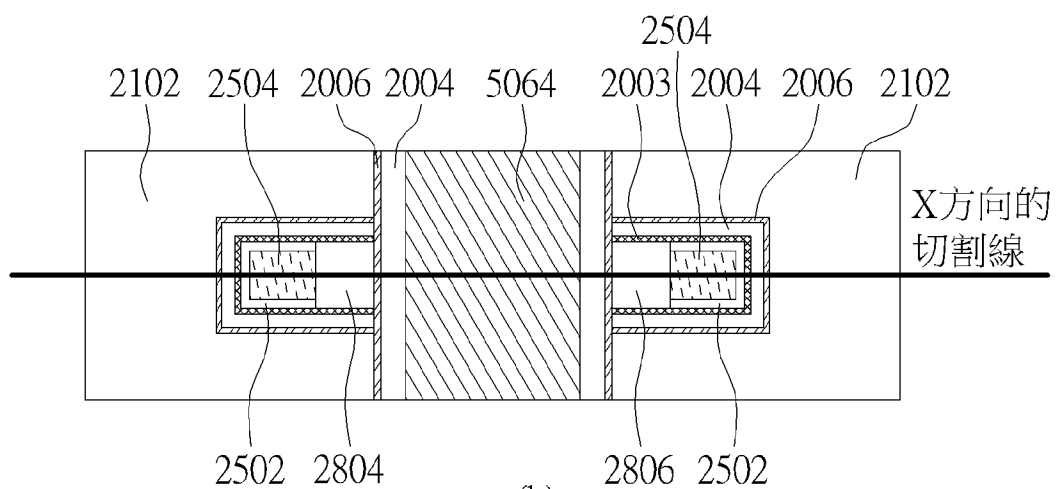


(b)

第27圖



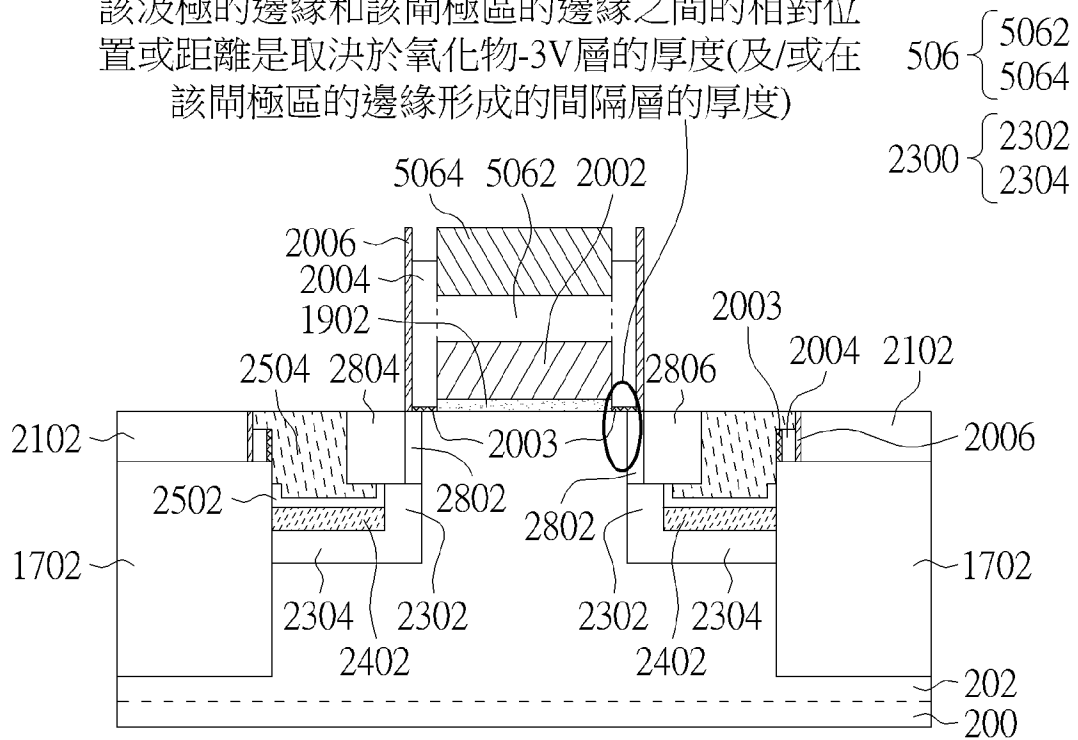
(a)



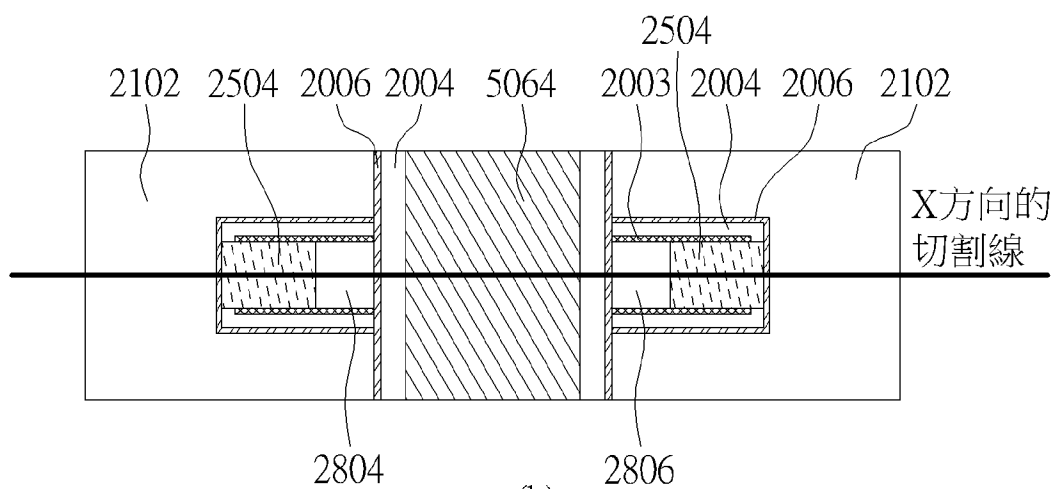
(b)

第28圖

該汲極的邊緣和該閘極區的邊緣之間的相對位置或距離是取決於氧化物-3V層的厚度(及/或在該閘極區的邊緣形成的間隔層的厚度)



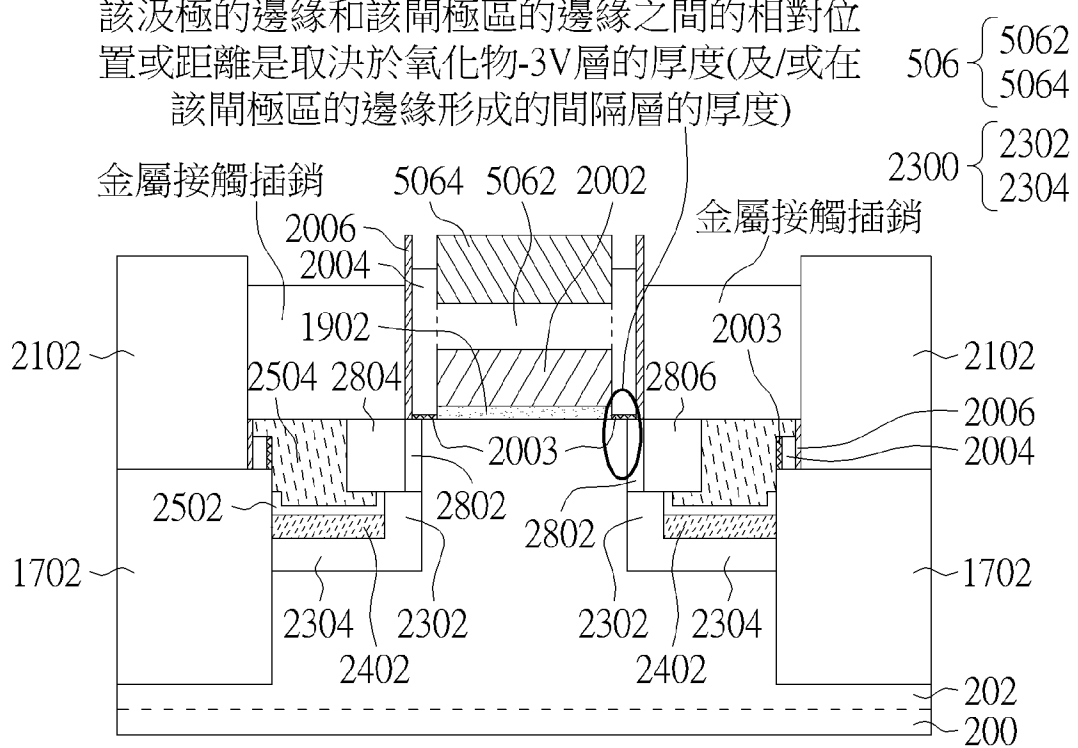
(a)



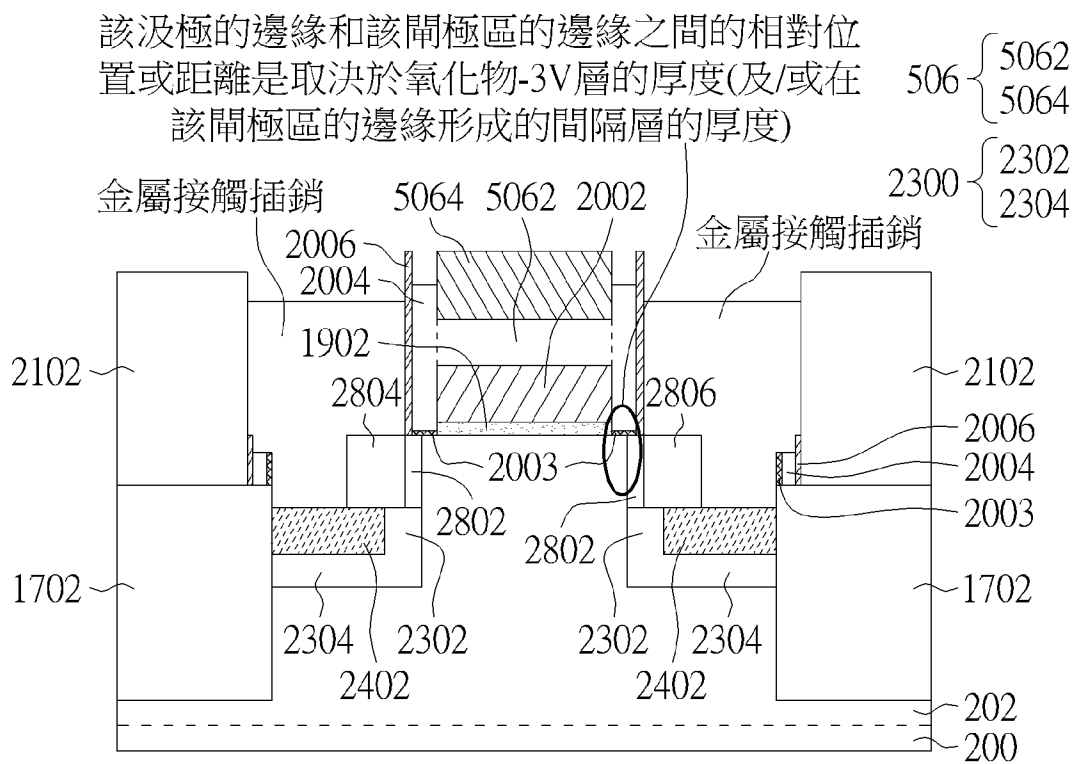
(b)

第29圖

該汲極的邊緣和該閘極區的邊緣之間的相對位置或距離是取決於氧化物-3V層的厚度(及/或在該閘極區的邊緣形成的間隔層的厚度)



第30A圖



第30B圖