

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. <i>H01L 21/336</i> (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월20일 10-0562731 2006년03월14일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0072327 2002년11월20일	(65) 공개번호 (43) 공개일자	10-2003-0051224 2003년06월25일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 10/020,868 2001년12월12일 미국(US)

(73) 특허권자 샤프 가부시키키가이샤
일본 오사카후 오사카시 아베노꾸 나가이계쵸 22방 22고

(72) 발명자 리팅카이
미국98683워싱턴주벨쿠버사우쓰이스트23번스트리트18701

수성팅
미국98607워싱턴주캐마스노쓰웨스트트라우트코트2216

(74) 대리인 특허법인코리아나

심사관 : 정회환

(54) 고유전율 게이트 산화막상의 강유전체 박막의MOCVD용 시드층 프로세스

요약

고유전율층상에 강유전체 박막을 형성하는 방법으로서, 실리콘 기판을 준비하는 단계; 그 기판상에 고유전율층을 형성하는 단계; 그 고유전율층상에 상대적으로 고온에 강유전체 물질의 시드층을 성막하는 단계; 상대적으로 저온에 시드층상에 강유전체 물질의 상부층을 성막하는 단계, 및 기판, 고유전율층, 및 강유전체층들을 어닐링하여 강유전체 박막을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

대표도

도 3

색인어

고유전율, 게이트 산화막, 강유전체, MOCVD, 시드층

명세서

도면의 간단한 설명

도 1 은 시드층이 없는, 성막한 PGO 박막을 나타낸 도면.

도 2 는 어닐링후의 도 1 의 PGO 박막을 나타낸 도면.

도 3 은 어닐링후의 성장한 PGO 시드층 및 PGO 박막의 X-레이 패턴을 나타낸 도면.

도 4 는 시드층이 있는 고유전율층상에 성막한, 성장한 PGO 박막을 나타낸 도면.

도 5 는 어닐링후의 도 4 의 PGO 박막을 나타낸 도면.

도 6 은 본 발명의 방법에 따라서 구성한 PGO MFOS 캐패시터의 C-V 곡선을 나타낸 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

삭제

본 발명은 강유전체 박막 프로세스, 강유전체 메모리 장치 구조, 및 강유전체 비휘발성 메모리 장치용 집적 프로세스에 관한 것으로, 특히 고유전율 게이트 산화막상에 형성한 강유전체 박막을 제조하는 방법에 관한 것이다.

관련 응용분야에는 금속, 강유전체, 산화물, 및 실리콘 (MFOS) 트랜지스터 강유전체 메모리 장치가 제안되어 있다. 원하는 특성을 갖는 MFOS 트랜지스터 메모리 장치를 제공하기 위하여, 산화물은 강유전체 및 실리콘 기판과 반응하지도 않고 그것으로 확산하지도 않아야 한다. 반면, 산화물층상에 성막하는 강유전체 박막은 메모리 트랜지스터에 사용하기 위해서 우수한 강유전체 특성을 갖는다. 원하는 강유전체 특성을 갖는 균질 강유전체 박막은, 고유전율 게이트 산화막과 강유전체 물질간의 인터페이스 부정합으로 인하여 게이트 산화막상에 성막하는 것이 어렵다. 부정합은 PGO 등의 강유전체 박막을 랜덤하게 하고 더 거친 표면 거칠기를 유발한다. 인터페이스 부정합을 해결하기 위하여, MFOS 트랜지스터 강유전체 메모리 응용에 대하여 시드층 프로세스를 개발하였다.

발명이 이루고자 하는 기술적 과제

고유전율층상에 강유전체 박막을 형성하는 방법으로서, 실리콘 기판을 준비하는 단계; 그 기판상에 고유전율층을 형성하는 단계; 그 고유전율층상에 상대적으로 고온에 강유전체 물질의 시드층을 성막하는 단계; 상대적으로 저온에 시드층상에 강유전체 물질의 상부층을 성막하는 단계, 및 기판, 고유전율층, 및 강유전체층들을 어닐링하여 강유전체 박막을 형성하는 단계를 포함하는 것을 특징으로 하는 방법이 제공된다.

본 발명의 목적은 FE 성막 프로세스를 개선시키기 위하여 FE 물질의 시드층을 제공하는 것이다.

본 발명의 다른 목적은 인터페이스 부정합에 의해 열화되지 않은 FE 장치를 제공하는 것이다.

본 발명의 다른 목적은 MFOS 트랜지스터 강유전체 메모리 응용에서 ZrO_2 , HfO_2 , 및 $(Zr_x, Hf_{1-x})O_2$ 등의 고유전율 게이트 산화막상에 균질 강유전체 박막을 성막하는 시드층 프로세스를 제공하는 시드층 프로세스를 사용하는 FE 장치를 제공하는 것이다.

본 발명의 다른 목적은 MFOS 원 트랜지스터 장치 (MFOS one transistor device) 를 제공하는 것이다.

이런 본 발명의 요약과 목적은 본 발명의 특성의 빠른 이해가 가능하도록 제공한 것이다. 도면과 관련하여 본 발명의 바람직한 실시형태의 하기 상세한 설명은 참조하면, 본 발명을 보다 완전하게 이해할 것이다.

발명의 구성 및 작용

고유전율층상에 강유전체층을 제조하는 것을 설명하기 위해서, 본 발명의 방법의 일예인 원 트랜지스터 메모리 장치에 강유전체 (FE) 박막 금속-강유전체-산화물-실리콘 (MFOS) 구조가 내장되는 것을 선택하였다. MFOS 트랜지스터 메모리 장치에서 적당한 전기적 특성을 얻기 위해서, MFOS 트랜지스터 강유전체 메모리 응용에 대한 본 발명의 방법에 따라서 시드층을 제조한다. 평탄한 강유전체 납 게르마늄 산화물 ($Pb_5Ge_3O_{11}$)(PGO) 박막을 ZrO_2 , HfO_2 , 또는 $(Zr_x, Hf_{1-x})O_2$ 등의 고유전율 게이트 산화막상에 성막할 수 있으며, 이 PGO 박막은 본 발명의 시드층 MOCVD 법을 이용하여 낮은 표면 거칠기와 균일한 두께를 갖게 된다.

본 발명의 방법

본 발명의 방법의 바람직한 실시형태에서는, MFOS 원 트랜지스터 메모리셀의 기관으로서 P형 실리콘 웨이퍼를 사용한다. 실리콘 웨이퍼를 SC1 + SC2 를 사용하여 세정하며; 여기서 SC1 은 5500ml 의 탈이온수, 1100ml 의 NH_4OH 및 1100ml 의 H_2O_2 의 혼합물이며, SC2 는 6000ml 의 탈이온수, 1000ml 의 HCl, 및 1000ml 의 H_2O_2 의 혼합물이다. 표면 산화막을 HF 덩 에칭에 의해 제거한다. 본 발명의 바람직한 실시형태에서는, 스퍼터링에 의해 약 3.5nm 내지 15nm 의 두께를 갖는 HfO_2 와 $(Zr_{0.5}, Hf_{0.5})O_2$ 박막 등의 고유전율 물질층을 실리콘 기관상에 성막한다. 완전 산화를 달성하기 위해서 HfO_2 및 $(Zr_{0.5}, Hf_{0.5})O_2$ 층을 갖는 실리콘 웨이퍼를 순수산소환경에서 약 500°C 내지 550°C 의 온도로 어닐링한다. $(Zr_{0.5}, Hf_{0.5})O_2$ 층상에 대략 200nm 내지 300nm 의 두께의 c축 배향 $Pb_5Ge_3O_{11}$ (PGO) 박막을 갖는 층을 성장시키기 위하여 산화물 MOCVD 반응기를 사용한다. 약 100nm 의 두께를 갖는 플라티늄의 상부전극을 전기침 증착 기술에 의해 성막한다.

FE 물질의 MOCVD 성막을 위해서, 5.0:3 내지 5.5:3 의 분자비인, thd 가 $C_{11}H_{19}O_2$ 이고 ETO 가 OC_2H_5 인 $[Pb(thd)_2]$ 과 $[Ge(ETO)_4]$ 을, 약 8:2:1 의 분자비인 부틸 에테르나 테트라하이드로퓨란, 이소프로판올, 및 테트라글림의 혼합 용액에 용해시켜서, 전구체 용액을 형성한다. 전구체 용액은 약 0.1M/L 의 PGO 농도를 갖는다. 펌프에 의해서 약 0.05ml/min 내지 0.20ml/min 의 유량으로 그리고 약 180°C 내지 240°C 범위의 온도로 용액을 기화기 (vaporizer) 에 주입하여, 전구체 가스를 형성한다. 공급라인은 185°C 내지 245°C 의 온도로 유지한다.

바람직한 실시형태에서, FE 시드층 MOCVD 및 어닐링 프로세스는, 다음과 같이, 고유전율 $(Zr_{0.5}, Hf_{0.5})O_2$ 상에 성막한 c축 배향 PGO 박막층의 성막을 포함한다. 성막 온도는 약 500°C 내지 540°C 이고; 압력은 1 torr 내지 5 torr 이고; 산소 분압은 약 20% 내지 30% 이고; 기화기 온도는 약 180°C 내지 200°C 이고; 용액 공급속도는 약 0.05ml/min 내지 0.1 ml/min 이고; 성막 시간은 약 5분 내지 20분이다.

PGO 본체 또는 상부 FE 층을, 다음과 같이, 상대적으로 저온에서 시드층상에 성막한다. 성막 온도는 약 380°C 내지 420°C 이고; 압력은 약 5 torr 내지 10 torr 이고; 산소 분압은 약 30% 내지 40% 이고; 기화기 온도는 200°C 내지 240°C 이고; 용액 공급속도는 약 0.1ml/min 내지 0.2 ml/min 이고; 성막 시간은 원하는 막두께에 따라서 약 1시간 내지 3시간이다.

후성막 어닐링 온도는, 순수 산소 환경에서 30분 내지 1시간 동안 약 520°C 내지 560°C 이다. 막의 상은 x-레이 회절을 이용하여 식별한다. PGO MFOS 캐패시터의 용량은 Keithley 182 CV 분석기를 사용하여 측정한다.

결과

낮은 표면 거칠기를 갖고 상대적으로 작은 입자를 함유하는 평탄한 PGO 박막을 형성하기 위하여, 상대적으로 낮은 성막온도에서 PGO 박막을 성막한 후, 균일한 입자성장을 촉진하기 위하여 상대적으로 높은 온도에서 어닐링해야 한다. 실험 결과는 도 1 과 도 2 의 SEM 사진에 나타난 바와 같이, 평탄한 무정형 PGO 박막이 고온 어닐링 후에는 매우 거칠게 되었다. 표면이 거칠어지는 이유는 저온에서 성막한 PGO 박막에는 균일한 입자 성장을 촉진하기에 충분한 결정핵이 존재하지 않기 때문에 높은 표면 거칠기가 발생하는 것이다.

이러한 문제점을 해결하기 위하여 본 발명의 방법의 시드층 MOCVD 프로세스를 개발하였다. 상대적으로 고온에서 그리고 상대적으로 낮은 성막 압력에서 PGO 시드층을 성막한다. 결과적으로 낮은 성막 속도와 상대적으로 낮은 산소 분압은, 소

망하지 않는 입자의 형성을 발생시킬 수 있는 입자의 기상 반응을 방지한다. 후속 박막 성장 단계에서는 균질이며 연속적인 c축 배향 PGO 시드층의 형성이 필요하다. 도 3은 PGO 시드층의 x-레이 패턴을 나타내며 일반적으로 (10)에서 단일 위상 c축 PGO 시드층의 존재를 나타낸다.

본 발명의 방법의 다음 단계는 상대적으로 낮은 성막 온도로 시드층 상에 무정형 PGO 박막을 성장시킨 후, 상대적으로 높은 온도로 PGO 박막을 어닐링하여 완전 결정화된 PGO 박막을 제조하는 것이다. PGO 시드층은 어닐링 공정동안 PGO 입자 성장에 대하여 균질 결정핵을 제공하기 때문에, 평탄하고 완전 결정화된 PGO 박막을 형성한다. 또한, 도 3은 어닐링 (14) 후의 성장한 (12) PGO 박막의 x-레이 패턴을 나타낸다.

도 4는 $(Zr_x, Hf_{1-x})O_2$ 상에 성장한 PGO 박막의 SEM 사진이며, 도 5는 어닐링후의 PGO 박막의 SEM 사진이다. 성장한 PGO 박막은 매우 평탄하며 매우 낮은 표면 거칠기를 갖는다. 약 540°C의 온도로 어닐링한 후에, 본 발명의 방법에 따라서 형성한 PGO 박막의 입자크기는 증가하지만, PGO 박막은 여전히 평탄하며, 어닐링은 박막의 표면 거칠기에 거의 영향을 미치지 않는다.

본 발명의 방법의 시드층 MOCVD 프로세스에 의해 제조한 PGO 박막상에 플라티늄 상부 전극을 성막하여 MFOS 캐패시터를 형성한다. 도 6은 본 발명의 방법의 시드층 MOCVD 프로세스에 따라서 형성한 PGO MFOS 캐패시터의 C-V 곡선을 나타낸다. 1.5V 내지 2.0 V의 메모리 윈도우를 쉽게 측정한다.

본 발명의 시드층에 따른 우수한 강유전체 특성을 유지하면서 균질 강유전체 박막을 고유전율 게이트 산화막상에 성막할 수 있다. 시드층을 MOCVD, 스퍼터링, MOD, 및 졸-겔 등의 방법으로 성막할 수 있다. 낮은 표면 거칠기와 균일한 두께를 갖는, 균질이고 평탄한 PGO 박막을, 본 발명의 시드층 MOCVD 프로세스 방법을 사용하여 $(Zr_x, Hf_{1-x})O_2$ 층상에 성막한다. PGO MFOS 캐패시터의 메모리 윈도우는 약 1.5V 내지 2.0V의 범위로 측정된다.

이상, 고유전율 게이트 산화막상에 성막한 MOCVD 강유전체 박막용 시드층 프로세스를 개시하였다. 청구된 청구범위에서 정의한 본 발명의 범위를 벗어나지 않고 추가적인 변형과 변경을 수행할 수 있음은 명백하다.

발명의 효과

상기와 같은 본 발명에 따르면, 원하는 강유전체 특성을 갖는 균질 강유전체 박막에서 게이트 산화막상에 성막하는 것을 보다 용이하게 할 수 있다.

또한, 강유전체 박막이 랜덤하게 되고 더 거칠어지는 문제를 감소시킬 수 있다.

(57) 청구의 범위

청구항 1.

고유전율층상에 강유전체 박막을 형성하는 방법으로서,

실리콘 기판을 준비하는 단계;

상기 실리콘 기판 상에 고유전율층을 형성하는 단계;

상기 고유전율층 상에 강유전체 물질의 시드층을 상대적 고온에서 성막하는 단계;

상기 시드층 상에 강유전체 물질의 상부층을 상대적으로 저온에서 성막하는 단계; 및

상기 실리콘 기판, 상기 고유전율층 및 상기 강유전체층을 어닐링하여 강유전체 박막을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체층의 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 시드층을 성막하는 단계는, 약 500°C 내지 540°C 의 온도로, 약 1 torr 내지 5 torr 의 압력으로, 약 20% 내지 30% 의 산소 분압을 갖는 분위기 중에서, 약 180°C 내지 200°C 의 기화기 온도로, c축 배향 PGO 박막층을 성막하는 단계를 포함하며,

전구체 용액은 약 5분 내지 20분의 성막시간 동안 약 0.05ml/min 내지 0.1ml/min 의 공급 속도를 갖는 것을 특징으로 하는 강유전체층의 형성 방법.

청구항 3.

제 1 항에 있어서,

상기 상부 강유전체층을 성막하는 단계는, 약 380°C 내지 420°C 의 성막 온도에서 PGO 박막을 성막하는 단계를 포함하며,

성막 압력은, 약 30% 내지 40% 의 산소 분압을 갖는 분위기 중에서, 약 200°C 내지 240°C 의 기화기 온도에서, 약 5 torr 내지 10 torr 의 압력이며,

전구체 용액 공급 속도는 약 0.1ml/min 내지 0.2ml/min 이며,

성막시간은 약 1시간 내지 3시간인 것을 특징으로 하는 강유전체층의 형성 방법.

청구항 4.

제 1 항에 있어서,

MOCVD 에 의한 성막용 강유전체 전구체를 준비하는 단계를 더 포함하고,

5.0:3 내지 5.5:3 의 분자비인, thd 가 $C_{11}H_{19}O_2$ 이고 ETO 가 OC_2H_5 인 $[Pb(thd)_2]$ 과 $[Ge(ETO)_4]$ 의 용액이, 부틸 에테르, 테트라하이드로퓨란, 및 이소프로판올과 테트라글림으로 이루어진 용매군으로부터 선택한 용매로 이루어진 혼합 용매에 약 8:2:1 의 분자비로 용해되며,

용액은 약 0.1M/L 의 PGO 농도를 가지며,

용액은 펌프에 의해서 약 0.05ml/min 내지 0.20ml/min 의 유량으로 약 180°C 내지 240°C 범위의 온도로 기화기에 주입되어, 전구체 가스를 형성하며,

MOCVD 공급 라인은 약 185°C 내지 245°C 의 온도로 유지되는 것을 특징으로 하는 강유전체층의 형성 방법.

청구항 5.

제 1 항에 있어서,

상기 고유전율층을 형성하는 단계는, HfO_2 와 $(Zr_{0.5}, Hf_{0.5})O_2$ 으로 이루어진 물질군으로부터 선택한 물질층을 약 3.5nm 내지 15nm 의 두께로 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체층의 형성 방법.

청구항 6.

제 1 항에 있어서,

상기 어닐링 단계는, 순수 산소 분위기 중에서 약 30분 내지 한시간 동안 약 520℃ 내지 560℃ 의 온도에서 기판을 어닐링 하는 단계를 포함하는 것을 특징으로 하는 강유전체층의 형성 방법.

청구항 7.

제 1 항에 있어서,

상기 실리콘 기판을 준비하는 단계는, SC1 + SC2 를 사용하여 기판을 세정하는 단계를 포함하며,

SC1 은 5500ml 의 탈이온수, 1100ml 의 NH_4OH , 및 1100ml 의 H_2O_2 의 혼합물이고, SC2 는 6000ml 의 탈이온수, 1000ml 의 HCl, 및 1000ml 의 H_2O_2 의 혼합물이며,

표면 산화막을 HF 딥 에칭에 의해 제거하는 단계를 더 포함하는 것을 특징으로 하는 강유전체층의 형성 방법.

청구항 8.

제 1 항에 있어서,

강유전체 시드층을 성막하는 단계는, MOCVD, 스퍼터링, 및 졸-겔로 이루어진 기술군으로부터 선택한 성막 기술에 의해 시드층을 성막하는 것을 특징으로 하는 강유전체층의 형성 방법.

청구항 9.

고유전율층상에 강유전체 박막을 형성하는 방법으로서,

실리콘 기판을 준비하는 단계;

상기 실리콘 기판 상에 고유전율층을 형성하고, 상기 고유전율층을 어닐링하여 산화물층을 형성하는 단계;

PGO 전구체 용액을 준비하는 단계;

상기 고유전율 산화물층 상에 강유전체 물질의 시드층을 성막하는 단계;

상기 시드층 상에 강유전체 물질의 상부층을 상대적으로 저온에서 성막하는 단계; 및

상기 실리콘 기판, 상기 고유전율층 및 상기 강유전체층을 어닐링하여 강유전체 박막을 형성하는 단계를 포함하며,

상기 시드층을 성막하는 단계는, 약 500℃ 내지 540℃ 의 온도로, 약 1 torr 내지 5 torr 의 압력으로, 약 20% 내지 30% 의 산소 분압을 갖는 분위기중에, 약 180℃ 내지 200℃ 의 기화기 온도로, c축 배향 PGO 박막을 성막하는 단계를 포함하며, 전구체 용액은 약 5분 내지 20분의 성막시간동안 약 0.05ml/min 내지 0.1ml/min 의 공급속도를 가지며,

상기 상부 강유전체층을 성막하는 단계는, 약 380℃ 내지 420℃ 의 성막 온도로 PGO 박막층을 성막하는 단계를 포함하고, 성막 압력은, 약 30% 내지 40% 의 산소 분압을 갖는 분위기 중에서, 약 200℃ 내지 240℃ 의 기화기 온도에서, 약 5 torr 내지 10 torr 의 압력이며, 전구체 용액 공급속도는 약 0.1ml/min 내지 0.2ml/min 이고, 성막시간은 약 1시간 내지 3 시간이며,

상기 어닐링 단계는 순수 산소 분위기중에서 약 30분 내지 한시간 동안, 약 520℃ 내지 560℃ 의 온도에서 어닐링하는 단계를 포함하는 것을 특징으로 하는 강유전체 박막의 형성 방법.

청구항 10.

제 9 항에 있어서,

MOCVD 에 의한 성막용 강유전체 전구체 용액을 준비하는 단계를 더 포함하고,

5.0:3 내지 5.5:3 의 분자비인, thd 가 $C_{11}H_{19}O_2$ 이고 ETO 가 OC_2H_5 인 $[Pb(thd)_2]$ 과 $[Ge(ETO)_4]$ 용액이, 부틸 에테르, 테트라하이드로퓨란, 및 이소프로판올과 테트라글림으로 이루어진 용매군으로부터 선택한 용매로 이루어진 혼합용매에, 약 8:2:1 의 분자비로 용해되며,

용액은 약 0.1M/L 의 PGO 농도를 가지며,

용액은 펌프에 의해서 약 0.05ml/min 내지 0.20ml/min 의 유량으로 약 180℃ 내지 240℃ 범위의 온도로 기화기에 주입되어, 전구체 가스를 형성하며,

MOCVD 공급 라인은 약 185℃ 내지 245℃ 의 온도로 유지되는 것을 특징으로 하는 강유전체 박막의 형성 방법.

청구항 11.

제 9 항에 있어서,

상기 고유전율층을 형성하는 단계는, HfO_2 와 $(Zr_{0.5}, Hf_{0.5})O_2$ 로 이루어진 물질의 군으로부터 선택한 물질층을 약 3.5 nm 내지 15 nm 의 두께로 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 박막의 형성 방법.

청구항 12.

제 9 항에 있어서,

상기 실리콘 기판을 준비하는 단계는 SC1 + SC2 를 사용하여 기판을 세정하는 단계를 포함하며,

SC1 은 5500ml 의 탈이온수, 1100ml 의 NH_4OH 및 1100ml 의 H_2O_2 의 혼합물이고, SC2 는 6000ml 의 탈이온수, 1000ml 의 HCl 및 1000ml 의 H_2O_2 의 혼합물이며,

표면 산화막을 HF 딥 에칭에 의해 제거하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 박막의 형성 방법.

청구항 13.

고유전율층 상에 성막된 강유전체 박막을 갖는 MFOS 캐패시터를 제조하는 방법으로서,

실리콘 기판을 준비하는 단계;

상기 실리콘 기판 상에 고유전율층을 형성하는 단계;

상기 고유전율층 상에 강유전체 물질의 시드층을 상대적으로 고온에서 성막하는 단계;

상기 시드층 상에 강유전체 물질의 상부층을 상대적으로 저온에서 성막하는 단계;

상기 실리콘 기판, 상기 고유전율층, 및 상기 강유전체층을 어닐링하여 강유전체 박막을 형성하는 단계;

상기 강유전체 박막 상에 전극을 형성하는 단계; 및

MFOS 캐패시터를 금속화하여 완성하는 단계를 포함하는 것을 특징으로 하는 MFOS 캐패시터의 제조 방법.

청구항 14.

제 13 항에 있어서,

MFOS 캐패시터는 약 1.5V 내지 2.0 V 범위의 메모리 윈도우를 갖는 것을 특징으로 하는 MFOS 캐패시터의 제조 방법.

청구항 15.

제 13 항에 있어서,

상기 시드층을 성막하는 단계는, 약 500°C 내지 540°C 의 온도로, 약 1 torr 내지 5 torr 의 압력으로, 약 20% 내지 30% 의 산소 분압을 갖는 분위기중에, 약 180°C 내지 200°C 의 기화기 온도에서, c축 배향 PGO 박막층을 성막하는 단계를 포함하고,

전구체 용액은 약 5분 내지 20분의 성막 시간동안 약 0.05ml/min 내지 0.1 ml/min 의 공급속도를 갖는 것을 특징으로 하는 MFOS 캐패시터의 제조 방법.

청구항 16.

제 13 항에 있어서,

상기 상부 강유전체층을 성막하는 단계는, 약 380°C 내지 420°C 의 성막 온도에서 PGO 박막을 성막하는 단계를 포함하며,

성막 압력은 약 30% 내지 40% 의 산소 분압을 갖는 분위기중에, 약 200°C 내지 240°C 의 기화기 온도로, 약 5 torr 내지 10 torr 의 압력이며,

전구체 용액 공급속도는 약 0.1ml/min 내지 0.2ml/min 이며,

성막시간은 약 1시간 내지 3시간인 것을 특징으로 하는 MFOS 캐패시터의 제조 방법.

청구항 17.

제 13 항에 있어서,

MOCVD 에 의한 성막용 강유전체 전구체를 준비하는 단계를 더 포함하고,

5.0:3 내지 5.5:3 의 분자비인, thd 가 $C_{11}H_{19}O_2$ 이고 ETO 가 OC_2H_5 인 $[Pb(thd)_2]$ 과 $[Ge(ETO)_4]$ 용액이, 부틸 에테르, 테트라하이드로퓨란, 및 이소프로판올과 테트라글림으로 이루어진 용매군으로부터 선택한 용매로 이루어진 혼합용매에, 약 8:2:1 의 분자비로 용해되며,

용액은 약 0.1M/L 의 PGO 농도를 가지며,

용액은 펌프에 의해서 약 0.05ml/min 내지 0.20ml/min 의 유량으로 약 180℃ 내지 240℃ 범위의 온도로 기화기에 주입되어, 전구체 가스를 형성하며,

MOCVD 공급 라인은 약 185℃ 내지 245℃ 의 온도로 유지되는 것을 특징으로 하는 MFOS 캐패시터의 제조 방법.

청구항 18.

제 13 항에 있어서,

상기 고유전율층을 형성하는 단계는, HfO_2 와 $(\text{Zr}_{0.5}, \text{Hf}_{0.5})\text{O}_2$ 으로 이루어진 물질군으로부터 선택한 물질층을 약 3.5nm 내지 15nm 의 두께로 형성하는 단계를 포함하는 것을 특징으로 하는 MFOS 캐패시터의 제조 방법.

청구항 19.

제 13 항에 있어서,

상기 어닐링 단계는, 순수 산소 분위기중에 약 30분 내지 한시간 동안 약 520℃ 내지 560℃ 의 온도로 기판을 어닐링하는 단계를 포함하는 것을 특징으로 하는 MFOS 캐패시터의 제조 방법.

청구항 20.

제 13 항에 있어서,

상기 실리콘 기판을 준비하는 단계는, SC1 + SC2 를 사용하여 기판을 세정하는 단계를 포함하며,

SC1 은 5500ml 의 탈이온수, 1100ml 의 NH_4OH , 및 1100ml 의 H_2O_2 의 혼합물이고, SC2 는 6000ml 의 탈이온수, 1000ml 의 HCl , 및 1000ml 의 H_2O_2 의 혼합물이며,

표면 산화막을 HF 딥 에칭에 의해 제거하는 단계를 더 포함하는 것을 특징으로 하는 MFOS 캐패시터의 제조 방법.

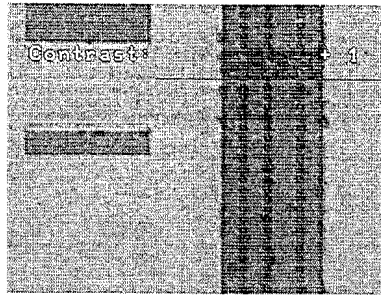
청구항 21.

제 13 항에 있어서,

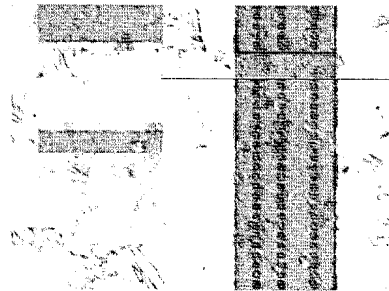
상기 강유전체 시드층을 성막하는 단계는, MOCVD, 스퍼터링, 및 졸-겔로 이루어진 기술군으로부터 선택한 성막기술에 의해 시드층을 성막하는 것을 특징으로 하는 MFOS 캐패시터의 제조 방법.

도면

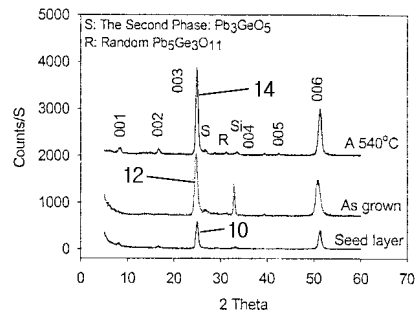
도면1



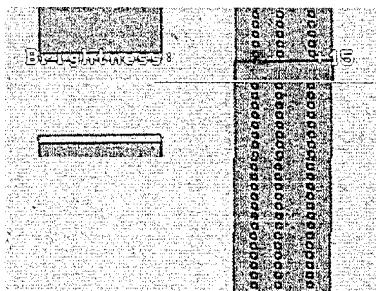
도면2



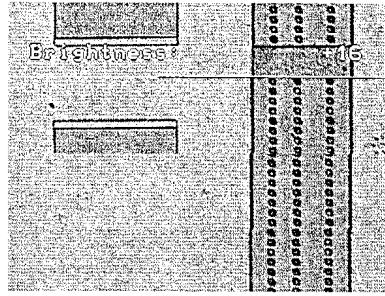
도면3



도면4



도면5



도면6

