



# (12)发明专利申请

(10)申请公布号 CN 109450283 A  
(43)申请公布日 2019.03.08

(21)申请号 201811533941.6

(22)申请日 2018.12.14

(71)申请人 山东鲁能智能技术有限公司

地址 250101 山东省济南市高新区新泺大街2008号银荷大夏B座

(72)发明人 任士康 刘爱忠 孙永亮 曹同利  
丁玉华 孙久军 李志高 张国营  
李伟生 黄厚诚

(74)专利代理机构 济南圣达知识产权代理有限公司 37221

代理人 董雪

(51)Int.Cl.

H02M 7/483(2007.01)

H02M 1/08(2006.01)

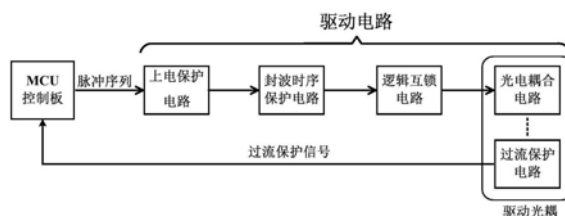
权利要求书1页 说明书4页 附图4页

## (54)发明名称

一种用于NPC三电平拓扑的驱动电路及应用

## (57)摘要

本发明公开了一种用于NPC三电平拓扑的驱动电路及应用,包括:依次连接的封波时序保护电路和逻辑互锁电路;所述封波时序保护电路包括逻辑与门,通过所述逻辑与门实现②管的PWM脉冲序列为低电平时,①管的PWM脉冲序列也为低电平,和/或,③管的PWM脉冲序列为低电平时,④管的PWM脉冲序列也为低电平;逻辑互锁电路包括驱动光耦,所述驱动光耦的输入信号为封波时序保护电路输出的PWM脉冲序列;通过所述驱动光耦实现①管和③管的互补导通,和/或,实现②管和④管的互补导通。本发明能够实现控制芯片在上电期间所有脉冲序列均为低电平,互补管满足可靠的逻辑互补关系,在封波时满足关断时序要求,过流关断时避免开关管承受过电压。



1. 一种用于NPC三电平拓扑的驱动电路,其特征在于,包括:依次连接的封波时序保护电路和逻辑互锁电路;所述封波时序保护电路实现在封波时满足关断时序要求;所述逻辑互锁电路使得互补管满足逻辑互补关系。

2. 如权利要求1所述的一种用于NPC三电平拓扑的驱动电路,其特征在于,所述封波时序保护电路包括逻辑与门,通过所述逻辑与门实现②管的PWM脉冲序列为低电平时,①管的PWM脉冲序列也为低电平,和/或,③管的PWM脉冲序列为低电平时,④管的PWM脉冲序列也为低电平;

所述逻辑互锁电路包括驱动光耦,所述驱动光耦的输入信号为封波时序保护电路输出的PWM脉冲序列;通过所述驱动光耦实现①管和③管的互补导通,和/或,实现②管和④管的互补导通。

3. 如权利要求1所述的一种用于NPC三电平拓扑的驱动电路,其特征在于,所述封波时序保护电路包括两个逻辑与门,一个逻辑与门的输入分别为①管和②管的触发脉冲,输出为①管的PWM脉冲序列;另外一个逻辑与门的输入分别为③管和④管的触发脉冲,输出为④管的PWM脉冲序列。

4. 如权利要求1所述的一种用于NPC三电平拓扑的驱动电路,其特征在于,所述驱动光耦中所含二极管的阳极为封波时序保护电路输出的其中一个开关管的PWM脉冲序列;二极管的阴极输入为与该开关管互补导通的开关管的逻辑电平信号。

5. 如权利要求1所述的一种用于NPC三电平拓扑的驱动电路,其特征在于,还包括:上电保护电路,所述上电保护电路包括:在每一个开关管的PWM脉冲序列输出引脚端连接下拉电阻。

6. 如权利要求1所述的一种用于NPC三电平拓扑的驱动电路,其特征在于,还包括:过流保护电路,所述过流保护电路检测开关管的导通压降即 $V_{ce}$ ,如果有过流发生,采用软关断的方式避免过电压发生;

进一步地,

所述过流保护电路采用驱动光耦内部的软关断电路来实现。

7. 一种NPC三电平拓扑结构,其特征在于,包括权利要求1-6任一项所述的用于NPC三电平拓扑的驱动电路。

8. 一种电动汽车充电机,其特征在于,采用权利要求7所述的NPC三电平拓扑结构。

9. 一种光伏逆变器,其特征在于,采用权利要求7所述的NPC三电平拓扑结构。

10. 一种轨道交通能量回馈装置,其特征在于,采用权利要求7所述的NPC三电平拓扑结构。

## 一种用于NPC三电平拓扑的驱动电路及应用

### 技术领域

[0001] 本发明属于电力电子技术领域,尤其涉及一种用于二极管钳位型NPC (NPC-Neutral Point Clamped) 三电平拓扑驱动电路的含有逻辑保护功能的驱动电路及应用。

### 背景技术

[0002] 二极管钳位型三电平拓扑如图1所示,其输出有三种电平,即 $+\frac{1}{2}U_{dc}$ 、 $-\frac{1}{2}U_{dc}$ 、0。参照图1,开关管序号自上而下依次定义为①管、②管、③管和④管。其触发脉冲时序如图2所示,满足①管和③管互补,②管和④管互补;在正弦波正向半周期,②管保持导通,①管和③互补导通,在正弦波负向半周期,③管保持导通,②管和④管互补导通。

[0003] 采用该拓扑其驱动电路设计有如下要求:控制芯片MCU在上电期间,必须保证所有PWM脉冲序列为低电平;①管和③管,②管和④管其脉冲序列必须保证可靠互补关系;封锁触发脉冲时,须保证先封锁①管和④管,后封锁②管和③管的时序关系,避免开关管承受过电压;在开关管承受过电流时,采用延时关断的措施,避免过电压损坏。

[0004] 为满足上述逻辑关系要求,须在软件设计时加入上述规则,但由于驱动电路自身存在脉冲延时及开关器件自身寄生参数影响,存在控制失败现象。

### 发明内容

[0005] 为了避免控制逻辑失效,本发明公开了一种用于NPC三电平拓扑的、含逻辑保护的驱动电路,可靠避免了开关管因控制逻辑错乱或承受过电压而损坏。

[0006] 为了实现上述目的,本发明采用如下技术方案:

[0007] 在一个或多个实施方式中公开的一种用于NPC三电平拓扑的驱动电路,包括:依次连接的封波时序保护电路和逻辑互锁电路;所述封波时序保护电路实现在封波时满足关断时序要求;所述逻辑互锁电路使得互补管满足逻辑互补关系。

[0008] 进一步地,所述封波时序保护电路包括逻辑与门,通过所述逻辑与门实现②管的PWM脉冲序列为低电平时,①管的PWM脉冲序列也为低电平,和/或,③管的PWM脉冲序列为低电平时,④管的PWM脉冲序列也为低电平;

[0009] 所述逻辑互锁电路包括驱动光耦,所述驱动光耦的输入信号为封波时序保护电路输出的PWM脉冲序列;通过所述驱动光耦实现①管和③管的互补导通,和/或,实现②管和④管的互补导通。

[0010] 进一步地,所述封波时序保护电路包括两个逻辑与门,一个逻辑与门的输入分别为①管和②管的触发脉冲,输出为①管的PWM脉冲序列;另外一个逻辑与门的输入分别为③管和④管的触发脉冲,输出为④管的PWM脉冲序列。

[0011] 进一步地,所述驱动光耦中所含二极管的阳极为封波时序保护电路输出的其中一个开关管的PWM脉冲序列;二极管的阴极输入为与该开关管互补导通的开关管的逻辑电平信号。

[0012] 进一步地,还包括:上电保护电路,所述上电保护电路包括:在每一个开关管的PWM

脉冲序列输出引脚端连接下拉电阻。

[0013] 进一步地,还包括:过流保护电路,所述过流保护电路检测开关管的导通压降即 $V_{ce}$ ,如果有过流发生,采用软关断的方式避免过电压发生。

[0014] 进一步地,所述过流保护电路采用驱动光耦内部的软关断电路来实现。

[0015] 在一个或多个实施方式中公开的一种NPC三电平拓扑结构,包括上述的用于NPC三电平拓扑的驱动电路。

[0016] 在一个或多个实施方式中公开的一种电动汽车充电机,采用上述的NPC三电平拓扑结构。

[0017] 在一个或多个实施方式中公开的一种光伏逆变器,采用上述的NPC三电平拓扑结构。

[0018] 在一个或多个实施方式中公开的一种轨道交通能量回馈装置,采用上述的NPC三电平拓扑结构。

[0019] 本发明有益效果:

[0020] 能够实现控制芯片(MCU)在上电期间所有脉冲序列均为低电平,互补管满足可靠的逻辑互补关系,在封波时满足关断时序要求,过流关断时避免开关管承受过电压;经过实验证明,基于上述要求设计的该款驱动电路能确保系统可靠工作。

## 附图说明

[0021] 图1为二极管钳位型三电平拓扑结构示意图;

[0022] 图2为控制时序图;

[0023] 图3为驱动电路设计原则框图;

[0024] 图4为正常开关模态;

[0025] 图5为异常开关模态;

[0026] 图6为上电保护与封波时序保护电路;

[0027] 图7为以①管为例的逻辑互锁及过流保护电路;

[0028] 图8为②管与④管的驱动波形;

[0029] 图9为②管关断、④管开通驱动波形;

[0030] 图10为④管关断、②管开通驱动波形。

## 具体实施方式

[0031] 下面结合附图与具体实施方式对本发明作进一步的说明。

[0032] 应该指出,以下详细说明都是例示性的,旨在对本申请提供进一步的说明。除非另有指明,本文使用的所有技术和科学术语具有与本申请所属技术领域的普通技术人员通常理解的含义。

[0033] 需要注意的是,这里所使用的术语仅是为了描述具体实施方式,而非意图限制根据本申请的示例性实施方式。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式,此外,还应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在特征、步骤、操作、器件、组件和/或它们的组合。

[0034] 本方案公开了一种用于NPC三电平拓扑含逻辑保护的驱动电路,如图3所示,包括:

上电保护电路、封波时序保护电路、逻辑互锁电路、过流保护电路。

[0035] 在一个或多个实施例中,上电保护电路包括:MCU的PWM脉冲序列输出引脚端均连接下拉电阻。

[0036] MCU控制器在其脉冲序列输出引脚加下拉电阻,确保MCU上电期间所有脉冲均为低电平状态。

[0037] 在一个或多个实施例中,封波时序保护电路包括至少两个逻辑与门,其中一个逻辑与门的输入分别为①管和②管的PWM脉冲序列,输出为①管的PWM脉冲序列;另外一个逻辑与门的输入分别为③管和④管的PWM脉冲序列,输出④管的PWM脉冲序列。

[0038] MCU控制器输出PWM脉冲后,借助逻辑与门电路,采用②管脉冲封锁①管脉冲,③管脉冲封锁④管脉冲的设计方式,来保证封波及运行过程中的正常关断时序。

[0039] 在一个或多个实施例中,逻辑互锁电路包括施密特反向器和驱动光耦,施密特反向器与驱动光耦连接,用于调制波形。

[0040] 驱动光耦中二极管的阳极输入信号为封波时序保护电路输出的某一个开关管PWM脉冲序列;二极管的阴极信号为与该开关管互补导通开关管的逻辑电平信号。

[0041] 在驱动电路所用光耦输入信号端,采用①管和③管、②管和④管触发脉冲互锁设计。比如,光耦二极管阳极输入信号为封波时序保护电路输出的①管PWM脉冲序列,二极管阴极则为③管逻辑电平信号;只有③管为低电平时,光耦才导通输出①管的PWM脉冲序列;当③管为高电平时,光耦闭锁,即只有在③三管关断时,①管才能够导通。②管和④管电路设计原理一致。

[0042] 在一个或多个实施例中,借助驱动光耦自带的过流检测及软关断功能,即对开关管Vce进行检测来判断是否过流,一旦有过流现象发生,采用软关断方式避免过电压出现。光耦检测到过流后将保护信号发送给MCU控制器,MCU立即封锁PWM脉冲。

[0043] 如图4所示,节点N为零电势点,正常状态时:正弦波的正半周期,①管导通、②管导通、③管关断、④管关断,转变为①管关断,②管导通,③管开通,④管关断,此时C1充电,C3放电,b点电位由原来的 $+\frac{1}{2}U_{dc}$ 慢慢降低直至D1正向导通,C1端的电压被钳位为 $+\frac{1}{2}U_{dc}$ ,①号开关管承受正常耐压。

[0044] 如图5所示,异常状态时,在正弦波正向过零点处,②管由导通转变为关断,此刻①管导通,③管关断,④管由关断转变为导通,此时b点电位为 $+\frac{1}{2}U_{dc}$ ,C2充电,C4放电,d点电位为 $-\frac{1}{2}U_{dc}$ ,C2与C3耐压值和为 $U_{dc}$ ,因无均压措施,会有过压现象出现,导致炸管。同理在封锁PWM脉冲时,②管先关断①管后关断,也会导致炸管。因此②管关断时,①管不能开通;同理③管关断时,④管不能开通;保持该逻辑时序,二极管正常钳位,电路可靠工作。

[0045] 如图6所示,为保证MCU上电期间所有PWM脉冲为低电平,即开关管均为关断状态,在脉冲输出引脚加下拉电阻即R1,R2,R3,R4。如图6所示,为满足封波时序要求,用逻辑与门U1进行封锁设计,将①管驱动信号被②管信号逻辑互锁,②管关断时,强制①管也关断,同理将④管驱动信号被③管信号封锁。

[0046] 开关管控制时序如图2所示,任何时刻均满足①管和③管互补导通,②管和④管互补导通。如图7所示,为保证任一开关管在其互补管可靠关断后再开通,现加入逻辑互锁电

路。

[0047] 如图7所示,以①管为例,PWM1为封波时序保护电路发出的脉冲序列,即①管的驱动信号,接在二极管的阳极,PWM3为③管的驱动信号,接在二极管的阴极,两者为逻辑互锁关系,即只有③管关断后,①管才可以导通。其他开关管互锁电路设计方式与①管一致。

[0048] DESAT\_Vce为开关管导通时管压降Vce检测端,有过流发生时,驱动光耦芯片U2传送过流保护信号即OI\_to MCU给主控芯片,MCU立即封波保护。驱动光耦芯片U2内部集成软关断功能,检测到过流时,采用延时关断方式避免过电压出现。

[0049] 对②管和④管的驱动波形进行了测试,查看其互补关系。驱动脉冲正向电压为15V,负压电压为-10V,开关频率为15kHz,死区时间设置为2us。如图8所示,通道Ch3(浅色)为②管驱动波形,通道ch4(深色)为④管驱动波形,幅值频率均满足设计要求;如图9所示,为②管关断④管开通时的波形,从图中可以看出②管可靠关断后,④管才开通;如图10所示,为④管关断②管开通时的波形,从图中可以看出④管可靠关断后,②管才开通;同时对①管和③管相同状态的波形进行了测试;且在过流及封波测试过程中,均未出现炸管等异常现象发生,电路功能均符合设计原则。

[0050] 上述虽然结合附图对本发明的具体实施方式进行了描述,但并非对本发明保护范围的限制,所属领域技术人员应该明白,在本发明的技术方案的基础上,本领域技术人员不需要付出创造性劳动即可做出的各种修改或变形仍在本发明的保护范围以内。

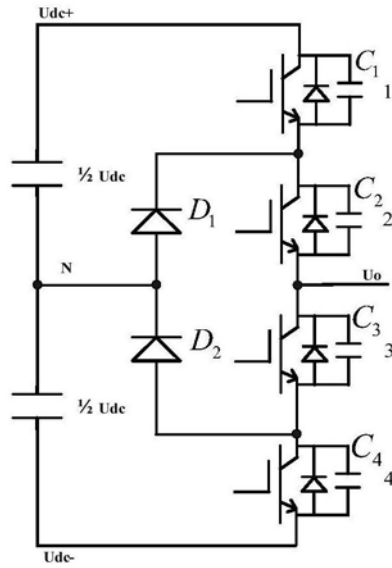


图1

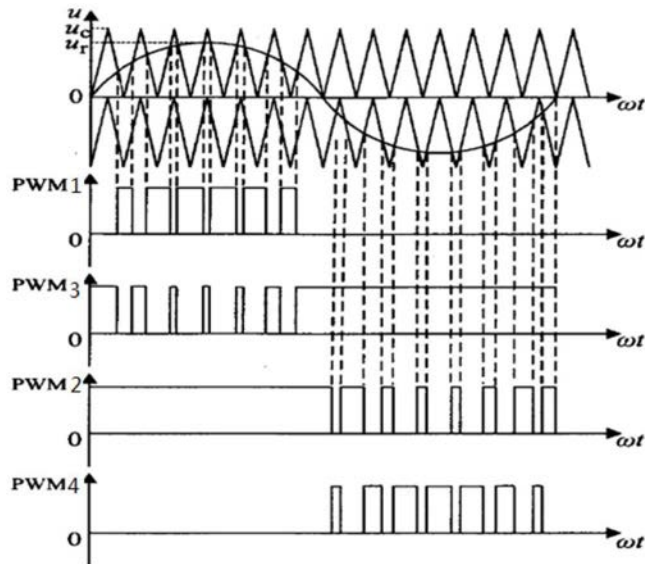


图2

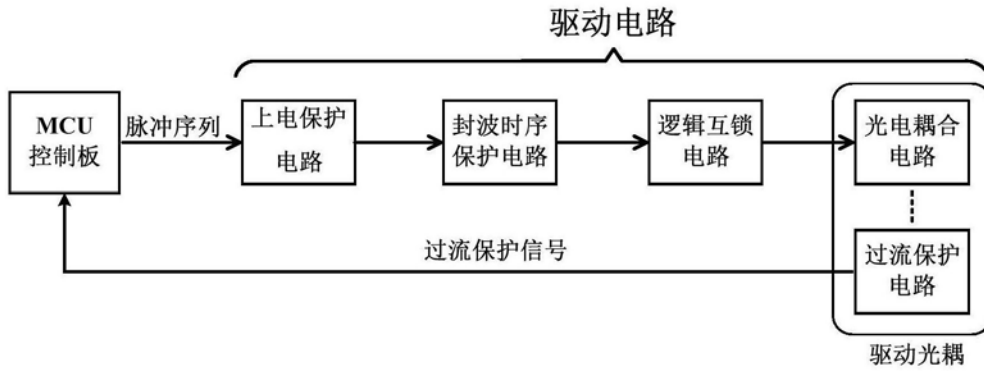


图3

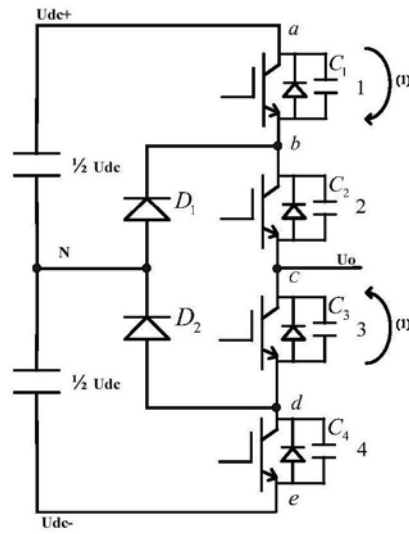


图4

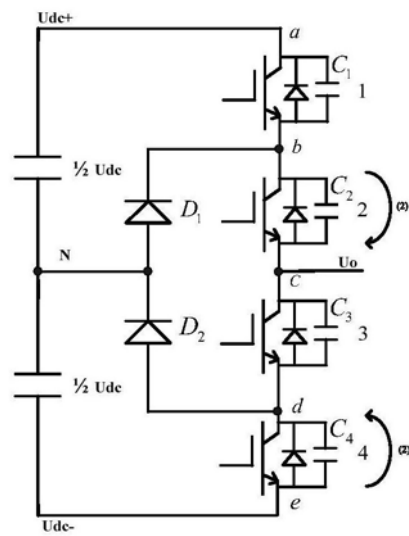


图5



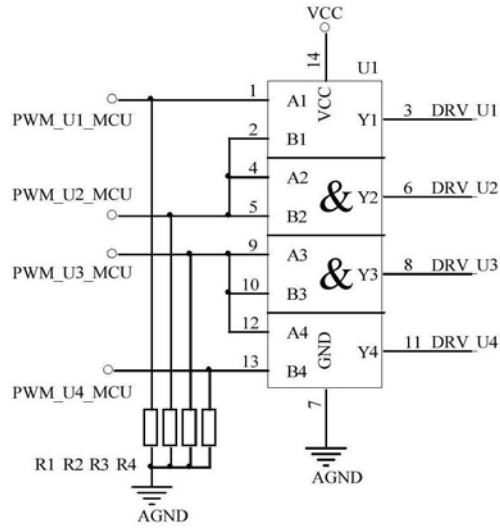


图6

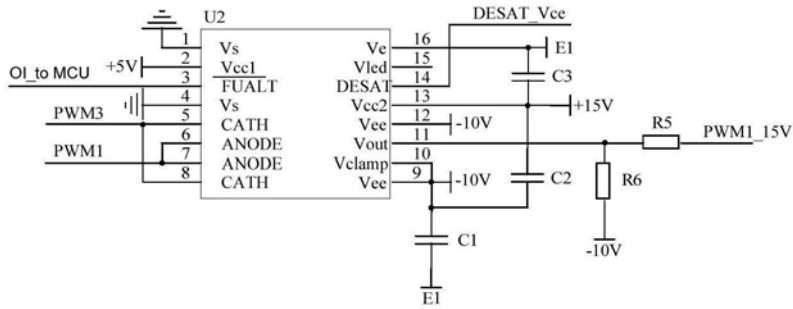


图7

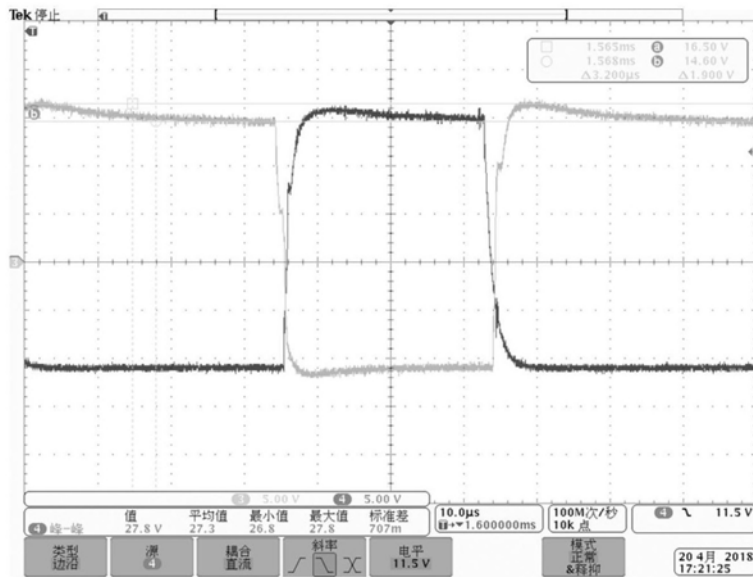


图8

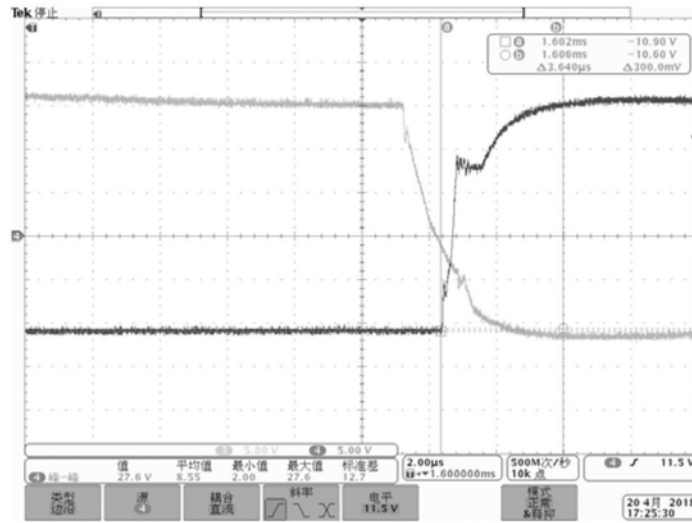


图9

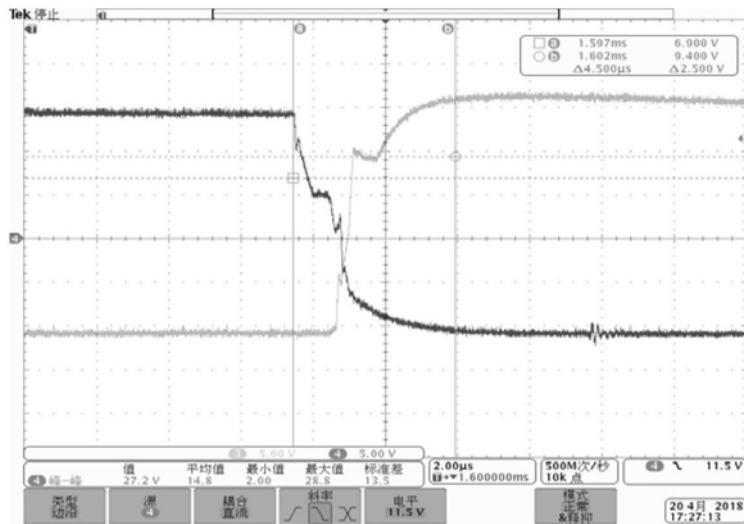


图10