

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4036837号
(P4036837)

(45) 発行日 平成20年1月23日(2008.1.23)

(24) 登録日 平成19年11月9日(2007.11.9)

(51) Int. Cl. F I
 HO 1 L 21/8242 (2006.01) HO 1 L 27/10 6 2 5 A
 HO 1 L 27/108 (2006.01) HO 1 L 27/10 6 7 1 B

請求項の数 20 (全 20 頁)

<p>(21) 出願番号 特願2004-64681 (P2004-64681) (22) 出願日 平成16年3月8日(2004.3.8) (65) 公開番号 特開2004-274063 (P2004-274063A) (43) 公開日 平成16年9月30日(2004.9.30) 審査請求日 平成16年3月8日(2004.3.8) (31) 優先権主張番号 10/249034 (32) 優先日 平成15年3月11日(2003.3.11) (33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 390009531 インターナショナル・ビジネス・マシー ズ・コーポレーション INTERNATIONAL BUSIN ESS MASCHINES CORPO RATION アメリカ合衆国10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード (74) 代理人 100086243 弁理士 坂口 博 (74) 代理人 100091568 弁理士 市位 嘉宏 (74) 代理人 100108501 弁理士 上野 剛史</p>
--	--

最終頁に続く

(54) 【発明の名称】 DRAMデバイスの縦型トランジスタに線成形マスク・マスクを使用してビットライン・コンタクトを形成する方法

(57) 【特許請求の範囲】

【請求項1】

上面および本体を有する基板と、上部側壁および下部側壁を有し前記本体中に形成された深いトレンチと、前記深いトレンチ中に形成された深いトレンチ・コンデンサおよびゲート電極とを含み、前記ゲート電極はゲート酸化物で前記本体から分離され、前記深いトレンチ・コンデンサはコンデンサ誘電体層で前記本体から分離されており、さらに、前記ゲート酸化物を介して前記上面近くで前記ゲート電極と並置されたドープされたソース領域と、前記コンデンサに接続され前記基板の本体中に形成されたドレイン領域を含み、かつ前記ゲート電極と前記深いトレンチの前記上部側壁との間に側壁スペーサを有する集積回路構造に、ビットライン・コンタクトを形成する方法であって、

パターン形成マスクをデバイスの上に形成して、前記ゲート電極の上面の一部を前記基板の上面に露出させるステップと、

前記ソース領域と並置された前記側壁スペーサと並んで前記ゲート電極中に延びるディポットをエッチングにより形成するステップと、

誘電体材料を前記ディポットに充填するステップと、

ワードラインを有するワードライン積重ねを、前記ゲート電極と接触して形成するステップと、

前記ワードライン積重ねが形成された構造の全体を覆う耐エッチング性の共形ライナを形成するステップと、

前記共形ライナを覆う少なくとも1つの誘電体層を形成するステップと、

前記ワードライン積重ねの上の前記誘電体層を平坦化するステップと、
ビットライン・コンタクト・マスクを形成するステップであって、ビットライン・コンタクトが前記ソース領域の上に前記側壁スペーサと並置されるようにするステップと、
 前記ビットライン・コンタクト・マスクのパターンで前記ソース領域に至るビア・ホールをエッチングにより形成するステップとを備える方法。

【請求項 2】

前記ワードライン積重ねは、前記基板の上面において1つの方向に延びる導電性ワードラインを含み、前記導電性ワードラインと交差する他の方向に延びるM0ビットラインを規定する開口を有するハードマスクを前記誘電体層の上に形成し、前記ビットライン・コンタクト・マスクを前記ハードマスクの上に形成し、前記ビットライン・コンタクト・マスク及び前記ハードマスクを使用して、前記誘電体層及び前記共形ライナを貫通し前記ソース領域を露出する前記ビア・ホールを形成し、前記ビットライン・コンタクト・マスクを除去する、請求項1に記載の方法。

10

【請求項 3】

前記ビットライン・コンタクト・マスクの開口が、水平面内で前記ハードマスクの開口に対して直角に配置されている、請求項2に記載の方法。

【請求項 4】

前記共形ライナが、窒化ケイ素の共形層である、請求項1に記載の方法。

【請求項 5】

前記ワードライン積重ねが、窒化ケイ素キャップで覆われた導電性ワードラインを含み、さらに、

20

前記共形ライナが、窒化ケイ素の共形層である、請求項1に記載の方法。

【請求項 6】

前記誘電体層を平坦化するステップが、CMPで行われる、請求項1に記載の方法。

【請求項 7】

前記誘電体層がILD層であり、このILD層は、前記誘電体層を平坦化するステップの後で、TEOSガラス層で覆われる、請求項1に記載の方法。

【請求項 8】

前記誘電体層がILD層であり、前記誘電体層を平坦化するステップがCMPで行われ、このILD層は、前記誘電体層を平坦化するステップの後で、TEOSガラス層で覆われる、請求項1に記載の方法。

30

【請求項 9】

前記ディボットが、窒化ケイ素で充填される、請求項1に記載の方法。

【請求項 10】

前記ディボットが、窒化ケイ素の厚い層を堆積し続いて平坦化して窒化ケイ素で充填される、請求項1に記載の方法。

【請求項 11】

上面および本体を有する基板と、上部側壁および下部側壁を有し前記本体中に形成された複数の深いトレンチとを含み、深いトレンチ・コンデンサおよびゲート電極が前記深いトレンチ中に形成されており、前記ゲート電極はゲート酸化物で前記本体から分離され前記深いトレンチ・コンデンサはコンデンサ誘電体層で前記本体から分離されており、さらに、前記ゲート酸化物を介して前記上面近くで前記ゲート電極と並置されたドープされたソース領域と、前記コンデンサに接続され前記基板の本体中に形成されたドレイン領域とを含み、かつ前記ゲート電極と前記深いトレンチの前記上部側壁との間に側壁スペーサを有する集積回路構造に、ビットライン・コンタクトを形成する方法であって、

40

パターン形成マスクをデバイスの上に形成して、前記ゲート電極の上面の一部を前記基板の上面に露出させるステップと、

ソース領域と並置された前記側壁スペーサと並んで前記ゲート電極中に延びるディボットをエッチングにより形成するステップと、

誘電体材料を前記ディボットに充填するステップと、

50

ワードラインおよび窒化ケイ素キャップを有するワードライン積重ねを、前記ゲート電極と接触して形成するステップと、

前記ワードライン積重ねが形成された構造の全体を覆う耐エッチング性の共形ライナを形成するステップと、

前記共形ライナを覆う平坦化されたILD層を形成するステップと、

前記平坦化されたILD層を覆うガラス層を形成するステップと、

ビットライン・コンタクト・マスクを形成するステップであって、ビットライン・コンタクトが前記ソース領域の上に前記側壁スペーサと並置されるようにするステップと、

前記ビットライン・コンタクト・マスクのパターンで前記ソース領域に至るビア・ホールをエッチングにより形成するステップと

ビットライン・コンタクトを前記ビア・ホールに形成するステップとを備える方法。

【請求項12】

前記共形ライナが、窒化ケイ素の共形層である、請求項11に記載の方法。

【請求項13】

前記ワードライン積重ねは、前記基板の上面において1つの方向に延びる導電性ワードラインを含み、前記導電性ワードラインと交差する他の方向に延びるM0ビットラインを規定する開口を有するハードマスクを前記ガラス層の上に形成し、前記ビットライン・コンタクト・マスクを前記ハードマスクの上に形成し、前記ビットライン・コンタクト・マスク及び前記ハードマスクを使用して、前記ガラス層、前記ILD層及び前記共形ライナを貫通し前記ソース領域を露出する前記ビア・ホールを形成し、前記ビットライン・コンタクト・マスクを除去する、請求項11に記載の方法。

【請求項14】

前記ビットライン・コンタクト・マスクの開口が、水平面内で前記ハードマスクの開口に対して直角に配置されている、請求項13に記載の方法。

【請求項15】

前記共形ライナが、窒化ケイ素の共形層である、請求項13に記載の方法。

【請求項16】

前記平坦化されたILD層を形成するステップにおける平坦化が、CMPで行われる、請求項11に記載の方法。

【請求項17】

前記ガラス層はTEOSガラス層である、請求項11に記載の方法。

【請求項18】

前記平坦化されたILD層を形成するステップにおける平坦化がCMPで行われ、前記ガラス層はTEOSガラス層である、請求項13に記載の方法。

【請求項19】

前記ディボットが、窒化ケイ素で充填される、請求項11に記載の方法。

【請求項20】

前記ディボットが、窒化ケイ素の厚い層を堆積し続いて平坦化して窒化ケイ素で充填される、請求項11に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DRAMおよびeDRAMデバイスの縦型トランジスタを製造する方法に関し、より詳細には、経済的な製造プロセスを使用しながら、寄生キャパシタンスの減少したデバイスを提供する方法に関する。

【背景技術】

【0002】

「線相互接続および拡散部への縁無しコンタクトを同時に形成する方法(Method of Simultaneously Forming a Line Interconnection and a Borderless Contact to Diffusion)」に関するディヴァカルニ(Divakaruni)等の一般に譲渡された米国特許第6,245

10

20

30

40

50

、651号で実証されるように、縦型トランジスタDRAM/埋込みDRAMでは、線成形マスクを使用してアレイのビットライン接合にコンタクトを取ることができる。線は印刷するのがより簡単であり、プロセス歩留りが改善される。縁無しコンタクトを有するDRAMでは、線コンタクト・マスクにより、ビットライン・キャパシタンスが増加し、性能が犠牲にされる。したがって、ワードライン(ゲート導体)の片側だけにコンタクトを作る必要がある。

【0003】

その結果として、「緩和されたピッチ・パターンを有するDRAMアレイ・ビット・コンタクト(DRAM Array Bit Contact with Relaxed Pitch Pattern)」に関する、ディヴァカルニ(Divakaruni)およびラデンス(Radens)の2001年12月21日出願され一般に譲渡された同時係属米国特許出願第10/026,119号に示されるように、やはり線成形マスクを使用しながら1つの単一縁無しコンタクトを可能にする方法が示された。しかし、標準プロセスのばらつきによるトレンチの上のゲート導体の変化は、トレンチの内側のスペースの厚さで制限される。このことは、ワードライン(ゲート導体)を印刷するオーバーレイ条件にむしろ厳しい制約を加える。本発明は、トレンチに非対称スペースを使用することで、この問題の解決策を提供する。スペースを非対称(すなわち、片側だけに存在)にすることで、オーバーレイの制約は大幅に緩和される。

10

【0004】

ユー・グルーアニング(U.Gruening)、「垂直アクセス・トランジスタおよび埋込みストラップ(VERIBEST)を有する4Gb/16Gb用の新規なトレンチDRAMセル(ANovel Trench DRAM Cell with a Vertical Access Transistor and Buried Strap (VERIBEST) for 4Gb/16Gb)」、IEDM技術要約(IEDM Tech. Digest)、25~29頁(1999年)、を参照されたい。

20

【0005】

また、エス・ウェンシェ(S.Wuensche)、「縦型トランジスタ・トレンチ・セルを有する110nm 512Mb DDR DRAM(A110nm 512Mb DDR DRAM with Vertical Transistor Trench Cell)」、2002年VLSI回路シンポジウム技術論文要約(2002Symposium on VLSI Circuits Digests of Technical Papers)、IEEE、114~115頁(2002年)を参照されたい。

【0006】

現在の最先端技術において、110nm世代の縦型トランジスタDRAMデバイスでは、ダブル・データ・レート-DDR-DDRAM型デバイスのような高速仕様を満たすようにビットラインの寄生キャパシタンスを減少させるために、セル毎に1つのビットライン・コンタクトが必要となる。最新技術では、ビットライン・コンタクトを形成するために193nmの単一コンタクト・マスクが使用された。しかし、193nmマスクおよび要求されるフォトリソグラフィを行うために必要な機器のコストは非常に高い。さらに、そのために、DTポリシリコン(深いトレンチのポリシリコン)とビットラインの間の短絡を防ぐために深いトレンチ(DT)を一方の側にずらさなければならない。このことは、集積化プロセスを複雑にし、また過度の短絡のために製品歩留りに悪影響を及ぼすので問題である。

30

40

【特許文献1】米国特許第6,245,651号

【特許文献2】同時係属米国特許出願第10/026,119号

【非特許文献1】ユー・グルーアニング(U.Gruening)、「4Gb/16Gb用垂直アクセス・トランジスタおよび埋込みストラップ(VERIBEST)を有する新規なトレンチDRAMセル(ANovel Trench DRAM Cell with a Vertical Access Transistor and Buried Strap (VERIBEST) 4Gb/16Gb)」、IEDM技術要約(IEDM Tech. Digest)、25~29頁(1999年)、

【非特許文献2】エス・ウェンシェ(S.Wuensche)、「縦型トランジスタ・トレンチ・セルを有する110nm 512Mb DDR DRAM(A110nm 512Mb DDR DRAM with Vertical Transistor Trench Cell)」、2002年VLSI回路シンポジウム技術論文

50

要約 (2002 Symposium on VLSI Circuits Digests of Technical Papers)、I E E E、1
14 ~ 115 頁 (2002年)

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明に従って、ビットライン・コンタクトと垂直ゲート・ポリシリコンの間の短絡を防ぐために、片側スペーサが設けられる。片側スペーサを備えることの利点は、製品歩留りを高めるためにフォトマスク位置合せずれ許容範囲が改善されることである。

【0008】

本発明の他の利点は、248nmマスクが使用されることであり、この248nmマスクは、最先端技術の実施として現在当産業で使用されている193nmフォトマスクよりも遥かに経済的である。

10

【0009】

本発明の方法によって、より成熟した248nmマスクを使用して単一ビットライン・コンタクト(BC)を形成して、コストを低減しかつフォトマスク位置合せずれ許容範囲を改善することができるようになる。

【0010】

本発明の方法によって、成熟した世代のフォトリソグラフィ技術を使用してDRAM/e-DRAMデバイスのビットライン・コンタクト・ビア用の独特のパターンを形成して、コストを低減しかつ歩留りを向上することができるようになる。

20

【0011】

内部スペーサの独特のパターン(古い世代のリソグラフィ技術を使用した)は、ワードラインとビットラインの短絡を防ぐように垂直ゲート・トランジスタDRAM/e-DRAMアレイの深いトレンチ中に形成される。

【0012】

デュアル・ダマシ・プロセスを使用して、ビットライン・コンタクト・ビアが形成され、またビットラインが形成される。

【課題を解決するための手段】

【0013】

本発明に従って、上面および本体を有する基板と、上部側壁および下部側壁を有し本体中に形成された複数の深いトレンチとを含み、深いトレンチ・コンデンサおよびゲート電極が深いトレンチ中に形成されており、ゲート電極はゲート酸化物で本体から分離され深いトレンチ・コンデンサはコンデンサ誘電体層で本体から分離されており、さらに、ゲート酸化物を除いて上面近くにゲート電極と並置されたドープされたソース領域と、コンデンサに接続され基板の本体中に形成されたドレイン領域とを含み、かつゲート電極と深いトレンチの上部側壁との間に側壁スペーサを有する集積回路構造に、ビットライン・コンタクトを形成する方法が提供される。本方法は、次のステップを含む。線成形マスク・マスクでパターン形成されるパターン形成マスクをデバイスの上に形成して、ゲート電極の上面の一部を基板の上面に露出させるステップ。ソース領域と並置された深いトレンチの側壁スペーサと並んでゲート電極中に延びるディボット(divot)をエッチングするステップ。ディボットに誘電体材料を充填するステップ。ワードラインおよび窒化ケイ素キャップを有するワードライン積重ねをゲート電極と接触して形成するステップ。この構造を覆う耐エッチング性の共形ライナを形成するステップ。共形ライナを覆う平坦化されたILD層を形成するステップ。平坦化されたILD層を覆うガラス層を形成するステップ。線成形マスク・マスクでパターン形成されたビットライン・コンタクト・マスクを形成するステップであって、それによるビットライン・コンタクトがソース領域の上に深いトレンチの側壁スペーサと並置されるようになるステップ。ビットライン・コンタクト・マスクのパターンでビア・ホールをソース領域までエッチングし、ビア・ホールにビットライン・コンタクトを形成するステップ。

30

40

【0014】

50

好ましくは、ディボットは、窒化ケイ素の厚い層を堆積し続いて平坦化することで窒化ケイ素を充填され、さらに耐エッチング性ライナは、窒化ケイ素の共形層を含む。

【0015】

好ましくは、ビットライン・コンタクト・マスクがM0配線の線ハードマスクの上に形成されており、そしてビットライン・コンタクト・マスクは、ハードマスクに対して選択的なエッチング剤を用いて、M0ハードマスクの線を通して、その下の誘電体層を貫通する開口を、ワードラインを覆うライナの一部を含んでエッチングするように使用され、さらに、その後で、ビットライン・コンタクト・マスクを除去し耐エッチング性ライナに対して選択的にエッチングする。

【0016】

好ましくは、ビットライン・コンタクト・マスクは、水平面内でM0ハードマスクの開口に対して直角に突き出ている開口を有する。

【0017】

好ましくは、ILD層はBPSG層であり、このBPSG層は、次にCMPで平坦化され、そのあとで今度はTEOSガラス層で覆われる。

【0018】

本発明の前述および他の態様および利点を、添付の図面に関連して以下で説明し、また記述する。

【発明を実施するための最良の形態】

【0019】

図1は、ATO(アレイ表面酸化物)平坦化後における縦型MOSFET構造10のDRAMまたはe-DRAMデバイスのアレイ中の1つの垂直セルDRAMデバイスの、図2の線1A-1A'に沿った断面図を示す。図2は、図1に示すデバイスを含んだ構造のより大きな部分の平面図である。浅いトレンチ分離(STI)領域がワードラインWLの間に示される。

【0020】

図2は、DRAMまたはEDRAMマイクロチップの垂直セルのアレイの配置の平面図である。ここで、深いトレンチ(DT)・コンデンサおよび縦型トランジスタは、ATO酸化ケイ素プロセス後、標準的なプロセス方法を使用して形成された。この点まで、使用されたプロセスは標準的なものであるが、構造を多少詳細に説明して、存在する問題を明らかにする。

【0021】

DRAM/e-DRAMデバイス・アレイ

図2に、水平能動領域AAのアレイを示す。能動領域AAは、図1に示すシリコン基板510に形成される。垂直ワードラインのアレイは、能動領域AAの上を横切って形成される。ワードラインWLと能動領域AAの交点に形成された6個の深いトレンチDT1~DT6を示す。

【0022】

アレイの縦型トランジスタ

図1を参照すると、シリコン基板510のP-ドープ領域に形成された2個の縦型トランジスタMOSFETデバイス12および14が示されている。デバイス12/14はそれぞれの深いトレンチDT3/DT4を含み、これらの深いトレンチが基板510の上面から基板中に延びているのが示されている。トレンチDT3およびDT4の上部はゲート酸化物層110(誘電体)で内張りされ、さらに充填されて、上部でトレンチDT3/DT4がFETの垂直ゲート電極として作用する垂直ゲート電極100/100'(ポリシリコン)を含むようになっていく。垂直ゲート電極100の各々を除いて、ゲート酸化物層110のトレンチDT3/DT4と反対側に、トランジスタ・チャネル120/120'がある。深いトレンチDT3/DT4の間のスペースの上部に、図15に示すように、共通のN+ドープ・ソース領域130が共通ビットライン・ピアBCVと接続するように構成されている。垂直ゲート電極100/100'の各々の底部のそばで、N+ドープ・

10

20

30

40

50

ドレイン領域 140 はそれぞれのコンデンサ 53 / 54 のコンデンサ電極 500 に電氣的に接続されている。2 個の縦型トランジスタ MOSFET デバイス 12 および 14 の対応するソース領域 130 およびドレイン領域 140 は、MOSFET デバイスの通常設計に従って、ゲート酸化層 110 で垂直ゲート電極から分離されている。

【0023】

深いトレンチ・コンデンサ

1 組の深いトレンチ・コンデンサ 53 / 54 が、それぞれの深いトレンチ DT3 / DT4 の内側に奥深く形成される。ゲート・ポリシリコン 100 の下に、トレンチ上部酸化層絶縁層 150 がある。深いトレンチ DT3 / DT4 は、TTO 層 150 の下で、コンデンサ誘電体層 530 で内張りされている。コンデンサ誘電体層 530 は、内部コンデンサ電極 500 (ドーパされたポリシリコン) からゲート・ポリシリコン 100 を絶縁する。この内部コンデンサ電極 500 は底部に空所 540 を含み、この空所 540 は、コンデンサ電極 500 を形成するポリシリコン充填プロセス中に形成される。コンデンサ誘電体層 530 の外側に、ドーパされたシリコン 520 があり、このドーパされたシリコン 520 は、トレンチ・コンデンサ 53 / 54 の外側の電極を形成する。ドーパド・シリコン 520 は、当業者はよく理解するように、コンデンサ誘電体層 530 を形成する前に、深いトレンチ DT3 / DT4 のコンデンサ部の側壁のシリコンをドーパすることで形成される。コンデンサ電極 500 の上部は、深いトレンチ DT3、DT4 などと関連したそれぞれの 1 つの FET 12 / 14 の N+ ドープ・ドレイン領域 140 に接続されている。

【0024】

アレイ構造

TEOS ガラスで構成されたアレイ表面の酸化層 200 は、共通ソース領域 130 の上に形成される。深いトレンチ DT3 / DT4 中の垂直ゲート電極 100 / 100' を、ソース領域 130 およびその上に形成されるビットライン (図 15 のビットライン接続ビア BCV を参照されたい) から電氣的に分離することが必要である。このビットラインは、アレイ表面の酸化層 200 を貫通してソース領域 130 に接続される。したがって、1 組の内側スペーサ 300 は、深いトレンチ DT3 / DT4 の一番上の首部に形成され、この首部で、垂直ゲート電極 100 / 100' からその上に形成されるワードラインへの接続が行われることになる (図 8 のワードライン WL を参照されたい)。

【0025】

深いトレンチの縦型トランジスタ 12 / 14 のアレイの周囲では、TEOS 酸化ケイ素を充填して形成された従来の STI (浅いトレンチ分離) トレンチ 400 が、深いトレンチ DT4 の右側に並んで示されている。シリコン基板 510 中に延びている STI トレンチ 400 は、説明のために深いトレンチ DT4 の隣に示されている。STI トレンチ 400 の反対側の P-ドーパド・シリコン基板 510 の表面で、周辺トランジスタのゲート酸化層 610 は、ドーパド・ポリシリコン 600 の層で覆われている。

【0026】

図 15 に示すように、ワードライン WL からゲート・ポリシリコン・コンタクト層 GP を通して垂直ゲート電極 100 の上面への電氣的接続が行われさらにソース領域 130 の上面がビットライン・コンタクト・ビア BCV に接続されるとき、起こる可能性のある電氣的な問題が存在する。深いトレンチ DT3 / DT4 の側壁間の距離がますます小さな寸法に縮小されるにつれて、ワードライン WL が縦型 MOSFET のソース領域 130 の本体のシリコンの電位に及ぼす影響は大きくなる。このために、垂直ゲート電極 100 とビットライン・コンタクト・ビア BCV (図 15) の間の導通の可能性が高くなる。

【0027】

2.248 nm マスクを使用した窒化ケイ素スペーサの形成

図 3 および 4 は、左手の深いトレンチ DT3 において 248 nm 線成形フォトリソ PR1 マスク LSM' を使用してトランジスタ 12 の垂直ゲート電極 100 のポリシリコンの上部にディボット 160 をエッチングした後の、図 1 および 2 の縦型 MOSFET 構造 10 を示すそれぞれ断面図および平面図である。図 3 は、縦型 MOSFET 構造 10 の

10

20

30

40

50

断面図であり、このMOSFET構造は、窓W1を有するパターン形成された第1のフォトレジスト(P R 1)の線成形マスクL S M'で覆われている。P R 1線成形マスクL S M'はマスタ248nm線成形マスク(L S M)でパターン形成した。この線成形マスク(L S M)は、従来のフォトリソグラフィ・ステップで使用される種類の従来のマスタ・マスク(図示しない)である。この従来ステップは、P R 1フォトレジスト膜のフォトリソグラフィ露光を行うために使用した。そして、結果として得られたP R 1フォトレジスト・マスクL S M'を使用して、垂直ゲート電極100の表面の部分を露出させた。この垂直ゲート電極100は、深いトレンチD T 3の上端から垂直ゲート電極100の上面から十分下の深さまで深いトレンチD T 3中に延びている。

【0028】

自己整合エッチング・ステップでポリシリコン垂直ゲート電極100の上面に形成されたディボット160は、窓W1の左の壁L Wとスペーサ300の間で垂直ゲート電極100の表面に位置している。エッチング・ステップ中に、ディボット160を形成するエッチング剤はポリシリコン100の上面の部分を除去し、その結果、ディボット160は、深いトレンチD T 3中の垂直ゲート電極100のポリシリコンの上部の首部で内側スペーサ300と並置されるようになる。

【0029】

ディボット160の適正な位置を画定するために、窓W1のあるP R 1マスクL S M'は、窓W1の左の壁L Wが垂直ゲート電極100の上面の中央に位置合わせされるように位置合せする。窓W1の右の壁R Wは、共通ソース領域130の上のT E O S表面酸化物200の中央に位置合わせされ、その結果、左の壁L Wが深いトレンチD T 3中の垂直ゲート電極100の上面全ては露出させないという制限で、窓W1の位置の広い許容範囲が許されるようになる。それは、図8および縦型MOSFETの構造10のその後の断面図に示すように、垂直ゲート電極を外部コンタクトG PおよびワードラインW Lに接続するために、垂直ゲート電極100の十分な量の上面を所定の位置に残すことが必要だからである。

【0030】

図4は、P R 1マスクL S M'がその表面に重なっている状態での縦型MOSFET構造10の平面図を示す。P R 1マスクL S M'を使用して、図3に示すようにメモリ・アレイに線パターンを印刷する。この場合、ドーパド・ポリシリコンの垂直ゲート電極100のいくらかを反応性イオン・エッチング(R I E)・プロセスを使用してエッチングすることができるように、トランジスタ12の左手の深いトレンチD T 3の一部が露出されている。エッチングはポリシリコンに選択的であるので、酸化ケイ素例えばアレイ表面酸化物200は除去されない。このようにして、左手の深いトレンチD T 3の上部にディボット160が形成される。

【0031】

図5において、248nm P R 1フォトマスクL S M'が縦型MOSFET構造10の表面から剥離された後の、図3のデバイスの断面を示す。そのとき、ディボット160は、縦型MOSFET構造10の上面を覆う平らな一面の窒化ケイ素層640の堆積で埋められている。ディボット160に窒化ケイ素層640を充填することで、ディボットを埋める片側スペーサ160'は、窒化ケイ素層640の一体化部分となる。

【0032】

図6は、化学機械研磨(C M P)または反応性イオン・エッチング(R I E)の加工ステップを使用して余分な窒化ケイ素層640をウェーハ表面から除去し、ディボット160を埋める片側スペーサ160'を残した後の縦型MOSFET構造10の断面図を示す。片側スペーサ160'は、ポリシリコン垂直ゲート電極100とビットライン・コンタクトB C V(図15のソース領域130に接続する)の間の短絡(ショート)を防ぐために設けられる。言い換えれば、ディボット160を埋める窒化ケイ素片側スペーサ160'は、ゲート・ポリシリコン100とビットライン・コンタクト・ビア(B C V)の間の電氣的短絡を防ぐことができる。このビアの1つを図15に示し、これは、本発明のプロ

10

20

30

40

50

セスの後のステップでTEOS表面酸化物200の上に形成される。この片側スペーサによって、ワードラインWL/ゲート導体(GC)とDTの間、ビットライン・コンタクト(BC)とDTの間、またはBCとGCの間のフォトマスク位置合せずれの許容範囲が改善される。

【0033】

図6の平面図である図7は、説明の都合で追加のビット・コンタクトBCPおよびワードラインWLが図6の構造10の上に形成されて示される図6の構造10の平面図を示す。

【0034】

図8は、ゲート・ポリシリコンGP(ゲート電極100/100'の上)、ワードラインWLおよび窒化ケイ素キャップ220の積重ね210が、標準加工方法を使用して、深いトレンチDT3/DT4の上、TEOS200の上、および層600の上に形成された後の図6の構造10を示す。窒化ケイ素キャップ220は、ワードラインWLの上に形成される。そして、共形窒化ケイ素ライナ230がこの構造上に形成されて、TEOS200、STI400、キャップ200、および周辺構造のドーパド・ポリシリコン600の表面を覆う。ライナ層230は、また、キャップ220およびワードラインWLの側壁およびゲート・ポリシリコンGPの縁端部を覆う。このように、窒化ケイ素ライナ230は、標準プロセスを使用して形成される。

【0035】

図9は、好ましくはBPSGで構成される層間誘電体層ILDの厚い一面の層が堆積されアニールされ、さらにCMPで平坦化され、そしてキャップ220間のスペースを埋めかつキャップ220を覆う誘電体ILD層を残して平坦化された後の図8の構造10を示す。誘電体層ILDの形成に続いて、平面M0酸化ケイ素(TEOS)キャップ層CPが堆積される。TEOSキャップ層CPの上に、TEOSキャップ層CPの平坦化表面上に一面のポリシリコン層HMが堆積される。このポリシリコン層HMは、ハードマスクHMに変換されることになっている。上述のように、このハードマスク層HMは、局部配線金属線(M0)のパターン形成型を形成するためのハードマスクに後でパターン形成されることになっている。図9に関連したステップの全ては、DRAMデバイスの標準的な加工ステップである。

【0036】

ハードマスクにM0横方向の線パターンを形成

図10において、図9の構造10がPR2フォトレジスト層で覆われる。このフォトレジスト層は、193nmフォトマスクを用いて露光されて、横方向の窓W2を有するフォトレジスト・マスクTSを形成する。左から右にページを横切って横に延びるこの窓は、左から右に延びる横方向の線をエッチングしてポリシリコン・ハードマスクHMにM0局部配線の線パターンを作るために使用されて、図12および図16に示すように整列されたページに平行な側壁を形成する。ステップは、全て標準プロセスの流れに従っている。M0局部配線の線は、ワードラインWLに対して垂直な方向に向いている(左から右にページを横切って)。このワードラインは、図10および他の断面図でページの中に入り込むように延びている。RIEエッチング・プロセスを使用して、ポリシリコン・ハードマスクHMをエッチングして、下のTEOS酸化ケイ素層CPの一部を露出させる。すなわち、層CPは窓W2の下に部分的に露出されるが、それ以外ではマスクTSで覆われている。このエッチングの目的は、窓W2で画定される線パターンを、ポリシリコン・ハードマスクを貫通する整合した横方向の窓W2'に変換することである。それから、図11に見られるように、M0PR2フォトレジスト層TSを縦型MOSFET構造10から剥離する。図11では、M0PR2フォトレジストTS層は、図3のPR1線成形マスクLSM'と同じパターンを有するPR3線成形マスクLSM"に置き換えられている。

【0037】

ビットライン・コンタクトのパターン形成

図11および12は、図1および2で使用された248nmマスタ・マスクすなわち線

10

20

30

40

50

成形マスク（LSM）を使用してフォトレジストPR3マスクLSM”をパターン形成した後の図10のデバイスを示す。図11および12に見られる結果を作るために、同じマスク・マスクすなわち248nmLSM（図3および4の窓W1を有する第1のPR1マスクLSM’をパターン形成するために前に使用した同じマスク・マスク）を使用して、PR3フォトレジスト層をパターン形成する。このPR3フォトレジスト層は、M0線がパターン形成された窓W2’を有するハードマスクHMを新たに含んだ縦型MOSFET構造10の上面を覆って堆積されている。このように、PS3フォトレジスト層をパターン形成しかつ現像して、窓W3のあるPR3フォトレジスト・マスクLSM”を形成する。この窓3は、一番左の2本のワードラインWLの間のスペースの上に中心がってページの中に入り込むように延びて、ビットライン・コンタクトが形成されることになっている場所の直ぐ上に、下のハードマスクHMの一部および窓W2’を露出させる。今や、図13に示すように、フォトレジストPR3マスクLSM”を使用してビットライン・コンタクト開口BCOをエッチングして、縦型MOSFET構造10のビットライン・アレイのパターン形成を行う準備が完了している。図12は、248nmマスク線成形マスク（LSM）を用いて露光されたフォトレジスト・マスクLSM”の配置を示し、この248nmマスク線成形マスクは、この場合ビットライン・コンタクト・アレイのパターン形成の準備をするために使用した。

10

【0038】

図13は、248nmPR3線成形マスクLSM”によって窓W3を通して構造10をエッチングして、ビア用のビットライン・コンタクト開口BCOを部分的に形成した結果を示す、図11の構造の断面図である。開口W3を使用して窓W2’に対して直角に（直交して）ハードマスクHMを通し、TEOS層CPを通し、層間誘電体ILDの上部を通して、積重ね210Aおよび210Bの表面が露出するまでエッチングして、ビットライン・コンタクト開口BCOを形成した。それから、積重ね210A/210Bの間の層間誘電体層ILDを通してエッチングが続き、その結果、層ILDのほんの薄い部分がビットライン・コンタクト開口BCOの底に残っている。このエッチングは、積重ね210A/210Bのライナ層230およびキャップ220の窒化ケイ素を非常にゆっくりエッチングするという点で選択的であり、その結果、このBCOは、ライナ230の部分を含んで2つの積重ね210A/210Bの上の方の内部に部分的に入り込む。開口BCOは、従来のエッチング技術を使用して、積重ね210の間に、層ILDの底近くまで形成される。

20

30

【0039】

図13は、ビットライン・コンタクト開口BCOを示し、穴Hは、窓W3の下でキャップ220の側壁の窒化ケイ素ライナ230の間に延びている。ビア用のビットライン・コンタクト開口BCOのエッチングは、開口BCOの底に達する前に停止される。したがって、ドーパされたシリコン能動領域AAは、図9に示すように、依然として誘電体ILDの薄い層で覆われているので露出しない。窓W3以外では、TEOSキャップCPは、PR3線成形マスクLSM”で保護されている。このエッチングは、ハードマスクHMのポリシリコンを通してエッチングするように選択的であるが、窒化ケイ素220およびライナ層230をエッチングして、積重ね210A/210Bの窒化ケイ素キャップ220の上部に大きな開口を形成する。

40

【0040】

図14は、ビットライン・コンタクトBCの配置で示すように、酸化ケイ素エッチングを行ってビアのためのビットライン・コンタクト開口BCOのエッチングが完了した後の、図13の構造10を示す断面図である。図14に示すように、PR3マスクLSM”は剥離され、キャップCPおよび層間誘電体ILDのBPSGのような露出酸化ケイ素はどれも窒化ケイ素キャップCPおよび窒化ケイ素スペーサ並びにハードマスクHM（ポリシリコン）に対して選択的にエッチングされてビットライン・コンタクト開口BCOがソース領域130の上面まで拡張され、さらに、窓W2’によってハードマスクHMを通してエッチングしてTEOSキャップCPにM0配線用のトレンチが形成される。このTEO

50

SキャップCPは、埋込みコンタクト開口BCOの後の所定の位置に残り横方向のM0配線用トレンチの両側の内側を覆っている。このように、埋込みコンタクト開口BCOを共通ソース領域130までエッチングすることを完成させて、ビット・コンタクト・ピア・ホールが形成される。ポリシリコン・ハードマスクHMで覆われた領域は保護されているので、ピア・パターンは図14に示すように形成することができ、その結果、各DTはコンタクトBC用の1つのビットライン・ピアを有する。このように、開口BCOの底に残っている誘電体ILDを通してビットライン・コンタクト・エッチングが1ステップでVIAの底まで完成されるのと同時に、酸化ケイ素(TEOS)キャップCPはマスクW2'を通してエッチングされる。

【0041】

ビットライン・コンタクトおよびビットライン形成

図15および16は、ハードマスクHMが除去された後の、図14の構造10を示す。

【0042】

ビットライン・ピア・ホールBCOの形成が完了した後で、ドーブド・ポリシリコンまたはW金属をビットライン・ピア・ホールBCOを埋めるように堆積して、図15および16に示すように、ビットライン・コンタクト・ピアBCVおよびビットラインM0を形成する。図15において、ドーブド・ポリシリコンのビットライン・コンタクト・ピアBCVをビットライン・コンタクト開口BCO中に堆積し、かつくぼます。

【0043】

当業者は理解するように、DRAM/e-DRAM縦型MOSFET構造10の周辺にサポート・コンタクト(CS)を形成する。

【0044】

ビットライン・コンタクト・ピアBCVの上にTi/TiNライナLIをスパッタリングし、さらにアニールする。

【0045】

タングステンWで構成されるタングステン・ビットラインM0を充填し、CMPで平坦化する。ビットライン・コンタクトおよびビットラインM0線を形成する。これらは、全て標準的なプロセスである。完全Wビットライン・プロセスなどの他のプロセスの選択肢が可能である。

【0046】

上述の特定の実施例に関して本発明を説明したが、本発明は、添付の特許請求の範囲の精神および範囲内の修正物で実施することができることを当業者は認めることであろう。すなわち、本発明の精神および範囲から逸脱することなしに、形および細部の変化物を作ることができる。したがって、そのような変化物全ては、本発明の範囲内に入り、本発明は、次の特許請求の範囲の内容を包含する。

【0047】

このように本発明を説明したが、新規で特許証で保証されることが望ましいとして請求することは次の通りである。

【0048】

まとめとして、本発明の構成に関して以下の事項を開示する。

【0049】

(1) 上面および本体を有する基板と、上部側壁および下部側壁を有し前記本体中に形成された深いトレンチと、前記深いトレンチ中に形成された深いトレンチ・コンデンサおよびゲート電極とを含み、前記ゲート電極はゲート酸化物で前記本体から分離され、前記深いトレンチ・コンデンサはコンデンサ誘電体層で前記本体から分離されており、さらに、前記ゲート酸化物を除いて前記上面近くに前記ゲート電極と並置されたドーブされたソース領域と、前記コンデンサに接続され前記基板の本体中に形成されたドレイン領域を含み、かつ前記ゲート電極と前記深いトレンチの前記上部側壁との間に側壁スペーサを有する集積回路構造に、ビットライン・コンタクトを形成する方法であって、

線成形マスタ・マスクによってパターン化されるパターン形成マスクをデバイスの上に

10

20

30

40

50

形成して、前記ゲート電極の上面の一部を前記基板の上面に露出させるステップと、

前記ソース領域と並置された深いトレンチの側壁スペーサと並んで前記ゲート電極中に延びるディポットをエッチングにより形成するステップと、

誘電体材料を前記ディポットに充填するステップと、

ワードラインを有するワードライン積重ねを、前記ゲート電極と接触して形成するステップと、

前記構造を覆う耐エッチング性の共形ライナを形成するステップと、

前記共形ライナを覆う少なくとも1つの誘電体層を形成するステップと、

前記ワードライン積重ねの上の前記誘電体層を平坦化するステップと、

前記線成形マスク・マスクによってパターン化されるビットライン・コンタクト・マスクを形成するステップであって、ビットライン・コンタクトが前記ソース領域の上に前記深いトレンチの側壁スペーサと並置されるようにするステップと、

前記ビットライン・コンタクト・マスクのパターンで前記ソース領域に至るビア・ホールをエッチングにより形成するステップとを備える方法。

(2) 前記ビットライン・コンタクト・マスクがM0配線の線ハードマスクの上に形成されており、そして、前記ビットライン・コンタクト・マスクは、前記ハードマスクに対して選択的なエッチング剤を用いて、M0ハードマスクの線を通して、その下の前記誘電体層を貫通する開口を、前記ワードラインを覆う前記ライナの一部を含んでエッチングするように使用され、さらに、

その後で、前記ビットライン・コンタクト・マスクを除去し前記耐エッチング性ライナに対して選択的にエッチングする、上記(1)に記載の方法。

(3) 前記ビットライン・コンタクト・マスクの開口が、水平面内で前記M0ハードマスクの開口に対して直角に突き出ている、上記(2)に記載の方法。

(4) 前記耐エッチング性ライナが、窒化ケイ素の共形層を含む、上記(1)に記載の方法。

(5) 前記ワードライン積重ねが、窒化ケイ素キャップで覆われた導電性ワードラインを含み、さらに、

前記耐エッチング性ライナが、窒化ケイ素の共形層を含む、上記(1)に記載の方法。

(6) 平坦化が、CMPで行われる、上記(1)に記載の方法。

(7) 前記誘電体層がILD層であり、このILD層は、次に平坦化され、そのあとで今度はTEOSガラス層で覆われる、上記(1)に記載の方法。

(8) 前記誘電体層がILD層であり、このILD層は、次にCMPで平坦化され、そのあとで今度はTEOSガラス層で覆われる、上記(1)に記載の方法。

(9) 前記ディポットが、窒化ケイ素で充填される、上記(1)に記載の方法。

(10) 前記ディポットが、窒化ケイ素の厚い層を堆積し続いて平坦化して窒化ケイ素で充填される、上記(1)に記載の方法。

(11) 上面および本体を有する基板と、上部側壁および下部側壁を有し前記本体中に形成された複数の深いトレンチとを含み、深いトレンチ・コンデンサおよびゲート電極が前記深いトレンチ中に形成されており、前記ゲート電極はゲート酸化物で前記本体から分離され前記深いトレンチ・コンデンサはコンデンサ誘電体層で前記本体から分離されており、さらに、前記ゲート酸化物を除いて前記上面近くに前記ゲート電極と並置されたドープされたソース領域と、前記コンデンサに接続され前記基板の本体中に形成されたドレイン領域とを含み、かつ前記ゲート電極と前記深いトレンチの前記上部側壁との間に側壁スペーサを有する集積回路構造に、ビットライン・コンタクトを形成する方法であって、

線成形マスク・マスクによってパターン化されるパターン形成マスクをデバイスの上に形成して、前記ゲート電極の上面の一部を前記基板の上面に露出させるステップと、

ソース領域と並置された深いトレンチの側壁スペーサと並んで前記ゲート電極中に延びるディポットをエッチングにより形成するステップと、

誘電体材料を前記ディポットに充填するステップと、

ワードラインおよび窒化ケイ素キャップを有するワードライン積重ねを、前記ゲート電

10

20

30

40

50

極と接触して形成するステップと、

前記構造を覆う耐エッチング性の共形ライナを形成するステップと、

前記共形ライナを覆う平坦化されたI L D層を形成するステップと、

前記平坦化されたI L D層を覆うガラス層を形成するステップと、

前記線成形マスク・マスクによってパターン化されたビットライン・コンタクト・マスクを形成するステップであって、ビットライン・コンタクトが前記ソース領域の上に前記深いトレンチの側壁スペーサと並置されるようにするステップと、

前記ビットライン・コンタクト・マスクのパターンで前記ソース領域に至るビア・ホールをエッチングにより形成するステップと

ビットライン・コンタクトを前記ビア・ホールに形成するステップとを備える方法。 10

(1 2) 前記耐エッチング性ライナが、窒化ケイ素の共形層を含む、上記(1 1)に記載の方法。

(1 3) 前記ビットライン・コンタクト・マスクがM 0配線の線ハードマスクの上に形成されており、そして、前記ビットライン・コンタクト・マスクは、前記ハードマスクに対して選択的なエッチング剤を用いて、M 0ハードマスクの線を通して、その下の前記誘電体層を貫通する開口を、前記ワードラインを覆う前記ライナの一部を含んでエッチングするように使用され、さらに、

その後で、前記ビットライン・コンタクト・マスクを除去し前記耐エッチング性ライナに対して選択的にエッチングする、上記(1 1)に記載の方法。

(1 4) 前記ビットライン・コンタクト・マスクが、水平面内で前記M 0ハードマスクの開口に対して直角に突き出ている開口を有する、上記(1 3)に記載の方法。 20

(1 5) 前記耐エッチング性ライナが、窒化ケイ素の共形層を含む、上記(1 3)に記載の方法。

(1 6) 平坦化が、C M Pで行われる、上記(1 1)に記載の方法。

(1 7) 前記I L D層が、平坦化され、そのあとで今度はT E O Sガラス層で覆われる、上記(1 1)に記載の方法。

(1 8) 前記I L D層が、C M Pで平坦化され、そのあとで今度はT E O Sガラス層で覆われる、上記(1 3)に記載の方法。

(1 9) 前記ディボットが、窒化ケイ素で充填される、上記(1 1)に記載の方法。

(2 0) 前記ディボットが、窒化ケイ素の厚い層を堆積し続いて平坦化して窒化ケイ素で充填される、上記(1 1)に記載の方法。 30

【図面の簡単な説明】

【 0 0 5 0 】

【図 1】図 2 の線 1 A - 1 A ' に沿った縦型M O S F E T構造の断面図であり、A T O (アレイ表面酸化物)平坦化後のD R A Mまたはe - D R A Mデバイスのアレイ中の1つの垂直セルD R A Mデバイスを示す。

【図 2】D R A MまたはE D R A Mマイクロチップの垂直セル・アレイの配置の平面図であり、深いトレンチ(D T)・コンデンサおよび縦型トランジスタは、A T O酸化ケイ素プロセス後、標準プロセス方法を使用して形成された。

【図 3】2 4 8 n m線成形マスク(L S M) (これは、フォトリソグラフィ・ステップで使用される種類のフォトリソグラフィ露光マスクである)を使用して第1のフォトレジスト・マスクを露光し、これに続いて、第1のフォトレジスト・マスクの開口を使用して、垂直ゲート電極の周囲のスペーサとそのマスクの側壁の間で左手の深いトレンチ中の垂直ゲート電極のポリシリコンの表面に、ディボットをエッチングした後の、図 1 および 2 の縦型M O S F E T構造を示す断面図である。 40

【図 4】2 4 8 n m線成形マスク(L S M) (これは、フォトリソグラフィ・ステップで使用される種類のフォトリソグラフィ露光マスクである)を使用して第1のフォトレジスト・マスクを露光し、これに続いて、第1のフォトレジスト・マスクの開口を使用して、垂直ゲート電極の周囲のスペーサとそのマスクの側壁の間で左手の深いトレンチ中の垂直ゲート電極のポリシリコンの表面に、ディボットをエッチングした後の、図 1 および 2 の 50

縦型MOSFET構造を示す平面図である。

【図5】248nmマスクをデバイス表面から剥離した後の、図3の構造の断面図である。

【図6】CMPまたはRIEの加工ステップを使用してウェーハ表面から余分な窒化ケイ素層を除去してディボットを埋める片側スペーサを残した後の、図5の構造の断面図である。

【図7】図6の構造の平面図である。

【図8】ゲート・ポリシリコン、ワードライン、および窒化ケイ素キャップの積重ねを、標準加工方法を使用して、深いトレンチの上、トレンチの間、およびそこ以外に形成した後の、図6の構造を示す図である。

【図9】厚い一面の層の層間誘電体層を堆積し、アニールし、CMPで平坦化し、さらに平坦化に続いて平面酸化物キャップ層を堆積した後の、図8の構造を示す図である。

【図10】線成形マスクを含む193nmフォトマスク（図示しない）をM0線パターン形成のために図9の構造に適用した図である。

【図11】図1および2で使用された同じ248nm線成形マスク（LSM）を使用してM0線フォトレジスト・マスクをパターン形成し、その後でRIEプロセスを使用してM0線パターンを印刷しエッチングした後の、図10の構造を示す断面図である。

【図12】図1および2で使用された同じ248nm線成形マスク（LSM）を使用してM0線フォトレジスト・マスクをパターン形成し、その後でRIEプロセスを使用してM0線パターンを印刷しエッチングした後の、図10の構造を示す平面図である。

【図13】248nmPR3線成形マスクLSM”によって窓W3を通して構造10をエッチングして、ビア用のビットライン・コンタクト開口BCOを部分的に形成した結果を示す、図11の構造の断面図である。

【図14】酸化ケイ素エッチングを行って、ビットライン・コンタクトの配置で示されるようにビア用のビットライン・コンタクト開口のエッチングを完成させた後の、図13の構造を示す断面図である。

【図15】ハードマスクが除去された後の、図14の構造を示す断面図である。

【図16】ハードマスクが除去された後の、図14の構造を示す平面図である。

【符号の説明】

【0051】

- 10 縦型MOSFET構造
- 12 縦型トランジスタMOSFETデバイス
- 14 縦型トランジスタMOSFETデバイス
- 53 深いトレンチ・コンデンサ
- 54 深いトレンチ・コンデンサ
- 100 垂直ゲート電極（ポリシリコン）
- 100' 垂直ゲート電極（ポリシリコン）
- 110 ゲート酸化物層
- 120 トランジスタ・チャネル
- 120' トランジスタ・チャネル
- 130 ソース領域
- 140 ドレイン領域
- 150 トレンチ上部酸化物絶縁層
- 160 ディボット
- 160' 片側スペーサ
- 200 アレイ表面酸化物
- 220 窒化ケイ素キャップ
- 230 共形窒化ケイ素ライナ
- 300 内側スペーサ
- 400 浅いトレンチ

10

20

30

40

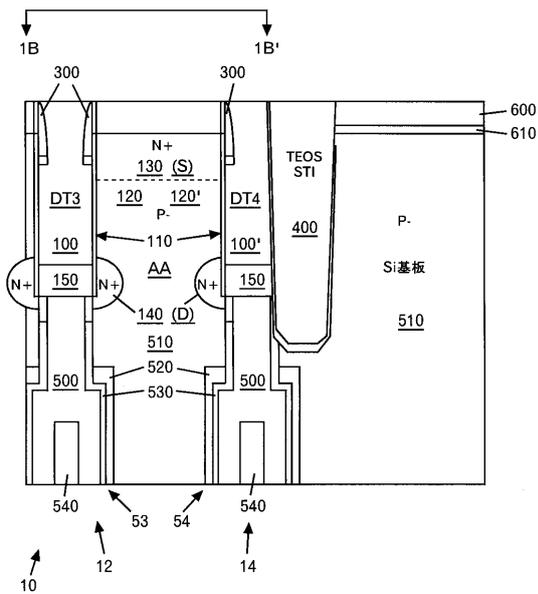
50

- 5 0 0 コンデンサ電極
- 5 1 0 シリコン基板
- 5 2 0 ドープド・シリコン (コンデンサ電極)
- 5 3 0 コンデンサ誘電体
- 6 0 0 ドープド・ポリシリコン
- 6 4 0 窒化ケイ素層
- A A 能動領域
- B C O ビットライン・コンタクト開口
- B C V ビットライン接続ビア
- D T 1 深いトレンチ
- D T 2 深いトレンチ
- D T 3 深いトレンチ
- D T 4 深いトレンチ
- D T 5 深いトレンチ
- D T 6 深いトレンチ
- G P ゲート・ポリシリコン
- H M ポリシリコン・ハードマスク (M0 局部配線の線パターン)
- I L D 層間誘電体層 I L D (T E O S)
- L S M 線成形マスク・マスク
- L S M ' 線成形マスク (フォトレジスト)
- L S M '' 線成形マスク (フォトレジスト)
- S T I 浅いトレンチ
- W L ワードライン

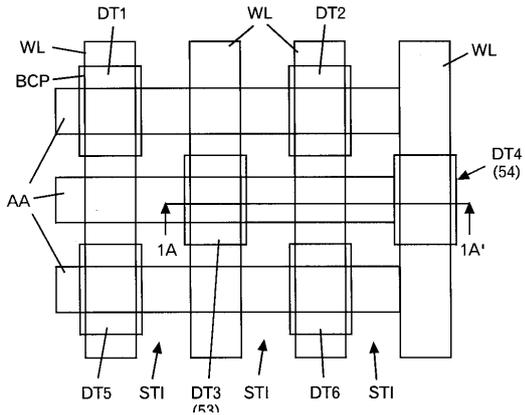
10

20

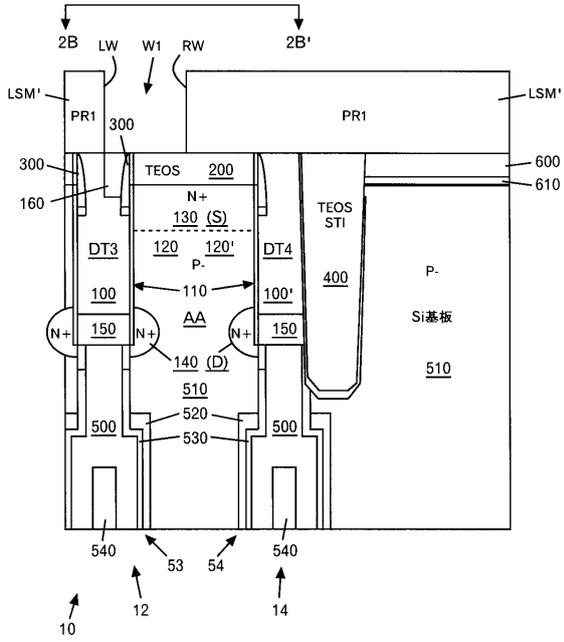
【図 1】



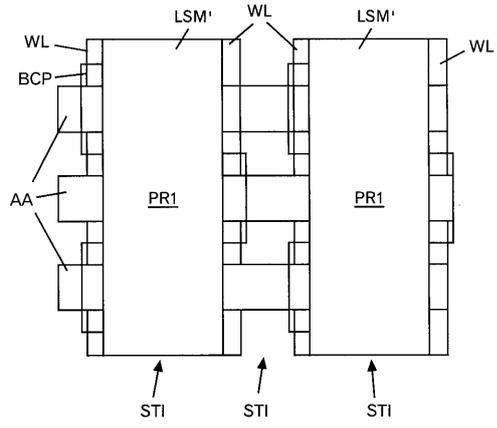
【図 2】



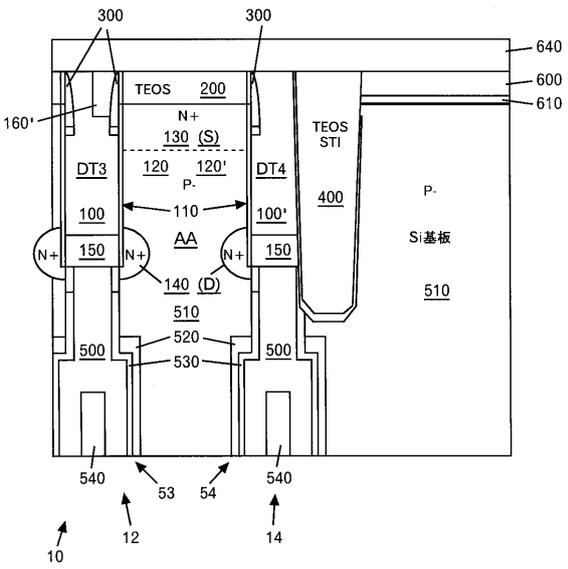
【 図 3 】



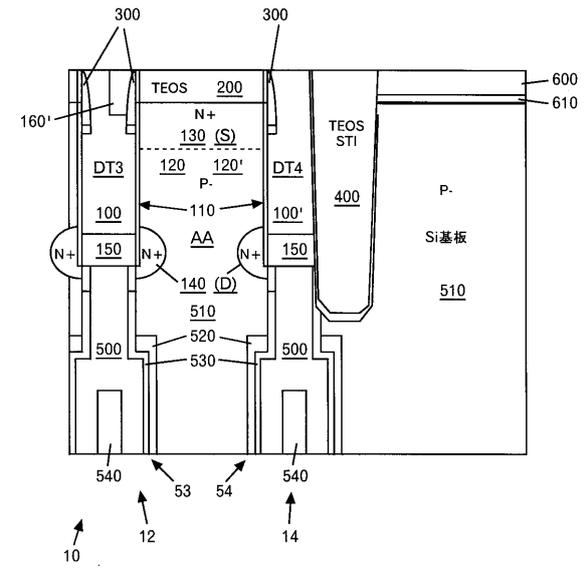
【 図 4 】



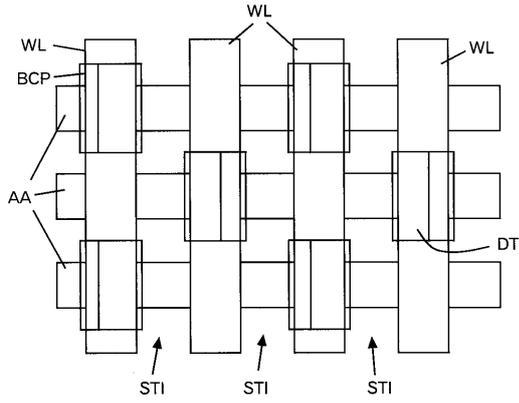
【 図 5 】



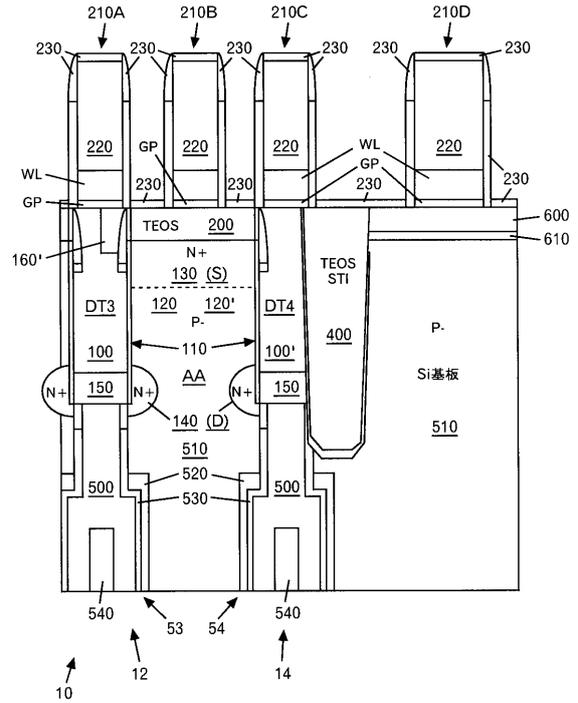
【 図 6 】



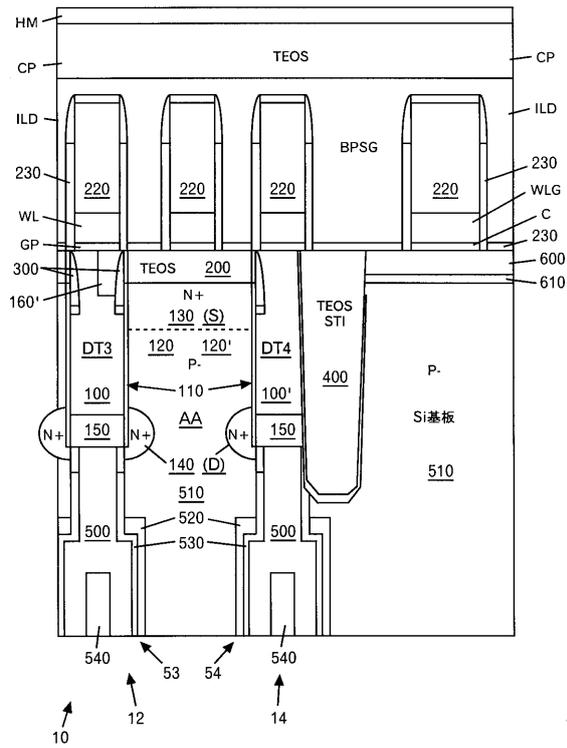
【 図 7 】



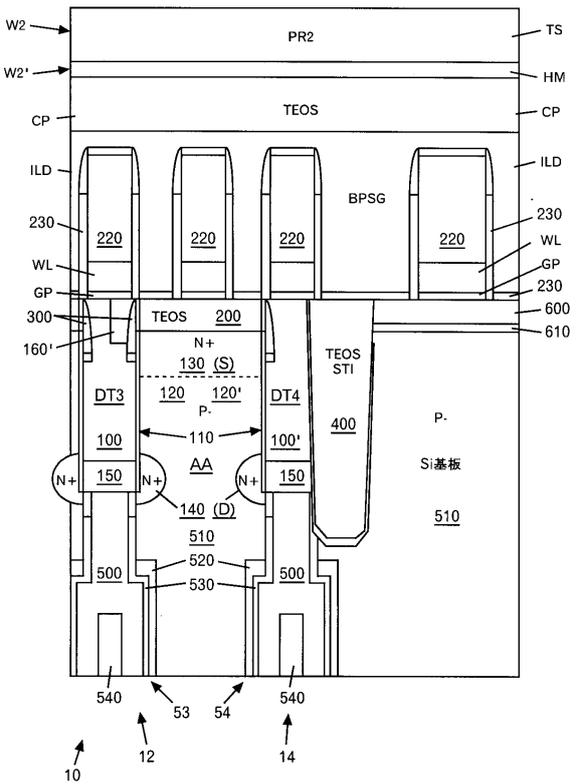
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(72)発明者 ハイニン・ヤン
アメリカ合衆国12590 ニューヨーク州ワッピンガー・フォールズ ロビンソン・レーン 3
6

(72)発明者 ラマチャンドラ・ディバカルニ
アメリカ合衆国10562 ニューヨーク州オッシング シャーウッド・レーン 60

審査官 瀧内 健夫

(56)参考文献 特表2002-526927(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/8242
H01L 27/108