



(12) 发明专利申请

(10) 申请公布号 CN 114446769 A

(43) 申请公布日 2022. 05. 06

(21) 申请号 202011229183.6

(22) 申请日 2020.11.06

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区
空港工业园兴业大道388号

(72) 发明人 夏军 白世杰

(74) 专利代理机构 上海盈盛知识产权代理事务
所(普通合伙) 31294

专利代理师 孙佳胤 高翠花

(51) Int. Cl.

H01L 21/027 (2006.01)

H01L 21/033 (2006.01)

权利要求书2页 说明书6页 附图10页

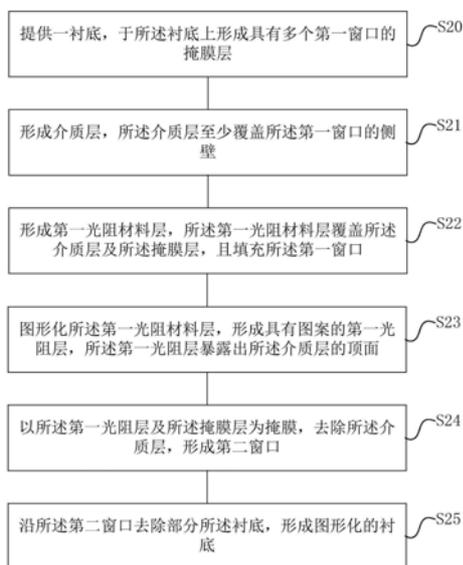
(54) 发明名称

半导体器件的制备方法

(57) 摘要

本发明提供一种半导体器件的制备方法,如下步骤:提供衬底,于所述衬底上形成具有多个第一窗口的掩膜层;形成介质层,介质层至少覆盖第一窗口的侧壁;形成第一光阻材料层,第一光阻材料层覆盖介质层及掩膜层,且填充第一窗口;图形化第一光阻材料层,形成具有图案的第一光阻层,暴露出介质层的顶面;以第一光阻层及掩膜层为掩膜,去除介质层,形成第二窗口;沿第二窗口去除所述衬底,形成图形化的衬底。本发明优点是,第一光阻材料层的材料特性使得在第一光阻材料层被图形化的过程中,第一光阻材料层需要被保留的部分并未破坏,衬底表面并未被暴露,则在后续形成图形化的衬底的过程中,衬底并未被损坏,大大提高了半导体器件的良率。

CN 114446769 A



1. 一种半导体器件的制备方法,其特征在于,包括如下步骤:
提供一衬底,于所述衬底上形成具有多个第一窗口的掩膜层;
形成介质层,所述介质层至少覆盖所述第一窗口的侧壁;
形成第一光阻材料层,所述第一光阻材料层覆盖所述介质层及所述掩膜层,且填充所述第一窗口;
图形化所述第一光阻材料层,形成具有图案的第一光阻层,所述第一光阻层暴露出所述介质层的顶面;
以所述第一光阻层及所述掩膜层为掩膜,去除所述介质层,形成第二窗口;
沿所述第二窗口去除部分所述衬底,形成图形化的衬底。
2. 根据权利要求1所述的半导体器件的制备方法,其特征在于,于所述衬底上形成具有多个第一窗口的掩膜层方法包括如下步骤:
于所述衬底上依次形成掩膜层和第二光阻材料层;
图形化所述第二光阻材料层,形成具有图案的第二光阻层;
以所述第二光阻层为掩膜,将所述第二光阻层的图案转移到所述掩膜层上,形成具有多个第一窗口的掩膜层。
3. 根据权利要求2所述的半导体器件的制备方法,其特征在于,所述第一光阻材料层与所述第二光阻材料层互为异型。
4. 根据权利要求3所述的半导体器件的制备方法,其特征在于,所述第一光阻材料层为正型光阻,所述第二光阻材料层为负型光阻,或者所述第一光阻材料层为负型光阻,所述第二光阻材料层为正型光阻。
5. 根据权利要求3所述的半导体器件的制备方法,其特征在于,图形化所述第一光阻材料层的步骤与图形化所述第二光阻材料层的步骤采用同一掩膜版。
6. 根据权利要求5所述的半导体器件的制备方法,其特征在于,图形化所述第一光阻材料层,形成具有图案的第一光阻层的步骤进一步包括:
图形化所述第一光阻材料层,形成具有图案的初级光阻层,所述初级光阻层填充所述第一窗口,并覆盖部分所述介质层的顶面;
对所述初级光阻层进行修正,形成所述第一光阻层,所述第一光阻层暴露出所述介质层的顶面。
7. 根据权利要求1所述的半导体器件的制备方法,其特征在于,所述第一光阻材料层的上表面高于所述介质层的顶面及所述掩膜层的上表面。
8. 根据权利要求1所述的半导体器件的制备方法,其特征在于,以所述第一光阻层及所述掩膜层为掩膜,去除所述介质层的步骤中,采用刻蚀工艺去除所述介质层,刻蚀物对所述介质层的刻蚀速率大于对所述第一光阻层及所述掩膜层的刻蚀速率。
9. 根据权利要求1所述的半导体器件的制备方法,其特征在于,在所述掩膜层的不同区域,所述第一窗口的开口率不同。
10. 根据权利要求1所述的半导体器件的制备方法,其特征在于,在沿所述第二窗口去除部分所述衬底,形成图形化的衬底的步骤之后,还包括如下步骤:去除所述衬底表面的所述掩膜层及所述第一光阻层。
11. 根据权利要求1所述的半导体器件的制备方法,其特征在于,形成所述介质层方法

为原子层沉积法。

半导体器件的制备方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种半导体器件的制备方法。

背景技术

[0002] 为了增加半导体器件的集成密度,现有技术中采用了许多不同的方法,如,自对准双图形(Self-aligned Double Patterning, SADP)工艺、自对准四次图形(Self-aligned Quadruple Patterning, SAQP)工艺和反向自对准双图形(Reverse Self-aligned Quadruple Patterning)工艺等。

[0003] 现有的反向自对准双图形工艺的具体流程如下:

[0004] 请参阅图1A,提供一衬底100,所述衬底100上设置有具有图案的掩膜层110,所述掩膜层110具有开口111,暴露出所述衬底100。

[0005] 请参阅图1B,在所述掩膜层110上沉积介质层120,所述介质层120覆盖所述掩膜层110的上表面、开口111侧壁及所述衬底100的表面。

[0006] 请参阅图1C,采用旋涂硬掩膜层(SOH)130覆盖所述介质层120。所述旋涂硬掩膜层130填充所述开口111,且其上表面高于所述介质层120及所述掩膜层110的上表面。

[0007] 请参阅图1D,利用刻蚀工艺去除部分所述旋涂硬掩膜层130,位于所述开口111侧壁的介质层120的顶面及位于所述掩膜层110上表面的介质层120被暴露。

[0008] 请参阅图1E,以所述旋涂硬掩膜层130为掩膜,刻蚀所述介质层120及其对应的所述衬底100,进而在所述衬底100中形成需要的图形140。

[0009] 其中,在采用旋涂硬掩膜层130覆盖所述介质层120的步骤中,形成的所述旋涂硬掩膜层130的理想状态是,其上表面保持平齐,即旋涂硬掩膜层130各个位置处的表面均在一个平面内。而在实际工艺中,请继续参阅图1C,由于掩膜层110的开口111的分布密度不同,即掩膜层110各处的开口率不同,导致旋涂硬掩膜层130的高度不同,即旋涂硬掩膜层130的上表面并不在同一平面内。具体地说,掩膜层110的开口111的分布密度越高(即开口率越小),旋涂硬掩膜层130的高度越高,在半导体器件的边缘,掩膜层110的开口111的分布密度最小(即开口率最大)。例如,在某些区域(例如图1C所示A区域)掩膜层110的开口111的分布密度高(即开口率小),而在某些区域(例如图1C所示B区域)掩膜层110的开口111的分布密度低(即开口率大),则A区域的旋涂硬掩膜层130的高度高于B区域的旋涂硬掩膜层130的高度。在该种情况下,在利用刻蚀工艺去除部分所述旋涂硬掩膜层130的步骤中,随着刻蚀的进行,涂硬掩膜层130的高度低的区域可能会暴露出衬底100,例如,在半导体器件的边缘,衬底100最可能会被暴露。则刻蚀气体会作用于所述衬底100,使得衬底100被刻蚀,导致衬底100被损坏,影响半导体器件的良率。

[0010] 因此,亟需一种新的半导体器件的制造方法,避免出现上述问题。

发明内容

[0011] 本发明所要解决的技术问题是,提供一种半导体器件的制备方法,其能够避免衬

底被损坏,提高半导体器件的良率。

[0012] 为了解决上述问题,本发明提供了一种半导体器件的制备方法,其包括如下步骤:提供一衬底,所述衬底上设置有掩膜层,所述掩膜层开设有多个第一窗口;形成介质层,所述介质层至少覆盖所述第一窗口的侧壁;形成第一光阻材料层,所述第一光阻材料层覆盖所述介质层及所述掩膜层,且填充所述第一窗口;图形化所述第一光阻材料层,形成具有图案的第一光阻层,所述第一光阻层暴露出所述介质层的顶面;以所述第一光阻层及所述掩膜层为掩膜,去除所述介质层,形成第二窗口;沿所述第二窗口去除部分所述衬底,形成图形化的衬底。

[0013] 可选地,在所述掩膜层上形成多个第一窗口的方法包括如下步骤:于所述衬底上依次形成掩膜层和第二光阻材料层;图形化所述第二光阻材料层,形成具有图案的第二光阻层;以所述第二光阻层为掩膜,将所述第二光阻层的图案转移到所述掩膜层上,形成具有多个第一窗口的掩膜层。

[0014] 可选地,所述第一光阻材料层与所述第二光阻材料层互为异型。

[0015] 可选地,所述第一光阻材料层为正型光阻,所述第二光阻材料层为负型光阻,或者所述第一光阻材料层为负型光阻,所述第二光阻材料层为正型光阻。

[0016] 可选地,图形化所述第一光阻材料层的步骤与图形化所述第二光阻材料层的步骤采用同一掩膜版。

[0017] 可选地,图形化所述第一光阻材料层,形成具有图案的第一光阻层的步骤进一步包括:图形化所述第一光阻材料层,形成具有图案的初级光阻层,所述初级光阻层填充所述第一窗口,并覆盖部分所述介质层的顶面;对所述初级光阻层进行修正,形成所述第一光阻层,所述第一光阻层暴露出所述介质层的顶面。

[0018] 可选地,所述第一光阻材料层的上表面高于所述介质层的顶面及所述掩膜层的上表面。

[0019] 可选地,以所述第一光阻层及所述掩膜层为掩膜,去除所述介质层的步骤中,采用刻蚀工艺去除所述介质层,刻蚀物对所述介质层的刻蚀速率大于对所述第一光阻层及所述掩膜层的刻蚀速率。

[0020] 可选地,在所述掩膜层的不同区域,所述第一窗口的开口率不同。

[0021] 可选地,在沿所述第二窗口去除部分所述衬底,形成图形化的衬底的步骤之后,还包括如下步骤:去除所述衬底表面的所述掩膜层及所述第一光阻层。

[0022] 可选地,形成所述介质层的方法为原子层沉积法。

[0023] 本发明的优点在于,第一光阻材料层的材料特性使得在第一光阻材料层被图形化的过程中,第一光阻材料层需要被保留的部分并未破坏,衬底表面并未被暴露,则在后续形成图形化的衬底的过程中,衬底并未被损坏,大大提高了半导体器件的良率。

附图说明

[0024] 图1A~图1E是现有技术中的反向自对准双图形工艺的流程图中;

[0025] 图2是本发明一实施例的半导体器件的制备方法的步骤示意图;

[0026] 图3A~图3H是本发明一实施例的半导体器件的制备方法的工艺流程图;

[0027] 图4A~图4B是本发明一实施例于所述衬底上形成具有多个第一窗口的掩膜层的

工艺流程图。

具体实施方式

[0028] 下面结合附图对本发明提供的半导体器件的制备方法的具体实施方式做详细说明。

[0029] 图2是本发明一实施例的半导体器件的制备方法的步骤示意图。请参阅图2,本发明半导体器件的制备方法包括如下步骤:步骤S20,提供一衬底,于所述衬底上形成具有多个第一窗口的掩膜层;步骤S21,形成介质层,所述介质层至少覆盖所述第一窗口的侧壁;步骤S22,形成第一光阻材料层,所述第一光阻材料层覆盖所述介质层及所述掩膜层,且填充所述第一窗口;步骤S23,图形化所述第一光阻材料层,形成具有图案的第一光阻层,所述第一光阻层暴露出所述介质层的顶面;步骤S24,以所述第一光阻层及所述掩膜层为掩膜,去除所述介质层,形成第二窗口;步骤S25,沿所述第二窗口去除部分所述衬底,形成图形化的衬底。

[0030] 图3A~图3H是本发明一实施例的半导体器件的制备方法的工艺流程图。

[0031] 请参阅步骤S20及图3A,提供一衬底300,于所述衬底300上形成具有多个第一窗口311的掩膜层310。

[0032] 所述半导体衬底300可以包括硅衬底、锗(Ge)衬底、锗化硅(SiGe)衬底、SOI衬底或GOI(Germanium-on-Insulator,绝缘体上锗)衬底等等;所述半导体衬底300还可以为包括其他元素半导体或化合物半导体的衬底,例如砷化镓、磷化铟或碳化硅等,所述半导体衬底300还可以为叠层结构,例如硅/锗硅叠层等;另外,所述半导体衬底300可以为进行离子掺杂后的衬底,可以进行P型掺杂,也可以进行N型掺杂;所述半导体衬底300中还可以形成有多个外围器件,如场效应晶体管、电容、电感和/或pn结二极管等。本实施例中,所述半导体衬底300包括氮化物层301及位于所述氮化物层301上方的氧化物层302,氮化物层301下方还含有其他衬底结构,比如位线结构,晶体管结构等,但由于与本发明无关,所以不绘示。

[0033] 所述掩膜层310设置在所述衬底300上表面,所述第一窗口311贯穿所述掩膜层310,并暴露出所述衬底300的上表面。具体地说,在本实施例中,所述第一窗口311贯穿所述掩膜层310,并暴露出所述氧化物层302的上表面。所述掩膜层310可为单层结构,也可为多层结构,例如,在本实施例中,所述掩膜层310为由SOH层与氮化物层构成的多层结构,在本发明其他实施例中,所述掩膜层310可仅为单层氮化物层或者SOH层。

[0034] 进一步,在本实施例中,在所述掩膜层310的不同区域,所述第一窗口311的开口率不同。所述开口率是指,所述第一窗口311的面积与所述掩膜层310整体面积的比值。例如,在所述掩膜层310中,具有相同面积的A区域及B区域相比,在A区域,所述第一窗口311的开口率小,在B区域,所述第一窗口311的开口率大。其中,在所述半导体器件的边缘,所述第一窗口311的开口率最大。在本发明其他实施例中,在所述掩膜层310的不同区域,所述第一窗口311的开口率也可相同,即在所述掩膜层310中,具有相同面积的A区域及B区域相比,所述第一窗口311的开口率相同。

[0035] 进一步,本实施例还提供一种于所述衬底300上形成具有多个第一窗口311的掩膜层310的方法。所述方法包括如下步骤:

[0036] 请参阅图4A,于所述衬底300上依次形成掩膜层310和第二光阻材料层400。例如,

采用化学气相沉积或者物理气相沉积等方法在所述衬底300上形成所述掩膜层310,在所述掩膜层310上采用旋涂工艺形成所述第二光阻材料层400。

[0037] 请参阅图4B,图形化所述第二光阻材料层400,形成具有图案的第二光阻层410。

[0038] 在该步骤中,可采用掩膜版500作为遮挡,对所述第二光阻材料层400进行曝光显影,形成所述第二光阻层410。所述掩膜版500具有多个开口501,光穿过所述开口501照射在所述第二光阻材料层400上。其中,在本实施例中,所述第二光阻材料层400为正型光阻,被光照射的区域被去除,未被光照射的区域被保留,即与所述开口501对应的区域被去除,未与所述开口501对应的区域被保留。而在本发明其他实施例中,所述第二光阻材料层400为反型光阻,则被光照射的区域被保留,未被光照射的区域被去除,即与所述开口501对应的区域被保留,未与所述开口501对应的区域被去除。

[0039] 以所述第二光阻层410为掩膜,将所述第二光阻层410的图案转移到所述掩膜层310上,进而在所述掩膜层310上形成多个所述第一窗口311,该步骤形成的结构如图3A所示。在该步骤中,以所述第二光阻层410为掩膜,刻蚀所述掩膜层310,以在所述掩膜层310上形成多个所述第一窗口311。

[0040] 请参阅步骤S21及图3B,形成介质层320,所述介质层320至少覆盖所述第一窗口311的侧壁。在本实施例中,所述介质层320不仅覆盖所述第一窗口311的侧壁,还覆盖所述掩膜层310的上表面及所述衬底300暴露的表面。在本发明其他实施例中,所述介质层320也可仅覆盖所述第一窗口311的侧壁。

[0041] 其中,在本实施例中,所述介质层320为氧化物层,其与所述衬底300的氧化物层302为同种材料层,在本发明其他实施例中,所述介质层320也可为其他材料层,所述介质层320与掩膜层310、第一光阻层410及后续形成的第二光阻层340具有较高的刻蚀选择比。

[0042] 进一步,覆盖所述第一窗口311的侧壁的介质层320的厚度与后续需要在衬底300上形成的图案的宽度相同,因此可通过所述介质层320的厚度来界定后续形成在衬底300上的图案的宽度。其中,可采用原子层沉积法形成所述介质层320,使得所述介质层320的关键尺寸可控,保证形成的介质层320在各区域的均匀性好,从而保证后续形成的第二窗口350(请参阅图3F)的开口均一性好,使得后续在衬底300中形成的图案的均一性好。

[0043] 请参阅步骤S22及图3C,形成第一光阻材料层330,所述第一光阻材料层330覆盖所述介质层320及所述掩膜层310,且填充所述第一窗口311。在该步骤中,可采用旋涂工艺形成所述第一光阻材料层330。所述第一光阻材料层330的上表面高于所述介质层320的顶面及所述掩膜层310的上表面,以进一步确保衬底300表面不被暴露。

[0044] 在步骤S22中,所述第一光阻材料层330的理想状态是,其上表面保持平齐,即第一光阻材料层330各个位置处的表面均在一个平面内。而在实际工艺中,由于所述第一窗口311的开口率不同,使得第一光阻材料层330的高度不同。具体地说,第一窗口311的开口率越小,第一光阻材料层330的高度越高。例如,在本实施例中,在半导体器件的边缘,第一窗口311的开口率最大,第一光阻材料层330的高度最小。

[0045] 请参阅步骤S23、图3D及图3E,图形化所述第一光阻材料层330,形成具有图案的第一光阻层340,所述第一光阻层340暴露出所述介质层320的顶面。

[0046] 进一步,所述第一光阻材料层330与所述第二光阻材料层400为异型。具体地说,若所述第一光阻材料层330为正型光阻,则所述第二光阻材料层400为负型光阻;若所述第一

光阻材料层330为负型光阻,则所述第二光阻材料层400为正型光阻。在该步骤中,可采用与形成所述第二光阻层410相同的掩膜版作为遮挡,对所述第一光阻材料层330进行曝光显影,而不需要额外在提供掩膜版,节省了工艺制程,节约了成本。

[0047] 在本实施例中,所述第一光阻材料层330为负型光阻,所述第二光阻材料层400为正型光阻,则在该步骤中,可采用与形成所述第二光阻层410相同的掩膜版作为遮挡,对所述第一光阻材料层330进行曝光显影,形成所述第一光阻层340,所述第一光阻层340仅遮挡所述第一窗口311及位于所述第一窗口311侧壁的介质层320。即在该步骤中,也采用掩膜版500作为遮挡,对所述第一光阻材料层330进行曝光显影,被光照射的区域被保留,未被光照射的区域被去除,即与所述开口501对应的区域被保留,未与所述开口501对应的区域被去除。

[0048] 在本发明其他实施例中,所述第一光阻材料层330为正型光阻,所述第二光阻材料层400为负型光阻,则在该步骤中,可采用与形成所述第二光阻层410相同的掩膜版作为遮挡,对所述第一光阻材料层330进行曝光显影,形成所述第一光阻层340,所述第一光阻层340仅遮挡所述第一窗口311及位于所述第一窗口311侧壁的介质层320。即在该步骤中,也采用掩膜版500作为遮挡,对所述第一光阻材料层330进行曝光显影,被光照射的区域被去除,未被光照射的区域被保留,即与所述开口501对应的区域被去除,未与所述开口501对应的区域被保留。

[0049] 进一步,若采用与形成所述第二光阻层410相同的掩膜版作为遮挡图形化所述第一光阻材料层330,由于掩膜版500的开口501的尺寸与第一窗口311的尺寸匹配,所述第一光阻层340(即被保留的第一光阻材料层330)的尺寸与第一窗口311的尺寸相同,则位于第一窗口311侧壁的介质层320被所述第一光阻层340覆盖,而并未被暴露,导致后续工艺无法进行。因此,图形化所述第一光阻材料层330,形成具有图案的第一光阻层340的步骤进一步包括如下步骤:

[0050] 请参阅图3D,图形化所述第一光阻材料层330,形成具有图案的初级光阻层331,所述初级光阻层331填充所述第一窗口311,并覆盖部分所述介质层320的顶面。

[0051] 请参阅图3E,对所述初级光阻层331进行修正,形成所述第一光阻层340,所述第一光阻层340暴露出所述介质层320的顶面。对所述初级光阻层331进行修正后,需要被去除的介质层320暴露,使得后续工艺可以顺利进行。

[0052] 在该步骤中,对所述初级光阻层331进行修正的方法是,采用氧气等离子体对初级光阻层331进行灰化处理,以暴露出需要被去除的介质层320。

[0053] 进一步,在本发明其他实施例中,所述第一光阻材料层330与所述第二光阻材料层400为同型,例如,所述第一光阻材料层330与所述第二光阻材料层400均为正型光阻或者均为负型光阻,则在图形化所述第一光阻材料层330与所述第二光阻材料层400的步骤中,可采用不同的掩膜版进行遮挡,以获得第一光阻层340及第二光阻层410。

[0054] 在步骤S23中,在对所述第一光阻材料层330进行图形化的过程中,并不会改变所述第一光阻材料层330的保留部分的高度,也就是说,在对所述第一光阻材料层330进行图形化的过程中,并不会出现现有技术中(请参阅图1D)衬底被暴露的情况,从而能够避免在后续步骤中衬底被损坏。

[0055] 请参阅步骤S24及图3F,以所述第一光阻层340及所述掩膜层310为掩膜,去除所述

介质层320,形成第二窗口350。

[0056] 在该实施例中,由于所述介质层320不仅覆盖所述第一窗口311的侧壁,还覆盖所述掩膜层310的上表面及所述衬底300暴露的表面,则在该步骤中,所述掩膜层310的上表面的介质层320首先被去除,然后暴露出其下方的所述掩膜层310,在继续刻蚀的过程中,所述掩膜层310及所述第一光阻层340作为掩膜,所述第一窗口311侧壁的介质层320被去除,形成所述第二窗口350。可以理解的是,在该步骤中,所述衬底300表面的介质层320由于被所述第一光阻层340遮挡而被保留。在本实施例中,采用干法刻蚀工艺刻蚀所述介质层320,以去除所述第一窗口311侧壁的介质层320。其中,刻蚀气体对所述介质层320的刻蚀速率大于对所述第一光阻层340及所述掩膜层310的刻蚀速率,以避免在去除介质层320时,所述第一光阻层340及所述掩膜层310被去除。

[0057] 其中,所述第二窗口350的宽度与所述介质层320的厚度基本相同,即所述第二窗口350的宽度取决于所述介质层320的厚度,因此,所述介质层320的关键尺寸越均匀,形成的所述第二窗口350的宽度越均一,进而保证后续在衬底上形成的图案的关键尺寸越均一。

[0058] 请参阅步骤S25及图3G,沿所述第二窗口350去除部分所述衬底300,形成图形化的衬底。

[0059] 在本实施例中,以所述第一光阻层340及掩膜层310为掩膜,沿所述第二窗口350刻蚀所述氧化物层302,以去除部分所述氧化物层302,形成具有图案的衬底。其中,所述刻蚀方法可以为干法刻蚀或者湿法刻蚀,在本实施例中,所述刻蚀方法为干法刻蚀。

[0060] 在步骤S25中,由于所述衬底300的表面被掩膜层310、介质层320及位于所述介质层320上方的第一光阻层340遮挡,所述衬底300没有暴露的部分,则在进行刻蚀工艺时,所述衬底300未被损坏,大大提高了半导体器件的性能。

[0061] 进一步,请参阅图3H,在步骤S25之后,去除所述衬底300表面的掩膜层310、第一光阻层340及被所述第一光阻层340覆盖的介质层320,形成具有图案的衬底。

[0062] 本发明半导体器件的制备方法利用第一光阻材料层的材料特性,将其作为过渡结构,使得在第一光阻材料层被图形化的过程中,第一光阻材料层需要被保留的部分并未破坏,衬底不需要刻蚀的部分并未被暴露,则在后续形成图形化的衬底的过程中,衬底不需要刻蚀的部分并未被损坏,大大提高了半导体器件的良率。

[0063] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

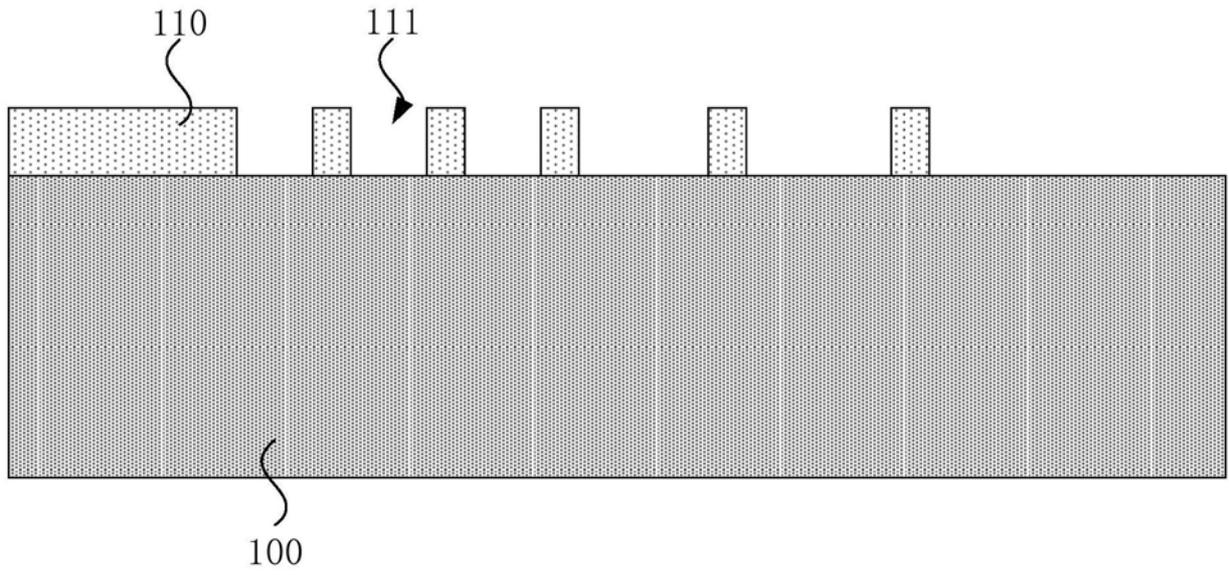


图1A

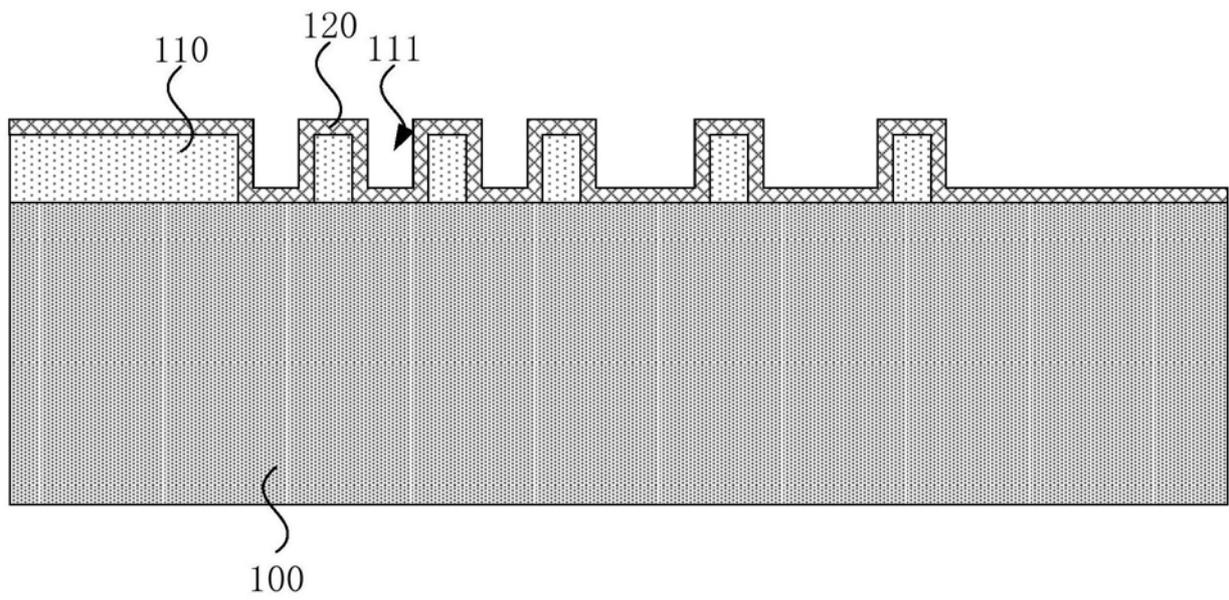


图1B

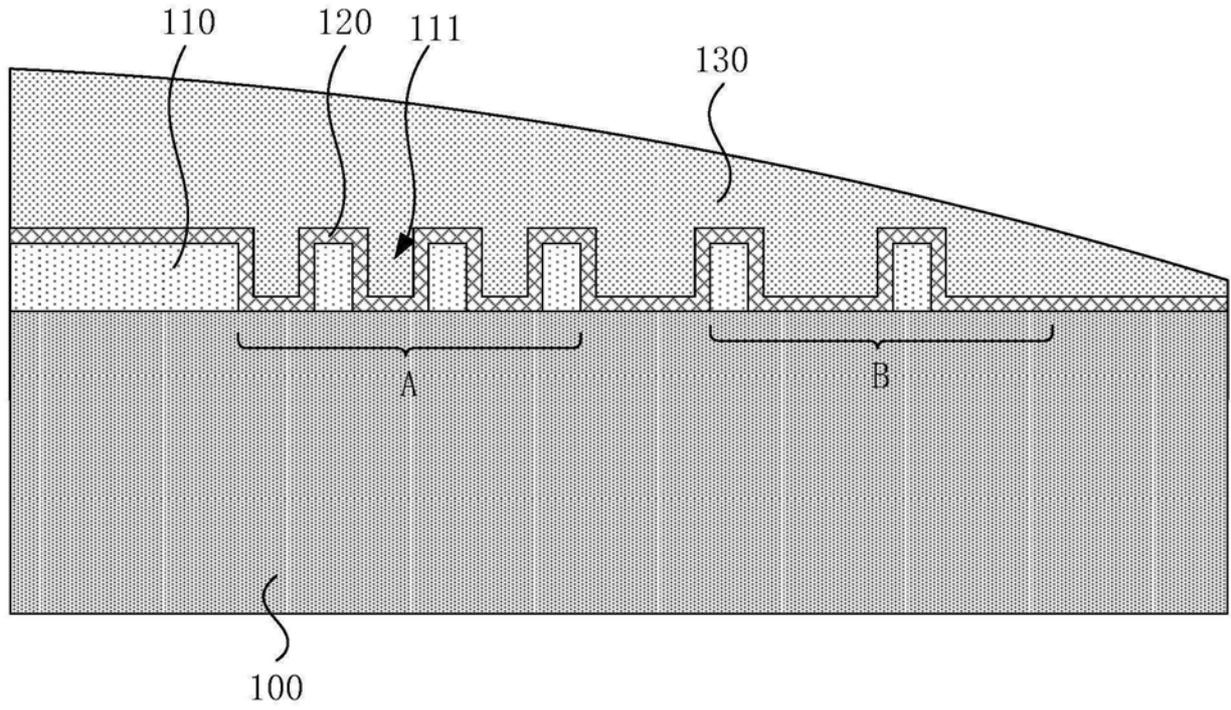


图1C

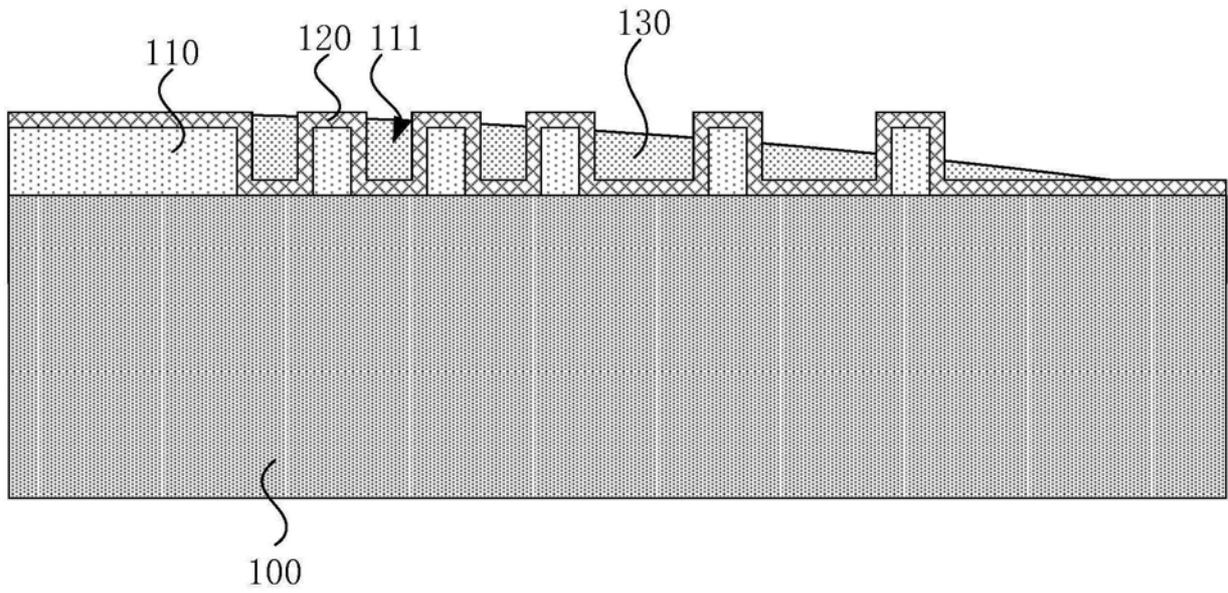


图1D

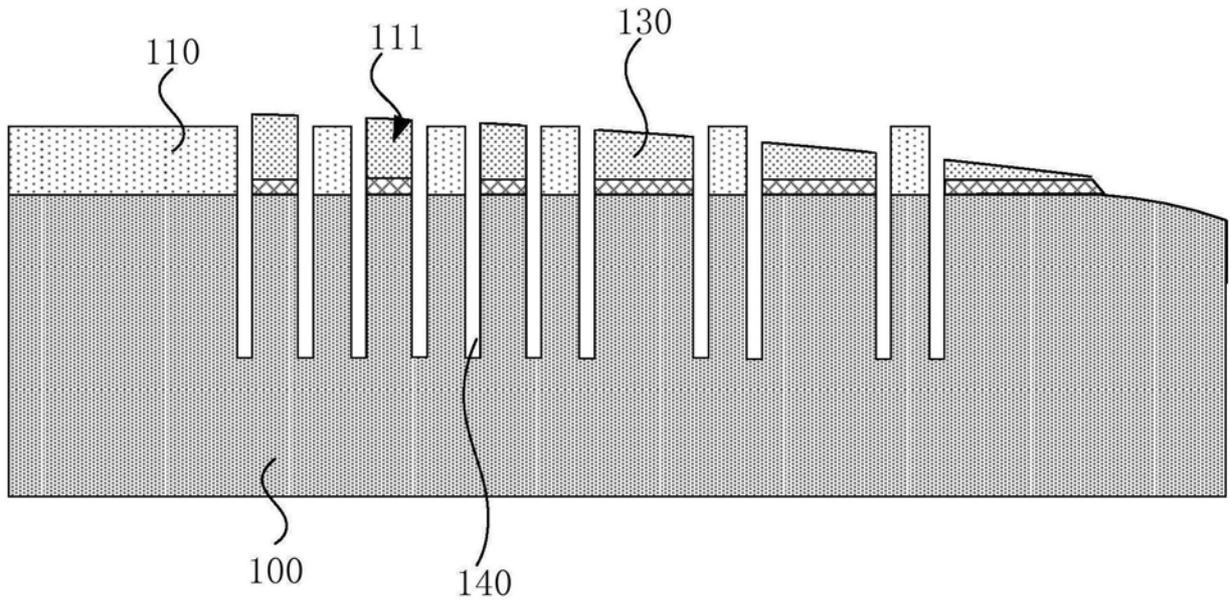


图1E

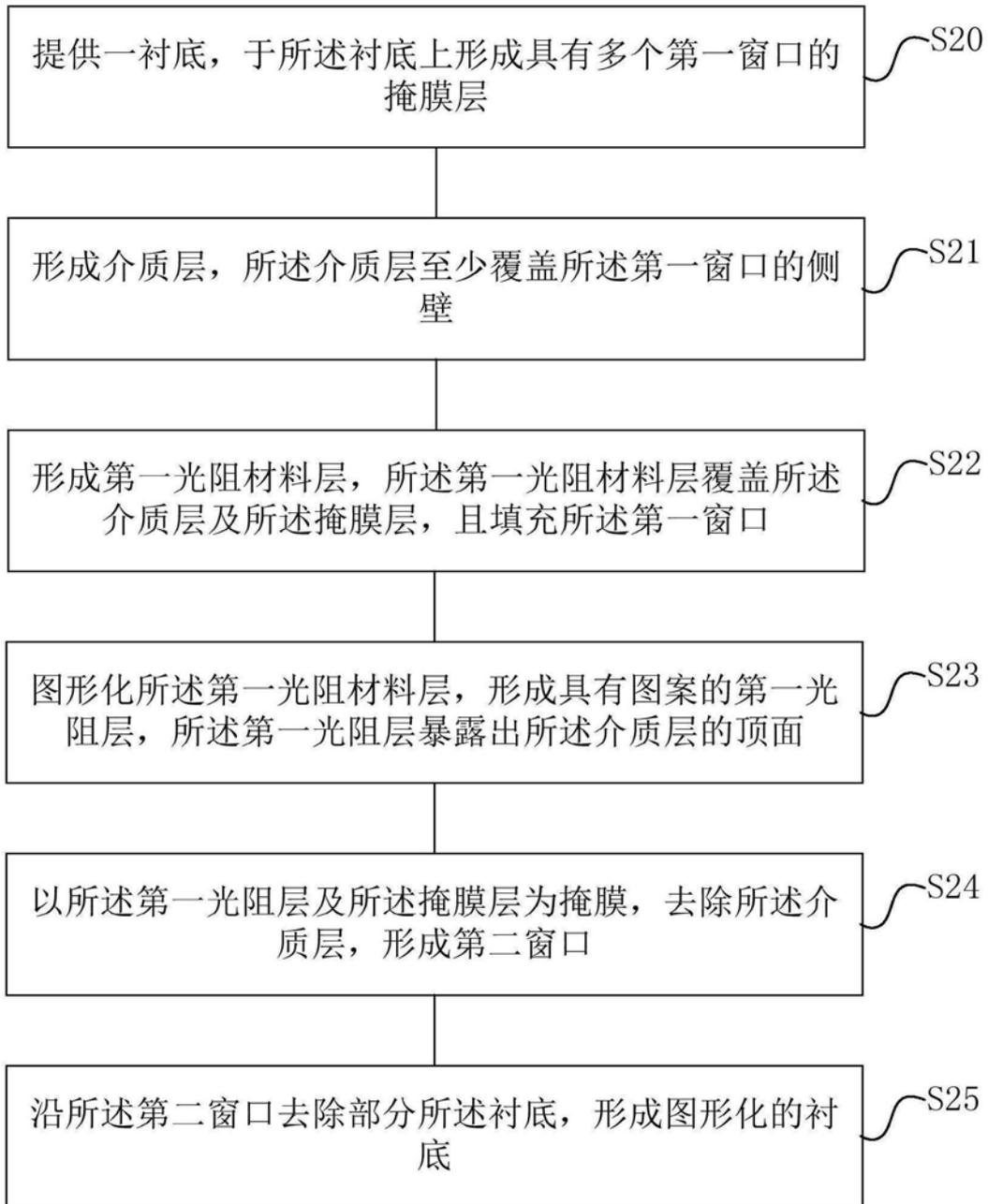


图2

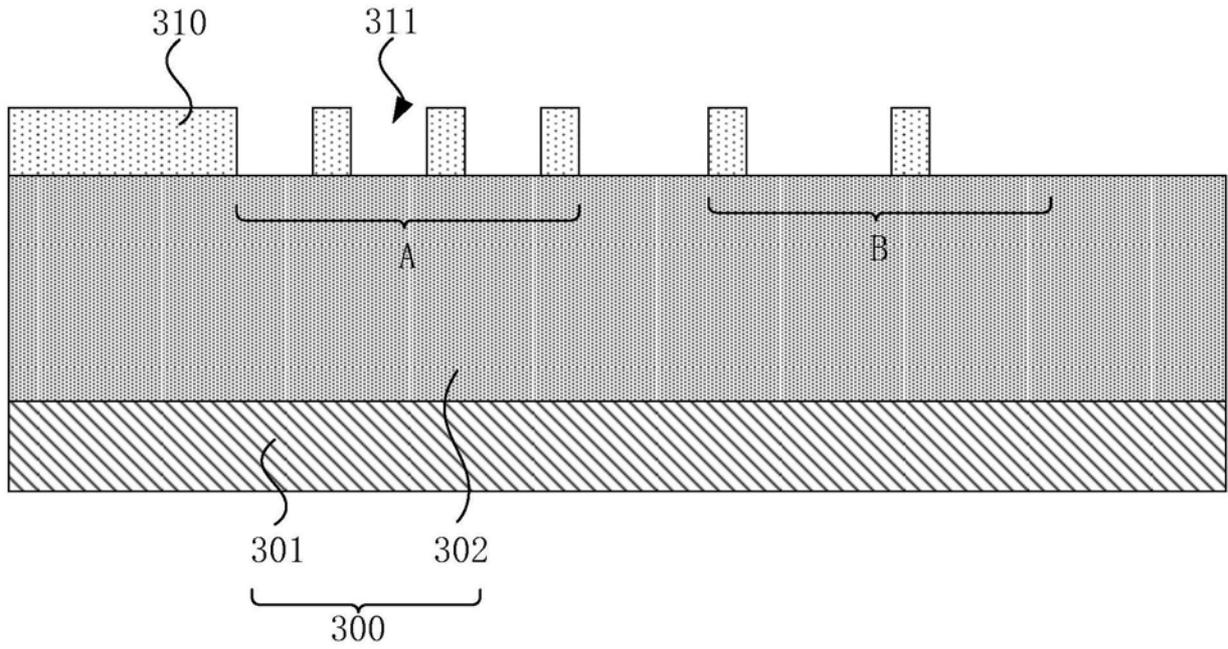


图3A

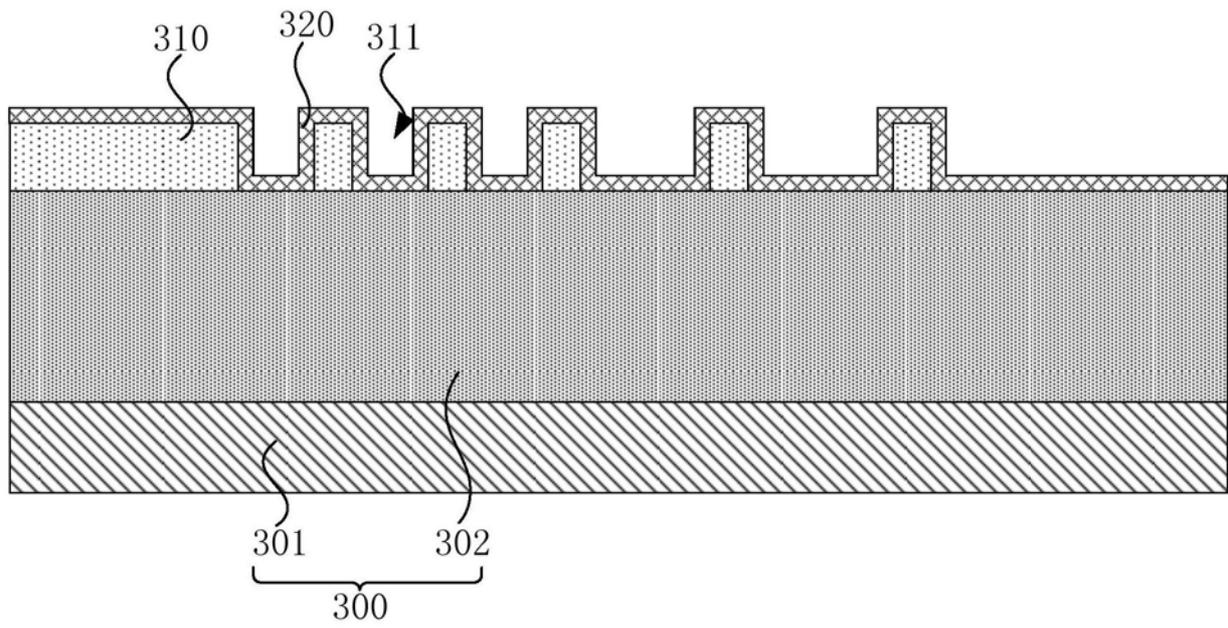


图3B

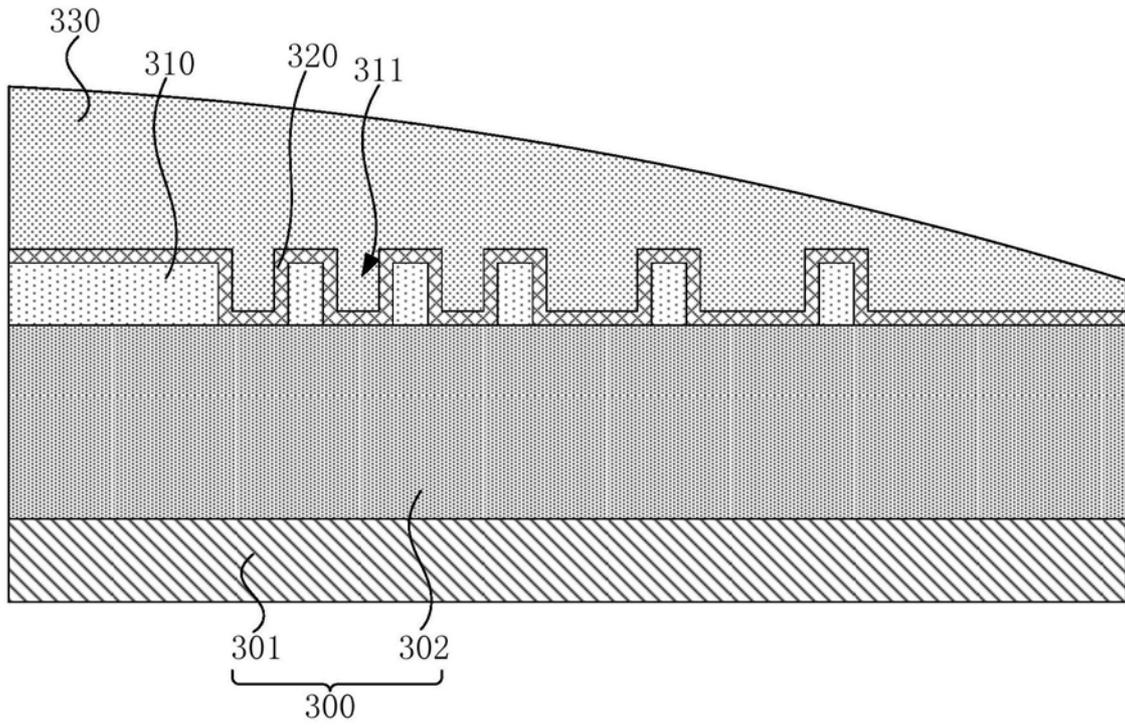


图3C

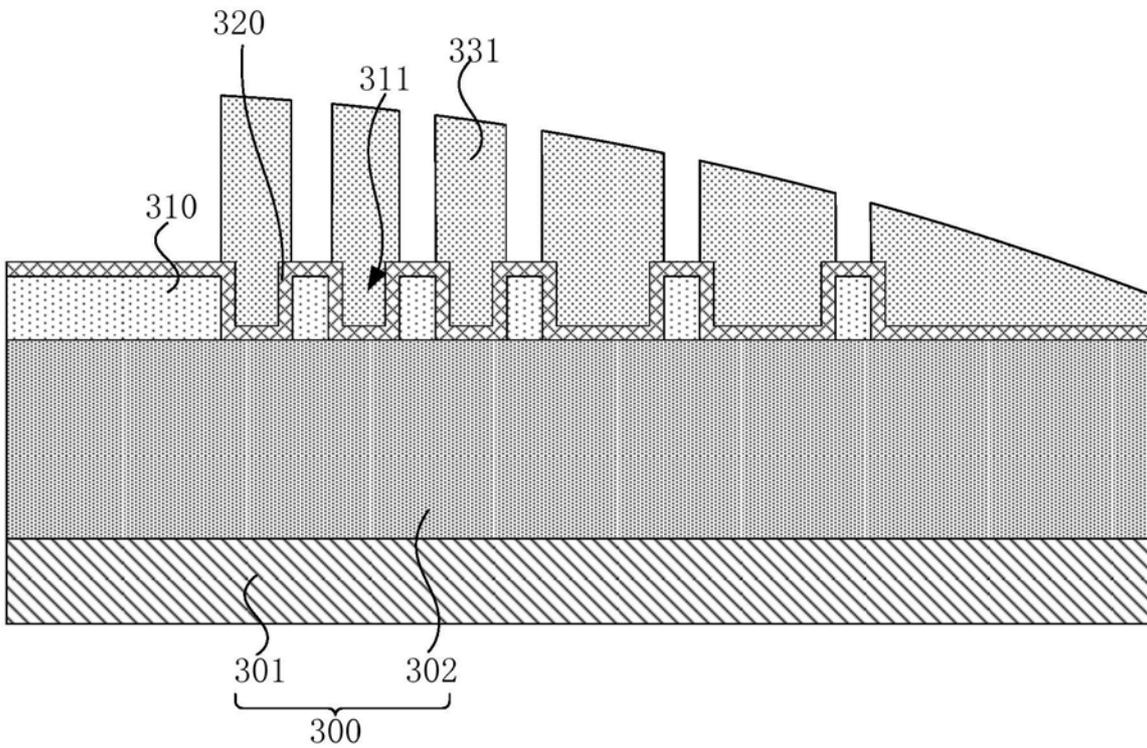


图3D

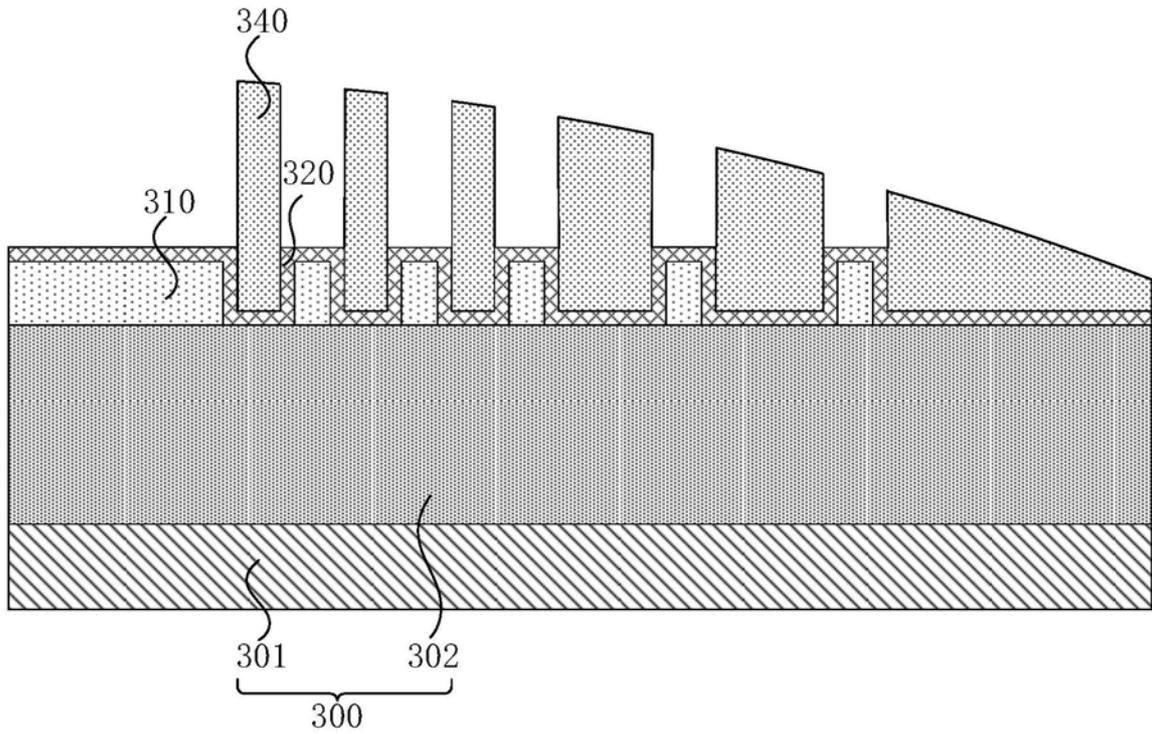


图3E

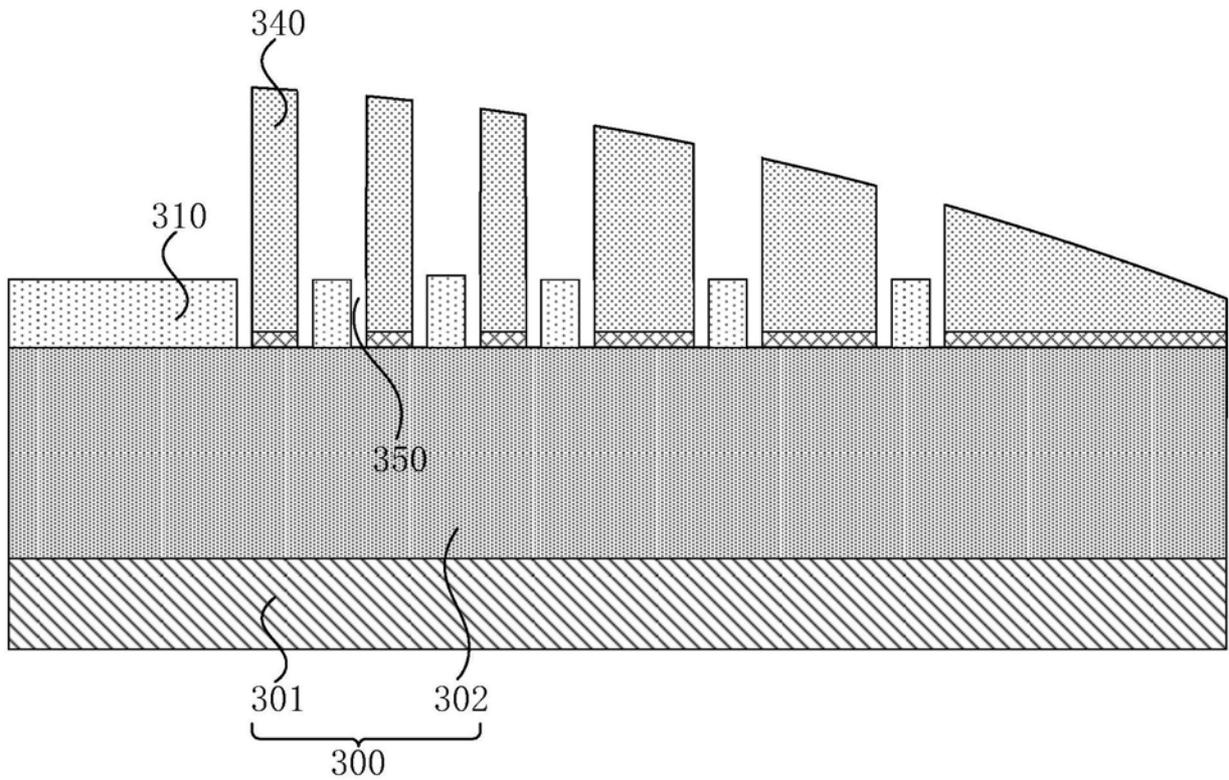


图3F

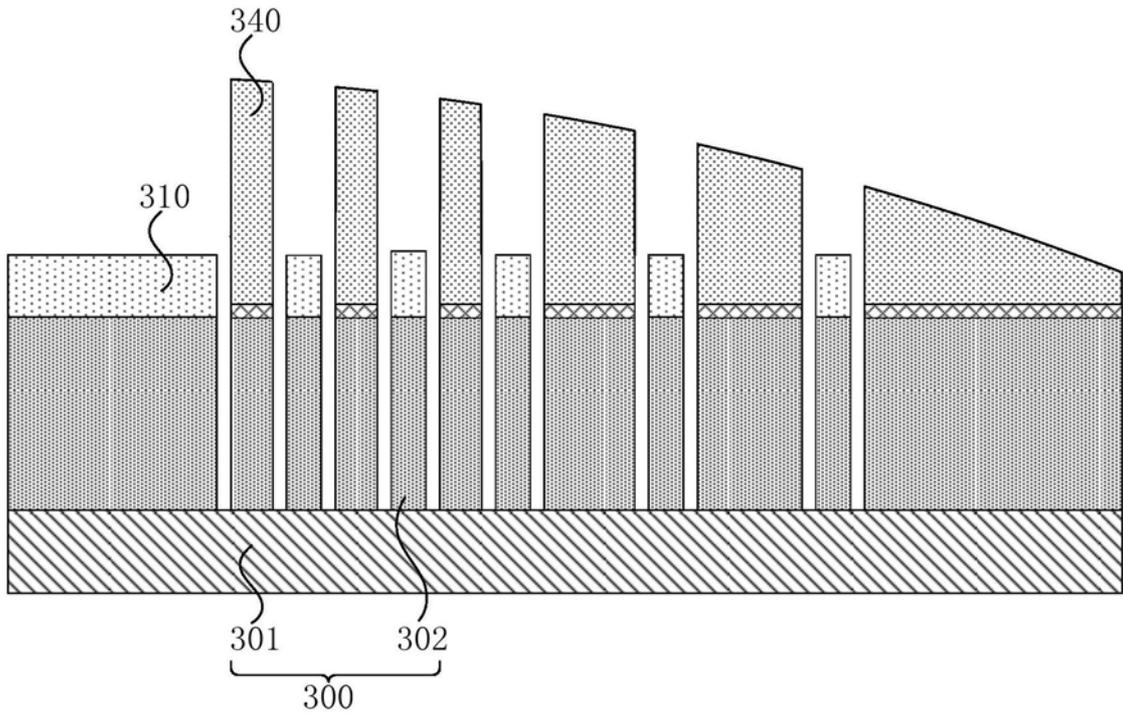


图3G

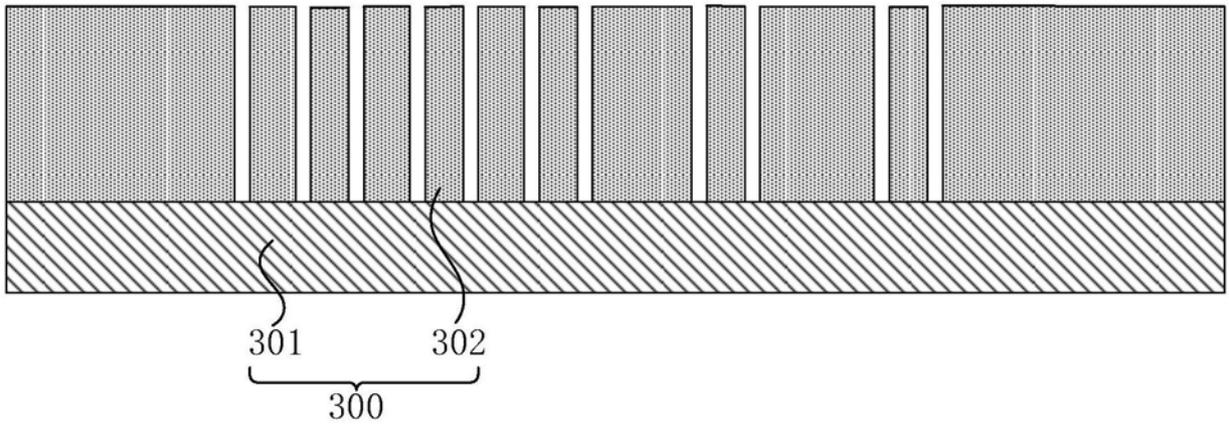


图3H

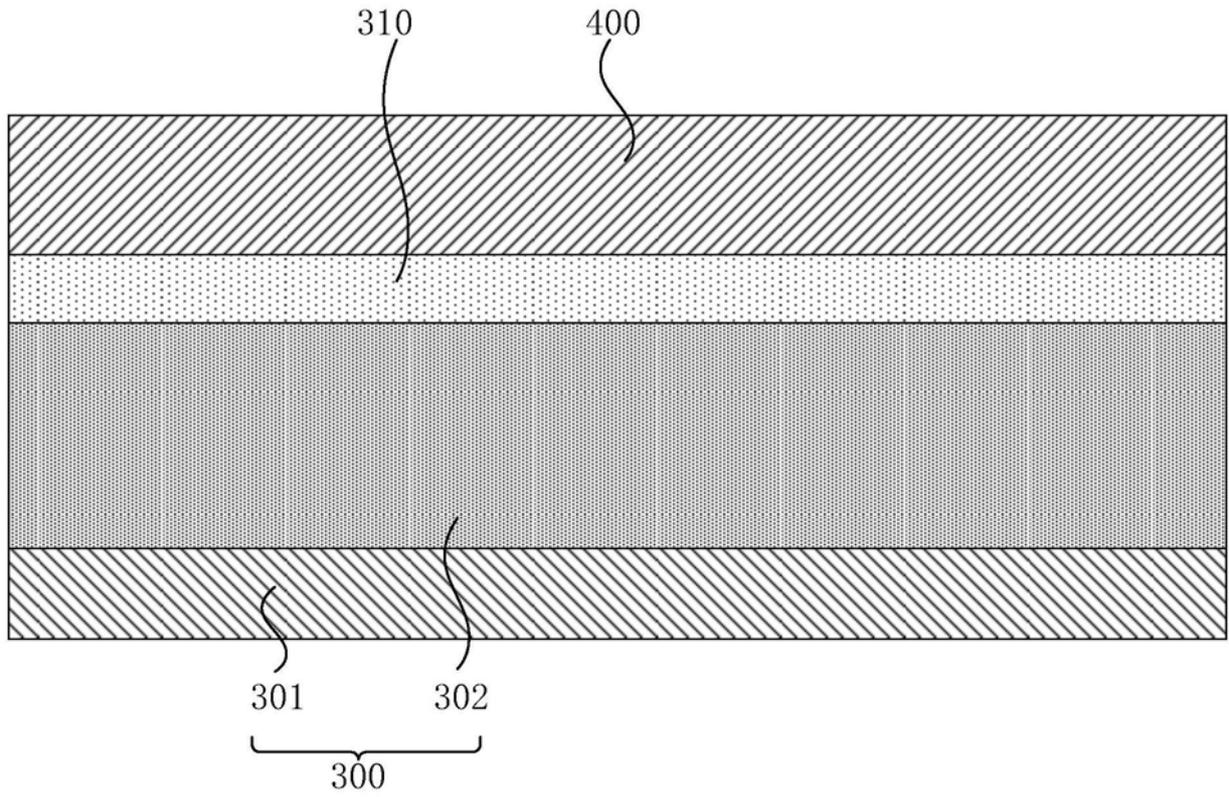


图4A

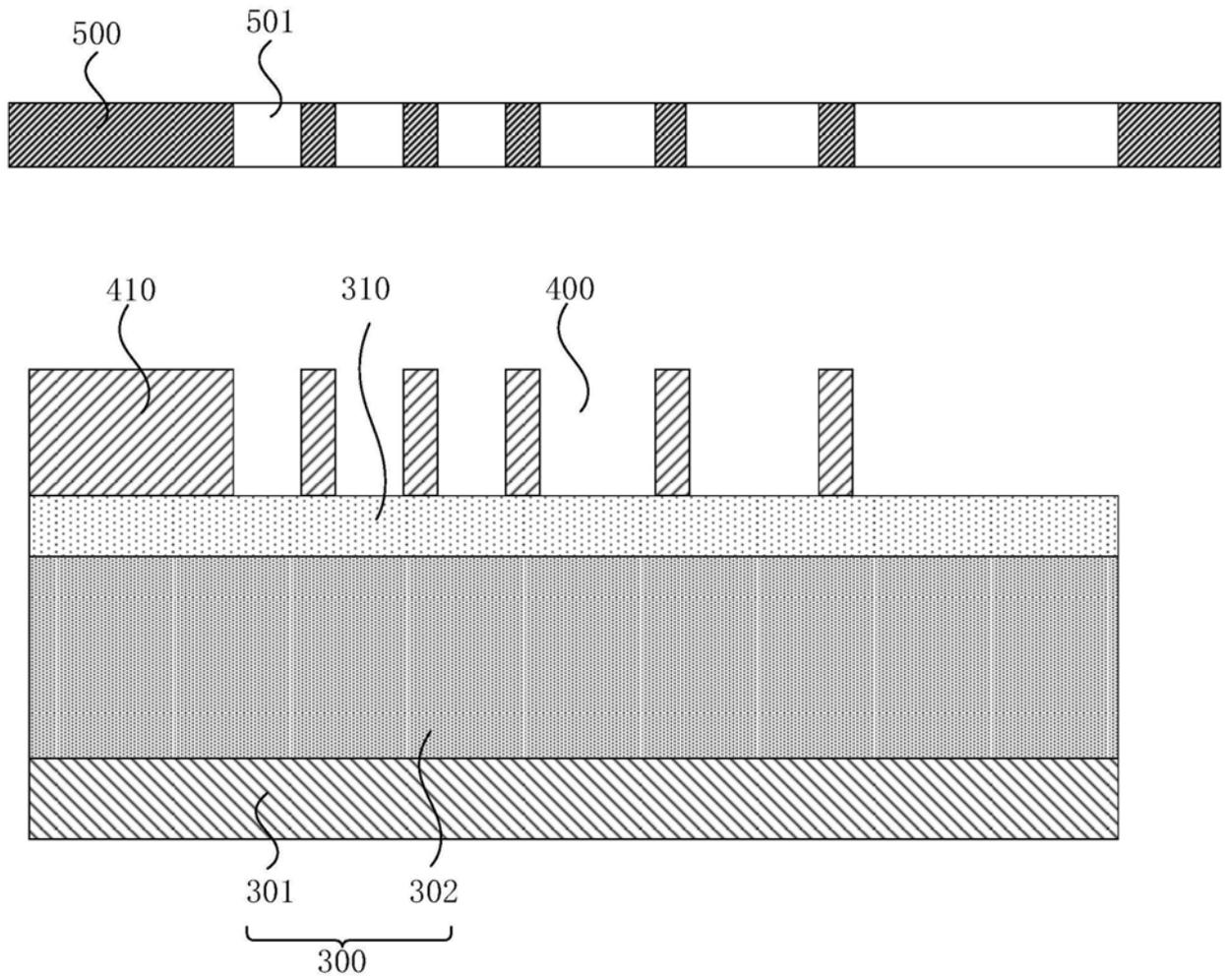


图4B