

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 27/115	(11) 공개번호 (43) 공개일자	특 1996-0015927 1996년 05월 22일
(21) 출원번호	특 1995-0034078	
(22) 출원일자	1995년 10월 05일	
(30) 우선권주장	8/319,393 1994년 10월 06일 미국(US)	
(71) 출원인	인터내셔널 비지네스 머신즈 코퍼레이션 윌리엄 티. 엘리스 미합중국 10504 뉴욕주 아몬크	
(72) 발명자	조이스 엘리자베스 애코셀라 미합중국 뉴욕주 12533 호프웰 정선시 알핀 드라이브 5 캐롤 갈리 미합중국 메릴랜드주 21113 오덴튼시 실로리지 코트 307-202 루이스 루첸 휴 미합중국 뉴욕주 12524 피시킬시 크로스비 코트 7 세이키 오구라 미합중국 뉴욕주 12533 호프웰 정선시 롱힐 로우드 50 니보 로베도 미합중국 뉴욕주 12540 라그랜지빌리시 선댄스 로우드 1 조지프 프란시스 세퍼드 미합중국 뉴욕주 12533 호프웰 정선시 카운티 클럽 로우드 36	
(74) 대리인	김성택, 장수길	

심사청구 : 있음

(54) 플래시 메모리를 위한 향상된 팩킹 밀도

요약

향상된 기능과 제조 수율뿐만 아니라, 향상된 팩킹 밀도는 얇은 질화물 층내에 덮혀진 분리물 구조간에 플로팅 게이트 구조를 한정함으로써 전기적으로 프로그래머블 메모리내에서 달성된다. 플로팅 게이트의 한정은 평면외에 의해 달성되고, 보다 바람직하게는 분리물 구조를 덮는 질화물의 표면에 대한 자동-한계 화학적/기계적 연마 공정으로 달성된다. 게이트 산화물과 제어 전극 접속은 게이트 산화물의 질 또는 프로그래밍을 위해 장치가 견디어 내야 하는 브레이크다운 전압을 고려하지 않고도 거의 평면인 표면에 형성될 수 있다. 이러한 접속을 형성할 때 급격한 토폴로지를 피해야 하기 때문에, 저 저항 접속의 향상된 형성, 금속 접속을 가능한한 포함하는 것은 가능하며, 메모리 셀인 트랜지스터의 스케일링은 이전에 불가능했던 사이즈 스케일을 가능하도록 한다.

대표도

도2

명세서

[발명의 명칭]

플래시 메모리를 위한 향상된 팩킹 밀도

[도면의 간단한 설명]

제2도는 본 발명에 따라 이중 폴리 EEPROM 게이트 구조의 단순화된 다이어그램,

제3도 내지 제14도는 본 발명의 제1실시예에 대한 제조 공정을 도시한 단면도,

제15도는 제3도 내지 제14도에서 도시된 공정에 따라 형성된 구조의 메모리 어레이 부분의 평면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

**(57) 청구의 범위**

**청구항 1**

플로팅 게이트와 제어 게이트를 갖는 트랜지스터를 포함하는 메모리 셀을 갖는 전기적으로 소거가능한 프로그래머블 메모리에 있어서, 상기 트랜지스터는 상기 트랜지스터의 경계 부분에서 기판상으로 확장되는 적어도 두개의 분리물 구조(isolation structure) ; 상기 적어도 두개의 분리물 구조간에 한정된 터널링 산화물 상기 플로팅 게이트 ; 상기 플로팅 게이트와 상기 적어도 두개의 분리물 구조의 상기 동일 평면인 표면상에 형성된 상기 제어 게이트의 게이트 절연체와 기어 전극을 포함하며, 상기 플로팅 게이트는 상기 적어도 두 개의 분리물 구조의 상기 표면과 거의 동일 평면인 표면을 가지며, 상기 표면은 상기 트랜지스터가 형성된 상기 기판의 표면에 거의 평행한 것을 포함하는 것을 특징으로 하는 트랜지스터.

**청구항 2**

제1항에 있어서, 상기 플로팅 게이트와 상기 제어 전극중의 적어도 하나는 폴리실리콘으로 형성되는 것을 특징으로 하는 전기적으로 소거 가능한 프로그래머블 메모리.

**청구항 3**

제1항에 있어서, 상기 소스 라인과 상기 제어 전극중의 적어도 하나는 금속으로 형성되는 것을 특징으로 하는 전기적으로 소거 가능한 프로그래머블 메모리.

**청구항 4**

제1항에 있어서, 게이트 산화물과 게이트 전극을 포함하는 적어도 하나의 전계 효과 트랜지스터를 더 포함하고, 상기 게이트 전극의 경계 부분은 상기 기판상으로 확장되는 적어도 두개의 분리물 구조간에 한정되고, 상기 게이트 전극의 표면은 상기 분리물 구조의 표면과 거의 동일 평면인 표면을 가지며 상기 기판의 표면에 거의 평행한 것을 특징으로 하는 전기적으로 소거 가능한 프로그래머블 메모리.

**청구항 5**

제1항에 있어서, 상기 소스 라인은 상기 비트 라인에 직교하도록(orthogonally) 위치하고 있는 것을 특징으로 하는 전기적으로 소거가능한 프로그래머블 메모리.

**청구항 6**

내용 없음.

**청구항 7**

제6항에 있어서, 드레인 접촉은 상기 메모리의 각각의 메모리 셀의 트랜지스터 간에 형성되어 있는 것을 특징으로 하는 전기적으로 소거 가능한 프로그래머블 메모리.

**청구항 8**

제7항에 있어서, 상기 소스 라인과 상기 비트 라인용 상기 메모리의 상기 각각의 메모리 셀의 상기 트랜지스터의 공통으로 접속된 제어 전극에 직교하는 방향으로 드레인 콘택트(drain contact)와 번갈아서 접촉하는 것을 특징으로 하는 전기적으로 소거 가능한 프로그래머블 메모리.

**청구항 9**

제1항에 있어서, 상기 기간내에 복수의 소스/드레인 영역을 더 포함하고, 상기 플로팅 게이트의 부분 아래로 과장되는 것을 특징으로 하는 전기적으로 소거 가능한 프로그래머블 메모리.

**청구항 10**

제9항에 있어서, 상기 기판상에 선택적으로 증착된 금속으로 형성된 상기 복수의 소스/드레인 영역에 각각에 콘택트(contact)를 포함하는 복수의 콘택트, 상기 콘택트를 덮고 있고(overlaid), 제1좌표 방향으로 확장하며, 상기 복수의 콘택트 중의 하나를 번갈아서 접속시키는 소스 라인 및 상기 소스 라인에 직교하여 확장하고, 상기 복수의 콘택트 중 나머지의 콘택트를 번갈아서 접속시키는 접속(connection)을 더 포함하는 것을 특징으로 하는 전기적으로 소거 가능한 프로그래머블 메모리 셀.

**청구항 11**

전기적으로 소거 가능한 프로그래머블 메모리 셀을 제조하는 방법에 있어서, 기판 표면으로부터 과장하는 적어도 두개의 분리물 구조를 형성하는 단계, 적어도 상기 분리물 구조 위에 질화물 층을 형성하는 단계, 터널링 산화물 층과 적어도 상기 분리물 구조간에 과장하는 플로팅 게이트 층을 형성하는 단계 및 상기 질화물층에 상기 플로팅 게이트를 평탄화(planarize)하는 단계를 포함하는 것을 특징으로 하는 방법.

**청구항 12**

제11항에 있어서, 상기 평탄화 단계(planarizing step)에 의해 형성되는 표면상에 전도체(conductor)를 형성하는 단계를 더 포함하는 것을 특징으로 하는 방법.

**청구항 13**

제11항에 있어서, 상기 평탄화 단계는 화학적/기계적 연마 단계(polishing step)를 포함하는 공정에 의해 수행되는 것을 표시하는 방법.

**청구항 14**

제11항에 있어서, 상기 질화물 층, 상기 플로팅 게이트층과 상기 터널링 산화물층의 선택된 부분을 선택적으로 제거하는 단계 및 상기 선택적으로 제거하는 단계에 의해 형성된 개구(openings)를 통하여 상기 기판내로 불순물을 주입(implant)하는 단계를 더 포함하는 것을 특징으로 하는 방법.

**청구항 15**

제14항에 있어서, 각각 콘택트는 상기 질화물 층이 제거된 영역내에 증착되는 복수의 콘택트를 선택적으로 증착하는 단계를 더 포함하는 것을 특징으로 하는 방법.

**청구항 16**

제14항에 있어서, 제1좌표 방향으로 확장되고 상기 복수의 콘택트 중의 하나간 번갈아서 접속하는 소스 라인 접속을 상기 콘택트 위에 형성하는 단계 및 상기 제1좌표 방향에 수직하는 제2좌표 방향으로 확장하고, 상기 복수의 콘택트 중의 남은 것을 번갈아서 접속하는 또 다른 접속을 상기 콘택트 위에 형성하는 단계를 더 포함하는 것을 특징으로 하는 방법.

**청구항 17**

반도체 장치를 제조하는 방법에 있어서, 반도체 기판의 영역 위에 제1두께의 패드 산화물을 형성하는 단계, 상기 패드 산화물의 적어도 제1선택된 영역을 제거하는 단계, 상기 제1선택 영역내의 산화물을 제2두께로 재성장하는 단계, 상기 패드 산화물의 적어도 제2선택 영역을 제거하는 단계 및 상기 제2선택 영역의 산화물을 제3두께로 재성장하는 단계를 포함하는 것을 특징으로 하는 방법.

**청구항 18**

제17항에 있어서, 상기 제1영역 또는 상기 제2영역이외의 상기 패드 산화물 영역이 되는 상기 패드 산화물의 제3영역 위에 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 방법.

**청구항 19**

제17항에 있어서, 상기 제1영역 또는 상기 제2영역내에 재성장된 산화물 부분 위에 전도성 물질을 증착하는 단계를 더 포함하는 것을 특징으로 하는 방법.

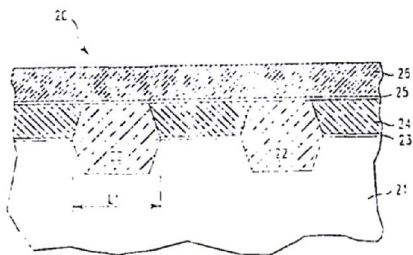
**청구항 20**

제17항에 있어서, 상기 제2영역의 산화물의 상기 제3두께는 상기 제1두께보다 큰 두께로 재성장되며, 상기 제3두께를 갖는 상기 산화물의 적어도 한 부분위에 전극을 형성하는 단계간 더 포함하는 것을 특징으로 하는 방법.

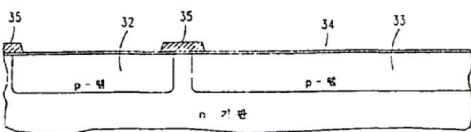
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

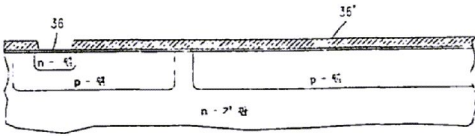
**도면2**



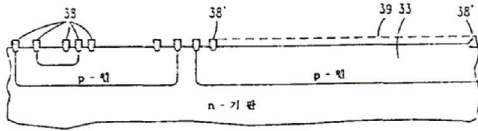
**도면3**



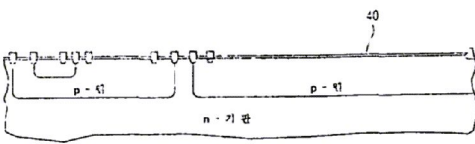
도면4



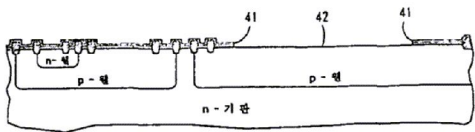
도면5



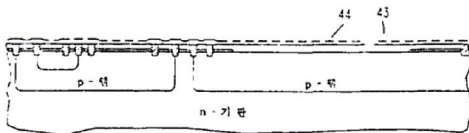
도면6



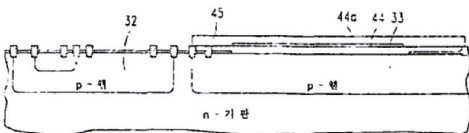
도면7



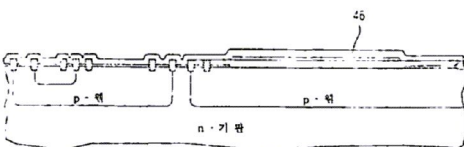
도면8



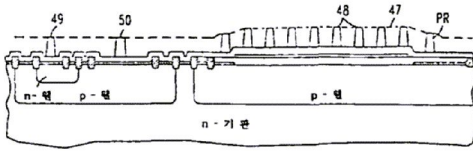
도면9



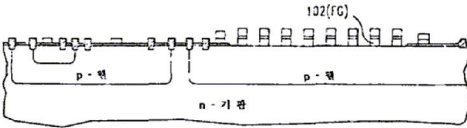
도면10



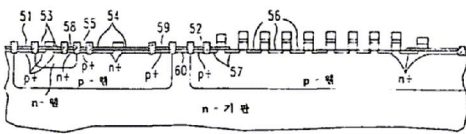
도면11



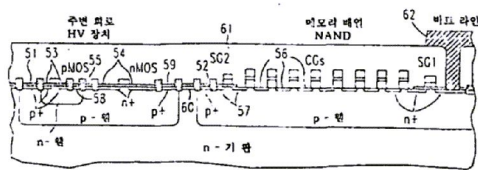
도면12



도면13



도면14



도면15

