



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0099992
(43) 공개일자 2015년09월02일

(51) 국제특허분류(Int. Cl.)
H01L 23/28 (2006.01)

(21) 출원번호 10-2014-0021241
(22) 출원일자 2014년02월24일
심사청구일자 2014년02월24일

(71) 출원인

주식회사 동부하이텍

서울특별시 강남구 테헤란로 432 (대치동)

(72) 발명자

김준일

경기 용인시 기흥구 동백8로 89, 2606동 2302호
(동백동, 백현마을서해그랑블아파트)

김성진

경기 수원시 영통구 신원로283번길 47, 3층 (매탄동, 벤처프라자)

김학모

경기 용인시 처인구 포곡읍 백옥대로1898번길 34, 102동 405호 (계수마을수목원우림필류)

(74) 대리인

이동건

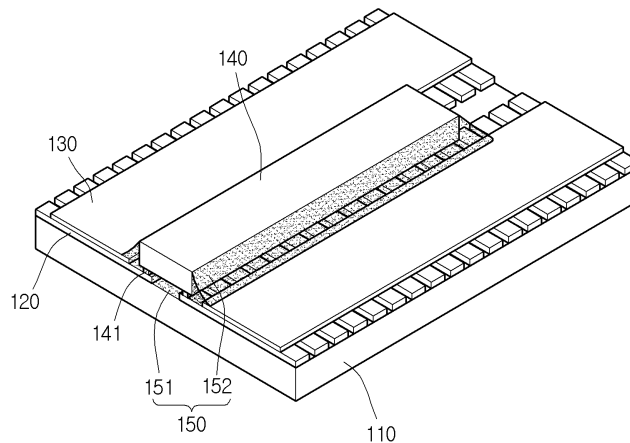
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 반도체 패키지 및 그 제조 방법

(57) 요약

본 실시예의 반도체 패키지는, 베이스 기판과, 상기 베이스 기판 상에 형성되는 복수의 전극 패턴과, 상기 전극 패턴과 전기적으로 연결되는 전도성 패드와, 상기 전도성 패드를 통하여 상기 전극 패턴과 전기적으로 연결되고, 상기 전극 패턴 상에 장착되는 반도체 소자와, 상기 전도성 패드 및 반도체 소자를 밀폐시키고, 상기 전극 패턴 상에 형성되는 제 1 보호층을 포함하고, 상기 제 1 보호층은 상기 반도체 소자의 측면부에 형성되는 사이드 필과, 상기 반도체 소자의 하측에 형성되는 언더 필을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

베이스 기관과,

상기 베이스 기관 상에 형성되는 복수의 전극 패턴과,

상기 전극 패턴과 전기적으로 연결되는 전도성 패드와,

상기 전도성 패드를 통하여 상기 전극 패턴과 전기적으로 연결되고, 상기 전극 패턴 상에 장착되는 반도체 소자와,

상기 전도성 패드 및 반도체 소자를 밀폐시키고, 상기 전극 패턴 상에 형성되는 제 1 보호층을 포함하고,

상기 제 1 보호층은 상기 반도체 소자의 측면부에 형성되는 사이드 필과, 상기 반도체 소자의 하측에 형성되는 언더 필을 포함하는 반도체 패키지.

청구항 2

제 1 항에 있어서,

상기 제 1 보호층은 상기 반도체 소자의 상부면을 덮도록 형성되는 어퍼 필을 더 포함하는 반도체 패키지.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 보호층은 상기 반도체 소자로부터 발생하는 열을 방열시키기 위한 열전도성 물질을 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 4

제 3 항에 있어서,

상기 제 1 보호층은 상기 열전도성 물질과 함께 상기 전극 패턴, 전도성 패드 및 반도체 소자와 접촉되게 하는 접착 물질을 더 포함하여 이루어진 방열 도료인 것을 특징으로 하는 반도체 패키지.

청구항 5

제 3 항에 있어서,

상기 열전도성 물질은 산화알루미늄 또는 산화철로 이루어지고,

상기 접착 물질은 에폭시 수지와 이미다졸(Imidazole)이 포함된 레진 구성물 또는 에폭시 수지와 아민(Amine)이 포함된 레진 구성물로 이루어지는 것을 특징으로 하는 반도체 패키지.

청구항 6

베이스 기관 상에 기설정된 간격만큼 이격되도록 전극 패턴을 형성하는 단계와,

상기 전극 패턴과 전기적으로 연결되는 전도성 패드와, 상기 전도성 패드 상에 반도체 소자를 장착하는 단계와,

상기 전도성 패드 및 상기 반도체 소자를 밀폐시키는 제 1 보호층을 상기 전극 패턴 상에 형성하는 단계를 포함하고,

상기 제 1 보호층을 형성하는 단계는, 상기 반도체 소자의 측면부에 방열 도료를 도포 또는 증착하는 제 1 박막 형성공정에 의하여 수행되고,

상기 제 1 박막 형성공정은 상기 방열 도료가 상기 반도체 소자의 측면부와 접하도록 형성되는 사이드 필과, 상기 방열 도료가 상기 전도성 패드들 사이의 공간을 통하여 상기 반도체 소자의 하부에 형성되는 언더 필을 형성하는 것을 특징으로 하는 반도체 패키지 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제 1 박막 형성공정 후, 상기 반도체 소자 상부면에 상기 방열 도료를 도포 또는 증착하기 위한 제 2 박막 형성공정을 더 수행하고,

상기 제 2 박막 형성공정에 의하여 상기 사이드 필과 연결되는 어퍼 필이 형성되는 것을 특징으로 하는 반도체 패키지 제조 방법.

청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 방열 도료는 상기 반도체 소자로부터 발생하는 열을 방열시키기 위한 열전도성 물질을 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

청구항 9

제 8 항에 있어서,

상기 방열 도료는 상기 열전도성 물질과 함께 상기 전극 패턴, 전도성 패드 및 반도체 소자와 접촉되게 하는 접착 물질을 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 열전도성 물질은 산화알루미늄 또는 산화철로 이루어지고,

상기 접착 물질은 에폭시 수지와 이미다졸이 포함된 레진 구성물 또는 에폭시 수지와 아민이 포함된 레진 구성물로 이루어지는 것을 특징으로 하는 반도체 패키지 제조 방법.

청구항 11

제 10 항에 있어서,

상기 열전도성 물질은 80~90중량%가 함유되고, 상기 접착 물질은 1~10중량%가 함유되는 것을 특징으로 하는 반도체 패키지 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 패키지에 대한 것으로서, 수십 마이크로미터의 두께를 갖는 플렉서블 PCB 뿐만 아니라 수백 마이크로미터의 두께를 갖는 PCB 상에 제조되는 반도체 패키지를 외부의 충격으로부터 효과적으로 보호하면서, 반도체 패키지에서 발생하는 열을 효과적으로 방열시킬 수 있는 구조에 대한 것이다.

배경기술

[0002] 일반적인 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절하여 화상을 표시하는 기기이다. 이러한 화상 표시를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정 패널과, 액정 패널을 구동시키기 위한 구동 회로를 포함한다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하여 휴대용 텔레비전이나 랩탑형 퍼스널 컴퓨터 등의 표시기기로 널리 활용되고 있다.

[0003] 액정표시장치의 액정 패널을 구동시키기 위하여 데이터 드라이버와 게이트 드라이버가 요구되며, 이러한 데이터 드라이버와 게이트 드라이버는 다수개의 집적 회로(Integrated Circuit:IC)로 집적화된다. 집적화된 데이터 구동 IC와 게이트 구동 IC 각각은 테이프 캐리어 패키지(Tape Carrier Package : TCP) 상에 실장되고, 탭(TAB : Tape Automated Bonding) 방식으로 액정 패널에 접속되거나, COG(Chip On Glass) 방식으로 액정 패널 상에 실

장된다.

[0004] 특히, 고해상도를 구현하는 디스플레이 기기의 등장과, 원가 절감을 위한 고집적도의 IC가 요구되고 있는 현재의 상황에서는, 디스플레이 기기에 반드시 필요한 집적 회로의 방열 문제는 더욱더 심각하게 대두되고 있다. 이러한 방열 문제는 회로의 안정성에 영향을 미칠 뿐만 아니라 연성의 베이스 필름의 내열 온도를 위협할 수도 있다. 또한, 최근의 FHD나 UHD TV의 초고해상도 디스플레이 기기에서는 집적 회로의 방열 문제 때문에 TV의 외관을 형성하는 프레임 역시 내열성을 반드시 고려하여야만 하는 상황이 되었다.

[0005] 집적 회로에서 발생하는 열을 충분히 방열시킬 수 있다면, 집적 회로가 사용되는 다양한 디스플레이 기기의 디자인이나 재질 등에 대한 문제를 보다 쉽게 해결할 수 있게 될 것이다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기와 같은 현재의 기술적 문제에 해결 방법을 제안하는 것으로서, 특히, 액정 패널이나 프린트 기관 등에 사용되는 반도체 소자로서, 플렉서블 필름이나 두꺼운 두께를 갖는 PCB 상에 반도체 소자를 탑재시키는 경우에, 상기 반도체 소자의 안정적인 방열을 도모하면서, 상기 반도체 소자를 외부의 충격으로부터 보호할 수 있는 방열 구조를 제안하고자 한다.

과제의 해결 수단

[0007] 본 실시예의 반도체 패키지는, 베이스 기관과, 상기 베이스 기관 상에 형성되는 복수의 전극 패턴과, 상기 전극 패턴과 전기적으로 연결되는 전도성 패드와, 상기 전도성 패드를 통하여 상기 전극 패턴과 전기적으로 연결되고, 상기 전극 패턴 상에 장착되는 반도체 소자와, 상기 전도성 패드 및 반도체 소자를 밀폐시키고, 상기 전극 패턴 상에 형성되는 제 1 보호층을 포함하고, 상기 제 1 보호층은 상기 반도체 소자의 측면부에 형성되는 사이드 필과, 상기 반도체 소자의 하측에 형성되는 언더 필을 포함한다.

[0008] 또한, 본 실시예의 반도체 패키지 제조 방법은, 베이스 기관 상에 기설정된 간격만큼 이격되도록 전극 패턴을 형성하는 단계와, 상기 전극 패턴과 전기적으로 연결되는 전도성 패드와, 상기 전도성 패드 상에 반도체 소자를 장착하는 단계와, 상기 전도성 패드 및 상기 반도체 소자를 밀폐시키는 제 1 보호층을 상기 전극 패턴 상에 형성하는 단계를 포함하고, 상기 제 1 보호층을 형성하는 단계는, 상기 반도체 소자의 측면부에 방열 도료를 도포 또는 증착하는 제 1 박막 형성공정에 의하여 수행되고, 상기 제 1 박막 형성공정은 상기 방열 도료가 상기 반도체 소자의 측면부와 접하도록 형성되는 사이드 필과, 상기 방열 도료가 상기 전도성 패드들 사이의 공간을 통하여 상기 반도체 소자의 하부에 형성되는 언더 필을 형성하는 것을 특징으로 한다.

발명의 효과

[0009] 제안되는 바와 같은 반도체 패키지는 다양한 전자 기기의 IC로 동작될 수 있으며, 특히, 반도체 소자에서 고열이 발생하는 경우에 효과적으로 외부로 방열시킬 수 있는 장점이 있다.

도면의 간단한 설명

[0010] 도 1은 본 실시예의 반도체 패키지들이 PCB의 베이스 기관 상에서 제조되는 모습을 보여주는 도면이다.

도 2 내지 도 5는 일 실시예의 반도체 패키지를 제조하는 방법을 설명하기 위한 도면이다.

도 6은 다른 실시예의 반도체 패키지의 구성을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하에서는, 본 실시예에 대하여 첨부되는 도면을 참조하여 상세하게 살펴보도록 한다. 다만, 본 실시예가 개시하는 사항으로부터 본 실시예가 갖는 발명의 사상의 범위가 정해질 수 있을 것이며, 본 실시예가 갖는 발명의 사상은 제안되는 실시예에 대하여 구성요소의 추가, 삭제, 변경 등의 실시변형을 포함한다고 할 것이다.

[0012] 도 1은 본 실시예의 반도체 패키지들이 PCB의 베이스 기관 상에서 제조되는 모습을 보여주는 도면이다.

[0013] 본 발명의 사상이 적용되는 반도체 패키지는, LCD, PDP, OLED, LED 및 RFID 등과 같은 반도체 소자가 채용되는 디스플레이 기기 패널 본체의 가장자리에 설치되는 TCP(Tape Carrier Package) 또는 씨오에프에 탑재되는 드라

이버 IC가 될 수 있다. 그리고, 본 발명의 사상은 탄성을 갖는 필름 재질의 플렉서블 PCB 뿐만 아니라, 수백 마이크로미터의 두께를 갖는 일반 PCB 에도 적용될 수 있으며, 이것은 결국 베이스 기판(110)의 종류에 관계없이 본 발명의 사상이 적용가능하다고 볼 수 있다.

- [0014] 도 1을 참조하면, 실시예의 반도체 패키지들(101,102)은 베이스 기판(110) 상에 제조되고, 이들 반도체 패키지들은 앞서 설명한 드라이버 IC로 사용되거나, 파워 또는 튜너용 IC 등으로 사용될 수 있다.
- [0015] 이러한 반도체 패키지들에는 신호 처리를 위한 반도체 소자(140)가 각각 마련되며, 이러한 반도체 소자의 동작시에 발생하는 열을 효과적으로 방출하기 위한 공정이 본 실시예에 따라 수행될 수 있다. 즉, 베이스 기판(110) 상에 다수의 전극 패턴들과 반도체 소자(140)를 형성한 다음에는, 본 실시예에 따라 상기 반도체 소자(140)의 네 측면을 방열 도료로 도포하는 공정이 수행되고, 그 다음, 각각의 반도체 패키지들을 분리하기 위한 절단 공정이 수행될 수 있다.
- [0016] 도 2 내지 도 5를 참조하여 본 실시예의 반도체 패키지를 제조하는 방법을 설명하여 본다.
- [0017] 먼저, 도 2를 참조하면, 베이스 필름(110) 상에 적용될 드라이버 IC 소자로 동작하기 위한 다수의 전극 패턴들(120)을 형성하며, 상기 전극 패턴(120)은 반도체 소자(140)의 크기를 고려하여 소정 간격 이격되도록 형성된다.
- [0018] 그리고, 상기 전극 패턴(120)은 반도체 소자와 전기적으로 연결되는 구성으로서, 반도체 소자를 대향하는 부위를 인너 리드(121), 반대측으로 향하는 부위를 아우터 리드(122)라고 구분할 수도 있다.
- [0019] 그 다음, 도 3을 참조하면, 상기 반도체 소자(140) 상에 금속 재질의 전도성 패드(141)를 형성하고, 상기 전도성 패드(141)를 통하여 상기 전극 패턴(120)과 전기적으로 연결되도록 하기 위하여 상기 반도체 소자(140)를 상기 전극 패턴(120)상에 장착한다.
- [0020] 그리고, 상기 전도성 패드(141)는 상기 반도체 소자(140)에 장착되고, 솔더 범프(solder bump) 또는 골드 범프(gold bump)로 형성될 수 있다.
- [0021] 상기 전극 패턴(120) 상에는 상기 전도성 패드(141)와 소정 간격을 두고 배치되는 제 2 보호층(130)을 형성한다. 상기 제 2 보호층(130)은 절연물질로 이루어지며, 필요에 따라서는, 상기 전극 패턴(120) 상에 상기 제 2 보호층(130)을 형성하지 않는 것도 가능하다.
- [0022] 그 다음, 도 4 및 도 5를 참조하면, 상기 반도체 소자(140)의 주변부에 방열 도료를 도포 또는 증착하는 박막 형성공정을 수행한다. 여기서, 방열 도료는 상기 반도체 소자(140)의 주변부 둘레에 모두 형성되고, 상기 형성된 방열 도료는 추후의 경화 공정을 거치면서 상기 반도체 소자(140)의 방열을 돕고, 외부의 충격으로부터 상기 반도체 소자(140)를 보호하기 위한 제 1 보호층(150)이 된다.
- [0023] 상기 제 1 보호층(150)은 그 형성 위치에 따라, 상기 반도체 소자(140)의 측면부에 형성되는 사이드 필(152)과, 상기 반도체 소자(140)의 하측에 형성되는 언더 필(151)로 구성될 수 있다. 도 6과 함께 다른 실시예에서도 설명하겠지만, 본 실시예의 방열 도료가 상기 반도체 소자(140)의 상부면을 덮도록 형성될 수 있으며, 이 경우 상기 제 1 보호층(150)은 어퍼 필도 포함할 수 있다.
- [0024] 한편, 제 1 보호층(150)은 상기 전도성 패드(141)와 제 2 보호층(130) 사이의 공간에 충전되면서 상기 반도체 소자(140)의 측면부와 접하도록 형성되는 사이드 필(152)과, 방열 도료를 상기 반도체 소자(140)의 측면부를 향하여 도포 또는 증착시키는 때에 전도성 패드들 사이의 공간을 통하여 반도체 소자(140) 하부로 흘러들어감으로써 형성되는 언더 필(151)을 포함한다. 상기 언더 필(151) 역시 상기 반도체 소자(140)의 하부면과 접할 수 있도록, 방열 도료의 도포 또는 증착시에 그 방열 도료의 양을 조절할 필요가 있다.
- [0025] 도면에 도시된 바와 같이, 상기 사이드 필(152)은 노출되어 있는 전극 패턴(120) 상부면에도 형성된다.
- [0026] 방열 도료를 도포 또는 증착하는 박막 형성공정은, X축과 Y축의 평면 이동이 가능한 도포장치에 의하여 수행될 수 있으며, 이러한 도포장치는 z축 방향으로의 상하 방향 이동도 가능한 경우에는 반도체 소자(140)의 측면으로 떨어지는 방열 도료의 양 또는 속도를 제어하는 것 역시 가능하다.
- [0027] 이러한 도포장치를 이용하여 상기 사이드 필(152)을 형성하는 때에는, 상기 반도체 소자(140)의 주변부를 따라 도포장치가 이동하며, 도포장치의 배출구를 통하여 방열 물질과 접착 물질이 혼합된 방열 도료가 배출되는 것에 의하여 상기 사이드 필(152)이 형성되고, 반도체 소자 하측으로 흘러들어간 방열 도료에 의해서는 언더 필(151)이 형성된다.

- [0028] 상세히, 상기 제 1 보호층(150)의 구성물질이 되는 방열 도료는 방열을 위한 물질과 함께, 인접한 다른 구성요소와의 접착력을 향상시키기 위한 물질이 포함되어 있다. 이로 인하여, 상기 제 1 보호층(150)을 구성하는 상기 사이드 필(152)과 상기 언더 필(151)은 상기 반도체 소자(140)에서 발생하는 열을 효과적으로 방열시키는 역할 뿐만 아니라 접촉된 다른 구성요소의 위치를 견고하게 고정시킬 수 있는 역할도 수행한다.
- [0029] 상기 사이드 필(152)의 경우, 상기 전극 패턴(120) 상에 위치하면서, 상기 전도성 패드(141)와 제 2 보호층(130)의 위치를 고정시키는 역할을 하며, 특히, 상기 반도체 소자(140)를 지지하는 전도성 패드(141)는 외부의 열이나 습도 또는 충격으로 인하여 전극이 오픈 또는 쇼트되는 현상을 방지하는 역할을 수행한다.
- [0030] 도면에서는, 상기 전극 패턴(120) 상에 제 2 보호층(130)이 형성되고, 상기 사이드 필(152)은 상기 전극 패턴(120) 상에서 전도성 패드(141)와 제 2 보호층(130) 사이의 공간에 형성되는 것으로 도시되어 있다. 그러나, 실시예에 따라서는, 상기 제 2 보호층(130)을 형성하지 않는 것도 가능하다. 이 경우, 상기 사이드 필(152)은 상기 전극 패턴(120) 상부와, 상기 전도성 패드(141) 측면에 형성된다.
- [0031] 이러한 특성을 갖는 제 1 보호층을 구성하는 방열 도료에 대해서 좀 더 자세히 설명하여 본다.
- [0032] 제 1 보호층을 형성하는 방열 도료는 미립 입자들로 이루어진 방열 물질과, 상기 방열 물질을 함유하면서 방열 도료의 접착성을 향상시키는 접착 물질을 포함한다.
- [0033] 그리고, 방열 도료는 색을 결정하게 하는 염색 물질을 더 포함할 수 있다. 예를 들어, 상기 방열 물질과 접착 물질 이외에 흑연의 염색 물질을 더 첨가하는 경우에는, 반도체 패키지에 형성된 방열층이 검은색으로 구현될 수 있다.
- [0034] 방열 도료를 구성하는 제 1 물질인 상기 방열 물질은, 산화알루미늄, 산화철 등의 금속산화물이 포함된 열전도성 물질이 사용될 수 있으며, 제 2 물질인 접착 물질은 에폭시 수지와 이미다졸(Imidazole)이 포함된 레진 구성물로 이루어지거나 에폭시 수지와 아민(Amine)이 포함된 레진 구성물로 이루어질 수 있다.
- [0035] 여기서, 산화알루미늄은 80~90중량% 범위로 함유되고, 상기 레진 구성물은 1~10중량%범위로 함유될 수 있으며, 그 외에는 염색 물질이나, 경화제 등을 더 첨가할 수 있다. 상기 산화알루미늄의 비율이 제안되는 범위 미만인 경우에는 방열 효과가 떨어지게 되고, 제안되는 범위를 초과하여 포함되는 경우에는 반도체 소자 상에서의 접착력이 약화될 수 있다. 그리고, 상기 산화알루미늄의 입자들이 서로 연결되는 경우에 도면과 같이 방열 루트가 형성되고, 반도체 소자에서 발생하는 열은 이러한 방열 루트를 따라 쉽게 외부로 방열될 수 있다.
- [0036] 이러한 방열 특성과, 소정의 탄성력으로 외부의 충격을 완충시킬 수 있는 방열 도료를 이용하여, 반도체 소자(140)의 일부분을 덮는 보호층이 형성되는 경우에, 액정 패널의 드라이버 IC로 사용되더라도, 고해상도의 TV, 모니터에서 발생하는 고열을 사이드 필과 언더 필이 효과적으로 방열시킬 수 있다.
- [0037] 이하에서는, 실시예의 제 1 보호층이 사이드 필 및 언더 필 이외에, 반도체 소자(140) 상부면을 덮는 어퍼 필도 포함하도록 형성되는 경우를 설명하여 본다.
- [0038] 도 6은 다른 실시예의 반도체 패키지의 구성을 보여주는 도면이다.
- [0039] 도 6에 도시되는 다른 실시예의 반도체 패키지는, 본 실시예의 방열 도료로 이루어진 제 1 보호층(150)이 반도체 소자(140)의 측면에 위치하는 사이드 필(152)과, 상기 반도체 소자(140)의 하측에 위치하는 언더 필(151)과, 상기 반도체 소자(140)의 상부면에 위치하는 어퍼 필(153)로 구성되는 것을 특징으로 한다.
- [0040] 상기 사이드 필(152) 및 언더 필(151) 형성을 위한 박막 형성공정과, 상기 어퍼필(153) 형성을 위한 박막 형성공정이 각각 수행된 다음에는, 방열 도료를 경화시키기 위한 공정들이 수행될 수 있으며, 이러한 경화 공정은 각각의 박막 형성공정 다음에 수행되거나, 상기 어퍼 필(153)까지 형성한 다음에 1회만 수행되는 것도 가능하다.
- [0041] 한편, 상기 사이드 필(152) 및 어퍼필(153)을 각각 별개의 박막 형성공정으로 형성하지 않고, 동일한 박막 형성공정으로 형성될 수도 있다. 또한, 상기 제 2 보호층(130)을 형성하지 않을 수 있으며, 이때 어퍼 필(153)은 상기 반도체 소자(140), 사이드 필(152) 및 전극 패턴(120) 상에 형성될 수 있다.
- [0042] 그리고, 상기 어퍼필(153)의 경우, 상기 반도체 소자(140)와, 사이드 필(152)과, 제 2 보호층(130) 상에 도포되어, 이들 구성요소들의 위치를 고정시키는 것과 함께, 상기 반도체 소자(140)를 외부의 충격으로부터 보호한다. 결국, 제 1 보호층(150)이 상기 반도체 소자(140)의 상부면 뿐만 아니라 반도체 소자(140)의 측면과, 전도성 패

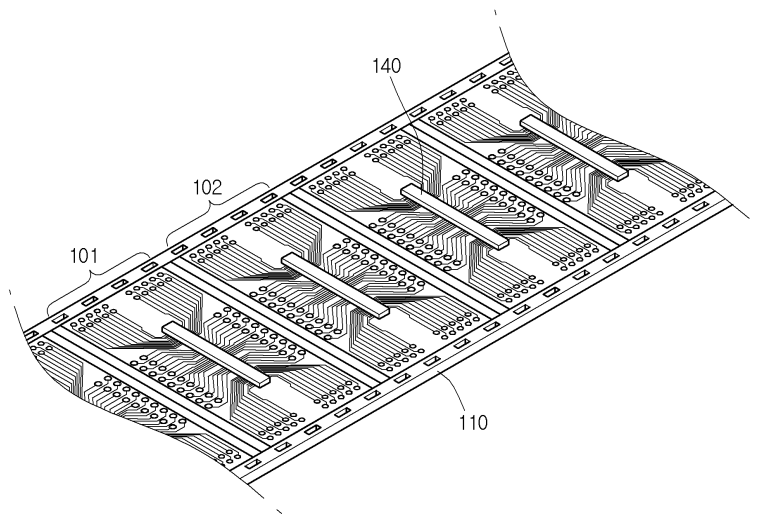
트(141)의 측면에 도포되는 것에 의하여, 보다 견고히 접촉된 구성요소들을 보호할 수 있다.

[0043]

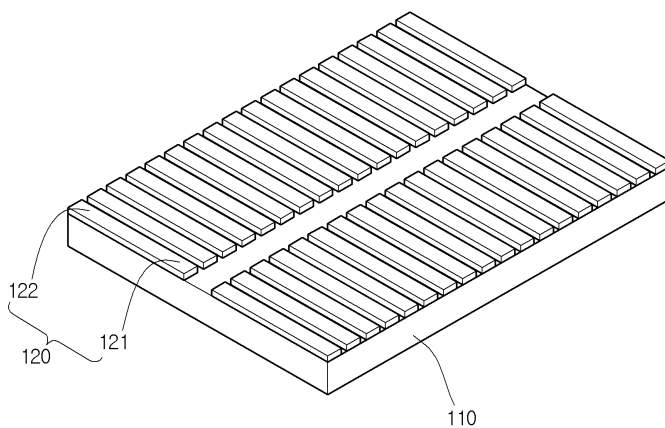
이러한 구조를 갖는 반도체 패키지는 반도체 소자에서 발생하는 고열을 효과적으로 외부로 방열시킬 수 있으며, 이것은 초고해상도의 TV나 모니터 등에서 액정 패널 외의 외관을 형성하는 베젤이나 샤시들의 재질 변화를 가져올 수 있다. 예를 들면, 초고해상도의 TV의 경우, 보다 슬림화한 디자인을 구현하기 위하여 베젤과 샤시 부분을 축소시켜야 하는데, IC에서 발생하는 고열에 견디기 위하여 알루미늄 등의 소재가 사용되었으나, 본 실시예에 따라 효과적으로 IC의 발열을 줄일 수 있게 되면, TV의 베젤과 샤시를 플라스틱 소재로 형성하는 것도 가능하며, 이것은 제품의 경량화를 가능하게 하고, 기기의 폭을 줄일 수 있으며, 당연히 생산비용의 절감 효과를 가져올 수 있다.

도면

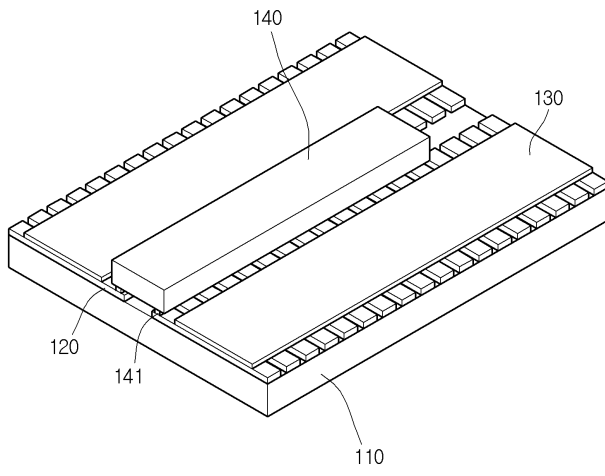
도면1



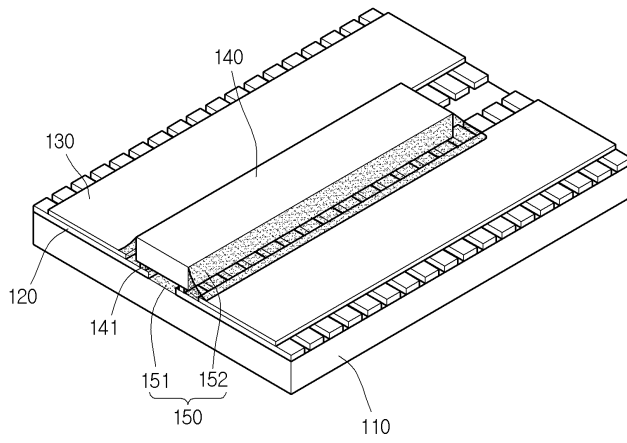
도면2



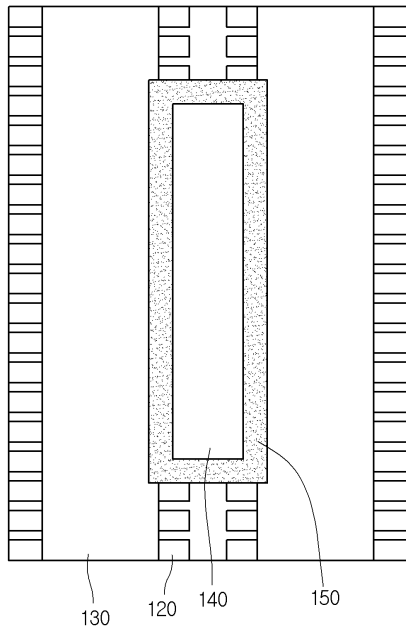
도면3



도면4



도면5



도면6

