

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G11C 29/00

G01R 31/3181



# [12] 发明专利申请公开说明书

[21] 申请号 200410078993.0

[43] 公开日 2005年3月9日

[11] 公开号 CN 1591697A

[22] 申请日 2004.9.4

[21] 申请号 200410078993.0

[30] 优先权

[32] 2003.9.5 [33] DE [31] 10340917.3

[71] 申请人 因芬尼昂技术股份公司

地址 联邦德国慕尼黑

[72] 发明人 P·比尔 A·施拉姆 M·维森

[74] 专利代理机构 中国专利代理(香港)有限公司

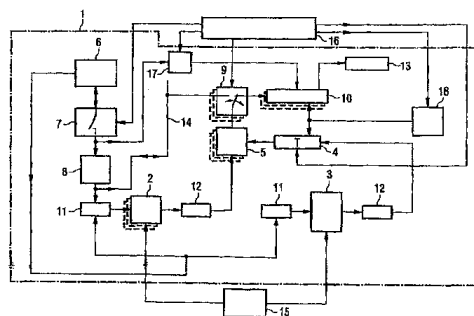
代理人 张志醒

权利要求书4页 说明书14页 附图2页

[54] 发明名称 集成电路输出信号检查方法及装置

[57] 摘要

本发明涉及集成电路输出信号检查方法及装置。提供一种用于使检查信号是否通过一根据预先定义规格的集成电路的一写入电路输出成为可能的装置与方法。就此而言,该系统所固有的一外部测试装置的高精确性被使用于检查一模块中该集成电路的一数据信号与一数据采样信号是否根据一规格而被输出。



ISSN 1008-4274

1. 一种用于检查信号是否通过一根据预先定义规格的集成电路的一写入电路(6, 8)输出的方法;

5 其中所使用的一第一数据信号与一关联之第二信号彼此间具有一时序关系;

其中该规格定义了该第一数据信号与该第二数据信号间的一时间偏移极限值, 在此该第一数据信号被正确读取;

其中该集成电路具有一读取电路(5), 用以读取所述信号;

10 其中该集成电路具有至少二终端(2, 3), 其用于施加该第一与该第二数据信号; 以及

其中各该终端(2, 3)连接至该写入电路(6, 8)与该读取电路(5);

该方法包含下列步骤:

15 a) 在分别指定之终端(2, 3)处提供一外部第一标准化数据信号与一关联之外部第二标准化数据信号, 该外部第一标准化数据信号与该外部第二标准化数据信号以彼此间所具有之根据一时间偏移极限值之时序上的一偏移量而被传导至该读取电路(5), 以及

b) 检查该读取电路(5)是否正确读出该第一标准化数据信号。

2. 如权利要求1所述的方法, 其中包含下列步骤:

20 c) 透过所述终端(2, 3)通过待检查的该写入电路(6, 8)将第一测试数据信号与关联之第二测试数据信号提供至该读取电路(5), 该第一与第二测试数据信号彼此间具有一根据一时间偏移极限值之时序关系, 因此该测试数据通过该第一测试数据信号与该第二测试数据信号而被该读取电路(5)所接收; 以及

25 d) 比较所提供之测试数据与该读取电路(5)所接收的所述测试数据, 如果所提供之测试数据与该接收数据不同, 则一误失被检测。

3. 如权利要求1所述的方法, 其中该第二数据信号被具体化为一数据取样信号, 而该第二标准化数据信号被具体化为一标准化数据取样信号。

4. 如权利要求 1 所述的方法, 其中该第二测试数据信号被具体化为一测试数据取样信号。

5. 如权利要求 1 项或第 2 所述的方法, 其中该时间偏移极限值定义一最大允许设定时间及/或一最小必须保持时间。

5 6. 如权利要求 3 项至第 5 项中任一所述的方法, 其中该时间偏移值于该外部标准化数据信号与该外部标准化数据取样信号之间产生变化, 在此期间该读取电路(5)发生对该外部标准化数据信号检测与非检测间之一改变, 且其中当该改变发生时, 该时间偏移值被检测为该时间偏移极限值。

10 7. 如权利要求 6 所述的方法, 其中该时间偏移值使用一设定电路(4)而增量改变, 其中当该外部标准化数据信号具有一自非检测至检测之改变时, 则设定一最后引起该外部标准化数据信号之非检测的时间偏移值, 或当该外部标准化数据信号具有一自检测至非检测之改变时, 则设定一首先引起该外部标准化数据信号之非检测的时间偏移值。

15 8. 如权利要求 6 项或第 7 所述的方法, 其中一时间偏移值于该外部标准化数据信号之一上升及/或一下降边缘与该外部标准化数据信号之一关联之边缘间设定。

9. 如权利要求 6 项或第 7 所述的方法, 其中一时间偏移值于该外部标准化数据信号之该上升及/或该下降边缘与该外部标准化数据信号之一跟随该关联边缘之边缘间设定。

20 10. 如前述各权利要求中任一所述的方法, 其中检查结果由所提供之测试数据与所接收之测试数据间的偏差而决定;

其中该检查结果于各次提供测试数据及所提供的测试数据与该读取电路(5)所接收的测试数据间之比较后决定; 以及

其中该检查结果储存于该集成电路的一单元阵列(cell array)中。

25 11. 如前述各权利要求中任一所述的方法, 该测试数据通过该集成电路的一测试数据装置(7)而提供。

12. 如权利要求 1 至 11 中任一所述的方法, 其中该读取电路(5)设定为该时间偏移极限值对应至该外部第一标准化数据信号的检测与非检测间的极限的方式。

13. 一种用于检查一根据预先定义规格的集成电路之信号输出的装置，  
其具有一写入电路(6, 8)，使得彼此间具有一时序关系的一数据信  
号与一关联的数据取样信号能够藉此而被输出；

5 具有一读取电路(5)，使得该数据信号与该数据取样信号能够藉此  
而被读出；

具有至少二终端(2, 3)，用以读出/输出所述信号，该终端(2)被指  
定至该数据信号，而该终端(3)被指定至该数据取样信号，且各所述终端(2,  
3)连接至该写入电路(6, 8)与该读取电路(5)；其中该读取电路(5)亦具有  
一设定电路(4)，使得一时间偏移值藉此而能够被设定于该数据信号与该  
10 关联的数据信号之间，其中一外部标准化数据信号与一外部标准化数据取  
样信号能够在分别指定之终端(2, 3)处而被提供，其方式为该外部标准化  
数据信号与该外部标准化数据取样信号彼此间具有一根据该规格化一时间  
偏移极限值的时序偏移；以及

具有一比较器装置(10)，使得该写入电路(6, 8)所写入的测试数据  
15 能够藉此而与该读取电路(5)所接收的测试数据进行比较，其中如果所写  
入的测试数据与该接收数据不同，则一误失信号将产生而得被该比较器装  
置(10)检测。

14. 如权利要求 13 所述的装置，其具有一测试控制装置(16)，使得该  
集成电路能够藉此而被切换至一测试模式且能够于该测试模式中被操作，  
20 其中该集成电路的测试模块电路组件(9, 17, 18)通过该测试控制装置(16)  
而被控制。

15. 如权利要求 13 或 14 所述的装置，其中该设定电路(4)被具体化为  
一可程序化(programmable)延迟装置，使得该数据取样信号的延迟时间(T)  
能够藉此而被设定。

25 16. 如权利要求 13 至 15 中任一所述的装置，其中包含一测试数据装  
置(7)，其被具体化为一数据产生器或为一数据存储器，其中测试数据型  
态于该测试数据装置(7)中产生及/或储存。

17. 如权利要求 13 至 16 中任一所述的装置，其中该比较器装置(10)  
所提供之检查结果可储存于该集成电路的一单元阵列(13)中。

18. 如权利要求 17 所述的装置, 其中一控制装置(18)被提供以将该设定电路(4)中的该时间偏移值设定为该检查结果之函数。

## 集成电路输出信号检查方法及装置

5            技术领域

本发明涉及集成电路输出信号检查方法及装置。

背景技术

10            现在的动态存储模块的操作频率正变得越来越快。动态存储模块的初始类型规格中的数据定义了此处存储模块的个别信号彼此间之时序关系。这些在规格书上的数据必须对存储模块的客户而保证。

现在用以量测动态随机存储模块信号的时间运作试系统不再满足这样的需求，尤其是当量测存储模块输出信号的时间运作时。当使用该测试系统时，这里的量测的不准确性较大，而随后也被允许成为在规格书上所约定的值。有许多不同的方法来克服上述的问题。为了保证此一不再可以被量测的时间操作输出值，本文将试图利用所谓的这些关于存储模块的坚实设计。此外，也将试图提供一新奇的测试系统，能够检查存储模块信号之间的时序关系是否遵循规格书上的这些约定值。

20            在坚实设计的情况下，将试图装配一存储模块的输出时间操作独立于制造流程波动性。在本文中，重要的因素将不再是，例如：晶体管特定的启动电压或是存储模块上线路的电阻值是否位在想要的容许范围内。因此，在设计或电路布局方面，许多努力是用来确保动态存储模块的个别的装置以及因此所选择的信号的输出时间操作是完全独立于制程的忍受度。然而这样也是有不利之处，那就是不能够尽我们希望来进行坚实设计，尤其是因为需要额外的芯片面积而使得这样的设计是昂贵的。更进一步来说，虽然设计是尽可能的坚实，但是这些故障而发生无法测试的风险提高了。

25            传统的测试系统的问题在于它们通常不能够在一高解析等级下决定流入测试系统多个个信号间的时序关系。这相较于所有流入测试系统的信号

都被量测的事实，特别是由于这些测试系统随时准备一内部时间的标准，而该标准通常是一内部相关的时脉信号。这就表示该测试系统在这些信号个别相对于时脉信号的关系之基础上，计算地决定这些信号间的时序关系。然而，这样的高时序解析能力只能够于极高的成本来执行的方式并不是很讨人喜欢的。

因此，上述第二个用来解决问题的手段也具有不利之处，也就是说现在而且适当的测试系统是昂贵的或者是并没有完全可用于高容量的测试，在此高容量的测试中，数以千计的存储模块必须在一极有限的时段内被测试。

### 发明内容

根据以上所述，本发明的目的在于提供一方法与一装置用以改善动态存储模块输出信号的输出时间运作测试。

这样的目的已经被如同权利要求 1 所述的方法以及如同权利要求 13 所述的装置来达成。

根据本发明的方法具有通过一预先定义的规格之集成电路之写入电路来检查信号是否为输出。在本文中，一第一数据信号以及相关的一第二数据信号具有一相互的时序关系，其中该规格书定义了一介于该第一数据信号与该第二数据信号之间的时间偏移的限定值。该集成电路具有一读取电路用以读取信号以及至少两个终端用以提供该第一与第二数据信号。这两个终端的每一个是连接到写入电路与读取电路。

在本发明的方法中，在集成电路上相对应的指定终端上的一第一外部标准化数据信号与一相关联的第二外部标准化数据信号被提供了，该第一外部标准化数据信号与该第二外部标准化数据信号根据规格书上时间偏移限定值是彼此之间时序性地相互偏移。然后将检查是否该读取电路正确的读取该第一标准化数据信号。在一有益的实施例中，该读取电路被设定成时间偏移值基本上相对于介于该第一外部标准化数据信号地检测与不检测之间之限定值。

在一改进的方法中，通过该等终端将待检查的该写入电路的第一测试

数据信号与关联之第二测试数据信号提供至该读取电路，因而该测试数据通过该第一测试数据信号与该第二测试数据信号而被该读取电路所接收；最后，比较所提供的测试数据与该读取电路所接收的该等测试数据，若所提供的测试数据与该接收数据不同，则一误失被检测。

5 这使得该集成电路输出信号之时间运作得以在一模块中被测试；此外，一外部测试系统的高精度，其为系统的条件，用于提供标准化数据信号，使得该测试系统在进行读取时所具有的较低精度得以被忽略。

根据本发明，该存储模块因而可通过一外部测试装置与该存储模块的一修正之输入/输出电路而有效检查。此时，该存储模块读取电路的一标准化处理首先发生，使得该存储模块，于一极限值，不能再以使用读取电路的正确形式而读出该外部第一标准化数据信号。该存储模块之写入电路被依次测试，本发明因而提供了一与规格值之间的符合与不符合判断。

本发明更提供了一种特别有用的存储模块输入/输出电路的改进，以及该读取电路通过一外部测试装置的一标准化处理。因此，该存储模块可通过该外部测试装置而有效进行与规格值符合性的检查。对应于一开始所提及之目前的测试系统，该外部测试装置在选择性地使用于提供信号时，特别具有其高度精准性。由于该系统具有一相当小的时序分辨率，馈送至该测试系统的数据间的时序关系能够保持不被使用；因此其具有与目前存储模块选择性搭配使用的优势。前述的传统测试系统所具有的种种缺点可通过本发明而排除。本发明改进的输入/输出电路能够利用现有制程而轻易被制造，与提供一标准基础的未修正输入/输出电路比较，其仅需要在制作中加入一相当小的附加成本。

25 根据本发明方法之另一构想，时间偏移极限值于该集成电路之输出信号间定义了一最大允许设定时间及/或一最小必须保持时间。在该第二外部标准化数据信号被延迟的过程中，读取电路的设定重复进行；而该第二外部标准化数据信号具体化为一外部标准化数据取样信号。在外部标准化数据信号与外部标准化数据取样信号间之一时间偏移值被设定，使得该读取电路对该外部标准化数据信号检测与非检测之间产生改变。

因此，形成介于该外部标准化数据信号的检测与非检测之间用以在存



储模块想要的边缘尽可能精确的读取操作的标准化过程是有利于可能的。根据本发明的方法的一较佳实施例，时间偏移值利用一设定电路递增地改变，其中当改变是由外部标准化数据信号的非检测改变成检测时，最后给予提升外部标准化数据信号的非检测时间的偏移值就被设定了。当改变是由外部标准化数据信号的检测改变成非检测时，最先给予提升外部标准化数据信号的非检测时间的偏移值就被设定了。

就这样，一高精确等级的而且在系统中所固有的外部测试装置是被用来为了设定时间偏移的限定值介于集成电路的数据信号与数据取样信号之间，以这样的方式，一介于外部标准化数据信号的检测与非检测之间的限定范围被获得了。这有利于推进根据本发明的方法的标准化程序的精确性。

根据本发明的一更进一步的较佳实施例，检查的结果是由介于所提供的测试数据与所收到的测试数据之间的差异性来决定，其中，检查的结果在每一笔测试数据的提供以及所供的测试数据与读取电路所收到的测试数据的比较后被决定。此外，被决定出来的检查结果可以被储存于集成点路的一细胞阵列之中。

因此，根据本发明的方法可以用数据型态与数据拓朴的一较宽的变异性来完成，以有效化改进的且有益的测试范围。以这样的方式，利用储存的检查结果来提供本发明的一检查的档案文件是可能的而且是可以有再现性的。

根据本发明的装置是设计成根据事先定义的规格书检查一集成电路的输出信号，该装置包含一写入电路，且通过该电路，彼此之间具有一时序关系的数据信号与相关联的数据取样信号可以被输出。该装置具有一读取电路，且通过该电路，数据信号与数据取样信号可以被读入，以及该装置具有至少两个终端用以读入或输出信号，其中一个终端被指定为数据信号而另一个终端被指定为数据取样信号，且每一个终端都被连接到写入电路与读取电路。更进一步说，该读取电路包含一设定电路，通过该电路，一时间偏移值可以被设定成介于数据信号与相关联的数据取样信号之间，其中一外部标准化数据信号与一外部标准化数据取样信号可以被提供于相对

5 应的指定终端以使得外部标准化数据信号与该外部标准化数据取样信号根据规格书上的时间偏移限定值相对于彼此间是时序偏移。一比较测定装置被提供来比较写入电路所写入的数据与读取电路所接收到的测试数据，其中，假如写入的测试信号与接收的信号不同，一错误的信号可以被通过比较测定装置而产生。

### 附图说明

本发明参考下列图示而详细叙述，其中：

- 10 图 1 为一动态存储模块的一输入/输出电路的方块电路图；  
图 2 为根据本发明装置的一实施例的方块电路图；以及  
图 3 为使用根据本发明方法的动态存储模块的信号时段示意图。

### 具体实施方式

15 图 1 为在一例如为向倍速数据传输动态存储模块(DDR-DRAM)中所使用的一输入/输出电路 1 之示意图；该输入/输出电路 1 在此包含了一数据信号输入/输出 2，以馈送或传输一数据信号，以及一数据取样信号输入/输出 3，以馈送或传输一数据取样信号；该数据信号输入/输出 2 与该数据取样信号输入/输出 3 各自连接至一分离式驱动器电路 11 与一分离式接收器电路 12。两分离式接收器电路 12 连接至一接收寄存器 5(锁存器，  
20 latch)，其具有一连接至该存储模块的一内部数据路径 14 之输出；该接收寄存器 5 读出具有维持于该数据信号与该数据取样信号间之一时序关系之该数据信号中的数据项。在此，该数据取样信号执行了一时间读出信号的功能，而所维持之时序关系为在该数据取样信号的时间边缘与该数据信号之正确信号间特定时序之时间间隔。在 DDR-RAMs 中，维持于该数据信号  
25 与该数据取样信号间之该时序关系存在于该数据取样信号之上升与下降边缘内，该数据取样信号与该数据信号之一正确信号间呈时序排列。就此而言，在该数据取样信号之各时间边缘与该数据信号中所各出现的一正确数据项间维持一最大允许延迟时间是绝对必要的；此外，为了在一正确方式中读出该数据项，则必须在该数据取样信号的各边缘后符合一该数据信号

之正确数据项存在于该接收寄存器 5 之最小时间。

该二接受器装置 12 提供以用于该存储模块之写入处理中,其中所写入之一外部数据信号传导至该数据信号输入/输出 2,而一外部数据取样信号传导至该数据取样信号输入/输出 3,且其中该数据信号与该数据取样信号彼此间具有前述之时序关系。通过该二接收器装置 12,该接收寄存器 5 续而以前述之方法读出该等数据项,之后该接收寄存器 5 依次于其输出处馈送该读出数据项至该内部数据路径 14。

连接至该二驱动器装置 11 之一同步化装置 6 用于提供一同步化信号至该二驱动器装置 11;该同步化信号用于确认前述之该数据取样信号与该数据信号之间的时序排列(边缘排列)。就此而言,该同步化装置 6 致动了该数据信号输入/输出 2 与该数据取样信号输入/输出 3 之驱动器装置,使得在该数据信号输入/输出 2 之数据信号与在该数据取样信号输入/输出 3 之数据取样信号间的时序关系得以被执行。该同步化装置 6 最好是具体化为一延迟锁定回路(DLL),且原则上被具体化为一可控制延迟电路。

在从该存储模块进行读取处理时,该存储模块在一该存储模块与一读取装置间的数据改变过程中为一主动装置,意即一驱动部分,数据自该内部数据路径 14 传入一 FIFO 位移寄存器 8,其通过该驱动器装置 11 而将数据馈送至该数据信号输入/输出 2;最后,数据通过该数据信号输入/输出 2 而被输出至该读取装置,例如一控制器装置。该同步化装置 6 在此则以前述之方式而确认规定于规格中之该数据信号与该数据取样信号间的时序参考值是否被符合。

当对该存储模块进行写入时,一外部的写入装置用以提供数据取样信号(DQS)以及写入该数据项。通过该等接受器装置 12 之一而连接至该数据信号输入/输出 2 之该接收寄存器 5 使用该数据取样信号之一边缘而估计一被写入的数据项。就此而言,该规格包含了关于在该数据信号与该数据取样信号间的时序偏移值之规定,使得该存储模块必须能够正确地权是该被写入之数据项。

在该存储模块读取存取期间,该存储模块因此能够本质上地连续同时产生与驱动该数据取样信号与该数据信号;此处之该数据取样信号,至该

装置自该存储模块读出，在该数据是正确且能够被该读取装置读出的时间。就此而言，由于规格容限值的因素，该存储模块被允许再驱动该数据取样信号与该数据信号时，得以具有一特定的非准确度。

5 为了能够达到利用当代测试设备而仍能够轻易检查所述之写入存取的目的，必须能够利用一外部测试系统而将该数据取样信号与该数据信号以一特定时序关系传输至该存储模块。由于该等信号皆由同一测试系统提供，因而可能达到高层级的准确性；然而，目前所广泛使用的测试系统却无法根据最新规格检查所述之读取存取。在该数据信号与该数据取样信号之个别边缘间的时序关系之量测期间所产生的非准确性能够伪造该量测值，而无法可靠地判定是否符合该规格；这全是由于传统的测试系统因为  
10 其决定运算方式而无法有效地解决时序关系之故。

因此，本发明提出一种关于前述输入/输出电路1之改进，使得该读取存取之时间运作能够在一模块(on-chip)内被测试。

图2为根据本发明所提供之输入/输出电路1之一实施例的基本方块电路图；该图在一点虚线范围内描述了根据本发明之该输入/输出电路1。一  
15 外部测试装置15与一外部测试控制单元16被配置于该输入/输出电路外部；根据本发明之改进方式使得该存储模块能够通过该测试控制单元16而被切换为一测试模式；为了达到这样的目的，该测试控制单元16用以致动一测试数据装置7、一延迟装置17、一切换装置9、一控制装置18与一可  
20 程序化之延迟装置4。前述装置以下述方式而执行本发明之方法。就此而言，以下描述了在读取过程中，该数据信号与该数据取样信号间所认可之最大允许设定时间的检查方式。

该切换装置9连接至该接收寄存器5、该测试控制单元16与该比较器装置10。为了将该存储模块切换至测试模式，该切换装置9通过该外部测试控制单元16而切换，使得该接收寄存器5所读出之数据能够通过该切换  
25 装置9而被写入该比较器装置10。一外部标准化数据信号接着被馈送至该数据信号输入/输出2，而一外部标准化数据取样信号被馈送至该数据取样信号输入/输出3，其通过连接至该数据信号输入/输出2与该数据取样信号输入/输出3之该外部测试装置15而馈送。该外部标准化数据信号与该外

部标准化数据取样信号彼此间具有一定之时序关系，因此该数据项被该接收寄存器 5 锁存住，其通过利用该标准化数据取样信号之该数据输入/输出 2 的该接收器装置 12 而进行。在处理时，该标准化数据取样信号通过该数据取样信号输入/输出 3 的该接收器于装置 12 而被馈送至该接收寄存器 5；该标准化数据取样信号利用一可程序化之延迟装置 4 而延迟，使得该接收寄存器 5 再也不能够锁存一具正确形式的标准化数据信号。这表示最后已经超过了在规格中关于使用该外部测试装置 15 之该标准化数据信号与该标准化数据取样信号的设定时间所规定的一最大值，因此该存储模块再也不能读出在正确形式中的数据项。

关于该接收寄存器 5 是否在正确形式中读出该数据项的决定是由该比较器装置 10 所产生；为了这项目的，测试数据得以在，例如在开始执行本发明之方法之前，而被写入该测试数据装置 7。该测试数据装置 7 亦将该测试数据写入该比较器装置 10，其通过该延迟装置 17 而与该外部测试装置 15 之数据同步化。若该数据不再对应，该存储模块之该读取电路的一标准化程序成功被终止。这表示该存储模块将不再读出在正确形式中由该外部测试装置 15 所写入的该标准化数据信号。标准化处理的目标因此而根据该标准化数据取样信号的检测而设定为 PASS/FAIL 转换。

该 PASS/FAIL 转换之一近似可能自一 PASS 侧或是一 FAIL 侧而发生，该控制装置 18 连接至该测试控制单元 16 且藉此而被致动。此外，该控制装置 18 连接至该比较器装置 10 与该可程序化之延迟装置 4。一定义了该延迟装置之一延迟时间 T 可被储存于该延迟装置 4 中。

该控制装置 8 以该比较器装置 10 在标准化处理中比较结果之一函数而控制该可程序化延迟装置 4 之程序化处理；就此而言，该控制装置 18 于一循环递增的设定处理中，设定该可程序化延迟装置 4 之延迟时间 T，使得在该外部标准化数据信号检测中 PASS/FAIL 转换之目标得以达成。一如此长的延迟时间将使其不再引发正确的读出，而仅产生一不正确的读出处理。因此，程序化入该延迟装置 4 之延迟时间 T 为该数据信号之数据项与该数据信号之一边缘间的最大允许设定时间，其超过了最小可能程度。

当一近似自该 PASS 侧发生时，在设定处理过程中，总是能够符合该外

部标准化数据信号与该外部标准化数据取样信号间之该设定时间，为了引起该 PASS/FAIL 转换，该控制装置 18 将最初引起该外部标准化数据取样信号检测之所需要 FAIL 结果的时间值程序化入该可程序化延迟装置 4；这表示现在用以正确读出之该外部标准化数据信号与该外部标准化数据取样信号间的该最大允许设定时间超过了该最小可能程度，因此该存储模阻不能以一正确形式而读出该外部测试装置 15 之该外部标准化数据信号。

当一近似自该 FAIL 侧发生时，在设定处理过程中，永远超过该外部标准化数据信号与该外部标准化数据取样信号间之该设定时间；在这样的情形中，该控制装置 18 在该外部标准化数据信号检测转换至 PASS 结果后，将最后引起该外部标准化数据取样信号之非检测结果的时间值程序化入该可程序化延迟装置 4。因此，该外部标准化数据取样信号检测所需要的 PASS/FAIL 转换即使在自 FAIL 侧的近似情形下亦可产生。

因此，前述之标准化主要构成该存储模块之该延迟装置 4 之一标准化；为了这个目的，根据本发明，在该数据取样信号输入/输出 3 的该接收器装置 12 与该接收寄存器 5 之间的连接之一内部延迟时间可通过该模块内该可程序化延迟装置 4 的使用而缩短或延长。因此，根据本发明之方法，为了认证该外部标准化数据信号所需要的 PASS/FAIL 转换可发生。

根据本发明之方法执行而制造的存储模块之标准化结束于该外部标准化数据信号检测之 PASS/FAIL 转换设定；该存储模块接着利用该测试单元 16 而被设定为“内部读取”。就此而言，该存储模块根据一在制造过程中所固有之输出时间运作而独立地写入测试数据。为了这个目的，该测试数据装置 7 通过该 FIFO 位移寄存器 8、该驱动器装置 11 而将测试数据传输至该数据输入/输出 2。然后，通过指定的接收器装置 12，该数据自该数据输入/输出 2 而被传输至该接收寄存器 5。在该数据信号与该数据取样信号间的时序关系由该同步化装置 6 提供，为了这个目的，该二驱动器装置 11 通过前述形式之该同步化装置 6 而致动。

由于在规格中所规定的该数据信号与该数据取样信号间最大允许设定时间值即为对顾客的保证值，因而可预见该模块在操作过程中符合该等规格值，换言之，其值将持续性的越来越低；这表示通过该延迟装置 4 所传

导的可于标准化过程中程序化之该延迟时间取样信号必须能够于该接收寄存器 5 处正确读出该测试数据项。如同前述之标准化程序，该测试数据项之正确读出利用该比较器装置 10 而被计算。在处理过程中，该比较器装置 10 对该测试数据装置 7 通过延迟装置 17 所传输之测试数据与该接收寄存器 5 通过切换装置 9 所传输至该比较器装置 10 之测试数据进行比较。

该比较器装置 10 将比较结果写入该存储模块之一单元阵列 13。该“内部读取”证明了该存储模块能够具有比规格中所规定的最大允许设定值更低的设定值；因此可预见该存储模块总是具有优越的存储模块读出运作，其利用该外部测试装置 15 而标准化为一 FAIL 运作，意即提供了一固定的 PASS 运作。如果该测试数据装置 7 所写入之测试数据项无法被该接收装置 5 以正确形式读出，该存储模块违反了在该数据信号与该数据取样信号间最大允许设定时间特定之输出时间运作。这表示该存储模块无法符合规格中所规定的最大允许设定时间，因此而无法供应给顾客。

根据本发明之检查原则，可类似地使用于检查该数据信号与该数据取样信号间之一最小必须保持时间。在这样的情形中，为了确定该模块能够提供该数据信号与该数据取样信号间之最小必须保持时间，换言之，总是能够超过该最小必须保持时间。为了这个目的所必须的模块标准化使用外部测试装置 15，而产生前述标准化最大允许设定时间的类似形式；这表示最初一 PASS/FAIL 转换为了该外部标准化数据信号之检测而设定。为了这个目的，引起该外部标准化数据信号之非检测的时间值被程序化入该可程序化延迟装置 4 内，其使用该控制装置 18 为该比较器装置 10 检查结果之一函数。

为了检查该最小必须保持时间，该存储模块内之该内部读取同样被接着利用该外部测试控制单元 16 而启动。在此处，该存储模块必须能够使用被程序化入该可程序化延迟装置 4 标准化处理过程内的时间值，其以如同前述之测试数据装置 7 以正确形式读出测试数据的方式进行；内部读取的检查以前述对最大允许设定时间值的检查的类似方式而进行。

根据本发明之方法可通过各种数据拓扑、温度与电压层级而重复，以得到一较佳的测试范围。与规格值比较，甚至在一较为严苛的形式中，通

过被程序化入该可程序化延迟装置 4 标准化处理过程内的时程序化值的设定将可达到一个较大的预留范围。举例而言，当检查该最小必须保持时间时，被程序化入该可程序化延迟装置 4 的程序化值能够于 PASS/FAIL 转换后更为增量改变；因此，即使为了符合该最小必须保持时间而对该模块有更多的要求，其与规格值之间符合的可靠程度仍然能够增量改变。

5 举例而言，以各种数据拓扑执行本发明之方法能够具有在存储模块邻近信号在线驱动反向信号的目的；在这样的过程中，本发明方法考虑了根据规格以邻近信号线间的耦合效应为基础之输出。此外，在测试期间由于温度或驱动电压层级改变而导致该存储模块性质改变之各种不利的数据拓扑亦同样被加以考虑。

10 该测试数据装置 7 最好能够被具体化为一测试数据产生器，其用以产生所有检查所必须之测试数据，举例而言，在内部读取期间，各检查过程中之多个测试数据项可以前述之方式而被该接收寄存器 5 通过该信号输入/输出 2 读入，并通过该切换装置 9 而被依次写入该比较器装置 10，或通过该延迟装置 17 而被写入该比较器装置 10。

15 图 3 表示了该数据信号 DQ (7: 1) 与该数据取样信号 DQS 在时间上的基本变化，其皆在时序上相对于该存储模块之一时脉信号 CLK。该数据取样信号 DQS 与该数据信号 DQ (7: 1) 间之最大允许设定时间定义为  $t_{DQSQ(max)}$ 。该时间适用于该数据取样信号 DQS 之一上升边缘与一下降边缘以及该数据信号 DQ (7: 1) 之一正确数据项之间。此外，图 3 描述了该数据信号 DQ (7: 1) 与该数据取样信号 DQS 间之该最小必须保持时间  $t_{QH(min)}$ ，该最小必须保持时间  $t_{QH(min)}$  定义于该数据取样信号 DQS 与该数据信号 DQ (7: 1) 间之一上升边缘以及该数据取样信号 DQS 与该数据信号 DQ (7: 1) 间之一下降边缘。

20 图 3 亦表示了该数据信号 DQS 与该数据信号 DQ (7: 0) 彼此间以一边缘排列形式而呈现理想地时序偏移；这表示该数据信号 DQS 与该数据信号 DQ (7: 0) 之边缘理当具有一本质上为零之时间偏移。若该数据信号 DQS 因此而具有其上升边缘，该数据信号 DQ (7: 0) 应理当同样具有其正确数据项。因此，原则上该最大允许设定时间  $t_{DQSQ(max)}$  构成了一设定时间，而该最大必须保持时间  $t_{QH(min)}$  构成了一保持时间。



本发明之方法具有检查皆在该数据信号 DQS 与该数据信号 DQ (7: 0) 之上升边缘与下降边缘间之该最大允许设定时间  $t_{DQSQ(max)}$  与最小必须保持时间  $t_{QH(min)}$  之优势。

5 本发明对于输入/输出电路 1 之改进最好是具体化为各该等数据信号输入/输出 2。在图 2 中, 该等独立的数据信号输入/输出 2 间的多样改进通过数据输入/输出 2、接收寄存器 5、比较器装置 10 与切换装置 9 而以虚线表示, 其具有的优势为可根据规格而分别检查各该等独立的数据信号输入/输出 2 之数据信号是否关于该数据取样信号而输出。

10 为了通过各别的该等独立的数据信号输入/输出 2 之各别检查结果而得到整体存储模块之全面检查结果, 则需要在各别检查结果与全面检查结果间作一连结; 举例而言, 该连结通过在比较器装置 10 中的一逻辑接合 (AND 操作) 而产生。该全面结果与不利的各别结果有关。这表示如果该数据信号输入/输出 2 仅具有一单一输入或输出无法在内部读取时以正确形式读出, 整体存储模块将被估算为 FAIL。由于仅有一可程序化延迟装置 4, 且该可  
15 程序化延迟装置 4 必须被程序化以产生如前述之 PASS/FAIL 转换, 以检测所有存在的数据信号输入/输出 2 之外部标准化数据信号; 这最后将导致某些数据信号输入/输出 2 以较其它更严苛的形式被测试。在各别的数据信号输入/输出 2 中, 导致非均匀读出运作的此项原因在该各别数据信号输入/输出 2 中, 具有不同结构的各别接收器装置 12 内是相当明显的。

20 这些差异全导因于电路布局与处理设备的不准确性。

通过本发明对存储模块之输入/输出电路 1 中所有数据信号输入输出 2 的改进, 其具有可根据规格而同时对该数据信号输出及关于数据取样信号进行并联检查之优势。另外当然也可以选择根据规格而对该各别之数据信号输入/输出 2 的数据信号与数据取样信号进行串联检查; 特别是其具有可  
25 以不同的测试数据形式对该各别之数据信号输入/输出 2 进行检查之优势。

根据本发明, PASS/FAIL 边界之设定基于较佳于该存储模块所认可之规格的要求, 在操作过程中, 该存储模块总是能够符合这些规格值所表示的一可靠性边界。

为了执行本发明之方法, 一外部测试系统在驱动信号时比在量测所馈

送至该测试系统之信号间的时序关系时具有更高精确性的优势被加以利用，特别是利用外部测试装置 15 系统所固有的高精度度，使得该存储模块的信号输出时间运作可以在模块内被检查。

5 本发明已参照图示的实施例加以说明，然而本发明的范畴并不限于上述之特定的具体实施例。因此上述之具体实施例内容为叙述之用而非能以其对本发明加以限制；且本发明得由本领域的技术人员任施匠思而为诸般修饰，然不脱如附权利要求待保护者。

10

15

20

25

## 【装置代表符号说明】

	1	输入/输出电路
	2	数据信号输入/输出
	3	数据采样信号输入/输出
5	4	可程序化延迟装置
	5	接收寄存器
	6	同步化装置
	7	测试数据装置
	8	FIFO 位移寄存器
10	9	切换装置
	10	比较器装置
	11	驱动器装置
	12	接收器装置
	13	单元阵列
15	14	内部数据路径
	15	外部测试装置
	16	外部测试控制单元
	17	延迟装置
	18	控制装置
20	$t_{DQSQ(max)}$	最大允许设定时间
	$t_{QH(min)}$	最小必须保持时间
	DQ (7: 1)	数据信号
	DQS	数据取样信号
	CLK, CLK#	时脉信号

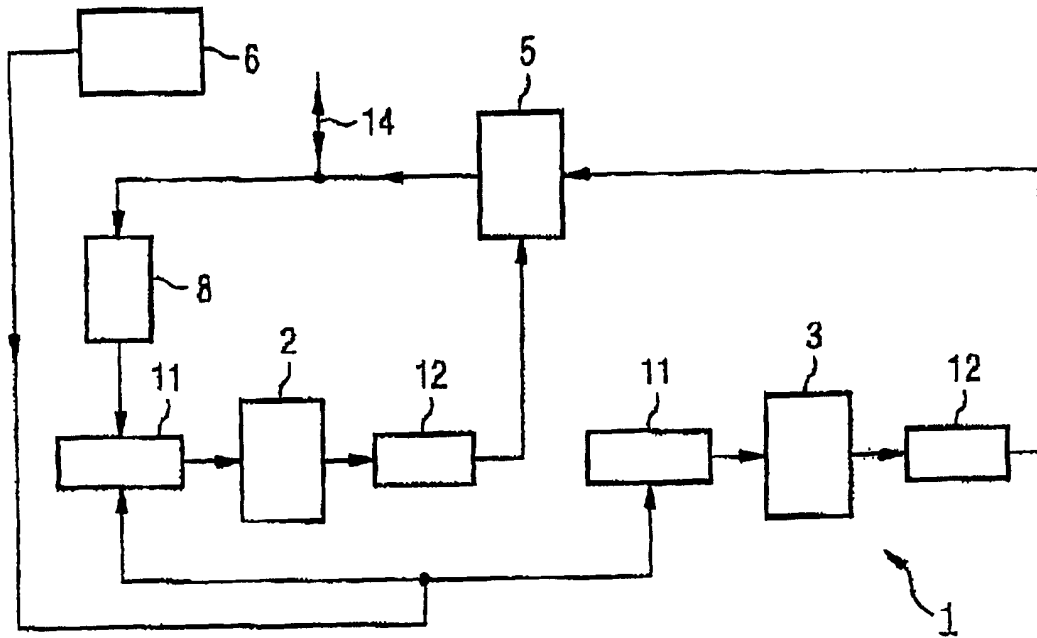


图 1

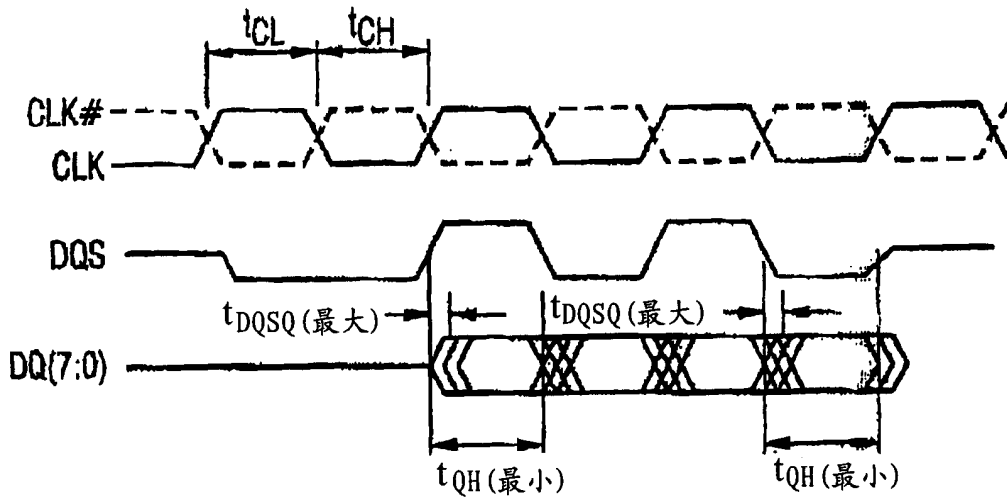


图 3

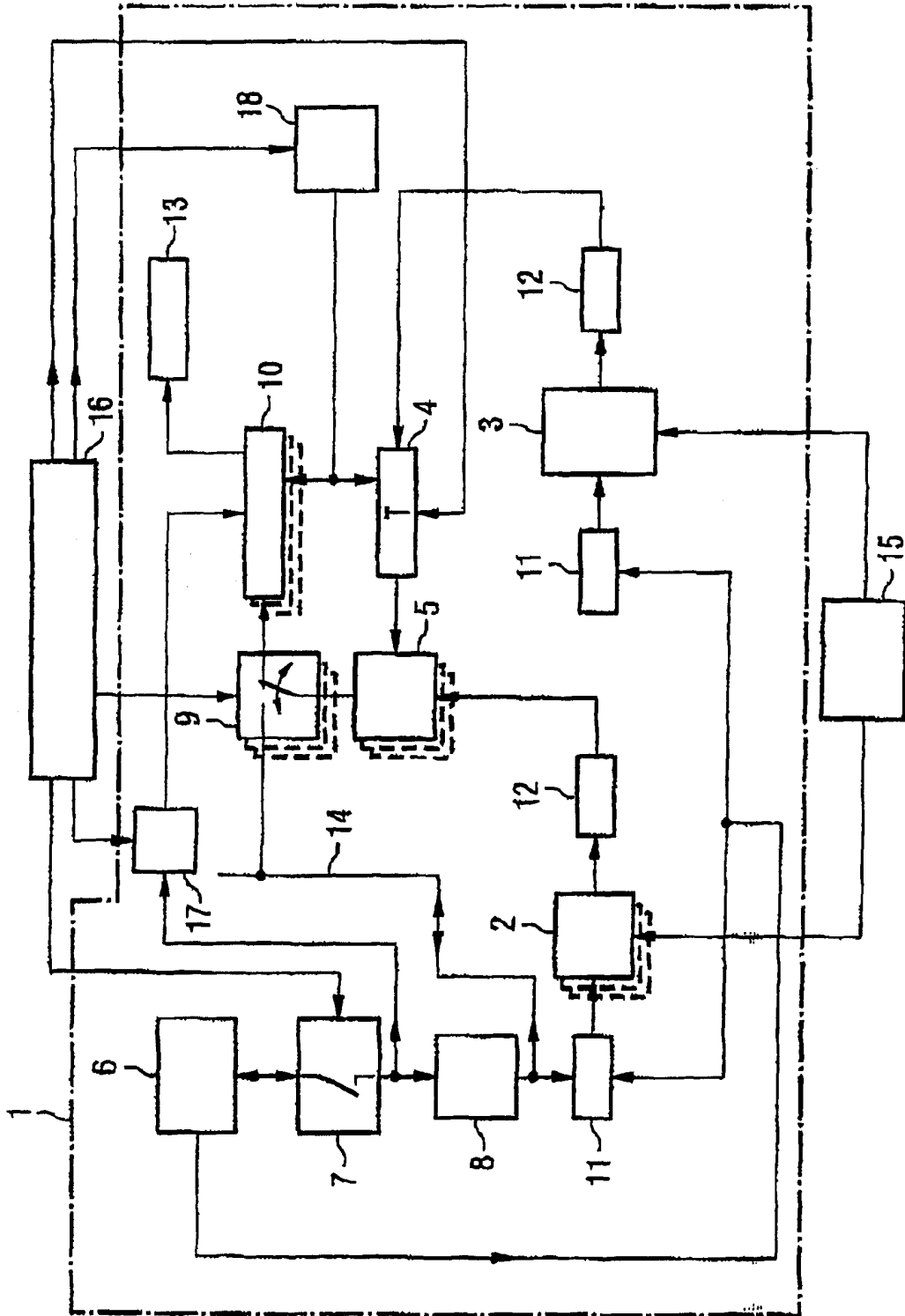


图 2