

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5723821号
(P5723821)

(45) 発行日 平成27年5月27日 (2015. 5. 27)

(24) 登録日 平成27年4月3日 (2015. 4. 3)

(51) Int. Cl.		F I			
G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	621J
H01L	51/50	(2006.01)	H05B	33/14	A

請求項の数 6 (全 77 頁)

(21) 出願番号	特願2012-89310 (P2012-89310)	(73) 特許権者	000153878
(22) 出願日	平成24年4月10日 (2012. 4. 10)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2006-115825 (P2006-115825) の分割		神奈川県厚木市長谷398番地
原出願日	平成18年4月19日 (2006. 4. 19)	(72) 発明者	木村 肇
(65) 公開番号	特開2012-150511 (P2012-150511A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成24年8月9日 (2012. 8. 9)	審査官	山崎 仁之
審査請求日	平成24年5月2日 (2012. 5. 2)	(56) 参考文献	特開2005-099764 (JP, A) 特開2006-323376 (JP, A)
(31) 優先権主張番号	特願2005-121917 (P2005-121917)		
(32) 優先日	平成17年4月20日 (2005. 4. 20)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置、表示モジュール、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタ、第2のトランジスタ、第3のトランジスタ及び第4のトランジスタと、

第1の配線、第2の配線、第3の配線及び第4の配線と、

画素電極と、を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第2の配線と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第3の配線と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記画素電極と電氣的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第3のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第4の配線と電氣的に接

10

20

続され、

前記第3のトランジスタのゲートは、前記第3の配線と電氣的に接続され、
 前記第4のトランジスタのゲートは、前記第4の配線と電氣的に接続され、
 前記第3のトランジスタは、前記第4のトランジスタと、異なる極性を有し、
 前記第1の配線は、映像信号を伝えることができる機能を有し、
 前記第2の配線は、第1の信号を伝えることができる機能を有し、
 前記第3の配線は、前記画素電極に電流を伝えることができる機能を有し、
 前記第4の配線は、第2の信号を伝えることができる機能を有し、
 前記第1のトランジスタは、前記第1の信号に応じて、前記第2のトランジスタのゲートに、前記映像信号を供給することができる機能を有し、
 前記第2のトランジスタは、前記画素電極に伝える前記電流の電流量を制御することができる機能を有し、
 前記第3のトランジスタ又は前記第4のトランジスタは、前記第2のトランジスタに前記第2の信号を伝えるか否かを制御することができる機能を有することを特徴とする半導体装置。

10

【請求項2】

請求項1において、
 前記第4のトランジスタの極性は、Nチャンネル型であることを特徴とする半導体装置。

【請求項3】

請求項1または請求項2において、
 前記第3のトランジスタの極性は、Pチャンネル型であることを特徴とする半導体装置。

20

【請求項4】

請求項1乃至請求項3のいずれか一項において、
 前記画素電極を含む表示素子を有することを特徴とする半導体装置。

【請求項5】

FPC又はハウジングと、
 請求項1乃至請求項4のいずれか一項に記載の半導体装置と、
 を有する表示モジュール。

【請求項6】

アンテナ、操作キー、音声入力部、又は、外部接続ポートと、
 請求項5に記載の表示モジュール、又は、請求項1乃至請求項4のいずれか一項に記載の半導体装置と、
 を有する電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に係り、特に電流によって輝度が変化する電流駆動型発光素子で形成された画素や、その走査線駆動回路や信号線駆動回路を含む表示装置に関する。また、その駆動方法に関する。また、その表示装置を表示部に有する電子機器に関する。

40

【背景技術】

【0002】

近年、画素を発光ダイオード(LED)などの発光素子で形成した、いわゆる自発光型の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード(OLED(Organic Light Emitting Diode))、有機EL素子、エレクトロルミネッセンス(Electro Luminescence: EL)素子などとも言う)が注目を集めており、ELディスプレイなどに用いられるようになってきている。OLEDなどの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要で応答速度が速い等の利点がある。なお、発光素子の輝度は、そこを流れる電流値によって制御される。

50

【0003】

このような表示装置の階調を表現する駆動方式として、アナログ階調方式とデジタル階調方式がある。アナログ方式には、発光素子の発光強度をアナログ制御する方式と発光素子の発光時間をアナログ制御する方式がある。アナログ階調方式においては発光素子の発光強度をアナログ制御する方式がよく用いられている。しかし、発光強度をアナログ制御する方式は、画素毎の薄膜トランジスタ（以下TFTともいう）の特性のバラツキの影響を受けやすく、画素毎の発光にもバラツキが生じてしまう。一方、デジタル階調方式はデジタル制御で発光素子をオンオフさせ、階調を表現している。デジタル階調方式の場合、画素毎の輝度の均一性に優れているが、発光又は非発光の2状態しかないため、このままでは、2階調しか表現できない。そこで、別の手法を組み合わせ、多階調化を図ることが

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-343933号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0005】

時間階調方式を採用する場合には、発光素子を駆動するトランジスタはデジタル式にオンオフさせればよい。画素を構成するトランジスタの特性のばらつきによる画素間の輝度のばらつきの影響はあまりない。

【0006】

通常、トランジスタをオンさせる場合、Pチャンネル型トランジスタのときには、ゲート端子にLow（以下Lレベルともいう）の電位を入力して行う。このLレベルの電位はPチャンネル型トランジスタのソース端子の電位よりも低い電位であり、Lレベルの電位とPチャンネル型トランジスタのソース端子の電位との電位差がPチャンネル型トランジスタのしきい値電圧以下となる電位である。また、Nチャンネル型のトランジスタのときにはHigh（以下Hレベルともいう）の電位を入力して行う。このHレベルの電位はNチャンネル型のトランジスタのソース端子の電位よりも高い電位であり、Hレベルの電位とNチャンネル型のトランジスタのソース端子の電位との電位差がNチャンネル型のトランジスタのしきい値電圧以上となる電位である。なお、通常のPチャンネル型トランジスタのしきい値電圧は、0Vより小さい電圧である。また、通常のNチャンネル型のトランジスタのしきい値電圧は、0Vより大きい電圧である。よって、トランジスタのゲートソース間電圧が0Vのときには、トランジスタはオフし、電流は流れない。このようなトランジスタをエンハンスメント型トランジスタ（ノーマリーオフともいう）という。

30

【0007】

一方、トランジスタのゲートソース間電圧が0Vであっても、トランジスタに電流が流れてしまうものがある。なお、このようなトランジスタをディプレッション型トランジスタ（ノーマリーオンともいう）という。

40

【0008】

通常、ノーマリーオフの状態になるようにトランジスタを作製する。しかし製造ばらつきによって、ノーマリーオンになってしまう場合がある。駆動トランジスタがノーマリーオンになってしまうと、画素を非点灯とすべきときにも駆動トランジスタに電流が流れてしまい、発光素子へも電流が流れてしまうことがある。すると、正しく表示をすることができなくなってしまう。

【0009】

そこで、駆動トランジスタのソース領域やドレイン領域に添加する不純物とは逆の導電型

50

の不純物をチャンネル形成領域に添加し、駆動トランジスタをより完全にノーマリーオフにする場合がある。つまり、駆動トランジスタをより完全にエンハンスメント型トランジスタにすることが行われる場合がある。これは、チャンネルドープと一般に呼ばれている。または、駆動トランジスタがPチャンネル型のトランジスタの場合、駆動トランジスタをオフさせるビデオ信号の電位（駆動トランジスタのゲート端子に入力する電位）を、駆動トランジスタのソース端子に入力する電位よりも高く設定することにより駆動トランジスタをオフさせる場合がある。同様に、駆動トランジスタがNチャンネル型のトランジスタの場合、駆動トランジスタをオフさせるビデオ信号の電位（駆動トランジスタのゲート端子に入力する電位）を、駆動トランジスタのソース端子に設定する電位よりも低く設定することにより駆動トランジスタをオフさせる場合がある。

10

【0010】

ここで、デジタル時間階調において、高精細化及び高階調表示を実現するために、画素への信号の書き込み動作と、画素への信号の消去動作を同時に行う技術が用いられている。つまり、画素への信号の書き込みが行われると、その画素は直ぐに発光期間（サステイン期間）となるような駆動方法において、画素への信号の書き込み期間（アドレス期間）より短い発光時間を設けるため、次に画素への信号書き込みが行われる前に、画素へ書き込まれた信号の消去を行うものである。このような駆動方法について図8を用いて説明する。

【0011】

図8は時間経過に伴った1フレーム期間の動作について説明する図である。図8において、横方向は時間経過を表し、縦方向は走査線の走査行数を表している。

20

【0012】

画像表示を行うとき、書き込み動作と発光動作とが繰り返し行われる。一画面（1フレーム）分の書き込み動作と発光動作を行う期間を1フレーム期間という。1フレーム分の信号の処理について特に限定はないが、画像をみる人がちらつき（フリッカ）を感じないように少なくとも1秒間に60回程度とすることが好ましい。

【0013】

1フレーム期間は、図8に示すように、アドレス期間 T_{a1} 、 T_{a2} 、 T_{a3} 、 T_{a4} とサステイン期間 T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} とを含む4つのサブフレーム期間に時分割されている。つまり、それぞれの画素行については、書き込み時間 T_{b1} 、 T_{b2} 、 T_{b3} 、 T_{b4} と発光時間 $T_{s1(i)}$ 、 $T_{s2(i)}$ 、 $T_{s3(i)}$ 、 $T_{s4(i)}$ とに時分割されている。発光するための信号が入力された画素の発光素子は、サステイン期間において発光状態となっている。各々のサブフレーム期間における発光時間の長さの比は、 $T_{s1(i)} : T_{s2(i)} : T_{s3(i)} : T_{s4(i)} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ となっている。これによって4ビット階調を表現することができる。但し、ビット数及び階調数はここに記すものに限定されず、例えば8つのサブフレーム期間を設け8ビット階調を行えるようにしてもよい。

30

【0014】

1フレーム期間における動作について説明する。まず、アドレス期間 T_{a1} において、1行目から最終行まで、それぞれの行の書き込み時間 T_{b1} に書き込み動作が行われる。つまり、1行目から順に走査線に走査信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力され、その電位によってサステイン期間 T_{s1} における各画素の点灯、非点灯が制御される。従って、行によって画素の書き込み動作の開始時間が異なる。書き込み動作が終了した行から順にサステイン期間 T_{s1} へと移る。当該サステイン期間において、発光するための信号が入力されている画素の発光素子は発光状態となっている。また、サステイン期間 T_{s1} が終了した行から順に次のサブフレーム期間の信号書き込み動作に移り、それぞれの信号書き込み時間 T_{b2} において、同様に1行目から最終行まで順に書き込み動作が行われる。このように、同様にアドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において画素へビデオ信号が入力され、その電位によってサステイン期間 T_{s2} 、 T_{s3} 、 T_{s4} における各画素の点灯、非点灯が制御

40

50

される。以上のような動作を繰り返し、サスティン期間 T_{s4} 迄終了する。

【0015】

サスティン期間 T_{s4} のように、最終行目までの書込動作が終了する前に、既に発光時間を終えた行におけるサスティン期間を強制的に終了させたいときは、消去時間 T_e により画素に書き込まれたビデオ信号を消去し、強制的に非発光の状態となるように制御する。そして、強制的に非発光状態にした行については、一定期間、非発光の状態を保つ（この期間を非発光期間 T_{e4} とする。）。そして、最終行目の書き込み期間が終了したら直ちに、一行目から順に次のフレーム期間（またはサブフレーム期間）のアドレス期間に移行する。これによって、発光時間がアドレス期間より短いサブフレーム期間を設けることができる。

10

【0016】

このように、各サブフレーム期間において発光した時間の積算時間が、1フレーム期間における各々の画素の発光時間となり、これによって階調が表現される。

【0017】

なお、1フレーム期間において、サブフレーム期間はサスティン期間の長いものから順に並んでいるが、必ずしもこのような並びにする必要はなく、例えばサスティン期間の短いサブフレーム期間から順に並べられていてもよいし、またはサスティン期間の長いものと短いものとがランダムに並んでいてもよい。

【0018】

このような駆動方法を実現する従来の表示装置の画素構成を図2に示す。駆動トランジスタ201と、スイッチングトランジスタ202と、容量素子203と、発光素子204と、第1の走査線205と、信号線206と、電源線207と、消去用トランジスタ209と、第2の走査線210と、を有する。なお、駆動トランジスタ201はPチャネル型トランジスタであり、スイッチングトランジスタ202はNチャネル型トランジスタであり、消去用トランジスタ209はNチャネル型トランジスタである。

20

【0019】

スイッチングトランジスタ202は、ゲート端子が第1の走査線205に接続され、第1端子（ソース端子又はドレイン端子）が信号線206に接続され、第2端子（ソース端子又はドレイン端子）が駆動トランジスタ201のゲート端子と接続されている。また、スイッチングトランジスタ202の第2端子は容量素子203を介して電源線207と接続されている。さらに、駆動トランジスタ201は第1端子（ソース端子又はドレイン端子）が電源線207に接続され、第2端子（ソース端子又はドレイン端子）が発光素子204の第1電極（画素電極）と接続されている。発光素子204の第2の電極（対向電極）208には低電源電位 V_{ss} が設定されている。なお、低電源電位 V_{ss} とは、電源線207に設定される高電源電位 V_{dd} を基準にして $V_{ss} < V_{dd}$ を満たす電位であり、低電源電位 V_{ss} としては例えばGND、0Vなどが設定されていても良い。この高電源電位 V_{dd} と低電源電位 V_{ss} との電位差を発光素子204に印加して、発光素子204に電流を流すことにより発光素子204を発光させるため、高電源電位 V_{dd} と低電源電位 V_{ss} との電位差が発光素子204の順方向しきい値電圧となるようにそれぞれの電位を設定する。

30

40

【0020】

また、容量素子203と並列に消去用トランジスタが設けられている。つまり、消去用トランジスタ209の第1端子（ソース端子又はドレイン端子）が駆動トランジスタ201のゲート端子に接続され、第2端子（ソース端子又はドレイン端子）が電源線207に接続されている。また、消去用トランジスタ209のゲート端子は第2の走査線210に接続されている。なお、容量素子203は駆動トランジスタ201のゲート容量を代用して削除しても良い。

【0021】

次に、上述した駆動方法を実現するための画素の動作について説明する。なお、本画素を有する表示装置は、電圧データによるビデオ信号を画素に書き込むことにより画素の点灯

50

又は非点灯を制御し、点灯の際には画素の発光素子へ電圧を印加することによりその電圧に従った輝度を得る電圧入力電圧駆動方式である。よって、駆動トランジスタ201をスイッチとして動作させることにより、発光素子204に電圧を印加することができる。

【0022】

まず、画素への信号の書き込み動作について説明する。第1の走査線205で画素が選択されているとき、つまりスイッチングトランジスタ202がオンになっているときに信号線206から画素にビデオ信号を入力する。そして、ビデオ信号に相当する電圧分の電荷が容量素子203に蓄積され、スイッチングトランジスタ202がオフすると容量素子203はその電圧を保持する。この電圧は駆動トランジスタ201のゲート端子と第1端子間の電圧であり、駆動トランジスタ201のゲートソース間電圧 V_{gs} に相当する。

10

【0023】

なお、一般に、トランジスタ（ここでは簡単のため、Nチャンネル型のトランジスタであるとする）の動作領域は、線形領域と飽和領域とに分けることができる。その境目は、ドレインソース間電圧を V_{ds} 、ゲートソース間電圧を V_{gs} 、しきい値電圧を V_{th} とすると、 $(V_{gs} - V_{th}) = V_{ds}$ の時になる。 $(V_{gs} - V_{th}) < V_{ds}$ の場合は飽和領域になり、理想的には、 V_{ds} が変化しても、電流値はほとんど変わらない。つまり、 V_{gs} の大きさだけによって電流値が決まる。一方、 $(V_{gs} - V_{th}) > V_{ds}$ の場合は、線形領域であり、 V_{ds} 、 V_{gs} の大きさによって電流値が決まる。そして、線形領域の場合には、 V_{gs} が大きいと、 V_{ds} を小さくすることができる。つまり、ソース端子とドレイン端子の電位をほぼ等しくできる。よって、トランジスタを線形領域で動作させると、トランジスタをスイッチとして機能させることができる。

20

【0024】

よって、本画素のように電圧入力電圧駆動方式場合には、駆動トランジスタ201をスイッチとして機能させるためゲート端子には、駆動トランジスタ201が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。

【0025】

よって、画素が点灯するときには、駆動トランジスタ201が線形領域でオンするビデオ信号を信号線206から入力する。すると、駆動トランジスタ201は、ほぼスイッチとして機能するので、理想的には電源線207に設定されている電源電位 V_{dd} がそのまま発光素子204の第1の電極に加わるようになる。一方、画素が非点灯であるときには、駆動トランジスタ201が十分にオフするビデオ信号を信号線206から入力する。

30

【0026】

つまり、理想的には発光素子204に印加する電圧を一定にし、発光素子204から得られる輝度を一定にする。そして、1フレーム期間内に複数のサブフレーム期間を設け、各サブフレーム期間の信号書き込み期間（アドレス期間）に各画素へのビデオ信号の書き込みを行い、発光期間（サスティン期間）の間、各画素はそのビデオ信号を保持する。そして、ビデオ信号に応じて画素が点灯又は非点灯ようになる。なお、発光時間がアドレス期間より短いサブフレームにおいては、消去期間に各画素に保持された信号を消去する。そして、サブフレーム期間毎に画素の点灯非点灯を制御し、1フレーム期間のうち、点灯している時間の合計によって、階調を表現する。

40

【0027】

次に、消去期間における画素へ書き込まれたビデオ信号の消去動作について説明する。第2の走査線210で画素を選択し、消去用トランジスタ209をオンさせることにより、容量素子203に保持された電圧を消去する。つまり、容量素子203に蓄積された電荷を放電し、容量素子203の両電極間の電位を等しくする。こうして、駆動トランジスタ201のゲートソース間電圧を概略等しくして駆動トランジスタ201をオフさせている。

【0028】

しかし、このとき、駆動トランジスタ201が製造ばらつきなどの要因によりノーマリーオン（つまり、ディプレッション型トランジスタ）である場合、駆動トランジスタ201の

50

ゲートソース間電圧を等しくしても駆動トランジスタ201に電流が流れてしまい、発光素子204が発光してしまう。よって、画素を非点灯にすることができないため正しく表示を行うことができなくなってしまう。よって、歩留まりの低下を招いてしまうことになる。

【0029】

ビデオ信号で画素を非点灯にする場合には、ビデオ信号の電位により $V_{gs} > 0$ にすることができるので、駆動トランジスタ201がノーマリーオンでも対処できる。しかし、図2の画素構成の場合、消去で画素を非点灯にする場合には、 $V_{gs} = 0$ としかできない。よって、駆動トランジスタ201に電流が流れてしまい、発光素子204が発光してしまう。よって、表示不良を起こしてしまい歩留まりが低下してしまう。

10

【0030】

そこで、本発明は、製造コストの増加を抑制しつつ、歩留まりの向上を図った表示装置を提供することを課題とする。

【課題を解決するための手段】

【0031】

本発明の原理は、消去用の走査線の電位を上げたら、それに応じて駆動トランジスタのゲート端子の電位も上がるようにする。または、走査線の電位を下げたら、それに応じて駆動トランジスタのゲート電位も下がるようにする。例えば、走査線と駆動トランジスタのゲート端子とを整流素子を介して接続する。

【0032】

また、本発明に用いる整流素子は、抵抗素子、PN接合ダイオード、PIN接合ダイオード、ショットキー型のダイオード、ダイオード接続したトランジスタ、カーボンナノチューブで形成されたダイオードのいずれか一又はそれらの組み合わせである。

20

【0033】

また、整流素子の代わりに、電位伝達素子を用いることもできる。電位伝達素子としては、ゲート端子、第1端子及び第2端子を有するトランジスタや、該トランジスタと、電流電圧変換素子と、を有し、該トランジスタが、ゲート端子と第2端子とが電流電圧変換素子を介して接続されているものであってもいい。

【0034】

また、本発明の半導体装置は、ゲート端子、第1端子及び第2端子をそれぞれ備える第1のトランジスタ、第2のトランジスタ並びに第3のトランジスタと、電流電圧変換素子と、第1の配線と、第2の配線と、第3の配線と、第4の配線と、電極とを有し、該第1のトランジスタは、第1端子が第1の配線と接続され、ゲート端子が第2の配線と接続され、第2端子が該第2のトランジスタのゲート端子と接続され、該第2のトランジスタは、第1端子が第3の配線と接続され、第2の端子が該電極と接続され、第3のトランジスタは、第1端子が該第2のトランジスタのゲート端子と接続され、ゲート端子が該第4の配線と接続され、第2端子が該電流電圧変換素子を介して該第4の配線と接続されている。

30

【0035】

また、本発明の半導体装置は、上記構成において、該電流電圧変換素子は、抵抗素子、PN接合ダイオード、PIN接合ダイオード、ショットキー型のダイオード、トランジスタ、若しくはダイオード接続トランジスタ又はその組み合わせである。

40

【0036】

また、本発明の半導体装置は、上記構成において、該第1のトランジスタ及び該第3のトランジスタはNチャンネル型トランジスタであり、該第2のトランジスタはPチャンネル型トランジスタである。

【0037】

また、本発明の表示装置は、ゲート端子、第1端子及び第2端子をそれぞれ備える第1のトランジスタ、第2のトランジスタ並びに第3のトランジスタと、電流電圧変換素子と、第1の配線と、第2の配線と、第3の配線と、第4の配線と、発光層が画素電極と対向電極で挟み込まれた発光素子と、を有し、該第1のトランジスタは、第1端子が第1の配線

50

と接続され、ゲート端子が第2の配線と接続され、第2端子が該第2のトランジスタのゲート端子と接続され、該第2のトランジスタは、第1端子が第3の配線と接続され、第2の端子が該発光素子の画素電極と接続され、第3のトランジスタは、第1端子が該第2のトランジスタのゲート端子と接続され、ゲート端子が該第4の配線と接続され、第2端子が該電流電圧変換素子を介して該第4の配線と接続されている。

【0038】

また、本発明の表示装置は、上記構成において、該電流電圧変換素子は、抵抗素子、PN接合ダイオード、PIN接合ダイオード、ショットキー型のダイオード、トランジスタ、若しくはダイオード接続トランジスタ又はその組み合わせである。

【0039】

また、本発明の表示装置は、上記構成において、該第1のトランジスタ及び該第3のトランジスタはNチャネル型トランジスタであり、該第2のトランジスタはPチャネル型トランジスタである。

【0040】

また、本発明の電子機器は、上記構成の表示装置を表示部に有する。

【0041】

なお、本発明に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード(PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど)でもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源(V_{SS} 、 GND 、 $0V$ など)に近い状態で動作する場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源(V_{DD} など)に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、スイッチを介して出力する電圧(つまり入力電圧)が、出力電圧に対して、高かったり、低かったりして、状況が変化する場合においても、適切に動作を行うことができる。

【0042】

なお、本発明において、接続されているとは、電氣的に接続されている場合と直接接続されている場合とを含むものとする。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子(例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど)が配置されていてもよい。あるいは、間に他の素子を挟まずに、配置されていてもよい。なお、電氣的な接続を可能とする他の素子を間に介さずに接続されていて、直接接続されている場合のみを含む場合であって、電氣的に接続されている場合を含まない場合には、直接接続されている、あるいは、直接的に接続されている、と記載するものとする。なお、電氣的に接続されている、と記載する場合は、電氣的に接続されている場合と直接接続されている場合とを含むものとする。

【0043】

なお、発光素子は、様々な形態を用いることができる。例えば、EL素子(有機EL素子、無機EL素子又は有機物材料及び無機材料を含むEL素子)、電子放出素子、液晶素子、電子インク、光回折素子、放電素子、微小鏡面素子(DMD: Digital Micromirror Device)、圧電素子、カーボンナノチューブなど、電氣磁氣的

10

20

30

40

50

作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いたELパネル方式の表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED: Field Emission Display)やSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)など、液晶素子を用いた液晶パネル方式の表示装置としては液晶ディスプレイ、電子インクを用いたデジタルペーパー方式の表示装置としては電子ペーパー、光回折素子を用いた表示装置としてはグレーティングライトバルブ(GLV)方式のディスプレイ、放電素子を用いたPDP(Plasma Display Panel)方式のディスプレイとしてはプラズマディスプレイ、微小鏡面素子を用いたDMDパネル方式の表示装置としてはデジタル・ライト・プロセッシング(DLP)方式の表示装置、圧電素子を用いた表示装置としては圧電セラミックディスプレイ、カーボンナノチューブを用いた表示装置としてはナノ放射ディスプレイ(NED: Nano Emissive Display)、などがある。

【0044】

なお、本発明において、トランジスタは、様々な形態のトランジスタを適用させることができる。よって、適用可能なトランジスタの種類に限定はない。したがって、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ若しくはバイポーラトランジスタ、又はZnO(酸化亜鉛)若しくはa-InGaZnO(インジウム・ガリウム・亜鉛・酸素)系アモルファス半導体などの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、プラスチック基板、紙基板、セロファン基板、石材基板などに配置することが出来る。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてもよい。

【0045】

なお、すでに述べたように、本発明におけるトランジスタは、様々なタイプを用いることができ、様々な基板上に形成させることができる。したがって、回路の全てが、ガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。回路の全てが形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にトランジスタを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG(Chip On Glass)で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。また、駆動電圧が高い部分や駆動周波数が高い部分は、消費電力が大きくなってしまっているので、そのような部分は同じ基板に形成しないようにすれば、消費電力の向上を防ぐことができる。

【0046】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート本数が2本以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても

10

20

30

40

50

、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値を大きくしたり、空乏層ができやすくなってS値（サブスレッショルド係数）をよくしたりすることができる。また、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャンネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。

10

【0047】

なお、本発明においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）がある。また、別の例としては、一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とする。よって、一例としては、面積階調を行う場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素とする。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。また、その場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、つまり、一つの色要素を構成する複数の画素において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。なお、一画素（三色分）と記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素（一色分）と記載する場合は、一つの色要素につき、複数の画素がある場合、それらをまとめて一画素と考える場合であるとする。

20

30

【0048】

なお、本発明において、画素がマトリクスに配置されているとは、ドットが縦縞と横縞を組み合わせたいわゆる格子状に配置され、色要素毎にストライプ配置されている場合はもちろんのこと、三色の色要素（例えばRGB）でフルカラー表示を行う場合に、三色の色要素のドットがいわゆるデルタ配置されている場合も含むものとする。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）がある。また、色要素のドット毎にその発光領域の大きさが異なってもよい。

40

【0049】

また、トランジスタとは、少なくとも三端子を有する素子である。例えば、トランジスタはそれぞれ、ゲート電極と、ドレイン領域と、ソース領域とを含む少なくとも三端子の素子であり、ドレイン領域とソース領域の間にチャンネル領域を有する。ここで、ソース領域とドレイン領域とは、トランジスタの構造や動作条件等によって変わるため、いずれがソース領域またはドレイン領域であるかを限定することが困難である。そこで、本明細書においては、ゲート電極をゲート端子、ソースまたはドレインとして機能する領域を、それぞれ第1端子、第2端子と表記する。

【0050】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線またはゲート信号線等とも言う）

50

とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域やLDD (Lightly Doped Drain) 領域などを形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。ゲート配線とは、各画素のゲート電極の間を接続したり、ゲート電極と別の配線とを接続したりするための配線のことを言う。

【0051】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分も存在する。そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線とオーバーラップしてチャンネル領域がある場合、その領域はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

10

【0052】

また、ゲート電極と同じ材料で形成され、ゲート電極とつながっている領域も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線とつながっている領域も、ゲート配線と呼んでも良い。このような領域は、厳密な意味では、チャンネル領域とオーバーラップしていなかったり、別のゲート電極と接続させる機能を有してなかったりする場合がある。しかし、製造マージンなどの関係で、ゲート電極やゲート配線と同じ材料で形成され、ゲート電極やゲート配線とつながっている領域がある。よって、そのような領域もゲート電極やゲート配線と呼んでも良い。

20

【0053】

また、例えば、マルチゲートのトランジスタにおいて、1つのトランジスタのゲート電極と、別のトランジスタのゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような領域は、ゲート電極とゲート電極とを接続させるための領域であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタであると思なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極やゲート配線と同じ材料で形成され、それらとつながって配置されているものは、ゲート電極やゲート配線と呼んでも良い。

また、例えば、ゲート電極とゲート配線とを接続してさせている部分の導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

30

【0054】

なお、ゲート端子とは、ゲート電極の領域や、ゲート電極と電氣的に接続されている領域について、その一部分のことを言う。

【0055】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線またはソース信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD (Lightly Doped Drain) 領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間を接続したり、ソース電極と別の配線とを接続したりするための配線のことを言う。

40

【0056】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分も存在する。そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線とオーバーラップしてソース領域がある場合、その領域はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い

50

。

【0057】

また、ソース電極と同じ材料で形成され、ソース電極とつながっている部分や、あるソース電極と別のソース電極とを接続する部分も、ソース電極と呼んでも良い。また、ソース領域とオーバーラップしており、ソース電極とつながっている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線とつながっている領域も、ソース配線と呼んでも良い。このような領域は、厳密な意味では、あるソース電極と別のソース電極とを接続させる機能を有していない場合がある。しかし、このような領域は、製造マージンなどの関係で、ソース電極やソース配線と同じ材料で形成され、いずれかのソース電極やソース配線とつながっている。よって、そのような領域もソース電極やソース配線と呼んでも良い。

10

【0058】

また、例えば、ソース電極とソース配線とを接続してさせている部分の導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0059】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている領域について、その一部分のことを言う。

【0060】

なお、ドレインについては、ソースと同様である。

【0061】

なお、本発明において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、基板上に液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体のことでよい。さらに、フレキシブルプリントサーキット（FPC）やプリント配線基盤（PWB）が取り付けられたものも含んでもよい。また、発光装置とは、特にEL素子やLEDで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

20

【0062】

なお、本明細書において、トランジスタをオフにしたときにわずかに流れてしまう電流や、整流素子の逆方向電流を併せてオフ電流ともいう。

30

【発明の効果】

【0063】

本発明により、整流素子や、トランジスタに流れるオフ電流を低減することができる。よて、非点灯（黒表示）にする信号が入力されている画素の発光素子が、わずかに光ってしまうのを防ぐことができる。

【0064】

また、製造工程を増加することなく、トランジスタや整流素子のオフ電流を低減ため、製造コストの増加を抑制しつつ、歩留まりの向上を図った表示装置を提供することができる

40

。

【0065】

また、その表示装置を表示部に有する電子機器を提供することが可能となる。

【図面の簡単な説明】

【0066】

【図1】本発明の画素構成を示す図。

【図2】従来の画素構成を説明する図。

【図3】本発明の画素構成を示す図。

【図4】本発明の画素構成を示す図。

【図5】本発明の画素構成を有する表示装置を示す図。

50

- 【図 6】本発明の画素構成を有する表示装置を示す図。
- 【図 7】本発明の画素構成を有する表示装置を示す図。
- 【図 8】タイミングチャートを示す図。
- 【図 9】本発明の画素構成を示す図。
- 【図 10】本発明の画素構成を示す図。
- 【図 11】本発明の画素構成を示す図。
- 【図 12】本発明の画素構成を示す図。
- 【図 13】本発明の画素構成を示す図。
- 【図 14】画素のレイアウトを説明する図。
- 【図 15】本発明の画素の部分断面図。 10
- 【図 16】本発明の画素構成を示す図。
- 【図 17】本発明の画素構成を示す図。
- 【図 18】本発明の画素構成を示す図。
- 【図 19】本発明の画素構成を示す図。
- 【図 20】本発明の画素構成を示す図。
- 【図 21】本発明の画素構成を示す図。
- 【図 22】本発明の画素構成を示す図。
- 【図 23】画素のレイアウトを説明する図。
- 【図 24】画素のレイアウトを説明する図。
- 【図 25】本発明の画素の動作を説明する図。 20
- 【図 26】(a) 本発明の画素の部分断面図、(b) 画素レイアウトの部分拡大図。
- 【図 27】(a) 本発明の画素の部分断面図、(b) 画素レイアウトの部分拡大図。
- 【図 28】発光素子を説明する図。
- 【図 29】表示パネルの部分断面図。
- 【図 30】表示パネルの部分断面図。
- 【図 31】ELモジュールを示す図。
- 【図 32】ELテレビ受像機の主要な構成を示す図。
- 【図 33】携帯電話機の構成例を示す図。
- 【図 34】本発明の画素構成を示す図。
- 【図 35】本発明の適用可能な電子機器の例。 30
- 【図 36】本発明の表示パネルの例。
- 【図 37】本発明の表示パネルの例。
- 【図 38】本発明の表示装置の例。
- 【図 39】(a) 本発明の表示パネルの例、(b) 本発明の表示装置の例。
- 【図 40】本発明の画素構成を示す図。
- 【図 41】本発明の画素構成を示す図。
- 【図 42】本発明の画素構成を示す図。
- 【図 43】本発明の画素構成を示す図。
- 【図 44】本発明の画素構成を示す図。
- 【図 45】本発明の画素構成を示す図。 40
- 【図 46】本発明の画素構成を示す図。
- 【図 47】本発明の画素構成を示す図。
- 【図 48】タイミングチャートを示す図。
- 【図 49】本発明の画素構成を示す図。
- 【図 50】本発明の画素構成を示す図。
- 【図 51】本発明の画素構成を示す図。
- 【図 52】第 1 の走査線の信号とビデオ信号の電位を説明する図。
- 【図 53】本発明の画素構成を示す図。
- 【図 54】本発明の画素構成を示す図。
- 【図 55】本発明の画素構成を示す図。 50

【図56】本発明の画素構成を示す図。

【図57】本発明の画素構成の部分断面を示す図。

【図58】(a)本発明の表示パネルの構成を示す模式図、(b)本発明の表示パネルの構成を示す模式図。

【図59】本発明の表示パネルの画素部の模式図。

【図60】本発明の表示パネルの画素部の模式図。

【図61】第2の走査線の信号とビデオ信号の電位を説明する図。

【図62】第1の走査線の信号と第2の走査線の信号とビデオ信号の電位を説明する図。

【発明を実施するための形態】

【0067】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0068】

本発明の画素の基本構成について、図49を用いて説明する。

【0069】

図49に示す画素は、スイッチ手段4901、駆動手段4902、電位伝達手段4903、発光素子4904、信号線4905、走査線4906、電源線4907を有している。スイッチ手段4901は、信号線4905と駆動手段4902の制御端子との導通又は非導通を制御する。駆動手段4902は、制御端子に入力される信号にしたがって、発光素子4904の駆動を制御する。つまり、駆動手段4902の制御端子に画素を点灯させる信号が入力されているときには、電源線4907から発光素子4904へ電源を供給する。また、駆動手段4902の制御端子に画素を非点灯とする信号が入力されているときには、電源線4907から発光素子4904へ電源を供給しない。なお、発光素子4904の対向電極4908には所定の電位が供給されている。

【0070】

また、電位伝達手段4903は走査線4906と駆動手段4902の制御端子との間に接続され、走査線4906に入力される信号(電位)に従って、駆動手段4902の制御端子への電位の供給を制御する。そして、この走査線4906に入力される電位の大きさにより、駆動手段4902の制御端子に入力される電位の大きさも変化する。

【0071】

続いて画素の動作について説明する。

【0072】

画素への信号の書き込みの際には、スイッチ手段4901が導通し、信号線4905に入力されるビデオ信号(電位)が駆動手段4902の制御端子に入力される。こうして、画素への信号の書き込みが終了する。そして、駆動手段4902は制御端子に入力された信号を保持する。

【0073】

そして、駆動手段4902の制御端子に入力された信号にしたがって、発光素子4904は、発光状態又は非発光状態となる。つまり、画素が点灯状態又は非点灯状態となる。

【0074】

画素の消去動作の際には、走査線4906に信号が入力される。この信号は電位情報の信号であり、駆動手段4902が電源線4907から発光素子4904へ電源を供給しないようにするために、十分な電位を駆動手段4902の制御端子に入力する。こうして、駆動手段4902から漏れて電源が発光素子4904へ供給されないようにする。

【0075】

(実施の形態1)

本実施の形態では、電位伝達手段として整流素子を適用した場合の画素構成と、その画素を有する表示装置について説明する。

10

20

30

40

50

【 0 0 7 6 】

まず、本実施の形態の基本的な画素構成について図 1 を用いて説明する。ここでは、一画素のみを図示しているが、表示装置の画素部には行方向と列方向にマトリクスに複数の画素が配置されている。

【 0 0 7 7 】

図 1 に示す画素は、駆動トランジスタ 1 0 1、スイッチングトランジスタ 1 0 2、容量素子 1 0 3、発光素子 1 0 4、第 1 の走査線 1 0 5、信号線 1 0 6、電源線 1 0 7、整流素子 1 0 9、第 2 の走査線 1 1 0 を有している。なお、駆動トランジスタ 1 0 1 は P チャネル型トランジスタであり、スイッチングトランジスタ 1 0 2 は N チャネル型トランジスタである。スイッチングトランジスタ 1 0 2 は、ゲート端子が第 1 の走査線 1 0 5 に接続され、第 1 端子（ソース端子又はドレイン端子）が信号線 1 0 6 に接続され、第 2 端子（ソース端子又はドレイン端子）が駆動トランジスタ 1 0 1 のゲート端子と接続されている。さらに、駆動トランジスタ 1 0 1 のゲート端子は整流素子 1 0 9 を介して第 2 の走査線 1 1 0 と接続されている。また、スイッチングトランジスタ 1 0 2 の第 2 端子は容量素子 1 0 3 を介して電源線 1 0 7 と接続されている。また、駆動トランジスタ 1 0 1 は、第 1 端子（ソース端子又はドレイン端子）が電源線 1 0 7 に接続され、第 2 端子（ソース端子又はドレイン端子）が発光素子 1 0 4 の第 1 の電極（画素電極）と接続されている。発光素子 1 0 4 の第 2 の電極（対向電極）1 0 8 には低電源電位が設定されている。なお、低電源電位とは、電源線 1 0 7 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0 V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 1 0 4 に印加して、発光素子 1 0 4 に電流を流して発光素子 1 0 4 を発光させるため、高電源電位と低電源電位との電位差が発光素子 1 0 4 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【 0 0 7 8 】

なお、容量素子 1 0 3 は、駆動トランジスタ 1 0 1 のゲート電位を保持できる場所に接続すればよく、例えば、容量素子 1 0 3 は、一方の電極を駆動トランジスタ 1 0 1 のゲート端子、他方の電極を電源線 1 0 7 とは異なる別の配線に接続してもよい。また、容量素子 1 0 3 は駆動トランジスタ 1 0 1 のゲート容量を代用して削除しても良い。

【 0 0 7 9 】

続いて、画素の動作について説明する。

【 0 0 8 0 】

画素への信号の書き込みの際には、第 1 の走査線 1 0 5 にスイッチングトランジスタ 1 0 2 がオンする H レベルの信号を入力する。すると、スイッチングトランジスタ 1 0 2 がオンし、信号の書き込みを行う画素が選択される。そして、信号線 1 0 6 から画素にビデオ信号が書き込まれる。つまり、ビデオ信号に相当する電圧分の電荷が容量素子 1 0 3 に蓄積される。そして、第 1 の走査線 1 0 5 を L レベルにし、スイッチングトランジスタ 1 0 2 がオフすると容量素子 1 0 3 はその電圧を保持する。なお、駆動トランジスタ 1 0 1 のゲート端子と第 1 端子との間の電圧が、駆動トランジスタ 1 0 1 のゲートソース間電圧 V_{gs} に相当する。

【 0 0 8 1 】

ここで、電圧入力電圧駆動方式の場合には、駆動トランジスタ 1 0 1 のゲート端子には、駆動トランジスタ 1 0 1 が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号（オンするとき $V_{sig}(L)$ 、オフするとき $V_{sig}(H)$ ）を入力する。つまり、駆動トランジスタ 1 0 1 は線形領域で動作させる。つまり、スイッチとして動作させる。

【 0 0 8 2 】

よって、駆動トランジスタ 1 0 1 がオンするビデオ信号 $V_{sig}(L)$ であるときには、理想的には電源線 1 0 7 に印加されている電源電位 V_{dd} はそのまま発光素子 1 0 4 の第 1 の電極に加わることになる。

【 0 0 8 3 】

なお、第1の走査線105のHレベルの信号は、画素を非点灯にするビデオ信号（駆動トランジスタ101をオフにするゲート電位 $V_{sig}(H)$ ）よりもスイッチングトランジスタ102のしきい値電圧 V_{th} 分以上高い電位 V_1 とすることが望ましい。なぜなら、スイッチングトランジスタ102はNチャンネル型のトランジスタであるため、信号線106に $V_{sig}(H)$ が入力されると、第1端子がドレイン端子となる。したがって、スイッチングトランジスタ102は、第2端子（このときにはソース端子）がゲート端子の電位より、スイッチングトランジスタ102のしきい値電圧 V_{th} 分低い電位でオフしてしまう。つまり、スイッチングトランジスタ102のゲート電位が V_1 より小さいと、信号線106に入力された $V_{sig}(H)$ を駆動トランジスタ101のゲート端子に入力することができなくなってしまふからである。すると、駆動トランジスタ101を完全にオフにすることができず、発光素子104がわずかに発光してしまうことがある。

10

【0084】

また、第1の走査線105のLレベルの信号は、 $V_{sig}(L)$ よりも低い電位とすることが望ましい。例えば、第1の走査線105のLレベルの信号が、画素を点灯にするビデオ信号（駆動トランジスタ101がオンするゲート電位 $V_{sig}(L)$ ）と等しい電位である場合、 $V_{sig}(H)$ が書き込まれている画素は、他の行の画素への信号書き込みのために信号線106に $V_{sig}(L)$ が入力されると、スイッチングトランジスタ102のゲートソース間電圧は0Vとなる。すると、スイッチングトランジスタ102がノーマリーオンとなっていておきにはオフ電流が流れてしまう。したがって、容量素子103に蓄積された電荷が放電し、駆動トランジスタ101のゲート電位が低くなることにより、駆動トランジスタ101に電流が流れ、発光素子104がわずかに発光してしまうことがある。

20

【0085】

次に、消去動作について説明する。消去動作時には、第2の走査線110にHレベルの信号を入力する。すると、整流素子109に電流が流れ、容量素子103によって保持されていた駆動トランジスタ101のゲート電位がある所定の電位になるようにすることができる。つまり、駆動トランジスタ101のゲート端子の電位が、所定の電位になるようにし、信号書き込み期間に画素へ書き込まれたビデオ信号に関わらず、駆動トランジスタ101を強制的にオフさせることができる。なお、駆動トランジスタ101のゲート端子の電位は第2の走査線110よりも整流素子109のしきい値電圧分低い電位となる。

30

【0086】

このとき、第2の走査線110に入力するHレベルの信号は、電源線107に入力される高電源電位以上の電位とすることが望ましい。このHレベルの信号の電位を適宜設定することにより、消去期間において駆動トランジスタ101を強制的にオフさせる場合に、駆動トランジスタ101のゲート端子の電位をソース端子の電位よりも高くすることができる。したがって、駆動トランジスタ101がノーマリーオンの場合でも駆動トランジスタ101をオフにし、発光素子104がわずかに発光してしまうのを防ぐことができる。

【0087】

なお、第2の走査線110のHレベルは、第1の走査線105のHレベルと同じでもよい。その結果、電源数を削減することができる。

40

【0088】

なお、消去動作時以外は、第2の走査線110はLレベルの信号とする。このLレベルの信号の電位は、画素を点灯とするビデオ信号（駆動トランジスタ101をオンにするゲート電位 $V_{sig}(L)$ ）以下の電位とすることが望ましい。しかし、このLレベルの電位を低くし過ぎると、画素に非点灯のビデオ信号（駆動トランジスタ101をオフにするゲート電位 $V_{sig}(H)$ ）が書き込まれていた場合に、整流素子109に印加される逆バイアス電圧が大きくなってしまふことにより、整流素子109へ流れるオフ電流（逆方向電流ともいう）が大きくなってしまふ、容量素子103に保持した電荷が漏れてしまふ。そして、駆動トランジスタ101のゲート電位が低くなり、駆動トランジスタ101のオフ電流が大きくなってしまふ。よって、好ましくは、このLレベルの信号の電位は、画素

50

を点灯にするビデオ信号（駆動トランジスタ101をオンにするゲート電位 $V_{sig}(L)$ ）と等しくするとよい。

【0089】

なお、消去動作時とは、その画素に書き込まれたビデオ信号を消去するときのことであり、図8で示したタイミングチャートにおいての消去時間 T_e に相当する。また、消去期間とは、その画素への消去動作後から次にその画素へ信号の書き込みを行うまでの期間であり、図8で示したタイミングチャートにおいての消去期間 T_{e4} に相当する期間である。

【0090】

また、本発明の画素は、図40に示すように、容量素子103の一方の電極を駆動トランジスタ101のゲート端子と接続し、他方の電極を第2の走査線110に接続してもよい。画素にビデオ信号の書き込みを行い、画素がその信号を保持する間は、第2の走査線110はLレベルに保たれている。よって、駆動トランジスタ101のゲート電位を保持することができる。そして、消去動作時には、第2の走査線110をHレベルにする。第2の走査線110をHレベルにすると、容量素子103の一方の電極の電位も高くなる。そのため、すばやく駆動トランジスタ101をオフにし易くすることができる。そして、駆動トランジスタ101をオフにする所定の電位となるまで整流素子109に電流が流れる。つまり、画素に書き込まれたビデオ信号を消去することができる。そして、消去期間の間ずっと第2の走査線110をHレベルにしておく。

【0091】

また、図1でも、消去期間の間ずっと第2の走査線110をHレベルにしていなくてもよい。ずっと、Hレベルにしておくこと、電荷の漏れにより駆動トランジスタ101のゲート電位が下がってしまうというのを避けることができる。

【0092】

なお、整流素子109には、ダイオード接続したトランジスタを用いることが可能である。さらに、ダイオード接続したトランジスタの他にも、PN接合やPIN接合のダイオードやショットキー型のダイオードやカーボンナノチューブで形成されたダイオードなどを用いてもよい。

【0093】

また、整流素子109へダイオード接続したNチャネル型のトランジスタを適用した場合の画素構成を図3に示す。ダイオード接続トランジスタ301の第1端子（ソース端子又はドレイン端子）を駆動トランジスタ101のゲート端子と接続する。また、ダイオード接続トランジスタ301の第2端子（ソース端子又はドレイン端子）をゲート端子と接続するとともに、第2の走査線110に接続する。すると、第2の走査線110がLレベルのときにはダイオード接続トランジスタ301の第2端子はソース端子となり、ゲート端子とソース端子が接続されているため電流が流れないが、第2の走査線110にHレベルの信号を入力したときにダイオード接続トランジスタ301の第2端子はドレイン端子となるためダイオード接続トランジスタ301に電流が流れる。よって、ダイオード接続トランジスタ301は整流作用を奏する。

【0094】

また、ダイオード接続したPチャネル型トランジスタを適用した場合の画素構成を図4に示す。ダイオード接続トランジスタ401の第1端子（ソース端子又はドレイン端子）を第2の走査線110に接続する。また、ダイオード接続トランジスタ401は、第2端子（ソース端子又はドレイン端子）をゲート端子と接続するとともに、駆動トランジスタ101のゲート端子と接続する。すると、第2の走査線110がLレベルのときにはダイオード接続トランジスタ401はゲート端子とソース端子が接続されているため電流が流れないが、第2の走査線110にHレベルの信号を入力したときにダイオード接続トランジスタ401の第2端子はドレイン端子となるため電流が流れる。よって、ダイオード接続トランジスタ401は整流作用を奏する。

【0095】

なお、このとき、第2の走査線110に入力するHレベルの信号の電位は、電源線107

10

20

30

40

50

の電位よりも高い電位とすることが望ましい。すると、駆動トランジスタ101のオフ電流を小さくすることができる。また、第2の走査線110に入力するLレベルの信号の電位は、画素を点灯とするビデオ信号（駆動トランジスタ101をオンにするゲート電位Vsig(L)）以下の電位とすることが望ましい。しかし、このLレベルの電位をあまり低くし過ぎると画素に非点灯のビデオ信号（駆動トランジスタ101をオフにする電位Vsig(H)）が書き込まれていた場合に、ダイオード接続トランジスタ301、401のドレインソース間電圧が大きくなってしまいオフ電流が大きくなってしまう。よって、好ましくは、このLレベルの電位は、画素を非点灯にするビデオ信号（駆動トランジスタ101をオンにするゲート電位Vsig(L)）と等しくするとよい。

【0096】

ここで、図3の画素のレイアウトの一例を図14に示す。画素は、駆動トランジスタ1401、スイッチングトランジスタ1402、容量素子1403、画素電極1404、第1の走査線1405、信号線1406、電源線1407、ダイオード接続トランジスタ1409、第2の走査線1410を有している。スイッチングトランジスタ1402は、ゲート端子が第1の走査線1405の一部で構成され、第1端子（ソース端子又はドレイン端子）が信号線1406に接続され、第2端子（ソース端子又はドレイン端子）が駆動トランジスタ1401のゲート端子と接続されている。また、ダイオード接続トランジスタ1409は、ゲート端子が第2の走査線1410の一部で構成され、第1端子（ソース端子又はドレイン端子）が駆動トランジスタ1401のゲート端子と接続され、第2端子（ソース端子又はドレイン端子）が第2の走査線1410と接続されている。また、駆動トランジスタ1401は、第1端子（ソース端子又はドレイン端子）が電源線1407に接続され、第2端子（ソース端子又はドレイン端子）が画素電極1404と接続されている。また、駆動トランジスタ1401のゲート端子を構成する電極の一部を第1の電極とし、駆動トランジスタ1401の第1端子となる不純物領域（ソース領域又はドレイン領域）と同じ層の半導体層と電源線1407の一部とで第2の電極とする、容量素子1403が形成されている。なお、図14の画素レイアウトは、図3の画素におけるレイアウトの一例であってこれに限定されない。図14の駆動トランジスタ1401、スイッチングトランジスタ1402、容量素子1403、第1の走査線1405、信号線1406、電源線1407、ダイオード接続トランジスタ1409、第2の走査線1410は、それぞれ図3の駆動トランジスタ101、スイッチングトランジスタ102、容量素子103、第1の走査線105、信号線106、電源線107、ダイオード接続トランジスタ301、第2の走査線110に相当する。また、画素電極1404上に発光層と対向電極が形成されることにより、図3に示す発光素子104が完成する。

【0097】

なお、画素の構造をより詳しく説明するため、破線AB間の断面図を図15(a)、破線CD間の断面図を図15(b)に示す。

【0098】

図15(a)、(b)の断面図について説明する。基板1501上に下地膜1502を有している。基板1501としてはガラス基板、石英基板、プラスチック基板、セラミックス基板等の絶縁性基板、金属基板、半導体基板等を用いることができる。下地膜1502はCVD法やスパッタ法により形成することができる。例えばSiH₄、N₂O、NH₃を原料に用いたCVD法により形成した酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を適用することができる。また、これらの積層を用いても良い。なお、下地膜1502は基板1501から不純物が半導体層に拡散することを防ぐために設けるものであり、基板1501にガラス基板や石英基板を用いている場合には下地膜1502は設けなくてもよい。

【0099】

下地膜1502上に島状の半導体層を有する。半導体層にはN型のチャネルが形成されるチャネル形成領域1503、N型のトランジスタのソース領域又はドレイン領域となる不純物領域1505、低濃度不純物領域（LDD領域）1504、P型のチャネルが形成されるチャネル形成領域1518、P型のトランジスタのソース領域又はドレイン領域とな

10

20

30

40

50

る不純物領域 1519、容量素子 1527 の第 1 電極の一部を構成する半導体層 1520 が形成されている。そして、チャネル形成領域 1503、チャネル形成領域 1518 及び半導体層 1520 上にゲート絶縁膜 1506 を介してゲート電極 1507 及び第 1 の配線 1508 及び第 2 の配線 1522 を有している。ゲート絶縁膜 1506 としては CVD 法やスパッタ法により形成される酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を用いることができる。また、ゲート電極 1507、第 1 の配線 1508 及び第 2 の配線 1522 としてはアルミニウム (Al) 膜、銅 (Cu) 膜、アルミニウム又は銅を主成分とする薄膜、クロム (Cr) 膜、タンタル (Ta) 膜、窒化タンタル (Ta₂N₅) 膜、チタン (Ti) 膜、タングステン (W) 膜、モリブデン (Mo) 膜等を用いることができる。

【0100】

ゲート電極 1507 の脇にはサイドウォール 1517 が形成されている。ゲート電極 1507 を覆うようにシリコン化合物、例えば、酸化シリコン膜、窒化シリコン膜若しくは酸化窒化シリコン膜を形成した後、エッチバックしてサイドウォール 1517 を形成することができる。

【0101】

なお、LDD 領域 1504 はサイドウォール 1517 の下部に位置している。つまり、自己整合的に LDD 領域 1504 が形成されている。

【0102】

ゲート電極 1507、第 1 の配線 1508、第 2 の配線 1522、サイドウォール 1517 およびゲート絶縁膜 1506 上には層間絶縁膜 1509 を有している。層間絶縁膜 1509 は下層に無機絶縁膜、上層に樹脂膜を有している。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

【0103】

また、層間絶縁膜 1509 上には、第 3 の配線 1510 と第 4 の配線 1511 と第 5 の配線 1524 と第 6 の配線 1523 と画素電極 1525 を有している。なお、第 3 の配線 1510 はコンタクトホールを介して不純物領域 1505 と電氣的に接続されている。また、第 4 の配線 1511 は、コンタクトホールを介して、不純物領域 1505 と第 1 の配線 1508 と接続されている。また、第 5 の配線 1524 はコンタクトホールを介して不純物領域 1519 と接続されている。また、第 3 の配線 1510 や第 4 の配線 1511 や第 5 の配線 1524 や第 6 の配線 1523 としては、チタン (Ti) 膜やアルミニウム (Al) 膜や銅 (Cu) 膜や Ti を含むアルミニウム膜などを用いることができる。なお、第 3 の配線 1510 や第 4 の配線 1511 や第 5 の配線 1524 や第 6 の配線 1523 と同じ層に信号線などの配線を設ける場合には低抵抗な銅を用いるとよい。また、画素電極 1525 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン (TiN) 膜、クロム (Cr) 膜、タングステン (W) 膜、亜鉛 (Zn) 膜、プラチナ (Pt) 膜などの単層膜の他、窒化チタン膜とアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との 3 層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【0104】

第 3 の配線 1510、第 4 の配線 1511、第 5 の配線 1524、第 6 の配線 1523 及び層間絶縁膜 1509 上であって画素電極 1525 の端部を覆って絶縁物 1512 が形成されている。絶縁物 1512 としては、例えば、ボジ型の感光性アクリル樹脂膜を用いることができる。

【0105】

絶縁物 1512 及び画素電極 1525 上には有機化合物を含む層 1513 を有し、有機化合物を含む層 1513 上には対向電極 1514 を有する。画素電極 1525 と対向電極 1

10

20

30

40

50

514とで有機化合物を含む層1513が挟まれる領域に発光素子1528が形成される。対向電極1514に用いる材料としては、仕事関数の小さい材料を用いることが望ましい。例えば、アルミニウム(A1)、銀(Ag)、リチウム(Li)、カルシウム(Ca)、若しくはこれらの合金又は、MgAg、MgIn、AlLi、CaF₂、若しくはCa₃N₂などの金属薄膜を用いることができる。こうして薄い金属薄膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0106】

こうして、Nチャネル型のトランジスタ1515、Nチャネル型のトランジスタ1516、Pチャネル型トランジスタ1526、容量素子1527、発光素子1528が形成される。Nチャネル型トランジスタ1515、Nチャネル型トランジスタ1516、Pチャネル型トランジスタ1526、容量素子1527、発光素子1528の画素電極1525は、それぞれ図14のスイッチングトランジスタ1402、ダイオード接続トランジスタ1409、駆動トランジスタ1401、容量素子1403、画素電極1404に相当する。なお、ここでは一例として上面射出構造の表示装置の場合について説明したがこれに限定されない。

10

【0107】

また、これは一例であって本発明の画素のレイアウトはこれに限定されない。トランジスタの構造もこれに限定されるものでなく、例えば、サイドウォールがない構造であってもよい。

【0108】

続いて、整流素子109として、マルチゲートトランジスタをダイオード接続したものをを用いた構成について図11及び図12を用いて説明する。なお、マルチゲートトランジスタとは、電気的に接続された2本以上のゲート電極がチャネル形成領域上に配置されているものをいう。また、図11及び図12では、マルチゲートトランジスタとして、二つのトランジスタのゲート端子を互いに接続したものをを用いて図示しているが、これに限られない。つまり、図11及び図12では、整流素子109としてマルチゲートのトランジスタをダイオード接続したものをを用いた場合の効果を説明するために、二つのトランジスタのゲート端子を互いに接続したものをを用いて、マルチゲートのトランジスタであることをより強調しているのであって、本実施の形態において、スイッチングトランジスタ102や、駆動トランジスタ101がマルチゲートのトランジスタであってもよい。

20

30

【0109】

図11の画素は、図1の整流素子109として、Nチャネル型のマルチゲートトランジスタをダイオード接続したものをを用いている。ダイオード接続マルチゲートトランジスタ1101の第1端子(ソース端子又はドレイン端子)を駆動トランジスタ101のゲート端子と接続する。また、ダイオード接続マルチゲートトランジスタ1101は、第2端子(ソース端子又はドレイン端子)を2本のゲート電極の接続されたゲート端子と接続するとともに、第2の走査線110に接続する。すると、第2の走査線110がLレベルのときにはダイオード接続マルチゲートトランジスタ1101はゲート端子とソース端子が接続されているため電流が流れないが、第2の走査線110にHレベルの信号を入力したときにダイオード接続マルチゲートトランジスタ1101は第2端子がドレイン端子となるためダイオード接続マルチゲートトランジスタ1101に電流が流れる。よって、ダイオード接続マルチゲートトランジスタ1101は整流作用を奏する。

40

【0110】

また、図12の画素は、また、ダイオード接続マルチゲートトランジスタ1201の第1端子(ソース端子又はドレイン端子)を第2の走査線110に接続する。また、ダイオード接続マルチゲートトランジスタ1201は、第2端子(ソース端子又はドレイン端子)を2本のゲート電極の接続されたゲート端子と接続するとともに、駆動トランジスタ101のゲート端子と接続する。すると、第2の走査線110がLレベルのときにはダイオード接続マルチゲートトランジスタ1201はゲート端子とソース端子が接続されているため電流が流れないが、第2の走査線110にHレベルの信号を入力したときにダイオード

50

接続マルチゲートトランジスタ1201は、第2端子がドレイン端子となるため電流が流れる。よって、ダイオード接続マルチゲートトランジスタ1201は整流作用を奏する。

【0111】

なお、図11のダイオード接続マルチゲートトランジスタ1101や図12のダイオード接続マルチゲートトランジスタ1201は、2本のゲート電極に限られず3本であってもそれ以上であってもよい。マルチゲートトランジスタとすることにより、トランジスタのゲート電極に流れ込むゲートリーク電流を減少させることができる。よって、画素に書き込まれたビデオ信号（駆動トランジスタ101のゲート電位）がゲートリーク電流によっておかしくなってしまうことを防止することができる。

【0112】

また、整流素子109として、トランジスタをダイオード接続したものを複数用いた構成について図9及び図10を用いて説明する。

【0113】

図9に示す画素は、整流素子109として、Nチャネル型のトランジスタをダイオード接続したものを二つ用いている。つまり、第1のダイオード接続トランジスタ901と第2のダイオード接続トランジスタ902とを、整流素子109として用いている。つまり、ダイオード接続トランジスタ901の第1端子（ソース端子又はドレイン端子）を駆動トランジスタ101のゲート端子と接続する。またダイオード接続トランジスタ901は、第2端子（ソース端子又はドレイン端子）をゲート端子と接続するとともに、第2のダイオード接続トランジスタ902の第1端子（ソース端子又はドレイン端子）と接続する。また、ダイオード接続トランジスタ902は、第2端子（ソース端子又はドレイン端子）をゲート端子と接続するとともに、第2の走査線110に接続する。すると、第2の走査線110がLレベルのときには第1のダイオード接続トランジスタ901及び第2のダイオード接続トランジスタ902はそれぞれゲート端子とソース端子が接続されているため電流が流れないが、第2の走査線110にHレベルの信号を入力したときに第1のダイオード接続トランジスタ901及び第2のダイオード接続トランジスタ902は第2端子がドレイン端子となるため、第1のダイオード接続トランジスタ901及び第2のダイオード接続トランジスタ902に電流が流れる。よって、第1のダイオード接続トランジスタ901及び第2のダイオード接続トランジスタ902は整流作用を奏する。

【0114】

このように、第2の走査線110のHレベルの電位と、駆動トランジスタ101のゲート端子の電位との電位差を、第1のダイオード接続トランジスタ901のドレインソース間電圧と第2のダイオード接続トランジスタ902のドレインソース間電圧とに分散することにより、一つのトランジスタで整流素子109を構成した場合の耐圧より大きくすることができる。よって、駆動トランジスタ101をオフするのに必要なゲート端子の電位を設定しやすくなる。また、一つあたりのトランジスタのドレインソース間電圧が小さくなるためオフ電流も低減する。

【0115】

なお、図9では、複数のダイオード接続トランジスタとしてNチャネル型のトランジスタを用いて説明したがPチャネル型トランジスタであっても構わない。また、図9では、二つのダイオード接続トランジスタを用いたが、3つでもそれ以上であっても構わない。

【0116】

また、図10に示すように、整流素子109として、Nチャネル型のトランジスタ及びPチャネル型トランジスタをそれぞれダイオード接続したものを組み合わせて用いてもよい。

【0117】

図10に示す画素は、整流素子109として、Nチャネル型のトランジスタをダイオード接続したものとPチャネル型トランジスタをダイオード接続したものを併用している。つまり、Nチャネル型のトランジスタをダイオード接続した第1のダイオード接続トランジスタ1001とPチャネル型トランジスタをダイオード接続した第2のダイオード接続トランジスタ

10

20

30

40

50

ンジスタ1002とを、整流素子109として用いている。つまり、ダイオード接続トランジスタ1001の第1端子(ソース端子又はドレイン端子)を駆動トランジスタ101のゲート端子と接続する。またダイオード接続トランジスタ1001は、第2端子(ソース端子又はドレイン端子)をゲート端子と接続するとともに、第2のダイオード接続トランジスタ1002の第2端子(ソース端子又はドレイン端子)と接続する。また、ダイオード接続トランジスタ1002は、第2端子(ソース端子又はドレイン端子)とゲート端子を接続する。そして、ダイオード接続トランジスタ1002の第1端子(ソース端子又はドレイン端子)を第2の走査線110に接続する。すると、第2の走査線110がLレベルのときには第1のダイオード接続トランジスタ1001及び第2のダイオード接続トランジスタ1002はそれぞれゲート端子とソース端子が接続されているため電流が流れないが、第2の走査線110にHレベルの信号を入力したときに第1のダイオード接続トランジスタ1001及び第2のダイオード接続トランジスタ1002の第2端子はドレイン端子となるため、第1のダイオード接続トランジスタ1001及び第2のダイオード接続トランジスタ1002に電流が流れる。よって、第1のダイオード接続トランジスタ1001及び第2のダイオード接続トランジスタ1002は整流作用を奏する。

10

【0118】

ここで、一般的にNチャネル型のトランジスタはLDD領域を形成し易いため、整流素子109として、LDD領域を有するNチャネル型のトランジスタをダイオード接続して用いることにより、オフ電流の低減を図ることができる。しかし、活性層(チャネル形成領域)に多結晶シリコン膜を用いると、N型化する傾向が強いため、Nチャネル型のトランジスタはややディプレッション型トランジスタになりやすい。このとき、Pチャネル型トランジスタはエンハンスメント型トランジスタになりやすいので、Nチャネル型のトランジスタ及びPチャネル型トランジスタをそれぞれダイオード接続したものを組み合わせて用いることにより、さらにオフ電流を低減することができる。なお、Pチャネル型トランジスタがディプレッション型になってしまった場合にも同様にNチャネル型のトランジスタがエンハンスメント型になりやすくなるので、オフ電流を低減することができる。

20

【0119】

また、整流素子109として、ダイオード接続トランジスタとPN接合ダイオードを組み合わせて用いてもよい。組み合わせて用いることにより、より効果的にオフ電流を低減することができる。図16は整流素子109として、Nチャネル型のトランジスタをダイオード接続したダイオード接続トランジスタ1601と第2の走査線110との間にPN接合ダイオード1602を適用した場合を示し、図17は整流素子109としてNチャネル型のトランジスタをダイオード接続したダイオード接続トランジスタ1701と駆動トランジスタ101のゲート端子の間にPN接合ダイオード1702を適用した場合を示す。図46は整流素子109として、Pチャネル型トランジスタをダイオード接続したダイオード接続トランジスタ4601と第2の走査線110との間にPN接合ダイオード4602を適用した場合を示し、図42は整流素子109としてPチャネル型トランジスタをダイオード接続したダイオード接続トランジスタ4201と駆動トランジスタ101のゲート端子の間にPN接合ダイオード4202を適用した場合を示す。

30

【0120】

まず、図16について簡単に説明する。ダイオード接続トランジスタ1601は、第1端子(ソース端子又はドレイン端子)を駆動トランジスタ101のゲート端子と接続し、ゲート端子を第2端子(ソース端子又はドレイン端子)と接続する。また、ダイオード接続トランジスタ1601の第2端子はPN接合ダイオード1602のN型半導体領域と接続し、PN接合ダイオード1602のP型半導体領域は第2の走査線110と接続する。

40

【0121】

また、図46について簡単に説明する。ダイオード接続トランジスタ4601は、第2端子(ソース端子又はドレイン端子)をゲート端子と接続し、さらに駆動トランジスタ101のゲート端子と接続する。また、第1端子(ソース端子又はドレイン端子)をPN接合ダイオード4602のN型半導体領域と接続する。PN接合ダイオード4602のP型半

50

導体領域は第2の走査線110と接続する。

【0122】

また、図17について簡単に説明する。ダイオード接続トランジスタ1701は、第1端子(ソース端子又はドレイン端子)をPN接合ダイオード1702のP型半導体領域と接続し、PN接合ダイオード1702のN型半導体領域は、駆動トランジスタ101のゲート端子と接続する。また、ダイオード接続トランジスタ1701は、第2端子(ソース端子又はドレイン端子)をゲート端子と接続し、さらに第2の走査線110と接続する。

【0123】

また、図42について簡単に説明する。ダイオード接続トランジスタ4201は、第2端子(ソース端子又はドレイン端子)をゲート端子と接続し、さらに第1端子(ソース端子又はドレイン端子)をPN接合ダイオード4202のP型半導体領域と接続する。PN接合ダイオード4202のN型半導体領域は、駆動トランジスタ101のゲート端子と接続する。また、ダイオード接続トランジスタ4201は、第1端子を第2の走査線110と接続する。

【0124】

また、整流素子109として、Pチャンネル型トランジスタのダイオード接続トランジスタと、Nチャンネル型のトランジスタのダイオード接続トランジスタと、PN接合ダイオードとを組み合わせ適用した場合について図41及び図47を用いて説明する。

【0125】

また、図41について簡単に説明する。第1のダイオード接続トランジスタ4101と第2のダイオード接続トランジスタ4102とPN接合ダイオード4103とを、整流素子109として用いている。第1のダイオード接続トランジスタ4101はNチャンネル型のトランジスタであり、第2のダイオード接続トランジスタ4102はPチャンネル型トランジスタである。ダイオード接続トランジスタ4101の第1端子(ソース端子又はドレイン端子)を駆動トランジスタ101のゲート端子と接続する。またダイオード接続トランジスタ4101は、第2端子(ソース端子又はドレイン端子)をゲート端子と接続するとともに、PN接合ダイオード4103のN型半導体領域と接続する。また、第2のダイオード接続トランジスタ4102は、第2端子(ソース端子又はドレイン端子)をゲート端子と接続するとともに、PN接合ダイオード4103のP型半導体領域に接続する。このように接続することにより、コンタクト数を減らすことができる。また、第2のダイオード接続トランジスタ4102は第1端子(ソース端子又はドレイン端子)を第2の走査線110と接続する。すると、第2の走査線110がLレベルのときには第1のダイオード接続トランジスタ4101及び第2のダイオード接続トランジスタ4102はそれぞれゲート端子とソース端子が接続されているため電流が流れないが、第2の走査線110にHレベルの信号を入力したときに第1のダイオード接続トランジスタ4101及び第2のダイオード接続トランジスタ4102は第2端子がドレイン端子となる。また、このときPN接合ダイオード4103には順方向バイアスが印加される。よって、第1のダイオード接続トランジスタ4101、第2のダイオード接続トランジスタ4102及びPN接合ダイオード4103に電流が流れる。よって、第1のダイオード接続トランジスタ4101、第2のダイオード接続トランジスタ4102及びPN接合ダイオード4103は整流作用を奏する。

【0126】

また、図47について簡単に説明する。また、第1のダイオード接続トランジスタ4701と第2のダイオード接続トランジスタ4702とPN接合ダイオード4703とを、整流素子109として用いている。第1のダイオード接続トランジスタ4701はPチャンネル型トランジスタであり、第2のダイオード接続トランジスタ4702はNチャンネル型のトランジスタである。第1のダイオード接続トランジスタ4701は、第2端子(ソース端子又はドレイン端子)をゲート端子と接続するとともに、駆動トランジスタ101のゲート端子と接続する。また、第1のダイオード接続トランジスタ4701の第1端子(ソース端子又はドレイン端子)をPN接合ダイオード4703のN型半導体領域と接続する

10

20

30

40

50

。また、第2のダイオード接続トランジスタ4702は、第2端子(ソース端子又はドレイン端子)をゲート端子と接続するとともに、第2の走査線110と接続する。また、第2のダイオード接続トランジスタ4702は第1端子(ソース端子又はドレイン端子)をPN接合ダイオード4703のP型半導体領域に接続する。すると、第2の走査線110がLレベルのときには第1のダイオード接続トランジスタ4701及び第2のダイオード接続トランジスタ4702はそれぞれゲート端子とソース端子が接続されているため電流が流れないが、第2の走査線110にHレベルの信号を入力したときに第1のダイオード接続トランジスタ4701及び第2のダイオード接続トランジスタ4702は第2端子がドレイン端子となる。また、このときPN接合ダイオード4703には順方向バイアスが印加される。よって、第1のダイオード接続トランジスタ4701、第2のダイオード接続トランジスタ4702及びPN接合ダイオード4703に電流が流れる。よって、第1のダイオード接続トランジスタ4701、第2のダイオード接続トランジスタ4702及びPN接合ダイオード4703は整流作用を奏する。

10

【0127】

なお、本発明の画素は上記で示した画素のスイッチングトランジスタ102や駆動トランジスタ101の極性を適宜変更してもよい。なお、駆動トランジスタ101の極性を変更する場合には、整流素子109の順方向電流の向きが逆向きになるようにする。一例として、図1の画素において、駆動トランジスタ101にNチャネル型のトランジスタを適用した場合について図45に示す。

【0128】

駆動トランジスタ4501、スイッチングトランジスタ4502、容量素子4503、発光素子4504、第1の走査線4505、信号線4506、電源線4507、整流素子4509、第2の走査線4510を有している。なお、駆動トランジスタ4501及びスイッチングトランジスタ4502はNチャネル型トランジスタである。スイッチングトランジスタ4502は、ゲート端子が第1の走査線4505に接続され、第1端子(ソース端子又はドレイン端子)が信号線4506に接続され、第2端子(ソース端子又はドレイン端子)が駆動トランジスタ4501のゲート端子と接続されている。さらに、駆動トランジスタ4501のゲート端子は整流素子4509を介して第2の走査線4510と接続されている。また、スイッチングトランジスタ4502の第2端子は容量素子4503を介して電源線4507と接続されている。また、駆動トランジスタ4501は、第2端子(ソース端子又はドレイン端子)が電源線4507に接続され、第1端子(ソース端子又はドレイン端子)が発光素子4504の第1の電極(画素電極)と接続されている。発光素子4504の第2の電極(対向電極)4508には低電源電位が設定されている。なお、低電源電位とは、電源線4507に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていてもよい。したがって、発光期間に発光素子4504に印加される電圧が、発光素子4504の順方向しきい値電圧以上となるように高電源電位及び低電源電位を設定する。

20

30

【0129】

なお、容量素子4503は、駆動トランジスタ4501のゲート電位を保持できる場所に接続すればよく、例えば、容量素子4503は、一方の電極を駆動トランジスタ4501のゲート端子、他方の電極を電源線4507とは異なる別の配線に接続してもよい。また、容量素子4503は駆動トランジスタ4501のゲートソース間に配置することもある。また、容量素子4503は駆動トランジスタ4501のゲート容量を代用して削除してもよい。

40

【0130】

続いて、画素の動作について説明する。

【0131】

画素への信号の書き込みの際には、第1の走査線4505にスイッチングトランジスタ4502がオンするHレベルの信号を入力する。すると、スイッチングトランジスタ4502がオンし、信号の書き込みを行う画素が選択される。そして、信号線4506から画素

50

にビデオ信号が書き込まれる。つまり、ビデオ信号に相当する電圧分の電荷が容量素子 4503 に蓄積される。そして、第 1 の走査線 4505 を L レベルにし、スイッチングトランジスタ 4502 がオフすると容量素子 4503 はその電圧を保持する。この電圧は駆動トランジスタ 101 のゲート端子と第 2 端子との間の電圧であり、駆動トランジスタ 4501 のゲートドレイン間電圧に相当する。

【0132】

なお、第 1 の走査線 4505 の H レベルの信号は、画素を点灯にするビデオ信号（駆動トランジスタ 4501 をオンにするゲート電位 $V_{sig}(H)$ ）よりもスイッチングトランジスタ 4502 のしきい値電圧分以上高い電圧とする。また、第 1 の走査線 4505 の L レベルの信号が、画素を非点灯にするビデオ信号（駆動トランジスタ 4501 がオフするゲート電位 $V_{sig}(L)$ ）と等しい電位であると、 $V_{sig}(H)$ が書き込まれている画素は、他の行の画素への信号書き込みのために信号線 106 に $V_{sig}(L)$ が入力されると、画素のスイッチングトランジスタ 4502 のゲートソース間電圧は 0 V となり、オフ電流が流れてしまうことがある。よって、第 1 の走査線 4505 の L レベルの信号は、 $V_{sig}(L)$ よりも低い電位とする。

10

【0133】

次に、消去動作について説明する。消去動作時には、第 2 の走査線 4510 に L レベルの信号を入力する。すると、整流素子 4509 に電流が流れ、容量素子 4503 によって保持されていた駆動トランジスタ 4501 のゲート電位をある所定の電位になるようにすることができる。つまり、駆動トランジスタ 4501 のゲート端子の電位が、所定の電位になるようにし、信号書き込み期間に画素へ書き込まれたビデオ信号に関わらず、駆動トランジスタ 4501 を強制的にオフさせることができる。なお、駆動トランジスタ 4501 のゲート端子の電位は第 2 の走査線 4510 よりも整流素子 4509 のしきい値電圧分高い電位となる。

20

【0134】

このとき、第 2 の走査線 4510 に入力する L レベルの信号は、対向電極 4508 に設定される低電源電位以下の電位とすることが望ましい。この L レベルの信号の電位を適宜設定することにより、消去期間において駆動トランジスタ 4501 を強制的にオフさせる場合に、駆動トランジスタ 4501 のゲート端子の電位をソース端子の電位よりも低くすることができる。したがって、駆動トランジスタ 4501 がノーマリーオンの場合でも駆動トランジスタ 4501 をオフにし、発光素子 4504 がわずかに発光してしまうことを防ぐことができる。

30

【0135】

なお、消去動作時以外は、第 2 の走査線 4510 は H レベルの信号とする。この H レベルの信号の電位は、画素を点灯とするビデオ信号（駆動トランジスタ 4501 をオンにするゲート電位 $V_{sig}(H)$ ）以上の電位とすることが望ましい。しかし、この H レベルの電位を高くし過ぎると、画素に非点灯のビデオ信号（駆動トランジスタ 4501 をオフにするゲート電位 $V_{sig}(L)$ ）が書き込まれていた場合に、整流素子 4509 に印加される逆バイアス電圧が大きくなってしまふことにより、整流素子 4509 へ流れるオフ電流（逆方向電流ともいう）が大きくなってしまふ。そして、駆動トランジスタ 4501 のゲート電位が高くなり、駆動トランジスタ 4501 のオフ電流が大きくなってしまふ。よって、好ましくは、この H レベルの信号の電位は、画素を点灯にするビデオ信号（駆動トランジスタ 4501 をオンにするゲート電位 $V_{sig}(H)$ ）と等しくするとよい。

40

【0136】

また、駆動トランジスタ 4501 は、電源線 4507 に接続された第 2 端子がソース端子となるため、駆動トランジスタ 4501 をオンにするビデオ信号 $V_{sig}(H)$ は、電源線 4507 に入力される電位より駆動トランジスタ 4501 のしきい値電圧分以上高い電位とすることが望ましい。そうすることにより、発光素子 4504 の画素電極に電源線 4507 の電位を入力することができる。

【0137】

50

なお、整流素子4509には、ダイオード接続したトランジスタを用いることが可能である。さらに、ダイオード接続したトランジスタの他にも、PN接合やPIN接合のダイオードやショットキー型のダイオードやカーボンナノチューブで形成されたダイオードなどを用いてもよい。

【0138】

また、本発明の画素構成は上述したものに限られない。例えば図13に示すような画素にも適用することができる。

【0139】

図13に示す画素は、駆動トランジスタ1301、スイッチングトランジスタ1302、電流制御用トランジスタ1311、容量素子1303、発光素子1304、第1の走査線1305、第2の走査線1310、信号線1306、電源線1307、配線1312を有している。なお、駆動トランジスタ1301はPチャネル型トランジスタであり、スイッチングトランジスタ1302はNチャネル型トランジスタであり、電流制御用トランジスタ1311はPチャネル型トランジスタである。スイッチングトランジスタ1302は、ゲート端子が第1の走査線1305に接続され、第1端子(ソース端子又はドレイン端子)が信号線1306に接続され、第2端子(ソース端子又はドレイン端子)が駆動トランジスタ1301のゲート端子と接続されている。また、スイッチングトランジスタ1302の第2端子は容量素子1303を介して電源線1307と接続されている。さらに、駆動トランジスタ1301は、第1端子(ソース端子又はドレイン端子)が電源線1307に接続され、第2端子(ソース端子又はドレイン端子)が、電流制御用トランジスタ1311の第1端子(ソース端子又はドレイン端子)と接続されている。電流制御用トランジスタ1311は、第2端子(ソース端子又はドレイン端子)が発光素子1304の画素電極と接続され、ゲート端子が配線1312と接続されている。つまり、駆動トランジスタ1301と電流制御用トランジスタ1311は直列に接続されている。なお、発光素子1304の対向電極1308には低電源電位が入力されている。なお、低電源電位とは、電源線1307に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。

【0140】

また、本画素構成においては、画素の点灯時に一定の電流を発光素子1304に供給するため、電流制御用トランジスタ1311を飽和領域で動作させる。なお容量素子1303は駆動トランジスタ1301のゲート容量を代用して削除しても良い。

【0141】

第1の走査線1305にHレベルの信号が入力され、画素が選択されているとき、つまり、スイッチングトランジスタ1302がオンになっているときに信号線1306から画素にビデオ信号が入力される。そして、ビデオ信号に相当する電圧分の電荷が容量素子1303に蓄積され、容量素子1303はその電圧を保持する。この電圧は駆動トランジスタ1301のゲート端子と第1端子間の電圧であり、駆動トランジスタ1301のゲートソース間電圧 V_{gs} に相当する。なお、このとき第2の走査線1310はLレベルにしておく。

【0142】

そして、駆動トランジスタ1301を十分にオンするか、オフするか、の二つの状態となるようなビデオ信号を入力する。つまり、駆動トランジスタ1301は線形領域で動作させる。

【0143】

よって、駆動トランジスタ1301がオンするビデオ信号であるときには、理想的には電源線1307に入力されている高電源電位 V_{dd} をそのまま電流制御用トランジスタ1311の第1端子に入力する。このとき、電流制御用トランジスタ1311の第1端子がソース端子となり、配線1312と電源線1307によって入力される電流制御用トランジスタ1311のゲートソース間電圧によって、発光素子1304に供給される電流が決定される。

【 0 1 4 4 】

つまり、発光素子 1 3 0 4 に印加する電流を一定にし、発光素子 1 3 0 4 から得られる輝度を一定にすることができる。そして、環境温度の変化や、経時変化に伴う発光素子 1 3 0 4 の輝度変化も抑制することができる。

【 0 1 4 5 】

消去動作時には、第 2 の走査線 1 3 1 0 に H レベルの電位を入力する。すると、整流素子 1 3 0 9 に電流が流れ、駆動トランジスタ 1 3 0 1 の電位をある電位にすることができる。この電位は駆動トランジスタ 1 3 0 1 をオフにし、発光素子 1 3 0 4 がわずかに発光してしまうのを防ぐことができる。

【 0 1 4 6 】

よって、本実施の形態に示す画素構成により、例えば図 8 を用いて説明した駆動方法を実現することができる。

【 0 1 4 7 】

(実施の形態 2)

本実施の形態では、電位伝達手段として、三端子を有する回路素子を用いた構成について説明する。

【 0 1 4 8 】

まず、図 5 3 に本実施の形態の基本画素構成について説明する。画素は、トランジスタ 5 3 0 1、スイッチ 5 3 0 2、電位保持素子 5 3 0 3、発光素子 5 3 0 4、第 1 の走査線 5 3 0 5、信号線 5 3 0 6、電源線 5 3 0 7、第 2 の走査線 5 3 1 0、電位伝達素子 5 3 0 9 を有している。スイッチ 5 3 0 2 は、信号線 5 3 0 6 とトランジスタ 5 3 0 1 のゲート端子とを導通又は非導通にするように接続されている。また、スイッチ 5 3 0 2 の制御端子は第 1 の走査線 5 3 0 5 と接続されている。よって、第 1 の走査線 5 3 0 5 に入力される信号にしたがって、スイッチ 5 3 0 2 がオンオフし、信号線 5 3 0 6 とトランジスタ 5 3 0 1 のゲート端子とを導通又は非導通にすることができる。また、トランジスタ 5 3 0 1 は、第 1 端子(ソース端子又はドレイン端子)が電源線 5 3 0 7 に接続され、第 2 端子(ソース端子又はドレイン端子)が発光素子 5 3 0 4 の画素電極に接続されている。なお、発光素子 5 3 0 4 の対向電極 5 3 0 8 には所定の電位が供給されている。また、電位伝達素子 5 3 0 9 は、第 1 端子がトランジスタ 5 3 0 1 の制御端子に接続され、第 2 端子が第 2 の走査線 5 3 1 0 に接続されている。そして、電位伝達素子 5 3 0 9 の第 3 端子 5 3 1 1 には、ある電位が入力されている。この電位伝達素子 5 3 0 9 は第 3 端子 5 3 1 1 と第 2 端子との電位の関係により、第 2 端子に入力されている電位を第 1 端子に供給するかどうかを制御することができ、さらにその電位の大きさも制御することができる。また、電位保持素子 5 3 0 3 はトランジスタ 5 3 0 1 のゲート端子に接続されており、トランジスタ 5 3 0 1 のゲート端子に入力された電位を保持する。

【 0 1 4 9 】

続いて、画素の動作について説明する。

【 0 1 5 0 】

画素へ信号の書き込みを行う際には、第 1 の走査線 5 3 0 5 に信号を入力してスイッチ 5 3 0 2 をオンにする。そして、信号線 5 3 0 6 からトランジスタ 5 3 0 1 の制御端子にビデオ信号が入力される。このビデオ信号は電位保持素子 5 3 0 3 によって保持される。こうして画素への信号の書き込みが完了する。

【 0 1 5 1 】

そして、画素への信号の書き込みが行われると、電位保持素子 5 3 0 3 によって保持された電位に従って、トランジスタ 5 3 0 1 はオン又はオフの状態を維持する。つまり、発光素子 5 3 0 4 は発光状態又は非発光状態が維持される。

【 0 1 5 2 】

そして、消去動作時には、第 2 の走査線 5 3 1 0 に信号を入力する。すると、電位伝達素子 5 3 0 9 からトランジスタ 5 3 0 1 の制御端子に電位が供給される。この制御端子に供給する電位は、トランジスタ 5 3 0 1 をオフするのに十分な電位とすることができる。

10

20

30

40

50

【0153】

したがって、発光素子5304を非発光とすべきときに、トランジスタ5301がオフすることにより、電源線5307と発光素子5304の画素電極とを非導通にする。こうして、発光素子5304の微発光を防ぐことができる。

【0154】

なお、トランジスタ5301には、Pチャネル型トランジスタ及びNチャネル型のトランジスタのいずれを適用することもできる。

【0155】

トランジスタ5301にPチャネル型トランジスタを適用した場合には、電位伝達素子5309にPチャネル型トランジスタを適用するのが望ましい。この構成について図54を用いて説明する。

10

【0156】

図54の画素は、第1のトランジスタ5401、スイッチ5402、容量素子5403、発光素子5404、第1の走査線5405、信号線5406、電源線5407、第2の走査線5410、第2のトランジスタ5409を有している。なお、第1のトランジスタ5401及び第2のトランジスタ5409はPチャネル型トランジスタである。スイッチ5402は、信号線5406と第1のトランジスタ5401のゲート端子とを導通又は非導通にするように接続されている。また、スイッチ5402の制御端子は第1の走査線5405と接続されている。よって、第1の走査線5405に入力される信号にしたがって、スイッチ5402がオンオフし、信号線5406と第1のトランジスタ5401のゲート端子とを導通又は非導通にすることができる。また、第1のトランジスタ5401は、第1端子(ソース端子又はドレイン端子)が電源線5407に接続され、第2端子(ソース端子又はドレイン端子)が発光素子5404の画素電極に接続されている。また、第2のトランジスタ5409は、第1端子(ソース端子又はドレイン端子)が第1のトランジスタ5401のゲート端子に接続され、第2端子(ソース端子又はドレイン端子)が第2の走査線5410に接続されている。また、第2のトランジスタ5409のゲート端子5411には、ある電位が入力される。また、容量素子5403は、一方の電極が第1のトランジスタ5401のゲート端子に接続され、他方の電極が電源線5407に接続されており、第1のトランジスタ5401のゲート端子に入力された電位を保持する。

20

【0157】

続いて画素の動作について説明する。

30

【0158】

画素へ信号の書き込みを行う際には、第1の走査線5405に信号を入力してスイッチ5402をオンにする。そして、信号線5406から第1のトランジスタ5401のゲート端子にビデオ信号が入力される。このビデオ信号は容量素子5403によって保持される。こうして画素への信号の書き込みが完了する。なお、このとき第2の走査線5410は、Lレベルにしておく。

【0159】

そして、画素への信号の書き込みが行われると、容量素子5403によって保持された電位に従って、第1のトランジスタ5401はオン又はオフの状態を維持する。つまり、発光素子5404は発光状態又は非発光状態が維持される。

40

【0160】

そして、消去動作時には、第2の走査線5410にHレベルの信号を入力する。すると、第2のトランジスタ5409を介して第1のトランジスタ5401のゲート端子に電位が供給される。なお、第2の走査線5410に入力するHレベルの電位は、第2のトランジスタ5409のゲート端子5411に入力する電位や電源線5407に入力する電位より高くするとよい。したがって、第1のトランジスタ5401のゲート端子に供給する電位は、第1のトランジスタ5401をオフするのに十分な電位とすることができる。

【0161】

また、第2の走査線5410に入力するLレベルの電位は、第2のトランジスタ5409

50

のゲート端子に入力する電位から、しきい値電圧の絶対値分低い電位にするとよい。

【0162】

したがって、発光素子5404を非発光とすべきときに、第1のトランジスタ5401がオフすることにより、電源線5407と発光素子5404の画素電極とを非導通にする。こうして、発光素子5404の微発光を防ぐことができる。

【0163】

図54の画素の具体例を図44に示す。

【0164】

また、図44の画素は、実施の形態1の図1で示した画素の整流素子109の代わりに、トランジスタを用いた構成でもある。よって、図1の画素と共通するところには共通の符号を用いて説明する。トランジスタ4401の第1端子(ソース端子又はドレイン端子)を第2の走査線110に接続し、第2端子(ソース端子又はドレイン端子)を駆動トランジスタ101のゲート端子に接続する。また、トランジスタ4401のゲート端子を電源線107と接続する。すると、第2の走査線110がLレベルのときには、トランジスタ4401は、第1端子が第2の走査線110に接続され、第2端子が駆動トランジスタ101のゲート端子に接続されているため、第1端子がドレイン端子となり、第2端子がソース端子となる。このとき画素に書き込まれたビデオ信号(駆動トランジスタのゲート電位)がHレベルであっても、このHレベルの電位と電源線107の電位が概略等しければトランジスタ4401には電流が流れない。もちろん、ビデオ信号がLレベルのときにもトランジスタ4401には電流が流れない。一方、第2の走査線110にHレベルが入力されたとき、トランジスタ4401は、第1端子が第2の走査線110に接続され、第2端子が駆動トランジスタ101のゲート端子に接続されているため、第1端子がソース端子となり、第2端子がドレイン端子となる。そして、このHレベルの電位が電源線107よりも高い電位であれば(正確には、トランジスタ4401のしきい値電圧の絶対値 $|V_{th}|$ 以上高い電位であれば)、トランジスタ4401はオンし、電流が流れる。そして駆動トランジスタ101のゲート端子に所定の電位を設定することができる。この場合は、第2の走査線110のHレベルと同電位とすることができる。つまり、画素に書き込まれたビデオ信号を消去することができる。

【0165】

また、トランジスタ5301にNチャネル型のトランジスタを適用した場合には、電位伝達素子5309にNチャネル型のトランジスタを適用するのが望ましい。この構成について図55を用いて説明する。

【0166】

図55の画素は、第1のトランジスタ5501、スイッチ5502、容量素子5503、発光素子5504、第1の走査線5505、信号線5506、電源線5507、第2の走査線5510、第2のトランジスタ5509を有している。なお、第1のトランジスタ5501及び第2のトランジスタ5509はNチャネル型トランジスタである。スイッチ5502は、信号線5506と第1のトランジスタ5501のゲート端子とを導通又は非導通にするように接続されている。また、スイッチ5502の制御端子は第1の走査線5505と接続されている。よって、第1の走査線5505に入力される信号にしたがって、スイッチ5502がオンオフし、信号線5506と第1のトランジスタ5501のゲート端子とを導通又は非導通にすることができる。また、第1のトランジスタ5501は、第1端子(ソース端子又はドレイン端子)が電源線5507に接続され、第2端子(ソース端子又はドレイン端子)が発光素子5504の画素電極に接続されている。また、第2のトランジスタ5509は、第1端子(ソース端子又はドレイン端子)が第1のトランジスタ5501のゲート端子に接続され、第2端子(ソース端子又はドレイン端子)が第2の走査線5510に接続されている。また、第2のトランジスタ5509のゲート端子にはある電位が入力されている。また、容量素子5503は、一方の電極が第1のトランジスタ5501のゲート端子に接続され、他方の電極が電源線5507に接続されており、トランジスタ5501のゲート端子に入力された電位を保持する。

【 0 1 6 7 】

続いて画素の動作について説明する。

【 0 1 6 8 】

画素へ信号の書き込みを行う際には、第1の走査線5505に信号を入力してスイッチ5502をオンにする。そして、信号線5506から第1のトランジスタ5501のゲート端子にビデオ信号が入力される。このビデオ信号は容量素子5503によって保持される。こうして画素への信号の書き込みが完了する。なお、このとき、第2の走査線5510はHレベルにしておく。

【 0 1 6 9 】

そして、画素への信号の書き込みが行われると、容量素子5503によって保持された第1のトランジスタ5501のゲート端子の電位に従って、第1のトランジスタ5501はオン又はオフの状態を維持する。つまり、第1のトランジスタ5501のゲート端子の電位がHレベルのときには発光素子5504は発光状態となり、Lレベルのときには、非発光状態となる。

10

【 0 1 7 0 】

そして、消去動作時には、第2の走査線5510にLレベルの信号を入力する。すると、5509からトランジスタ5501のゲート端子に電位が供給される。なお、第2の走査線5510に inputsするLレベルの電位は、第1のトランジスタ5501のゲート端子に供給する電位が画素を非点灯にするビデオ信号の電位 ($V_{sig}(L)$) と同じか、それ以下にするのが望ましい。つまり、第2の走査線5510のLレベルの電位は $V_{sig}(L)$ と同じ電位でよい。このゲート端子に供給する電位は、トランジスタ5501をオフするのに十分な電位とすることができる。

20

【 0 1 7 1 】

また、第2の走査線5510に inputsするHレベルの電位は、第2のトランジスタ5509のゲート端子に inputsする電位から、しきい値電圧の絶対値分高い電位にするとよい。

【 0 1 7 2 】

したがって、発光素子5504を非発光とすべきときに、トランジスタ5501がオフすることにより、電源線5507と発光素子5504の画素電極とを非導通にする。こうして、発光素子5504の微発光を防ぐことができる。

【 0 1 7 3 】

図55の画素の具体例を図51に示す。

30

【 0 1 7 4 】

図51に示す画素は、駆動トランジスタ5101、スイッチングトランジスタ5102、容量素子5103、発光素子5104、第1の走査線5105、信号線5106、電源線5107、トランジスタ5109、第2の走査線5110を有している。なお、駆動トランジスタ5101、スイッチングトランジスタ5102及びトランジスタ5109はNチャンネル型トランジスタである。スイッチングトランジスタ5102は、ゲート端子が第1の走査線5105に接続され、第1端子(ソース端子又はドレイン端子)が信号線5106に接続され、第2端子(ソース端子又はドレイン端子)が駆動トランジスタ5101のゲート端子と接続されている。さらに、駆動トランジスタ5101のゲート端子はトランジスタ5109の第1端子(ソース端子又はドレイン端子)と接続されている。またトランジスタ5109は、第2端子(ソース端子又はドレイン端子)が第2の走査線5110と接続され、ゲート端子が配線5111と接続されている。また、スイッチングトランジスタ5102の第2端子は容量素子5103を介して電源線5107と接続されている。また、駆動トランジスタ5101は、第1端子(ソース端子又はドレイン端子)が電源線5107に接続され、第2端子(ソース端子又はドレイン端子)が発光素子5104の画素電極と接続されている。発光素子5104の対向電極5108には低電源電位が inputsされている。なお、低電源電位とは、電源線5107に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子5104

40

50

に印加して、発光素子 5 1 0 4 に電流を流して発光素子 5 1 0 4 を発光させるため、高電源電位と低電源電位との電位差が発光素子 5 1 0 4 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【 0 1 7 5 】

なお、容量素子 5 1 0 3 は、駆動トランジスタ 5 1 0 1 のゲート電位を保持できる場所に接続すればよく、例えば、容量素子 5 1 0 3 は、一方の電極を駆動トランジスタ 5 1 0 1 のゲート端子、他方の電極を電源線 5 1 0 7 とは異なる別の配線に接続してもよい。また、容量素子 5 1 0 3 は駆動トランジスタ 5 1 0 1 のゲート容量を代用して削除してもよい。

【 0 1 7 6 】

続いて、画素の動作について説明する。

【 0 1 7 7 】

画素への信号の書き込みの際には、第 1 の走査線 5 1 0 5 にスイッチングトランジスタ 5 1 0 2 がオンする H レベルの信号を入力する。すると、スイッチングトランジスタ 5 1 0 2 がオンし、信号の書き込みを行う画素が選択される。そして、信号線 5 1 0 6 から画素にビデオ信号が書き込まれる。つまり、ビデオ信号に相当する電圧分の電荷が容量素子 5 1 0 3 に蓄積される。そして、第 1 の走査線 5 1 0 5 を L レベルにし、スイッチングトランジスタ 5 1 0 2 がオフすると容量素子 5 1 0 3 はその電圧を保持する。なお、駆動トランジスタ 5 1 0 1 のゲート端子と第 1 端子との間の電圧が、駆動トランジスタ 5 1 0 1 のゲートドレイン間電圧に相当する。

【 0 1 7 8 】

ここで、電圧入力電圧駆動方式の場合には、駆動トランジスタ 5 1 0 1 のゲート端子には、駆動トランジスタ 5 1 0 1 が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号 $V_{sig}(H)$ 又は $V_{sig}(L)$ を入力する。つまり、駆動トランジスタ 5 1 0 1 は線形領域で動作させる。つまり、スイッチとして動作させる。

【 0 1 7 9 】

よって、駆動トランジスタ 5 1 0 1 がオンするビデオ信号 $V_{sig}(H)$ であるときには、理想的には電源線 5 1 0 7 に印加されている電源電位 V_{dd} はそのまま発光素子 5 1 0 4 の第 1 の電極に加わることになる。

【 0 1 8 0 】

なお、第 1 の走査線 5 1 0 5 の H レベルの信号は、画素を点灯にするビデオ信号（駆動トランジスタ 5 1 0 1 をオンにするゲート電位 $V_{sig}(H)$ ）よりもスイッチングトランジスタ 5 1 0 2 のしきい値電圧 V_{th} 分以上高い電位 V_1 とすることが望ましい。なぜなら、スイッチングトランジスタ 5 1 0 2 は N チャネル型のトランジスタであるため、信号線 5 1 0 6 に $V_{sig}(H)$ が入力されると、第 1 端子がドレイン端子となる。したがって、スイッチングトランジスタ 5 1 0 2 は、第 2 端子（このときにはソース端子）がゲート端子の電位より、スイッチングトランジスタ 5 1 0 2 のしきい値電圧 V_{th} 分低い電位でオフしてしまう。つまり、スイッチングトランジスタ 5 1 0 2 のゲート電位が V_1 より小さいと、信号線 5 1 0 6 に入力された $V_{sig}(H)$ を駆動トランジスタ 5 1 0 1 のゲート端子に入力することができなくなってしまうからである。すると、駆動トランジスタ 5 1 0 1 をオンにし、発光素子 5 1 0 4 の画素電極を電源線 5 1 0 7 に入力される電位まで上げることができなくなる。

【 0 1 8 1 】

また、第 1 の走査線 5 1 0 5 の L レベルの信号は、 $V_{sig}(L)$ よりも低い電位とすることが望ましい。例えば、第 1 の走査線 5 1 0 5 の L レベルの信号が、画素を非点灯にするビデオ信号（駆動トランジスタ 5 1 0 1 がオフするゲート電位 $V_{sig}(L)$ ）と等しい電位である場合、 $V_{sig}(H)$ が書き込まれている画素は、他の行の画素への信号書き込みのために信号線 5 1 0 6 に $V_{sig}(L)$ が入力されると、画素のスイッチングトランジスタ 5 1 0 2 のゲートソース間電圧は 0 V となる。すると、スイッチングトランジスタ 5 1 0 2 がノーマリーオンとなってしまうときにはオフ電流が流れてしまう。

10

20

30

40

50

したがって、容量素子5103に蓄積された電荷が放電し、駆動トランジスタ5101のゲート電位が下がってしまい所望の輝度が得られなくなってしまう。

【0182】

次に、消去動作について説明する。消去動作時には、第2の走査線5110にLレベルの信号を入力する。すると、トランジスタ5109に電流が流れ、容量素子5103によって保持されていた駆動トランジスタ5101のゲート電位がある所定の電位になるようにすることができる。つまり、駆動トランジスタ5101のゲート端子の電位が、所定の電位になるようにし、信号書き込み期間に画素へ書き込まれたビデオ信号に関わらず、駆動トランジスタ5101を強制的にオフさせることができる。なお、駆動トランジスタ5101のゲート端子の電位は第2の走査線5110よりもトランジスタ5109のしきい値電圧分高い電位となる。

10

【0183】

このとき、第2の走査線5110に入力するLレベルの信号は、画素を非点灯にするビデオ信号Vsig(L)よりトランジスタ5109のしきい値電圧分低い電位とすることが望ましい。このLレベルの信号の電位を適宜設定することにより、消去期間において駆動トランジスタ5101を強制的にオフさせる場合に、駆動トランジスタ5101のゲート端子の電位をソース端子の電位よりも低くすることができる。したがって、駆動トランジスタ5101がノーマリーオンの場合でも駆動トランジスタ5101をオフにし、発光素子5104がわずかに発光してしまうのを防ぐことができる。

【0184】

なお、第2の走査線5110のHレベルは、第1の走査線5105のHレベルと同じでもよい。その結果、電源数を削減することができる。

20

【0185】

なお、消去動作時以外は、第2の走査線5110はHレベルの信号とする。このHレベルの信号の電位は、画素を点灯とするビデオ信号(駆動トランジスタ5101をオンにするゲート電位Vsig(H))以上の電位とすることが望ましい。しかし、このHレベルの電位を高くし過ぎると、画素に非点灯のビデオ信号(駆動トランジスタ5101をオフにするゲート電位Vsig(L))が書き込まれていた場合に、トランジスタ5109に印加されるドレインソース間電圧が大きくなってしまい、トランジスタ5109へ流れるオフ電流(逆方向電流ともいう)が大きくなってしまい、容量素子5103に保持した電荷が漏れてしまう。そして、駆動トランジスタ5101のゲート電位が高くなり、駆動トランジスタ5101のオフ電流が大きくなってしまう。よって、好ましくは、このHレベルの信号の電位は、画素を点灯にするビデオ信号(駆動トランジスタ5101をオンにするゲート電位Vsig(H))と等しくするとよい。

30

【0186】

また、実施の形態1の図1で示した画素の整流素子109の代わりに、トランジスタと電流電圧変換素子とを組み合わせることで、さらに効果的にオフ電流を低減することができる。ここで適用するトランジスタとしてNチャネル型のトランジスタを適用した場合について図18を用いて説明する。

【0187】

Nチャネル型のトランジスタ1801は、第1端子(ソース端子又はドレイン端子)を駆動トランジスタ101のゲート端子と接続し、ゲート端子を第2の走査線110に接続する。また、トランジスタ1801の第2端子(ソース端子又はドレイン端子)は電流電圧変換素子1802を介して第2の走査線110と接続する。

40

【0188】

なお、電流電圧変換素子1802は、電流が流れるとその両端子間に電圧が発生する素子である。

【0189】

つまり、図25(a)の矢印に示すようにトランジスタ1801の第1端子から第2端子に電流が流れるときには、第2端子の電位は第2の走査線110の電位よりも高くなり、

50

逆に、図 25 (b) の矢印に示すように第 2 端子から第 1 端子に電流が流れるときには、第 2 端子の電位は第 2 の走査線 110 の電位よりも低くなる。

【0190】

なお、このとき、上述したように、第 2 の走査線 110 に入力する H レベルの信号の電位は、電源線 107 の電位よりも高い電位とすることが望ましい。すると、駆動トランジスタ 101 のオフ電流を小さくすることができる。また、第 2 の走査線 110 に入力する L レベルの信号の電位は、画素を点灯とするビデオ信号（駆動トランジスタ 101 をオンにするゲート電位 $V_{sig}(L)$ ）以下の電位とする。しかし、この L レベルの電位をあまり低くし過ぎると画素に非点灯のビデオ信号（駆動トランジスタ 101 をオフにする電位 $V_{sig}(H)$ ）が書き込まれていた場合に、トランジスタ 1801 のドレインソース間電圧が大きくなってしまいオフ電流が大きくなってしまふ。よって、好ましくは、この L レベルの電位は、画素を非点灯にするビデオ信号（駆動トランジスタ 101 をオンにするゲート電位 $V_{sig}(L)$ ）と等しくするとよい。

10

【0191】

ここで、画素に書き込まれたビデオ信号に関わらず、トランジスタ 1801 がエンハンスメント型のトランジスタであれば、第 2 の走査線 110 が L レベルのときには、トランジスタ 1801 は第 1 端子がドレイン端子、第 2 端子がソース端子となり、トランジスタ 1801 には電流が流れない。しかし、トランジスタ 1801 がディプレッション型のトランジスタであると、特に画素を非点灯とするビデオ信号（駆動トランジスタ 101 をオフにするゲート電位 $V_{sig}(H)$ ）の場合、トランジスタ 1801 の第 1 端子から第 2 端子に電流が流れてしまうことがある。しかし、電流電圧変換素子 1802 の両端子間に電圧が発生するので、トランジスタ 1801 の第 2 端子は、第 2 の走査線 110 の L レベルの電位よりも高くなる。そして、このときトランジスタ 1801 の第 2 端子がソース端子であるため、トランジスタ 1801 のゲート端子よりソース端子の電位の方が高くなる。よって、このときトランジスタ 1801 に流れる電流が抑制される。つまり、オフ電流が低減される。

20

【0192】

一方、第 2 の走査線 110 に H レベルの信号を入力すると、トランジスタ 1801 は第 2 端子がドレイン端子、第 1 端子がソース端子となる。そして、トランジスタ 1801 に電流が流れる。このとき、電流電圧変換素子 1802 に発生する電圧が小さいときには、トランジスタ 1801 は飽和領域で動作するが、第 1 端子がソース端子であるため、トランジスタ 1801 のゲートソース間電圧は、電流電圧変換素子 1802 での電圧降下に依存しないため、画素を非点灯にするための駆動トランジスタ 101 のゲート電位を設定するのは容易である。また、電流電圧変換素子 1802 に発生する電圧が大きいときであっても、トランジスタ 1801 は線形領域で動作するため、画素を非点灯にするための駆動トランジスタ 101 のゲート電位を設定するのは容易である。

30

【0193】

なお、電流電圧変換素子 1802 としては、抵抗や、トランジスタや、整流素子を用いることができる。よって、例えば抵抗を用いた場合の構成を図 21 に示す。

【0194】

N チャネル型のトランジスタ 1801 は、第 1 端子（ソース端子又はドレイン端子）を駆動トランジスタ 101 のゲート端子と接続し、ゲート端子を第 2 の走査線 110 に接続する。また、トランジスタ 1801 の第 2 端子（ソース端子又はドレイン端子）は抵抗素子 2101 を介して第 2 の走査線 110 と接続する。なお、抵抗素子 2101 に電流が流れると電圧降下が生じるため、図 18 の電流電圧変換素子 1802 と同じ機能を果たすことができる。

40

【0195】

なお、このように、トランジスタ 1801 の第 2 端子と第 2 の走査線 110 との間に電流電圧変換素子 1802 として抵抗素子を有する構成の画素のレイアウト図の一例を図 23 及び図 24 に示す。

50

【0196】

まず、図23の画素レイアウトについて説明する。画素は、駆動トランジスタ2301、スイッチングトランジスタ2302、容量素子2303、画素電極2304、第1の走査線2305、信号線2306、電源線2307、抵抗素子2308、トランジスタ2309、第2の走査線2310を有している。スイッチングトランジスタ2302は、ゲート端子が第1の走査線2305の一部で構成され、第1端子(ソース端子又はドレイン端子)が信号線2306に接続され、第2端子(ソース端子又はドレイン端子)が駆動トランジスタ2301のゲート端子と接続されている。また、トランジスタ2309は、ゲート端子が第2の走査線2310の一部で構成され、第1端子(ソース端子又はドレイン端子)が駆動トランジスタ2301のゲート端子と接続され、第2端子(ソース端子又はドレイン端子)が抵抗素子2308を介して第2の走査線2310と接続されている。なお、抵抗素子2308はトランジスタ2309の第1端子となる不純物領域(ソース領域又はドレイン領域)と同じ層の半導体層であり、第2の走査線2310の下に位置している。なお、このとき、半導体層の幅の方が第2の走査線2310の幅よりも太くなるようにしてもよい。第2の走査線2310よりもはみ出した部分の半導体層には、不純物を添加することが可能なので、不純物の添加される部分の面積を調整することにより、抵抗値を制御することができる。また、駆動トランジスタ2301は、第1端子(ソース端子又はドレイン端子)が電源線2307に接続され、第2端子(ソース端子又はドレイン端子)が画素電極2304と接続されている。また、駆動トランジスタ2301のゲート端子を構成する電極の一部を第1の電極とし、駆動トランジスタ2301の第1端子となる不純物領域(ソース領域又はドレイン領域)と同じ層の半導体層と電源線2307の一部とで第2の電極とする、容量素子2303が形成されている。なお、図23の画素レイアウトは、図21の画素におけるレイアウトの一例であってこれに限定されない。図23の駆動トランジスタ2301、スイッチングトランジスタ2302、容量素子2303、第1の走査線2305、信号線2306、電源線2307、抵抗素子2308、トランジスタ2309、第2の走査線2310は、それぞれ図21の駆動トランジスタ101、スイッチングトランジスタ102、容量素子103、第1の走査線105、信号線106、電源線107、抵抗素子2101、トランジスタ1801、第2の走査線110に相当する。また、画素電極2304上に発光層と対向電極が形成されることにより、図21に示す発光素子104が完成する。

【0197】

なお、抵抗素子2308の構造をより詳しく説明するため、楕円2311で囲む付近を拡大した図を図26(b)に示す。また、その断面をより詳しく説明するため破線AB間の断面図を図26(a)に示す。なお、図26(b)では、第2の走査線2310の下層に位置する半導体層を点線で示している。

【0198】

図26(a)の断面図を用いて説明する。基板2601上に下地膜2602を有している。基板2601としてはガラス基板、石英基板、プラスチック基板、セラミックス基板等の絶縁性基板、金属基板、半導体基板等を用いることができる。下地膜2602はCVD法やスパッタ法により形成することができる。例えばSiH₄、N₂O、NH₃を原料に用いたCVD法により形成した酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を適用することができる。また、これらの積層を用いても良い。なお、下地膜2602は基板2601から不純物が半導体層に拡散することを防ぐために設けるものであり、基板2601にガラス基板や石英基板を用いている場合には下地膜2602は設けなくてもよい。

【0199】

下地膜2602上に島状の半導体層を有する。半導体層にはN型のチャネルが形成されるチャネル形成領域2603、ソース領域又はドレイン領域となる不純物領域2605、低濃度不純物領域(LDD領域)2604、抵抗素子として機能する半導体層2606が形成されている。そして、チャネル形成領域2603及び半導体層2606上にゲート絶縁膜2607を介してゲート電極2608及び第1の配線2609を有している。ゲート絶

10

20

30

40

50

縁膜 2607 としては CVD 法やスパッタ法により形成される酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を用いることができる。また、ゲート電極 2608 としてはアルミニウム (Al) 膜、銅 (Cu) 膜、アルミニウム又は銅を主成分とする薄膜、クロム (Cr) 膜、タンタル (Ta) 膜、窒化タンタル (Ta₂N) 膜、チタン (Ti) 膜、タングステン (W) 膜、モリブデン (Mo) 膜等を用いることができる。

【0200】

ゲート電極 2608 の脇にはサイドウォール 2617 が形成されている。ゲート電極 2608 を覆うようにシリコン化合物、例えば、酸化シリコン膜、窒化シリコン膜若しくは酸化窒化シリコン膜を形成した後、エッチバックしてサイドウォール 2617 を形成することができる。

10

【0201】

なお、LDD 領域 2604 はサイドウォール 2617 の下部に位置している。つまり、自己整合的に LDD 領域 2604 が形成されている。

【0202】

ゲート電極 2608、サイドウォール 2617 およびゲート絶縁膜 2607 上には第 1 の層間絶縁膜 2610 を有している。第 1 の層間絶縁膜 2610 は下層に無機絶縁膜、上層に樹脂膜を有している。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

20

【0203】

また、第 1 の層間絶縁膜 2610 上には、第 2 の配線 2611 と第 3 の配線 2612 と画素電極 2613 を有している。なお、第 2 の配線 2611 はコンタクトホールを介して不純物領域 2605 と電氣的に接続されている。また、第 3 の配線 2612 は、コンタクトホールを介して、不純物領域 2618 と第 1 の配線 2609 と接続されている。また、第 2 の配線 2611 や第 3 の配線 2612 としては、チタン (Ti) 膜やアルミニウム (Al) 膜や銅 (Cu) 膜や Ti を含むアルミニウム膜などを用いることができる。なお、第 2 の配線 2611 や第 3 の配線 2612 と同じ層に信号線などの配線を設ける場合には低抵抗な銅を用いるとよい。また、画素電極 2613 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン (TiN) 膜、クロム (Cr) 膜、タングステン (W) 膜、亜鉛 (Zn) 膜、プラチナ (Pt) 膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との 3 層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

30

【0204】

第 2 の配線 2611、第 3 の配線 2612 及び第 1 の層間絶縁膜 2610 上であって画素電極 2613 の端部を覆って絶縁物 2614 が形成されている。絶縁物 2614 としては、例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。

【0205】

絶縁物 2614 及び画素電極 2613 上には有機化合物を含む層 2615 を有し、有機化合物を含む層 2615 上には対向電極 2616 を有する。画素電極 2613 と対向電極 2616 とで有機化合物を含む層 2615 が挟まれる領域に発光素子が形成される。対向電極 2616 に用いる材料としては、仕事関数の小さい材料を用いることが望ましい。例えば、アルミニウム (Al)、銀 (Ag)、リチウム (Li)、カルシウム (Ca)、若しくはこれらの合金又は、MgAg、MgIn、AlLi、CaF₂、若しくは Ca₃N₂ などの金属薄膜を用いることができる。こうして薄い金属薄膜を用いることで光を透過させることが可能な陰極を形成することができる。

40

【0206】

こうして、トランジスタ 2619、トランジスタ 2620、抵抗素子 2621 が形成され

50

る。トランジスタ2619、トランジスタ2620、抵抗素子2621はそれぞれ図23のスイッチングトランジスタ2302、トランジスタ2309、抵抗素子2308に相当する。なお、ここでは一例として上面射出構造の表示装置の場合について説明したがこれに限定されない。

【0207】

次に、図24の画素レイアウトについて説明する。画素は、駆動トランジスタ2401、スイッチングトランジスタ2402、容量素子2403、画素電極2404、第1の走査線2405、信号線2406、電源線2407、抵抗素子2408、トランジスタ2409、第2の走査線2410を有している。スイッチングトランジスタ2402は、ゲート端子が第1の走査線2405の一部で構成され、第1端子(ソース端子又はドレイン端子)が信号線2406に接続され、第2端子(ソース端子又はドレイン端子)が駆動トランジスタ2401のゲート端子と接続されている。また、トランジスタ2409は、ゲート端子が第2の走査線2410の一部で構成され、第1端子(ソース端子又はドレイン端子)が駆動トランジスタ2401のゲート端子と接続され、第2端子(ソース端子又はドレイン端子)が抵抗素子2408を介して第2の走査線2410と接続されている。なお、抵抗素子2408はトランジスタ2409の第1端子となる不純物領域(ソース領域又はドレイン領域)と同じ層の半導体層であり、第2の走査線2410の下に位置している。なお、このとき、半導体層の幅の方が第2の走査線2410の幅よりも太くなるようにしてもよい。第2の走査線2410よりもはみ出した部分の半導体層には、不純物を添加することが可能なので、不純物の添加される部分の面積を調整することにより、抵抗値を制御することができる。また、駆動トランジスタ2401は、第1端子(ソース端子又はドレイン端子)が電源線2407に接続され、第2端子(ソース端子又はドレイン端子)が画素電極2404と接続されている。また、駆動トランジスタ2401のゲート端子を構成する電極の一部を第1の電極とし、駆動トランジスタ2401の第1端子となる不純物領域(ソース領域又はドレイン領域)と同じ層の半導体層と電源線2407の一部とで第2の電極とする、容量素子2403が形成されている。なお、図24の画素レイアウトは、図21の画素におけるレイアウトの一例であってこれに限定されない。図24の駆動トランジスタ2401、スイッチングトランジスタ2402、容量素子2403、第1の走査線2405、信号線2406、電源線2407、抵抗素子2408、トランジスタ2409、第2の走査線2410は、それぞれ図21の駆動トランジスタ101、スイッチングトランジスタ102、容量素子103、第1の走査線105、信号線106、電源線107、抵抗素子2101、トランジスタ1801、第2の走査線110に相当する。また、画素電極2404上に発光層と対向電極が形成されることにより、図21に示す発光素子104が完成する。

【0208】

なお、抵抗素子2408の構造をより詳しく説明するため、楕円2411で囲む付近を拡大した図を図27(b)に示す。また、その断面をより詳しく説明するため破線A-B間の断面図を図27(a)に示す。なお、図27(b)では、第2の走査線2410の下層に位置する半導体層を点線で示している。

【0209】

図27(a)の断面図を用いて説明する。基板2701上に下地膜2702を有している。基板2701としてはガラス基板、石英基板、プラスチック基板、セラミックス基板等の絶縁性基板、金属基板、半導体基板等を用いることができる。下地膜2702はCVD法やスパッタ法により形成することができる。例えばSiH₄、N₂O、NH₃を原料に用いたCVD法により形成した酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を適用することができる。また、これらの積層を用いても良い。なお、下地膜2702は基板2701から不純物が半導体層に拡散することを防ぐために設けるものであり、基板2701にガラス基板や石英基板を用いている場合には下地膜2702は設けなくてもよい。

【0210】

下地膜2702上に島状の半導体層を有する。半導体層にはN型のチャネルが形成される

チャネル形成領域 2703、ソース領域又はドレイン領域となる不純物領域 2705、低濃度不純物領域（LDD領域）2704、抵抗素子として機能する半導体層 2706 が形成されている。そして、チャネル形成領域 2703 及び半導体層 2706 上にゲート絶縁膜 2707 を介してゲート電極 2708 及び第 1 の配線 2709 を有している。ゲート絶縁膜 2707 としては CVD 法やスパッタ法により形成される酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を用いることができる。また、ゲート電極 2708 としてはアルミニウム（Al）膜、銅（Cu）膜、アルミニウム又は銅を主成分とする薄膜、クロム（Cr）膜、タンタル（Ta）膜、窒化タンタル（Ta₂N₃）膜、チタン（Ti）膜、タングステン（W）膜、モリブデン（Mo）膜等を用いることができる。

【0211】

ゲート電極 2708 の脇にはサイドウォール 2717 が形成されている。ゲート電極 2708 を覆うようにシリコン化合物、例えば、酸化シリコン膜、窒化シリコン膜若しくは酸化窒化シリコン膜を形成した後、エッチバックしてサイドウォール 2717 を形成することができる。

【0212】

なお、LDD領域 2704 はサイドウォール 2717 の下部に位置している。つまり、自己整合的に LDD領域 2704 が形成されている。

【0213】

ゲート電極 2708、サイドウォール 2717 およびゲート絶縁膜 2707 上には第 1 の層間絶縁膜 2710 を有している。第 1 の層間絶縁膜 2710 は下層に無機絶縁膜、上層に樹脂膜を有している。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

【0214】

また、第 1 の層間絶縁膜 2710 上には、第 2 の配線 2711 と第 3 の配線 2712 とを有している。なお、第 2 の配線 2711 はコンタクトホールを介して不純物領域 2705 と電氣的に接続されている。また、第 3 の配線 2712 は、コンタクトホールを介して、不純物領域 2718 と第 1 の配線 2709 と接続されている。また、第 2 の配線 2711 や第 3 の配線 2712 としては、チタン（Ti）膜やアルミニウム（Al）膜や銅（Cu）膜や Ti を含むアルミニウム膜などを用いることができる。なお、第 2 の配線 2711 や第 3 の配線 2712 と同じ層に信号線などの配線を設ける場合には低抵抗な銅を用いるとよい。

【0215】

第 2 の配線 2711、第 3 の配線 2712 及び第 1 の層間絶縁膜 2710 上に絶縁物 2714 が形成されている。絶縁物 2714 としては、例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。

【0216】

絶縁物 2714 上には有機化合物を含む層 2715 を有し、有機化合物を含む層 2715 上には対向電極 2716 を有する。対向電極 2716 に用いる材料としては、仕事関数の小さい材料を用いることが望ましい。例えば、アルミニウム（Al）、銀（Ag）、リチウム（Li）、カルシウム（Ca）、若しくはこれらの合金又は、MgAg、MgIn、AlLi、CaF₂、若しくは Ca₃N₂ などの金属薄膜を用いることができる。こうして薄い金属薄膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0217】

こうして、トランジスタ 2719、トランジスタ 2720、抵抗素子 2721 が形成される。トランジスタ 2719、トランジスタ 2720、抵抗素子 2721 はそれぞれ図 24 のスイッチングトランジスタ 2402、トランジスタ 2409、抵抗素子 2408 に相当する。なお、ここでは一例として上面射出構造の表示装置の場合について説明したがこれに限定されない。

10

20

30

40

50

【0218】

また、電流電圧変換素子1802として整流素子1901を適用した場合の構成を図19に示す。Nチャネル型のトランジスタ1801は、第1端子(ソース端子又はドレイン端子)を駆動トランジスタ101のゲート端子と接続し、ゲート端子を第2の走査線110に接続する。また、トランジスタ1801の第2端子(ソース端子又はドレイン端子)は整流素子1901を介して第2の走査線110と接続する。なお、整流素子1901は、第2の走査線110からトランジスタ1801の第2端子へ流れる電流の方向を順方向電流となるように接続する。

【0219】

本構成によれば、画素に非点灯とするビデオ信号(駆動トランジスタ101をオフにするゲート電位 $V_{sig}(H)$)が入力され、第2の走査線110がLレベルとなっている場合において、トランジスタ1801がノーマリーオンとなっても、整流素子1901に印加される電圧は逆方向電圧であるため電流は流れない。また、整流素子1901に逆方向電流(オフ電流)が流れる場合には、一定の電圧が整流素子1901に印加されていることになる。よって、トランジスタ1801の第2端子の電位は第2の走査線110のLレベルの電位より高くなる。つまり、トランジスタ1801は、ゲート端子よりもソース端子の電位が高くなるため、電流が流れにくくなる。つまり、オフ電流が低減される。

【0220】

なお、整流素子1901は、PIN接合ダイオード、PN接合ダイオード、ショットキーダイオード、カーボンナノチューブを用いたダイオード、トランジスタ、ダイオード接続トランジスタなど、なんでもよい。より好ましくはPN接合ダイオードである。整流素子1901として、PN接合ダイオードを用いた場合について図20を用いて説明する。

【0221】

Nチャネル型のトランジスタ1801は、第1端子(ソース端子又はドレイン端子)を駆動トランジスタ101のゲート端子と接続し、ゲート端子を第2の走査線110に接続する。また、トランジスタ1801の第2端子(ソース端子又はドレイン端子)はPN接合ダイオード2001のN型半導体領域と接続する。そして、PN接合ダイオード2001のP型半導体領域は第2の走査線110と接続されている。なお、Nチャネル型のトランジスタ1801の第2端子はN型不純物領域を有しているため、PN接合ダイオード2001のN型半導体としてはNチャネル型のトランジスタ1801のN型不純物領域を用いることができる。つまり、トランジスタ1801のゲート端子と第2端子との間にP型の不純物領域を有していればよい。この画素のレイアウトを図14における断面図15(c)を用いて説明する。

【0222】

本画素構成の特徴は、トランジスタ1516の一方の不純物領域側にP型の不純物領域1529を有する。つまり、図14におけるレイアウトにおいては、トランジスタ1409の第2端子側の不純物領域において、チャンネル形成領域から近い側がN型、遠い側がP型の不純物領域となっている。よって、トランジスタ1516の一方の不純物領域の一部とP型の不純物領域1529とでPN接合ダイオード1530が形成される。他の共通するところは図15(a)での説明を参照されたい。このように、PN接合ダイオード2001のN型半導体領域はトランジスタ1801の第2端子となるN型の不純物が添加された不純物領域を用いることができる。そして、この不純物領域が形成される半導体層にP型の不純物を添加してP型の半導体領域を形成すれば、PN接合ダイオード2001とトランジスタ1801とが直接的に接続されるので、コンタクトのための端子を設ける必要がなくなる。よって、画素のレイアウトにおいて、開口率の向上の観点からも有利である。なお、P型の不純物領域とN型の不純物領域の間に不純物の添加されていない領域があってもよい。その場合にはPN接合ダイオード1602の代わりにPIN接合ダイオードとなる。PIN接合ダイオードだとオフ電流をより減らすことができる。また、PIN接合ダイオードで発生する電圧がより大きくなるので、トランジスタ1801がよりオフしやすくなる。

10

20

30

40

50

【 0 2 2 3 】

なお、図 20 のような構成の画素の場合において、画素に非点灯とするビデオ信号（駆動トランジスタ 101 をオフにするゲート電位 $V_{sig}(H)$ ）が入力され、第 2 の走査線 110 が L レベルのときに、トランジスタ 1801 にオフ電流が流れたとしても、PN 接合ダイオード 2001 に印加される電圧は逆方向電圧であるため、オフ電流は小さい。また、PN 接合ダイオード 2001 に逆方向電流が流れる場合、PN 接合ダイオード 2001 の両端子間には電圧が発生している。つまり、トランジスタ 1801 の第 2 端子の電位は、第 2 の走査線 110 の L レベルの電位より高くなる。よって、トランジスタ 1801 はゲート端子よりもソース端子の電位が高くなるため、トランジスタ 1801 には電流が流れにくくなる。つまり、オフ電流が低減される。

10

【 0 2 2 4 】

また、電流電圧変換素子 1802 として、P チャネル型トランジスタを用いることもできる。図 22 を用いて説明する。トランジスタ 1801 は、第 1 端子を駆動トランジスタ 101 のゲート端子と接続し、第 2 端子を P チャネル型のトランジスタ 2201 の第 2 端子（ソース端子又はドレイン端子）と接続する。また、トランジスタ 1801 のゲート端子を第 2 の走査線 110 と接続する。また、P チャネル型のトランジスタ 2201 は、ゲート端子を電源線 107 と接続し、第 1 端子（ソース端子又はドレイン端子）を第 2 の走査線 110 と接続する。

【 0 2 2 5 】

画素に非点灯とするビデオ信号（駆動トランジスタ 101 をオフにするゲート電位 $V_{sig}(H)$ ）が入力され、第 2 の走査線 110 が L レベルであったときに、トランジスタ 1801 がノーマリーオンであっても、トランジスタ 2201 の第 2 端子の電位はさほど高い電位とはならない。そのため、トランジスタ 2201 は、ゲート端子の接続された電源線 107 の電位より第 2 端子の電位が低くなるので、P チャネル型のトランジスタ 2201 はオフする。トランジスタ 2201 の第 2 端子の電位が低ければ低いほどこのトランジスタ 2201 に流れるオフ電流は小さくなる。一方、このトランジスタ 2201 の第 2 端子の電位が高くなると、トランジスタ 1801 はゲート端子より第 2 端子の電位が高くなるため、よりトランジスタ 1801 にはよりオフ電流が流れにくくなる。つまり、この構成によれば大幅なオフ電流の低減を図ることが可能となる。なお、第 2 の走査線 110 が H レベルのときには、電源線 107 の電位よりも第 2 の走査線 110 の電位が高いので、P チャネル型のトランジスタ 2201 はオンする。また、このときトランジスタ 1801 の第 2 端子は第 2 の走査線 110 より低くなるので、トランジスタ 1801 もオンする。よって、画素を非点灯にする信号を駆動トランジスタ 101 のゲート端子に入力することができる。

20

30

【 0 2 2 6 】

ここで、一般的に N チャネル型のトランジスタは LDD 領域を形成し易いため、N チャネル型のトランジスタを用いることによりオフ電流の低減を図ることができる。しかし、活性層（チャネル形成領域）に多結晶シリコン膜を用いると、N 型化する傾向が強いため、N チャネル型のトランジスタはややディプレッション型トランジスタになりやすい。このとき、P チャネル型のトランジスタはエンハンスメント型トランジスタになるので、N チャネル型のトランジスタ及び P チャネル型のトランジスタを組み合わせるにより、効果的にオフ電流を低減することができる。

40

【 0 2 2 7 】

なお、図 22 のような構成の場合には、トランジスタ 1801 とトランジスタ 2201 の間に PN 接合ダイオードを設けてもよい。つまり、図 43 に示すように、トランジスタ 1801 の第 2 端子に PN 接合ダイオード 4301 の N 型半導体領域を接続し、トランジスタ 2201 の第 2 端子に PN 接合ダイオード 4301 の P 型半導体領域を接続する。なお、このとき、トランジスタ 2201 の第 2 端子となる不純物領域を PN 接合ダイオード 4301 の P 型半導体領域として、トランジスタ 1801 の第 2 端子となる不純物領域を PN 接合ダイオード 4301 の N 型半導体領域として用いることにより、トランジスタ 18

50

01とPN接合ダイオード4301との接続や、Pチャンネル型のトランジスタ2201とPN接合ダイオード4301との接続のために、コンタクトを設ける必要がない。これは、図15(c)や、図20の場合と同様である。よって、画素の開口率を高くする観点においても有利である。なお、P型の不純物領域とN型の不純物領域の間に不純物の添加されていない領域があってもよい。その場合にはPN接合ダイオード4301の代わりにPIN接合ダイオードとなる。PIN接合ダイオードだとオフ電流をより減らすことができる。また、PIN接合ダイオードで発生する電圧がより大きくなるので、トランジスタ1801がよりオフしやすくなる。

【0228】

また、実施の形態1の図1で示した画素の整流素子109の代わりに、Pチャンネル型のトランジスタと電流電圧変換素子とを組み合わせる場合について図50を用いて説明する。

10

【0229】

Pチャンネル型のトランジスタ5001は、第1端子(ソース端子又はドレイン端子)が電流電圧変換素子5002を介して駆動トランジスタ101のゲート端子と接続され、ゲート端子が第2の走査線110に接続されている。また、トランジスタ5001の第2端子(ソース端子又はドレイン端子)は第2の走査線110と接続されている。

【0230】

なお、電流電圧変換素子5002は、電流が流れるとその両端子間に電圧が発生する素子である。

20

【0231】

よって、本実施の形態に示す画素構成により、例えば図8を用いて説明した駆動方法を実現することができる。

【0232】

(実施の形態3)

本実施の形態では、画素を非点灯(黒表示)にすべきときに、発光素子がわずかに発光してしまうことを防ぐことがより可能な画素構成を示す。つまり、駆動トランジスタにオフ電流が流れても、発光素子へは電流が流れないようにする。

【0233】

図56に示す画素は、駆動トランジスタ5601と、相補用トランジスタ5611と、スイッチングトランジスタ5602と、発光素子5604と、整流素子5609と、第1の走査線5605と、信号線5606と、電源線5607と、第2の走査線5610とを有する。なお、駆動トランジスタ5601はPチャンネル型トランジスタであり、相補用トランジスタ5611及びスイッチングトランジスタ5602はNチャンネル型トランジスタである。そして、スイッチングトランジスタ5602は第1端子(ソース端子又はドレイン端子)が信号線5606に接続され、第2端子(ソース端子又はドレイン端子)が駆動トランジスタ5601及び相補用トランジスタ5611のゲート端子に接続されている。駆動トランジスタ5601及び相補用トランジスタ5611の第2端子(ソース端子又はドレイン端子)は、発光素子5604の画素電極と接続されている。駆動トランジスタ5601の第1端子は電源線5607に接続されている。また、相補用トランジスタ5611の第2端子は配線5612に接続されている。また、駆動トランジスタ5601及び相補用トランジスタ5611のゲート端子は、容量素子5603の一方の電極と接続されている。容量素子5603の他方の電極は電源線5607に接続されている。また、駆動トランジスタ5601及び相補用トランジスタ5611のゲート端子が整流素子5609を介して第2の走査線5610に接続されている。

30

40

【0234】

なお、電源線5607には、高電源電位が入力され、発光素子5604の対向電極には低電源電位が入力されている。高電源電位と低電源電位とは高電源電位>低電源電位を満たす関係であり、また、高電源電位と低電源電位との電位差が発光素子5604の順方向しきい値電圧となるようにする。

50

【0235】

また、配線5612の電位は発光素子5604の対向電極5608の電位と等しいか、又はそれ以下の電位とすることが望ましい。

【0236】

まず、画素への信号書き込み動作について説明する。画素へ信号の書き込みを行う際には、第1の走査線5605にHレベルの信号を入力し、スイッチングトランジスタ5602をオンにする。そして、信号線5606からビデオ信号を画素へ書き込む。つまり、駆動トランジスタ5601及び相補用トランジスタ5611のゲート端子にビデオ信号を入力する。なお、このとき、第2の走査線5610はLレベルにしておく。

【0237】

このとき、容量素子5603に電荷が蓄積される。よって、第1の走査線5605にLレベルの信号が入力され、スイッチングトランジスタ5602がオフしても、ビデオ信号の電位は容量素子5603によって保持される。

【0238】

よって、ビデオ信号が画素を点灯にするVsig(L)の場合には、駆動トランジスタ5601がオンし、相補用トランジスタ5611がオフする。そして、駆動トランジスタ5601を介して電源線5607に入力されている電位を発光素子5604の画素電極へ供給することができる。

【0239】

また、ビデオ信号が画素を非点灯にするVsig(H)の場合には、駆動トランジスタ5601がオフし、相補用トランジスタ5611がオンする。よって、電源線5607に入力されている電位は発光素子5604の画素電極へ供給されない。しかし、駆動トランジスタ5601がノーマリーオンとなっているときには、駆動トランジスタ5601にわずかに電流が流れてしまうことがある。通常このオフ電流が発光素子に流れてしまうため発光素子がわずかに発光してしまい、画素を非点灯(黒表示)にできず、表示不良を起こしてしまうことがある。しかし、本画素構成によれば、駆動トランジスタ5601に流れるオフ電流が、相補用トランジスタ5611を介して配線5612に流れるため、発光素子5604へは電流が流れない。つまり、画素を非点灯(黒表示)にすることができる。なぜなら、このとき相補用トランジスタ5611はオンしているため、配線5612に電流が流れるからである。

【0240】

なお、配線5612の電位を発光素子5604の対向電極の電位より低くすることにより、発光素子5604に逆バイアスの電圧を印加することができる。このように、逆方向バイアスの電圧を発光素子5604に印加しても、正常な発光素子5604には電流は流れない。一方、発光素子5604に短絡箇所がある場合には、その短絡箇所に電流が流れる。すると、短絡箇所に集中して電流が流れ、発光素子5604の短絡箇所が絶縁される。発光素子5604の短絡箇所を絶縁することにより、画素の表示不良を改善することができる。また、発光素子5604の寿命を延ばすことが可能となる。

【0241】

なお、第1の走査線5605のHレベルの信号は、画素を非点灯にするビデオ信号(駆動トランジスタ5601をオフにするゲート電位Vsig(H))よりもスイッチングトランジスタ5602のしきい値電圧Vth分以上高い電位V1とすることが望ましい。なぜなら、スイッチングトランジスタ5602はNチャンネル型のトランジスタであるため、信号線5606にVsig(H)が入力されると、第1端子がドレイン端子となる。したがって、スイッチングトランジスタ5602は、第2端子(このときにはソース端子)がゲート端子の電位より、スイッチングトランジスタ5602のしきい値電圧Vth分低い電位でオフしてしまう。つまり、スイッチングトランジスタ5602のゲート電位がV1より小さいと、信号線5606に入力されたVsig(H)を駆動トランジスタ5601のゲート端子に入力することができなくなってしまうからである。すると、駆動トランジスタ5601を完全にオフにすることができず、発光素子5604がわずかに発光してしま

10

20

30

40

50

うことがある。

【0242】

また、第1の走査線5605のLレベルの信号は、 $V_{sig}(L)$ よりも低い電位とすることが望ましい。例えば、第1の走査線5605のLレベルの信号が、画素を点灯にするビデオ信号（駆動トランジスタ5601がオンするゲート電位 $V_{sig}(L)$ ）と等しい電位である場合、 $V_{sig}(H)$ が書き込まれている画素は、他の行の画素への信号書き込みのために信号線5606に $V_{sig}(L)$ が入力されると、スイッチングトランジスタ5602のゲートソース間電圧は0Vとなる。すると、スイッチングトランジスタ5602がノーマリーオンとなってしまうときにはオフ電流が流れてしまう。したがって、容量素子5603に蓄積された電荷が放電し、駆動トランジスタ5601のゲート電位が低くなることにより、駆動トランジスタ5601に電流が流れ、発光素子5604がわずかに発光してしまうことがある。

10

【0243】

次に消去動作について説明する。第2の走査線5610にHレベルの信号を入力する。すると、整流素子5609に電流が流れる。すると、駆動トランジスタ5601及び相補用トランジスタ5611のゲート端子の電位をある電位にすることができる。この電位は、第2の走査線5610のHレベルの電位より整流素子5609のしきい値電圧分低い電位である。よって、消去動作により、画素を非点灯にするため、第2の走査線5610にHレベルの電位はビデオ信号 $V_{sig}(H)$ より整流素子5609のしきい値電圧分高い電位とするとよい。

20

【0244】

このとき、第2の走査線5610にHレベルの信号は、電源線5607にHレベルの信号を入力される高電源電位以上の電位とすることが望ましい。このHレベルの信号の電位を適宜設定することにより、消去期間において駆動トランジスタ5601を強制的にオフさせる場合に、駆動トランジスタ5601のゲート端子の電位をソース端子の電位よりも高くすることができる。したがって、駆動トランジスタ5601がノーマリーオンの場合でも駆動トランジスタ5601をオフにし、発光素子5604がわずかに発光してしまうのを防ぐことができる。

【0245】

なお、第2の走査線5610のHレベルは、第1の走査線5605のHレベルと同じでもよい。その結果、電源数を削減することができる。

30

【0246】

なお、消去動作時以外は、第2の走査線5610はLレベルの信号とする。このLレベルの信号の電位は、画素を点灯とするビデオ信号（駆動トランジスタ5601をオンにするゲート電位 $V_{sig}(L)$ ）以下の電位とすることが望ましい。しかし、このLレベルの電位を低くし過ぎると、画素に非点灯のビデオ信号（駆動トランジスタ5601をオフにするゲート電位 $V_{sig}(H)$ ）が書き込まれていた場合に、整流素子5609に印加される逆バイアス電圧が大きくなってしまい、整流素子5609へ流れるオフ電流（逆方向電流ともいう）が大きくなってしまい、容量素子5603に保持した電荷が漏れてしまう。そして、駆動トランジスタ5601のゲート電位が低くなり、駆動トランジスタ5601のオフ電流が大きくなってしまい、よって、好ましくは、このLレベルの信号の電位は、画素を点灯にするビデオ信号（駆動トランジスタ5601をオンにするゲート電位 $V_{sig}(L)$ ）と等しくするとよい。

40

【0247】

なお、図56の整流素子5609には、抵抗素子、PN接合ダイオード、PIN接合ダイオード、ショットキー型のダイオード、ダイオード接続したトランジスタ、カーボンナノチューブで形成されたダイオードのいずれか一又はそれらの組み合わせを用いることができる。実施の形態1で示した構成を適宜用いることができる。

【0248】

また、整流素子の代わりに、電位伝達素子を用いることもできる。電位伝達素子としては

50

、実施の形態 2 で示した様々な構成を用いることができる。

【0249】

なお、本画素構成では、ビデオ信号の電位や、第 2 の走査線に入力する電位を適宜設定することにより、駆動トランジスタのオフ電流を低減することができる。さらに、駆動トランジスタと相補的にオンオフする相補用トランジスタを設けることにより、駆動トランジスタにオフ電流が流れても、画素を非点灯（黒表示）にすることができるため、表示不良を防止することができる。

【0250】

なお、配線 5612 と発光素子 5604 の対向電極に入力する電位を等しくする場合には、配線 5612 と対向電極 5608 とを接続することにより、対向電極の抵抗を低くすることができるため消費電力の低減を図ることができる。

10

【0251】

その場合についての画素の部分断面について図 57 を用いて説明する。

【0252】

基板 5701 上に下地膜 5702 を有している。基板 5701 としてはガラス基板、石英基板、プラスチック基板、セラミックス基板等の絶縁性基板、金属基板、半導体基板等を用いることができる。下地膜 5702 は CVD 法やスパッタ法により形成することができる。例えば SiH_4 、 N_2O 、 NH_3 を原料に用いた CVD 法により形成した酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を適用することができる。また、これらの積層を用いても良い。なお、下地膜 5702 は基板 5701 から不純物が半導体層に拡散することを防ぐために設けるものであり、基板 5701 にガラス基板や石英基板を用いている場合には下地膜 5702 は設けなくてもよい。

20

【0253】

下地膜 5702 上に島状の半導体層を有する。半導体層には P 型のチャネルが形成されるチャネル形成領域 5703、ソース領域又はドレイン領域となる不純物領域 5704、N 型のチャネルが形成されるチャネル形成領域 5705、ソース又はドレイン領域となる不純物領域 5720、低濃度不純物領域（LDD 領域）5721 が形成されている。そして、チャネル形成領域 5703 及びチャネル形成領域 5705 上にゲート絶縁膜 5706 を介してゲート電極 5707 を有している。ゲート絶縁膜 5706 としては CVD 法やスパッタ法により形成される酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を用いることができる。また、ゲート電極 5707 としてはアルミニウム（Al）膜、銅（Cu）膜、アルミニウム又は銅を主成分とする薄膜、クロム（Cr）膜、タンタル（Ta）膜、窒化タンタル（Ta₂N）膜、チタン（Ti）膜、タングステン（W）膜、モリブデン（Mo）膜等を用いることができる。

30

【0254】

ゲート電極 5707 の脇にはサイドウォール 5722 が形成されている。ゲート電極 5707 を覆うようにシリコン化合物、例えば、酸化シリコン膜、窒化シリコン膜若しくは酸化窒化シリコン膜を形成した後、エッチバックしてサイドウォール 5722 を形成することができる。

【0255】

なお、LDD 領域 5721 はサイドウォール 5722 の下部に位置している。つまり、自己整合的に LDD 領域 5721 が形成されている。なお、サイドウォール 5722 は、LDD 領域 5721 を自己整合的に形成するために設けているのであって、必ずしも設けなくともよい。

40

【0256】

ゲート電極 5707、サイドウォール 5722 およびゲート絶縁膜 5706 上には第 1 の層間絶縁膜を有している。第 1 の層間絶縁膜は下層に無機絶縁膜 5718、上層に樹脂膜 5708 を有している。無機絶縁膜 5718 としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜 5708 としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる

50

。

【0257】

第1の層間絶縁膜上には、第1の電極5709及び第2の電極5724を有し、第1の電極5709はコンタクトホールを介して不純物領域5704及び不純物領域5720と電氣的に接続されている。また、第2の電極5724はコンタクトホールを介して不純物領域5720と電氣的に接続されている。第1の電極5709及び第2の電極5724としては、チタン(Ti)膜やアルミニウム(Al)膜や銅(Cu)膜やTiを含むアルミニウム膜などを用いることができる。なお、第1の電極5709及び第2の電極5724と同じ層に信号線などの配線を設ける場合には低抵抗な銅を用いるとよい。

【0258】

第1の電極5709、第2の電極5724および第1の層間絶縁膜上に第2の層間絶縁膜5710を有する。第2の層間絶縁膜としては、無機絶縁膜や、樹脂膜、又はこれらの積層を用いることができる。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

【0259】

第2の層間絶縁膜5710上には画素電極5711および配線5719を有している。画素電極5711および配線5719は同じ材料により形成されている。つまり、同じ層に同時に形成されている。画素電極5711や配線5719に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン(TiN)膜、クロム(Cr)膜、タングステン(W)膜、亜鉛(Zn)膜、プラチナ(Pt)膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【0260】

画素電極5711および配線5719の端部を覆うように絶縁物5712を有する。例えば、絶縁物5712としては、ポジ型の感光性アクリル樹脂膜を用いることができる。

。

【0261】

画素電極5711上に有機化合物を含む層5713が形成され、有機化合物を含む層5713の一部は絶縁物5712上に重なっている。なお、有機化合物を含む層5713は、配線5719上には形成されていない。

【0262】

有機化合物を含む層5713、絶縁物5712および配線5719上に対向電極5714を有している。対向電極5714に用いる材料としては、仕事関数の小さい材料を用いることが望ましい。例えば、アルミニウム(Al)、銀(Ag)、リチウム(Li)、カルシウム(Ca)、若しくはこれらの合金又は、MgAg、MgIn、AlLi、CaF₂、若しくはCa₃N₂などの金属薄膜を用いることができる。こうして薄い金属薄膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0263】

対向電極5714と画素電極5711とにより有機化合物を含む層5713が挟まれた領域では発光素子5716が形成されている。

【0264】

また、絶縁物5712により有機化合物を含む層5713が隔離されている領域では、接合部5717が形成され、対向電極5714と配線5719とが接している。よって、配線5719が対向電極5714の補助電極として機能し、対向電極5714を低抵抗化することができる。よって、対向電極5714の膜厚を薄くすることができ、透過率を高くすることができる。したがって、発光素子5716から得られる光を上面から取り出す上

10

20

30

40

50

面射出構造において、より高い輝度を得ることができる。

【0265】

なお、対向電極5714をより低抵抗化するため、金属薄膜と透明導電膜（ITO（インジウムスズ酸化物）、インジウム亜鉛酸化物（IZO）、酸化亜鉛（ZnO）等）との積層を用いてもよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることによっても光を透過させることが可能な陰極を形成することができる。

【0266】

なお、不純物領域5704にはP型の不純物がドーピングされている。また、不純物領域5720にはN型の不純物がドーピングされている。よって、トランジスタ5715はPチャネル型のトランジスタであり、トランジスタ5723はNチャネル型のトランジスタ

10

【0267】

つまり、トランジスタ5715が図56の画素の駆動トランジスタ5601であり、トランジスタ5723が図56の画素の相補用トランジスタ5611である。また、配線5719が図56の画素における配線5612であり、対向電極5714が図56の画素における発光素子5604の対向電極5608である。つまり、図56の画素において配線5612と発光素子5604の対向電極5608とが接続されている。

【0268】

なお、図57で説明した表示パネルは対向電極5714の膜を薄くすることができ、上面から射出する光の透光性がよい。よって、上面からの輝度が高くすることができる。また、対向電極5714と配線5719を接続することにより、対向電極5714及び配線5719を低抵抗化することができる。よって、消費電力の低減を図ることができる。

20

【0269】

次に模式図58(a)、(b)を用いて表示パネルの構成について説明する。基板5800上に信号線駆動回路5801、走査線駆動回路5802、画素部5803が形成されている。なお、基板5800はFPC5804と接続され、信号線駆動回路5801や走査線駆動回路5802に輸入されるビデオ信号、クロック信号、スタート信号等の信号を外部入力端子となるFPC（フレキシブルプリントサーキット）5804からを受け取る。FPC5804と基板5800との接合部上にはICチップ（メモリ回路や、バッファ回路などが形成された半導体チップ）5805がCOG（Chip On Glass）等

30

【0270】

図58(a)に示す表示パネルの画素部5803には画素がマトリクスに配置されている。そして、それぞれの色要素毎の画素列となっている。そして、有機化合物を含む層5807は色毎に一行分の画素に渡って設けられている。そして、画素部において、有機化合物を含む層5807の設けられていない領域5806にて、画素電極と同じ材料で形成された配線と対向電極との接合部を形成する。つまり、図57の断面図における接合部5717を図58(a)における領域5806に形成する。また、画素部における上面の模式図を図59に示す。図59は、画素電極5901と同じ材料にて配線5902が形成されている。そして、画素電極5901は図57の画素電極5711に相当し、配線5902が図57の配線5719に相当する。一行分の画素電極5901に渡って有機化合物を含む層が形成され、画素電極5901と対向電極で挟まれる領域にそれぞれ発光素子が形成される。そして、接合部では対向電極と配線5902と接しているため対向電極の低抵抗化を図ることができる。つまり、配線5902が対向電極の補助電極として機能する。なお、図59のような画素部の構成とすることで開口率が高く、且つ対向電極の低抵抗化を図った表示パネルを提供することが可能となる。

40

50

【0271】

図58(b)に示す表示パネルの画素部5803には画素がマトリクスに配置されている。そして、それぞれの色要素毎の画素列となっている。そして、有機化合物を含む層5817は色毎に一分の画素にそれぞれ設けられている。そして、画素部において、有機化合物を含む層5817の設けられていない領域5816にて、画素電極と同じ材料で形成された配線と対向電極との接合部を形成する。つまり、図57の断面図における接合部5717を図58(b)における領域5816に形成する。また、画素部における上面の模式図を図60に示す。図60は、画素電極6001と同じ材料にて配線6002が形成されている。そして、画素電極6001は図57の画素電極5711に相当し、配線6002が図57の配線5719に相当する。画素電極6001のそれぞれに有機化合物を含む層が形成され、画素電極6001と対向電極で挟まれる領域にそれぞれ発光素子が形成される。そして、接合部では対向電極と配線6002と接しているため対向電極の低抵抗化を図ることができる。つまり、配線6002が対向電極の補助電極として機能する。なお、図60のような画素部の構成とすることでより対向電極の低抵抗化を図った表示パネルを提供することが可能となる。

10

【0272】

本実施の形態に示した表示パネルは、対向電極の透光性がよく、画素の開口率が高いため、輝度を低くしても必要な光度を得ることができる。よって、発光素子の信頼性を向上させることができる。また、対向電極の低抵抗化も図れるため消費電力も低減することができる。

20

【0273】

よって、本実施の形態に示す画素構成により、例えば図8を用いて説明した駆動方法を実現することができる。

【0274】

(実施の形態4)

次に、上述した画素を有する表示装置について説明する。図5に示す表示装置は、信号線駆動回路501、第1の走査線駆動回路502、第2の走査線駆動回路505、画素部503を有している。信号線駆動回路501から列方向に延びて信号線S1～Snが配置され、第1の走査線駆動回路502から行方向に延びて第1の走査線G1～Gmが配置され、第2の走査線駆動回路505から行方向に延びて第2の走査線R1～Rmが配置されている。そして、信号線S1～Snと第1の走査線G1～Gm及び第2の走査線R1～Rmに対応して、複数の画素504が画素部503にマトリクスに配置されている。つまり、一画素に対して、信号線S1～Snのいずれか一と、第1の走査線G1～Gmのいずれか一と、第2の走査線R1～Rmのいずれか一とが接続されている。なお、画素504に、図1、図3、図4、図9、図10、図11、図12、図13、図16、図17、図18、図19、図20、図21、図22、図34、図40、図41、図42、図43、図44、図45、図46、図47、図50、図51、図53、図54、図55及び図56に示した画素構成を用いることができる。

30

【0275】

第1の走査線駆動回路502には、クロック信号(GCLK)、クロック反転信号(GCLKB)、スタートパルス信号(GSP)などの信号が入力される。そして、それらの信号にしたがって、選択する画素行の第1の走査線Gi(第1の走査線G1～Gmのうちいずれか一)に信号を出力する。なお、この第1の走査線Giが、図1、図3、図4、図9、図10、図11、図12、図13、図16、図17、図18、図19、図20、図21、図22、図34、図40、図41、図42、図43、図44、図45、図46、図47、図50、図51、図53、図54、図55及び図56に示した画素構成における、第1の走査線105や第1の走査線1305や第1の走査線4505や第1の走査線5305や第1の走査線5605などに相当する。

40

【0276】

第2の走査線駆動回路505には、クロック信号(RCLK)、クロック反転信号(R

50

__CLKB)、スタートパルス信号(R__SP)などの信号が入力される。そして、それらの信号にしたがって、選択する画素行の第2の走査線R_i(第2の走査線R₁~R_mのうちいずれか)に信号を出力する。なお、この第2の走査線R_iが、図1、図3、図4、図9、図10、図11、図12、図13、図16、図17、図18、図19、図20、図21、図22、図34、図40、図41、図42、図43、図44、図45、図46、図47、図50、図51、図53、図54、図55及び図56に示した画素構成における、第2の走査線110や第2の走査線1310や第2の走査線4510や第2の走査線5310や第2の走査線5610などに相当する。

【0277】

また、信号線駆動回路501には、クロック信号(S__CLK)、クロック反転信号(S__CLKB)、スタートパルス信号(S__SP)、ビデオ信号(Video Data)などの信号が入力される。そして、それらの信号にしたがって、各信号線S₁~S_nへそれぞれ各列の画素に応じたビデオ信号を出力する。なお、この信号線S₁~S_nのうちいずれか一の信号線S_jが、図1、図3、図4、図9、図10、図11、図12、図13、図16、図17、図18、図19、図20、図21、図22、図34、図40、図41、図42、図43、図44、図45、図46、図47、図50、図51、図53、図54、図55及び図56に示した画素構成における、信号線106や信号線1306や信号線4506や信号線5306や信号線5606などに相当する。

【0278】

よって、信号線S₁~S_nに入力されたビデオ信号は、走査線G_i(走査線G₁~G_mのうちいずれか)に入力された信号によって選択された画素行の各列の画素504に書き込まれる。そして、各走査線G₁~G_mにより各画素行が選択され、全ての画素504に各画素504に対応したビデオ信号が書き込まれる。そして、各画素504は書き込まれたビデオ信号のデータを一定期間保持する。そして、各画素504は、書き込まれた信号のデータを一定期間保持することによって、点灯又は非点灯の状態を維持することができる。

【0279】

ここで、本実施の形態の表示装置は、各画素504に書き込まれたビデオ信号のデータによって各画素504の点灯又は非点灯を制御し、発光期間の長さによって階調を表現する時間階調方式の表示装置である。なお、1表示領域(1フレーム)分の画像を完全に表示するための期間を1フレーム期間といい、本実施の形態の表示装置は1フレーム期間に複数のサブフレーム期間を有する。この1フレーム期間中の各サブフレーム期間の長さは概略等しくても、異なってもよい。つまり、1フレーム期間中において、サブフレーム期間毎に各画素504の点灯又は非点灯を制御し、画素504毎の点灯時間の合計時間の違いによって階調を表現する。

【0280】

なお、本発明の表示装置は、画素行を選択しているときに、信号線駆動回路から信号線の列づつにビデオ信号を入力し、画素の一つずつに信号の書き込みを行う点順次方式であってもよいし、選択している画素行の全ての画素に同時に信号の書き込みを行う線順次方式であってもよい。

【0281】

図6に線順次方式の表示装置の模式図を示す。信号線駆動回路601が図5の表示装置の信号線駆動回路501に相当する。他の共通するところは図5と共通の符号を用いて、その説明を省略する。

【0282】

信号線駆動回路601は、パルス出力回路602と、第1のラッチ回路603と、第2のラッチ回路604と、を有する。

【0283】

パルス出力回路602には、クロック信号(S__CLK)、クロック反転信号(S__CLKB)、スタートパルス信号(S__SP)などが入力される。そして、これらの信号のタ

10

20

30

40

50

イミングにしたがって、パルス出力回路602からサンプリングパルスが出力される。

【0284】

パルス出力回路602から出力されたサンプリングパルスは、第1のラッチ回路603に入力される。第1のラッチ回路603にはビデオ信号(Digital Video Data)が入力されており、サンプリングパルスが入力されるタイミングに従って、第1のラッチ回路603の各段にビデオ信号のデータを保持する。

【0285】

第1のラッチ回路603において、最終段までビデオ信号のデータの保持が完了すると、水平帰線期間中に、第2のラッチ回路604にラッチパルス信号(Latch Pulse)が入力され、第1のラッチ回路603に保持されていたビデオ信号のデータは、一斉に第2のラッチ回路604に転送される。その後、第2のラッチ回路604に保持されたビデオ信号のデータは画素1行分が同時に信号線S1~Snへ出力される。

10

【0286】

続いて、図7に点順次方式の表示装置の模式図を示す。信号線駆動回路701が図5の表示装置の信号線駆動回路501に相当する。他の共通するところは図5と共通の符号を用いて、その説明を省略する。

【0287】

信号線駆動回路701は、パルス出力回路702と、スイッチ群703と、を有する。

【0288】

パルス出力回路702には、クロック信号(S_CLK)、クロック反転信号(S_CLKB)、スタートパルス信号(S_SP)などが入力される。そして、これらの信号のタイミングにしたがって、パルス出力回路702からサンプリングパルスが出力される。

20

【0289】

パルス出力回路702から出力されたサンプリングパルスは、スイッチ群703に入力される。スイッチ群703のそれぞれのスイッチの一方の端子にはビデオ信号(Digital Video Data)が入力されており、他方の端子が信号線S1~Snへ接続されている。そして、スイッチ群703は、サンプリングパルスが入力されるタイミングに従って、各段のスイッチが順次オンする。すると、オンしたスイッチの段に対応した信号線S1~Snにビデオ信号が出力される。

【0290】

なお、本発明の表示装置は、これに限定されない。

30

【0291】

(実施の形態5)

また、本発明は信号の書き込みを電流によって行い、電流によって駆動する電流入力電流駆動型の画素にも適用することが可能である。そのような画素について図34を用いて説明する。

【0292】

図34に示す画素は、駆動トランジスタ3401、保持トランジスタ3402、スイッチングトランジスタ3403、容量素子3404、整流素子3405、発光素子3406、第1の走査線3407、第2の走査線3411、信号線3409、電源供給線3408、第3の走査線3410を有している。なお、発光素子3406の対向電極3412には低電源電位V_{ss}が入力されている。なお、駆動トランジスタ3401、保持トランジスタ3402及びスイッチングトランジスタ3403はNチャンネル型トランジスタである。

40

【0293】

駆動トランジスタ3401の第1端子(ソース端子又はドレイン端子)は、発光素子3406の画素電極と接続され、またスイッチングトランジスタ3403の第2端子(ソース端子又はドレイン端子)と接続されている。そして、スイッチングトランジスタ3403は第1端子(ソース端子又はドレイン端子)が信号線3409に接続され、ゲート端子が第2の走査線3411に接続されている。また、駆動トランジスタ3401の第2端子(ソース端子又はドレイン端子)は電源供給線3408と接続されている。さらに駆動トラ

50

ンジスタ3401は、ゲート端子が容量素子3404の一方の電極と接続され、第1端子は容量素子3404の他方の電極と接続されている。つまり、駆動トランジスタ3401は容量素子3404を介してゲート端子と第1端子が接続されている。また、保持トランジスタ3402は、第1端子(ソース端子又はドレイン端子)が駆動トランジスタ3401のゲート端子と接続され、第2端子(ソース端子又はドレイン端子)が電源供給線3408に接続されている。そして、保持トランジスタ3402のゲート端子は第1の走査線3407に接続されている。また、駆動トランジスタ3401のゲート端子と第3の走査線3410とは整流素子3405を介して接続されている。なお、整流素子3405の順方向電流の向きは駆動トランジスタ3401のゲート端子から第3の走査線3410へ流れる向きである。

10

【0294】

次に、画素の動作について説明する。

【0295】

画素へ信号の書き込み動作時において、第1の走査線3407及び第2の走査線3411に信号を入力する。そして、保持トランジスタ3402及びスイッチングトランジスタ3403をオンにする。

【0296】

また、電源供給線3408の電位をLレベルにする。このLレベルの電位は、発光素子3406の対向電極3412との電位差の絶対値が発光素子3406のしきい値電圧の絶対値を超えないようにする。

20

【0297】

こうして、信号線3409から入力される信号電流(ビデオ信号に相当する)がトランジスタ3401及び容量素子3404に分割して流れる。やがて、容量素子3404へ電流が流れなくなると、駆動トランジスタ3401に信号電流が流れるための駆動トランジスタ3401のゲートソース間電圧が容量素子3404に蓄積される。そして、第1の走査線3407及び第2の走査線3411への信号の入力が終わり保持トランジスタ3402とスイッチングトランジスタ3403がオフする。すると、容量素子3404では駆動トランジスタ3401が信号電流を流すためのゲートソース間電圧を保持する。

【0298】

続いて発光動作時には、電源供給線3408の電位をHレベルにする。すると、信号電流と同等の電流が発光素子3406へ流れる。

30

【0299】

そして、消去動作時には、第3の走査線3410をLレベルにする。すると、整流素子3405に電流が流れる。そして、駆動トランジスタ3401のゲート端子の電位をソース端子の電位よりも低くすることができる。つまり、駆動トランジスタ3401を強制的にオフさせることができる。

【0300】

なお、整流素子3405には、ダイオード接続したトランジスタを用いることが可能である。さらに、ダイオード接続したトランジスタの他にも、PN接合やPIN接合のダイオードやショットキー型のダイオードやカーボンナノチューブで形成されたダイオードやトランジスタやダイオード接続したトランジスタやこれらを組み合わせて用いてもよい。実施の形態1で示した整流素子を適宜適用することが可能である。

40

【0301】

(実施の形態6)

本実施の形態では、本発明の画素の適用可能な表示装置の他の駆動方法について図48に示すタイミングチャートを用いて説明する。

【0302】

横方向は時間経過を表し、縦方向は走査線の走査行数を表している。

【0303】

画像表示を行うとき、書き込み動作と発光動作とが繰り返し行われる。一画面(1フレー

50

ム) 分の書き込み動作と発光動作を行う期間を1フレーム期間という。1フレーム分の信号の処理について特に限定はないが、画像をみる人がちらつき(フリッカ)を感じないように少なくとも1秒間に60回程度とすることが好ましい。

【0304】

本実施の形態の表示装置は書き込み動作によって、画素毎の階調に従ったビデオ信号が画素に書き込まれる。つまりアナログの信号が画素に書き込まれる。このビデオ信号は電圧でも電流による信号でもよい。

【0305】

そして、サスティン期間において、そのビデオ信号を保持することによって階調を表現する。ここで、本発明の画素を有する表示装置は、消去動作により、画素に書き込まれた信号を消去する。すると、次のフレーム期間までは消去期間が設けられる。つまり、黒表示が挿入されることにより残像が見えにくくなる。こうして、動画特性の向上を図ることができる。

10

【0306】

本実施の形態の表示装置の画素には、例えば図1で示した画素を適用することができる。図1の画素において、信号線106へ入力するビデオ信号をアナログ信号にする。

【0307】

画素の書き込みの際には、第1の走査線105にHレベルの信号を入力して、スイッチングトランジスタ102をオンにする。そして、信号線106から駆動トランジスタ101のゲート端子にアナログ信号を入力する。こうして、画素への信号の書き込みが行われる。

20

【0308】

発光動作においては、第1の走査線105のレベルをLレベルにして、スイッチングトランジスタ102をオフにする。すると、容量素子103でアナログ信号の電位を保持する。そして、駆動トランジスタ101のゲート端子に入力されるこのアナログ信号の電位に従って、駆動トランジスタ101に流れる電流の大きさが制御される。つまり、駆動トランジスタ101はおもに飽和領域で動作させる。

【0309】

消去動作時には、第2の走査線110にHレベルの信号を入力し、整流素子109に電流を流す。すると、駆動トランジスタ101のゲート端子の電位を所定の電位にすることができる。こうして、信号の消去を行うことができる。この電位は電源線107の電位よりも高くすることができることから、駆動トランジスタ101のオフ電流を低減することができる。

30

【0310】

本発明の表示装置は、オフ電流が低減されることから、表示がおかしくなってしまうことを防止することができ、歩留まりの向上を図ることができる。

【0311】

なお、本実施の形態の駆動方法は実施の形態1~3、5、6で示した他の画素を有する表示装置にも適用することができる。

【0312】

(実施の形態7)

本実施の形態では、表示装置に用いる表示パネルの構成について図36(a)、(b)を用いて説明する。

40

【0313】

本実施の形態では、本発明の表示装置に適用可能な表示パネルについて図36(a)、(b)を用いて説明する。なお、図36(a)は、表示パネルを示す上面図、図36(b)は図36(a)をA-A'で切断した断面図である。点線で示された信号線駆動回路3601、画素部3602、第2の走査線駆動回路3603、第1の走査線駆動回路3606を有する。また、封止基板3604、シール材3605を有し、シール材3605で囲まれた内側は、空間3607になっている。なお、空間3607には絶縁物が注入されてい

50

てもよい。

【0314】

なお、配線3608は第2の走査線駆動回路3603、第1の走査線駆動回路3606及び信号線駆動回路3601に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)3609からビデオ信号、クロック信号、スタート信号等を受け取る。FPC3609と表示パネルとの接合部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)3619がCOG(Chip On Glass)等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における表示装置とは、表示パネル本体若しくは、それにFPCもしくはPWB

10

が取り付けられた状態をも含むものとする。また、ICチップなどが実装されたものを含むものとする。

【0315】

次に、断面構造について図36(b)を用いて説明する。基板3610上には画素部3602とその周辺駆動回路(第2の走査線駆動回路3603、第1の走査線駆動回路3606及び信号線駆動回路3601)が形成されているが、ここでは、信号線駆動回路3601と、画素部3602が示されている。

【0316】

なお、信号線駆動回路3601はNチャンネル型TFT3620やPチャンネル型TFT3621を用いてCMOS回路を構成している。また、本実施の形態では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をICチップなどに形成し、COGなどで実装しても良い。

20

【0317】

また、画素部3602はスイッチング用TFT3611と、駆動用TFT3612とを含む画素を構成する複数の回路を有している。なお、駆動用TFT3612の第1電極は画素電極3613と接続されている。また、画素電極3613の端部を覆って絶縁物3614が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0318】

また、カバレッジを良好なものとするため、絶縁物3614の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物3614の材料としてポジ型の感光性アクリルを用いた場合、絶縁物3614の上端部のみに曲率半径(0.2 μ m~3 μ m)を有する曲面を持たせることが好ましい。また、絶縁物3614として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

30

【0319】

画素電極3613上には、有機化合物を含む層3616、および対向電極3617がそれぞれ形成されている。ここで、陽極として機能する画素電極3613に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜、窒化チタン膜、クロム膜、タンゲステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタン膜とアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

40

【0320】

また、有機化合物を含む層3616は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層3616には、元素周期律第4族金属錯体をその一部に用いることとし、その他、組み合わせ用いることのできる材料としては、低分子系材料であっても高分子系材料であっても良い。また、有機化合物を含む層3616に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが

50

、本実施の形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

【0321】

さらに、有機化合物を含む層3616上に形成される対向電極3617に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCa₃N₂）を用いればよい。なお、有機化合物を含む層3616で生じた光が対向電極3617を透過させる場合には、対向電極3617として、膜厚を薄くした金属薄膜と、透明導電膜（ITO（酸化インジウム酸化ズ合金）、酸化インジウム酸化亜鉛合金（In₂O₃ ZnO）、酸化亜鉛（ZnO）等）との積層を用いるのが良い。こうして、陰極として機能する対向電極3617を形成する

10

【0322】

さらにシール材3605で封止基板3604を基板3610と貼り合わせることにより、基板3610、封止基板3604、およびシール材3605で囲まれた空間3607に発光素子3618が備えられた構造になっている。なお、空間3607には、不活性気体（窒素やアルゴン等）が充填される場合の他、シール材3605で充填される構成も含むものとする。

【0323】

なお、シール材3605にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板3604に用いる材料としてガラス基板や石英基板の他、FRP（Fiberglass-Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

20

【0324】

以上のようにして、表示パネルを得ることができる。

【0325】

図36示すように、信号線駆動回路3601、画素部3602、第2の走査線駆動回路3603及び第1の走査線駆動回路3606を一体形成することで、表示装置の低コスト化が図れる。

【0326】

なお、表示パネルの構成としては、図36(a)に示したように信号線駆動回路3601、画素部3602、第2の走査線駆動回路3603及び第1の走査線駆動回路3606を一体形成した構成に限られず、信号線駆動回路3601に相当する図37(a)に示す信号線駆動回路3701をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。なお、図37(a)の基板3700、画素部3702、第2の走査線駆動回路3704、第1の走査線駆動回路3703、FPC3705、ICチップ3706、ICチップ3707、封止基板3708、シール材3709は図36(a)の基板3610、画素部3602、第2の走査線駆動回路3603、第1の走査線駆動回路3606、FPC3609、ICチップ3619、ICチップ3622、封止基板3604、シール材3605に相当する。

30

40

【0327】

つまり、駆動回路の高速動作が要求される信号線駆動回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

【0328】

そして、第1の走査線駆動回路3703や第2の走査線駆動回路3704を画素部3702と一体形成することで、低コスト化が図れる。

【0329】

こうして、高精細な表示装置の低コスト化が図れる。また、FPC3705と基板3700との接続部において機能回路（メモリやバッファ）が形成されたICチップを実装する

50

ことで基板面積を有効利用することができる。

【0330】

また、図36(a)の信号線駆動回路3601、第2の走査線駆動回路3603及び第1の走査線駆動回路3606に相当する図37(b)の信号線駆動回路3711、第2の走査線駆動回路3714及び第1の走査線駆動回路3713をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするため、画素部に用いられるトランジスタの半導体層にはポリシリコン(p-Si:H)を用いることが望ましい。なお、図37(b)の基板3710、画素部3712、第FPC3715、ICチップ3716、ICチップ3717、封止基板3718、シール材3719は図36(a)の基板3610、画素部3602、FPC3609、ICチップ3619、封止基板3604、シール材3605に相当する。

10

【0331】

また、画素部3712のトランジスタの半導体層にアモルファスシリコン(a-Si:H)を用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを製作することも可能となる。

【0332】

上述した表示パネルの構成を、図38(a)の模式図で示す。基板3801上に、複数の画素が配置された画素部3802を有し、画素部3802の周辺には、第2の走査線駆動回路3803、第1の走査線駆動回路3804及び信号線駆動回路3805を有している。

20

【0333】

第2の走査線駆動回路3803、第1の走査線駆動回路3804及び信号線駆動回路3805に入力される信号はフレキシブルプリントサーキット(Flexible Print Circuit:FPC)3806を介して外部より供給される。

【0334】

なお、図示していないが、FPC3806上にCOG(Chip On Glass)やTAB(Tape Automated Bonding)等によりICチップが実装されていても良い。つまり、画素部3802と一体形成が困難な、第2の走査線駆動回路3803、第1の走査線駆動回路3804及び信号線駆動回路3805の一部のメモリやバッファなどをICチップ上に形成して表示装置に実装しても良い。

30

【0335】

ここで、本発明の表示装置は、図38(b)に示すように、第2の走査線駆動回路3803及び第1の走査線駆動回路3804を画素部3802の片側に配置しても良い。なお、図38(b)に示す表示装置は、図38(a)に示す表示装置と、第2の走査線駆動回路3803の配置が異なるだけであるので同様の符号を用いている。また、第2の走査線駆動回路3803及び第1の走査線駆動回路3804は一つの駆動回路で同様の機能を果たすようにしても良い。つまり、画素構成や駆動方法により適宜構成を変更すればよい。

【0336】

また、画素の行方向及び列方向にそれぞれ第1の走査線駆動回路、第2の走査線駆動回路及び信号線駆動回路を設けなくても良い。例えば、図39(a)に示すようにICチップ上に形成された周辺駆動回路3901が図37(b)に示す、第2の走査線駆動回路3714、第1の走査線駆動回路3713及び信号線駆動回路3711の機能を有するようにしても良い。なお、図39(a)の基板3900、画素部3902、第FPC3904、ICチップ3905、ICチップ3906、封止基板3907、シール材3908は図36(a)の基板3610、画素部3602、FPC3609、ICチップ3619、封止基板3604、シール材3605に相当する。

40

【0337】

なお、図39(a)の表示装置の信号線の接続を説明する模式図を図39(b)に示す。基板3910、周辺駆動回路3911、画素部3912、FPC3913、FPC391

50

4有する。FPC3913より周辺駆動回路3911に外部からの信号及び電源電位が入力される。そして、周辺駆動回路3911からの出力は、画素部3912の有する画素に接続された行方向の走査線や列方向の信号線に入力される。

【0338】

さらに、発光素子3618に適用可能な発光素子の例を図28(a)、(b)に示す。つまり、実施の形態1で示した画素に適用可能な発光素子の構成について図28(a)、(b)を用いて説明する。

【0339】

図28(a)の発光素子は、基板2801の上に陽極2802、正孔注入材料からなる正孔注入層2803、その上に正孔輸送材料からなる正孔輸送層2804、発光層2805、電子輸送材料からなる電子輸送層2806、電子注入材料からなる電子注入層2807、そして陰極2808を積層させた素子構造である。ここで、発光層2805は、一種類の発光材料のみから形成されることもあるが、2種類以上の材料から形成されてもよい。また本発明の素子の構造は、この構造に限定されない。

【0340】

また、図28で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、パリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し、発光領域を二つの領域にわけることによって得られる白色発光素子などにも応用可能である。

【0341】

図28に示す本発明の素子作製方法は、まず、陽極2802(ITO)を有する基板2801に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極2808を蒸着で形成する。

【0342】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【0343】

正孔注入材料としては、有機化合物であればポルフィリン系の化合物や、フタロシアニン(以下「H₂Pc」と記す)、銅フタロシアニン(以下「CuPc」と記す)などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸(以下「PSS」と記す)をドーブしたポリエチレンジオキシチオフェン(以下「PEDOT」と記す)や、ポリアニンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド(以下「PI」と記す)がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム(以下「アルミナ」と記す)の超薄膜などがある。

【0344】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系(すなわち、ベンゼン環-窒素の結合を有するもの)の化合物である。広く用いられている材料として、2,8'-ビス(ジフェニルアミノ)-ピフェニル(以下、「TAD」と記す)や、その誘導体である2,8'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ピフェニル(以下、「TPD」と記す)、2,8'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ピフェニル(以下、「NPD」と記す)がある。2,8',4"-トリス(N,N'-ジフェニル-アミノ)-トリフェニルアミン(以下、「TDATA」と記す)、2,8',4"-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(以下、「MTDATA」と記す)などのスターバースト型芳香族アミン化合物が挙げられる。

【0345】

電子輸送材料としては、金属錯体がよく用いられ、先に述べた Alq_3 、 $BAlq$ 、トリス(4-メチル-8-キノリノラト)アルミニウム(以下、「 $Almq$ 」と記す)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(以下、「 $BeBq$ 」と記す)などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2-(2-ヒドロキシフェニル)-ベンゾオキサゾラト]亜鉛(以下、「 $Zn(BOX)_2$ 」と記す)、ビス[2-(2-ヒドロキシフェニル)-ベンゾチアゾラト]亜鉛(以下、「 $Zn(BTZ)_2$ 」と記す)などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-(4-ピフェニル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(以下、「 PBD 」と記す)、 $OXD-7$ などのオキサジアゾール誘導体、 TAZ 、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ピフェニル)-20、4-トリアゾール(以下、「 $p-EtTAZ$ 」と記す)などのトリアゾール誘導体、バソフェナントロリン(以下、「 $BPhen$ 」と記す)、 BCP などのフェナントロリン誘導体が電子輸送性を有する。

10

【0346】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネート(以下、「 $Li(acac)$ 」と記す)や8-キノリノラト-リチウム(以下、「 Liq 」と記す)などのアルカリ金属錯体も有効である。

20

【0347】

発光材料としては、先に述べた Alq_3 、 $Almq$ 、 $BeBq$ 、 $BAlq$ 、 $Zn(BOX)_2$ 、 $Zn(BTZ)_2$ などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の28'-ビス(2,2'-ジフェニル-ビニル)-ピフェニルや、赤橙色の4-(ジシアノメチレン)-2-メチル-6-(p-ジメチルアミノスチリル)-4H-ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス(2-フェニルピリジン)イリジウム、ビス(2-(4'-トリル)ピリジナト-N, C^{2'})アセチルアセトナトイリジウム(以下「 $acacIr(tpy)_2$ 」と記す)、2,3,7,8,20,13,17,18-オクタエチル-21H,23Hポルフィリン-白金などが知られている。

30

【0348】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の発光素子を作製することができる。

【0349】

また、実施の形態1で示した画素構成の駆動トランジスタの極性を変更し、Nチャネル型のトランジスタにして、発光素子の対向電極の電位と電源線に設定する電位との高低を逆にすれば、図28(a)とは逆の順番に層を形成した発光素子を用いることができる。つまり、図28(b)に示すように、基板2801の上に陰極2808、電子注入材料からなる電子注入層2807、その上に電子輸送材料からなる電子輸送層2806、発光層2805、正孔輸送材料からなる正孔輸送層2804、正孔注入材料からなる正孔注入層2803、そして陽極2802を積層させた素子構造である。

40

【0350】

また、発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にTFT及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

【0351】

上面射出構造の発光素子について図29(a)を用いて説明する。

50

【0352】

基板2900上に下地膜2905を介して駆動用TF T 2901が形成され、駆動用TF T 2901のソース電極に接して第1の電極2902が形成され、その上に有機化合物を含む層2903と第2の電極2904が形成されている。

【0353】

また、第1の電極2902は発光素子の陽極である。そして第2の電極2904は発光素子の陰極である。つまり、第1の電極2902と第2の電極2904とで有機化合物を含む層2903が挟まれているところが発光素子となる。

【0354】

また、ここで、陽極として機能する第1の電極2902に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

10

【0355】

また、陰極として機能する第2の電極2904に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCa₃N₂)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、インジウム亜鉛酸化物(IZO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

20

【0356】

こうして、図29(a)の矢印に示すように発光素子からの光を上面に取り出すことが可能になる。つまり、図36の表示パネルに適用した場合には、基板3610側に光が射出することになる。従って上面射出構造の発光素子を表示装置に用いる場合には封止基板3604は光透過性を有する基板を用いる。

【0357】

また、光学フィルムを設ける場合には、封止基板3604に光学フィルムを設ければよい。

30

【0358】

なお、実施の形態1の図36の画素構成の場合には、第1の電極2902を陰極として機能するMgAg、MgIn、AlLi等の仕事関数の小さい材料からなる金属膜を用いることができる。そして、第2の電極2904にはITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができる。

【0359】

また、下面射出構造の発光素子について図29(b)を用いて説明する。射出構造以外は図29(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

40

【0360】

ここで、陽極として機能する第1の電極2902に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0361】

また、陰極として機能する第2の電極2904に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCa₃N₂)からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

50

【0362】

こうして、図29(b)の矢印に示すように発光素子からの光を下面に取り出すことが可能になる。つまり、図36の表示パネルに適用した場合には、基板3610側に光が射出することになる。従って下面射出構造の発光素子を表示装置に用いる場合には基板3610は光透過性を有する基板を用いる。

【0363】

また、光学フィルムを設ける場合には、基板3610に光学フィルムを設ければよい。

【0364】

両面射出構造の発光素子について図29(c)を用いて説明する。射出構造以外は図29(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

10

【0365】

ここで、陽極として機能する第1の電極2902に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0366】

また、陰極として機能する第2の電極2904に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCa₃N₂)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、酸化インジウム酸化亜鉛合金(In₂O₃、ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

20

【0367】

こうして、図29(c)の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。つまり、図36の表示パネルに適用した場合には、基板3610側と封止基板3604側に光が射出することになる。従って両面射出構造の発光素子を表示装置に用いる場合には基板3610および封止基板3604は、ともに光透過性を有する基板を用いる。

【0368】

また、光学フィルムを設ける場合には、基板3610および封止基板3604の両方に光学フィルムを設ければよい。

30

【0369】

また、白色の発光素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

【0370】

図30に示すように、基板3000上に下地膜3002が形成され、その上に駆動用TFT3001が形成され、駆動用TFT3001のソース電極に接して第1の電極3003が形成され、その上に有機化合物を含む層3004と第2の電極3005が形成されている。

【0371】

また、第1の電極3003は発光素子の陽極である。そして第2の電極3005は発光素子の陰極である。つまり、第1の電極3003と第2の電極3005とで有機化合物を含む層3004が挟まれているところが発光素子となる。図30の構成では白色光を発光する。そして、発光素子の上部に赤色のカラーフィルター3006R、緑色のカラーフィルター3006G、青色のカラーフィルター3006Bを設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス(BMともいう)3007が設けられている。

40

【0372】

上述した発光素子の構成は組み合わせて用いることができ、本発明の表示装置に適宜用いることができる。また、上述した表示パネルの構成や、発光素子は例示であり、もちろ

50

ん他の構成を本発明の表示装置に適用することもできる。

【0373】

(実施の形態8)

本発明は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラなどのカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうる発光装置を備えた装置)などが挙げられる。

10

【0374】

図35(A)は発光装置であり、筐体35001、支持台35002、表示部35003、スピーカ部35004、ビデオ入力端子35005等を含む。本発明の表示装置を表示部35003に用いることができる。なお、発光装置は、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用発光装置が含まれる。本発明の表示装置を表示部35003に用いた発光装置は、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【0375】

図35(B)はカメラであり、本体35101、表示部35102、受像部35103、操作キー35104、外部接続ポート35105、シャッター35106等を含む。

20

【0376】

本発明を表示部35102に用いたデジタルカメラは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【0377】

図35(C)はコンピュータであり、本体35201、筐体35202、表示部35203、キーボード35204、外部接続ポート35205、ポインティングマウス35206等を含む。本発明を表示部35203に用いたコンピュータは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【0378】

図35(D)はモバイルコンピュータであり、本体35301、表示部35302、スイッチ35303、操作キー35304、赤外線ポート35305等を含む。本発明を表示部35302に用いたモバイルコンピュータは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

30

【0379】

図35(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体35401、筐体35402、表示部A35403、表示部B35404、記録媒体(DVD等)読み込み部35405、操作キー35406、スピーカ部35407等を含む。表示部A35403は主として画像情報を表示し、表示部B35404は主として文字情報を表示することができる。本発明を表示部A35403や表示部B35404に用いた画像再生装置は、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

40

【0380】

図35(F)はゴーグル型ディスプレイであり、本体35501、表示部35502、アーム部35503を含む。本発明を表示部35502に用いたゴーグル型ディスプレイは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【0381】

図35(G)はビデオカメラであり、本体35601、表示部35602、筐体35603、外部接続ポート35604、リモコン受信部35605、受像部35606、バッテリー35607、音声入力部35608、操作キー35609、接眼部35610等を含む。本発明を表示部35602に用いたビデオカメラは、オフ電流によって生じる微発光

50

を低減し、きれいな表示を行うことが可能となる。

【0382】

図35(H)は携帯電話機であり、本体35701、筐体35702、表示部35703、音声入力部35704、音声出力部35705、操作キー35706、外部接続ポート35707、アンテナ35708等を含む。本発明を表示部35703に用いた携帯電話機は、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【0383】

このように本発明は、あらゆる電子機器に適用することが可能である。

【0384】

(実施の形態9)

本実施例において、本発明の画素構成を用いた表示装置を表示部に有する携帯電話の構成例について図33を用いて説明する。

【0385】

表示パネル3310はハウジング3300に脱着自在に組み込まれる。ハウジング3300は表示パネル3310のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル3310を固定したハウジング3300はプリント基板3301に嵌入されモジュールとして組み立てられる。

【0386】

表示パネル3310はFPC3311を介してプリント基板3301に接続される。プリント基板3301には、スピーカ3302、マイクロフォン3303、送受信回路3304、CPU及びコントローラなどを含む信号処理回路3305が形成されている。このようなモジュールと、入力手段3306、バッテリー3307を組み合わせ、筐体3309に収納する。表示パネル3310の画素部は筐体3309に形成された開口窓から視認できよう配置する。

【0387】

表示パネル3310は、画素部と一部の周辺駆動回路(複数の駆動回路のうち動作周波数の低い駆動回路)を基板上にTFTを用いて一体形成し、一部の周辺駆動回路(複数の駆動回路のうち動作周波数の高い駆動回路)をICチップ上に形成し、そのICチップをCOG(Chip On Glass)で表示パネル3310に実装しても良い。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いてガラス基板と接続してもよい。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した表示パネルの構成は図37(a)に一例を示してある。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

【0388】

また、さらに消費電力の低減を図るため、図37(b)に示すように、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG(Chip On Glass)などで表示パネルに実装しても良い。

【0389】

また、本実施例に示した構成は携帯電話の一例であって、本発明の画素構成はこのような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。

【0390】

(実施の形態10)

図31は表示パネル3101と、回路基板3102を組み合わせたELモジュールを示している。表示パネル3101は画素部3103、走査線駆動回路3104及び信号線駆動回路3105を有している。回路基板3102には、例えば、コントロール回路3106や信号分割回路3107などが形成されている。表示パネル3101と回路基板3102は接続配線3108によって接続されている。接続配線にはFPC等を用いることがで

10

20

30

40

50

きる。

【0391】

表示パネル3101は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にTFTを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネル3101に実装するとよい。あるいは、そのICチップをTAB（Tape Auto Bonding）やプリント基板を用いて表示パネル3101に実装しても良い。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した構成は図37（a）に一例を示してある。

10

【0392】

また、さらに消費電力の低減を図るため、ガラス基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネルに実装してもよい。なお、基板上に画素部を形成し、その基板上に周辺駆動回路を形成したICチップをCOG等で実装した構成は図37（b）に一例を示してある。

【0393】

このELモジュールによりELテレビ受像機を完成させることができる。図32は、ELテレビ受像機の主要な構成を示すブロック図である。チューナ3201は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路3202と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路3203と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路3106により処理される。コントロール回路3106は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路3107を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

20

【0394】

チューナ3201で受信した信号のうち、音声信号は音声信号増幅回路3204に送られ、その出力は音声信号処理回路3205を経てスピーカ3206に供給される。制御回路3207は受信局（受信周波数）や音量の制御情報を入力部3208から受け、チューナ3201や音声信号処理回路3205に信号を送出する。

30

【0395】

図35（A）に示すように、図31のELモジュールを筐体35001に組みこんで、テレビ受像機を完成させることができる。ELモジュールにより、表示部35003が形成される。また、スピーカ部35004、ビデオ入力端子35005などが適宜備えられている。

【0396】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【実施例1】

40

【0397】

本実施例において、図1の画素で示した第1の走査線105及び第2の走査線110のそれぞれの信号のHレベルとLレベルの電位、信号線106に inputsするビデオ信号（画素を点灯にする信号Vsig（L）及び画素を非点灯にする信号Vsig（H））の電位、並びに電源線107と対向電極108のそれぞれの電位の関係についてさらに詳しく説明する。

【0398】

画素がn行分配置された表示装置の画素部には、第1の走査線105がn本配置されている。そして、それぞれの第1の走査線には、図52（A）に示すようにパルスが出力される。そして、各行において、パルスが入力されている行の画素にビデオ信号が入力される

50

。なお、一例として j 列目の画素のビデオ信号を図 5 2 (A) に示している。1 行 j 列目の画素には、画素を非点灯にするビデオ信号 ($V_{sig}(H)$) が書き込まれる。また、2 行目 j 列の画素には、画素を点灯にするビデオ信号 ($V_{sig}(L)$) が書き込まれる。

【 0 3 9 9 】

なお、 $V_{sig}(H)$ は、電源線 1 0 7 に入力される高電源電位 V_{dd} と、駆動トランジスタ 1 0 1 のしきい値電圧 V_{thp} を用いて、 $V_{sig}(H) > V_{dd} + V_{thp}$ を満たす電位であることが望ましい。つまり、駆動トランジスタ 1 0 1 がエンハンスメント型トランジスタであれば、 V_{thp} は負の電圧であるため、 $V_{sig}(H) = V_{dd}$ でもよいが、駆動トランジスタ 1 0 1 がディプレッション型である場合には V_{thp} が正の電圧になるので、 $V_{sig}(H)$ の電位は $V_{sig}(H) > V_{dd}$ であることが望ましい。一方、 $V_{sig}(H)$ の電位を高くしすぎるとビデオ信号の振幅が大きくなるので消費電力が大きくなってしまふ。よって、例えば、 $V_{sig}(H)$ は高電源電位 V_{dd} より、1 ~ 3 V 高い電位であることが望ましい。

10

【 0 4 0 0 】

なお、 $V_{sig}(L)$ は、駆動トランジスタ 1 0 1 を線形領域で動作させることができる電位であればよい。よって、対向電極 1 0 8 と同じ電位でもいいし、それより高い電位であってもよい。対向電極 1 0 8 の電位と同じにすることで電源数を減らすことができる。また、対向電極 1 0 8 の電位よりも高い電位にすることで、ビデオ信号の振幅を減らし、消費電力を低減することもできる。

20

【 0 4 0 1 】

第 1 の走査線 1 0 5 に入力される H レベルの電位を V_{GH} 、L レベルの電位を V_{GL} とする。

【 0 4 0 2 】

すると、 V_{GH} は信号線 1 0 6 に入力されるビデオ信号 $V_{sig}(H)$ を駆動トランジスタ 1 0 1 のゲート端子に入力することができる電位であることが望ましい。つまり、画素を非点灯にするビデオ信号 $V_{sig}(H)$ よりもスイッチングトランジスタ 1 0 2 のしきい値電圧 V_{thn} 分高い電位であることが望ましい。よって、 V_{GH} は、 $V_{GH} > V_{sig}(H) + V_{thn}$ となる電位であることが望ましい。例えば、 V_{GH} は $V_{sig}(H)$ より、1 ~ 3 V 高い電位であることが望ましい。

30

【 0 4 0 3 】

また、第 1 の走査線 1 0 5 の L レベルの電位 V_{GL} は、 $V_{sig}(L)$ よりも低い電位とすることが望ましい。例えば、第 1 の走査線 1 0 5 の L レベルの電位が、画素を点灯にするビデオ信号 (駆動トランジスタ 1 0 1 がオンするゲート電位 $V_{sig}(L)$) と等しい電位である場合、 $V_{sig}(H)$ が書き込まれている画素は、他の行の画素への信号書き込みのために信号線 1 0 6 に $V_{sig}(L)$ が入力されると、スイッチングトランジスタ 1 0 2 のゲートソース間電圧は 0 V となる。すると、スイッチングトランジスタ 1 0 2 がノーマリーオンとなってしまうときにはオフ電流が流れてしまう。したがって、容量素子 1 0 3 に蓄積された電荷が放電し、駆動トランジスタ 1 0 1 のゲート電位が低くなることにより、駆動トランジスタ 1 0 1 に電流が流れ、発光素子 1 0 4 がわずかに発光してしまうことがある。よって、画素へ書き込まれた信号がスイッチングトランジスタ 1 0 2 から漏れないようにするため、 V_{GL} は、 $V_{GL} < V_{sig}(L) + V_{thn}$ となる電位であることが望ましい。例えば、 V_{GL} は $V_{sig}(L)$ より、1 ~ 3 V 低い電位であることが望ましい。なお、スイッチングトランジスタ 1 0 2 がエンハンスメント型になるのであれば、 $V_{GL} = V_{sig}(L)$ でも構わない。こうすることにより電源数を減らすことができるとともに消費電力を低減することができる。

40

【 0 4 0 4 】

よって、図 5 2 (B) に示すように、第 1 の走査線 1 0 5 に入力する信号の H レベルの電位 V_{GH} と L レベルの電位 V_{GL} 、及び画素に入力するビデオ信号 $V_{sig}(H)$ と $V_{sig}(L)$ の電位は、 $V_{GH} > V_{sig}(H) > V_{sig}(L) > V_{GL}$ にするとよい。

50

または、スイッチングトランジスタ102をエンハンスメント型にできるのであれば、 $V_{G_H} > V_{sig}(H) > V_{sig}(L) = V_{G_L}$ にするとよい。

【0405】

また、第2の走査線110には、図61(A)に示すように順々にLレベルからHレベルの電位が入力される。こうしてHレベルの電位が入力された行から画素は非点灯になる。そして、消去期間の間Hレベルにしておくことにより、画素を非点灯にする電位が入力された駆動トランジスタ101のゲート端子から電荷が漏れてしまい、電位が下がってしまうのを防ぐことができる。

【0406】

なお、第2の走査線110に入力するHレベルの電位を $V_{G_{2H}}$ 、Lレベルの電位を $V_{G_{2L}}$ とする。

【0407】

すると、 $V_{G_{2H}}$ は信号線106に入力される電位が駆動トランジスタ101を完全にオフにすることができる電位であることが望ましい。よって、整流素子109のしきい値電圧 V_{thd} を用いて、 $V_{G_{2H}} - V_{thd} > V_{dd} + V_{thp}$ を満たす電位であることが望ましい。つまり、駆動トランジスタ101がエンハンスメント型トランジスタであれば、 V_{thp} は負の電圧であるため、 $V_{G_{2H}} - V_{thd} = V_{dd}$ でもよいが、駆動トランジスタ101がディプレション型である場合には V_{thp} が正の電圧になるので、 $V_{G_{2H}}$ の電位は $V_{G_{2H}} > V_{dd} + V_{thd}$ であることが望ましい。一方、 $V_{G_{2H}}$ の電位を高くしすぎるとビデオ信号の振幅が大きくなるので消費電力が大きくなってしまふ。よって、例えば、 $V_{G_{2H}}$ は高電源電位 V_{dd} より、1~3V高い電位であることが望ましい。また、 $V_{G_{2H}}$ と V_{G_H} を等しい電位にすれば電源数を減らすことができる。

【0408】

また、第1の走査線105のLレベルの電位 $V_{G_{2L}}$ は、画素を点灯とするビデオ信号(駆動トランジスタ101をオンにするゲート電位 $V_{sig}(L)$)以下の電位とすることが望ましい。しかし、このLレベルの電位 V_{G_L} を低くし過ぎると、画素に非点灯のビデオ信号(駆動トランジスタ101をオフにするゲート電位 $V_{sig}(H)$)が書き込まれていた場合に、整流素子109に印加される逆バイアス電圧が大きくなってしまふことにより、整流素子109へ流れるオフ電流(逆方向電流ともいう)が大きくなってしまふ、容量素子103に保持した電荷が漏れてしまふ。そして、駆動トランジスタ101のゲート電位が低くなり、駆動トランジスタ101のオフ電流が大きくなってしまふ。よって、好ましくは、このLレベルの電位 V_{G_L} は、画素を点灯にするビデオ信号(駆動トランジスタ101をオンにするゲート電位 $V_{sig}(L)$)と等しくするとよい。

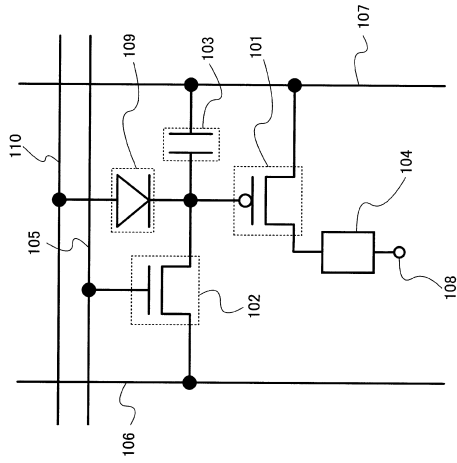
【0409】

よって、図62(B)に示すように、第2の走査線110に入力する信号のHレベルの電位 $V_{G_{2H}}$ とLレベルの電位 $V_{G_{2L}}$ 、及び画素に入力するビデオ信号 $V_{sig}(H)$ と $V_{sig}(L)$ の電位は、 $V_{G_{2H}} > V_{sig}(H) > V_{sig}(L) = V_{G_{2L}}$ にするとよい。

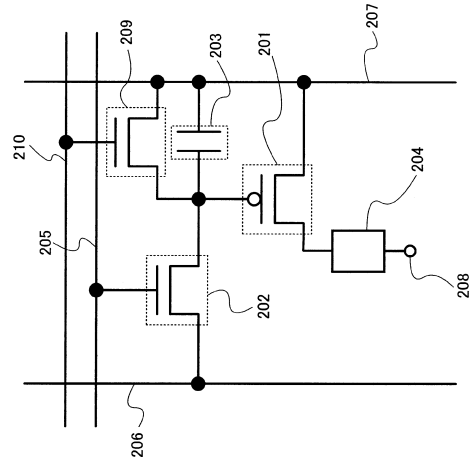
【0410】

したがって、 V_{G_H} と $V_{G_{2H}}$ を同じ電位とし、さらに V_{ss} と V_{G_L} を同じ電位にすることにより、図62に示すように、電源数を減らすことができる。

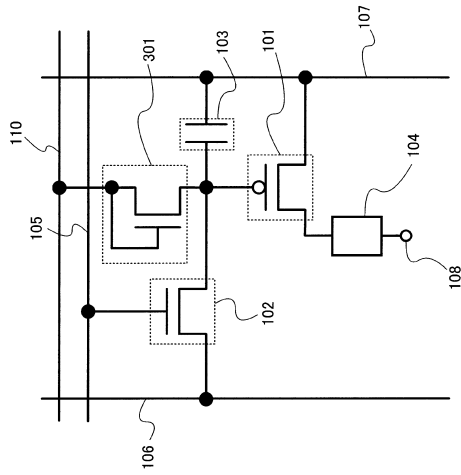
【図 1】



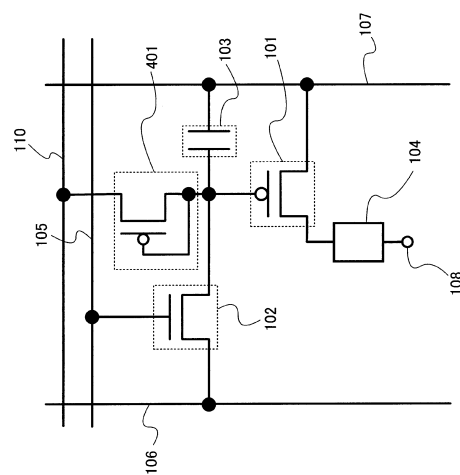
【図 2】



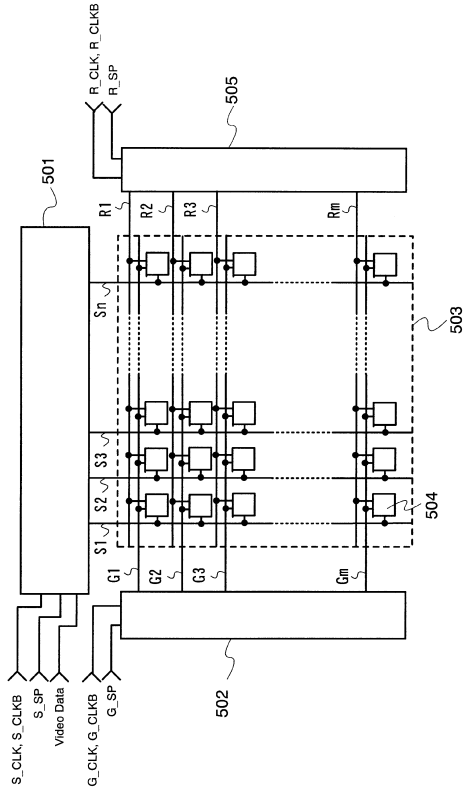
【図 3】



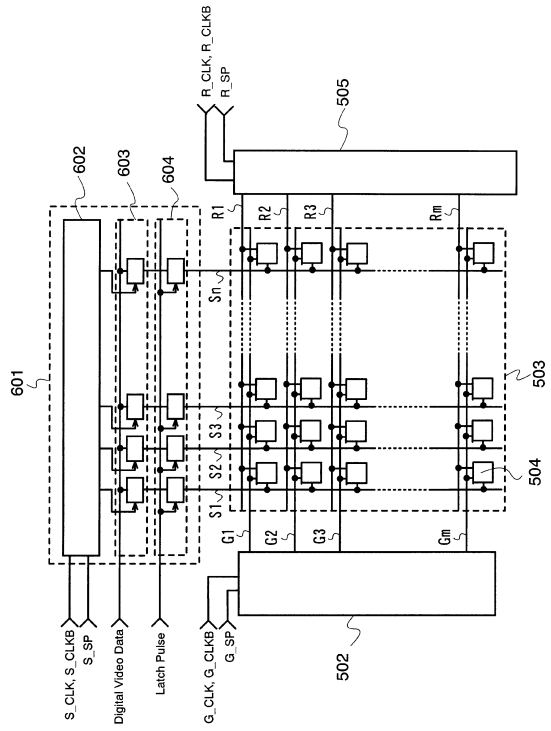
【図 4】



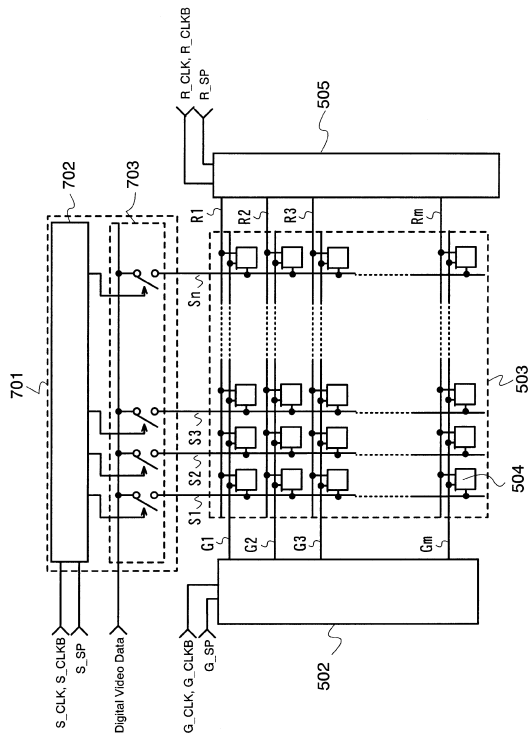
【 図 5 】



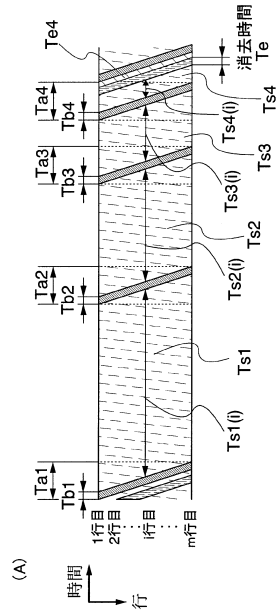
【 図 6 】



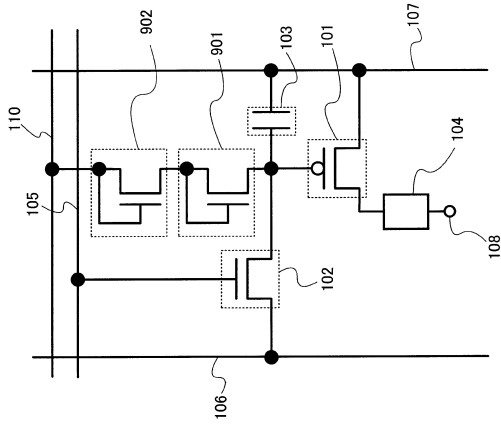
【 図 7 】



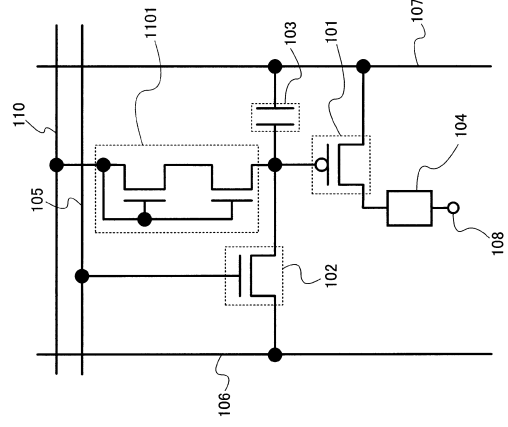
【 図 8 】



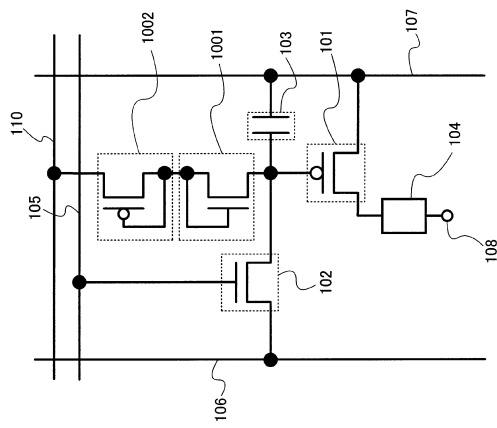
【図 9】



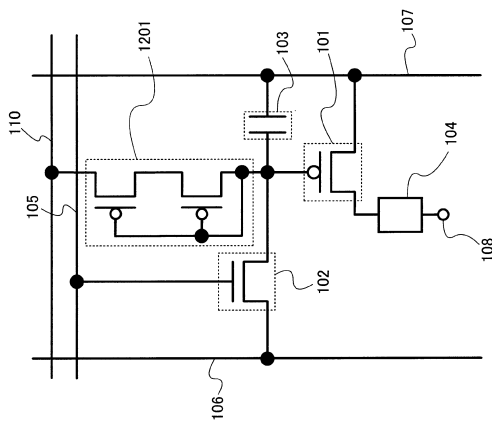
【図 11】



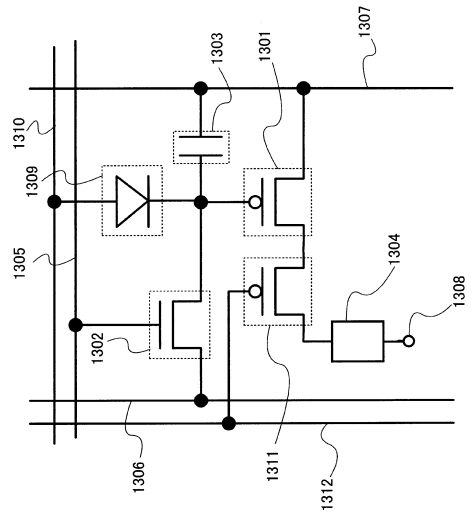
【図 10】



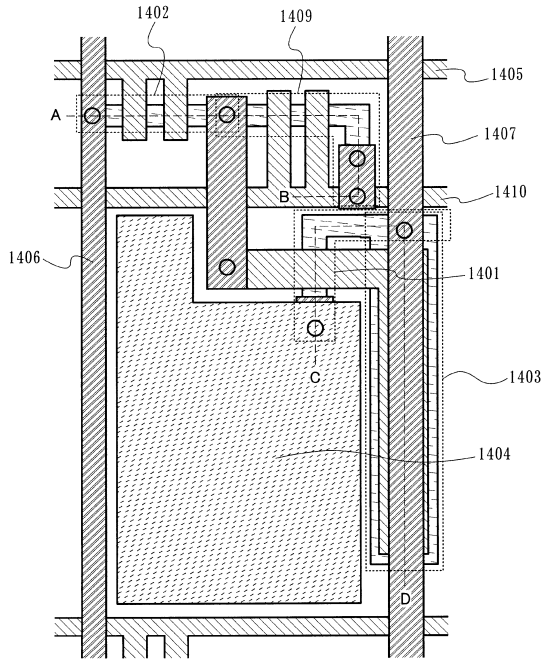
【図 12】



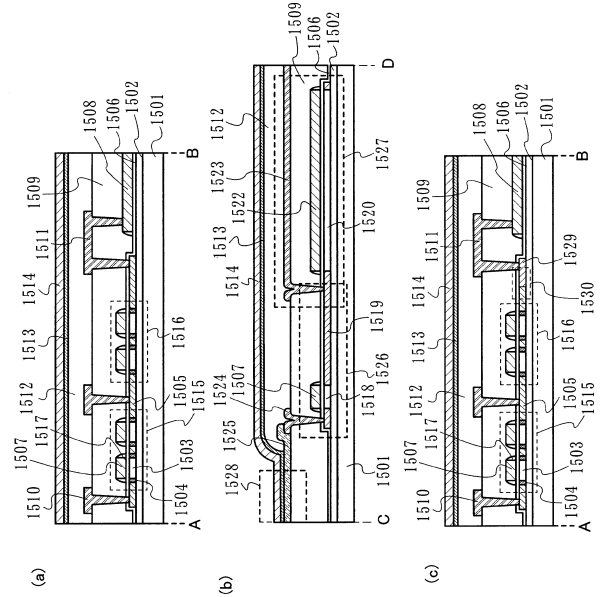
【図 13】



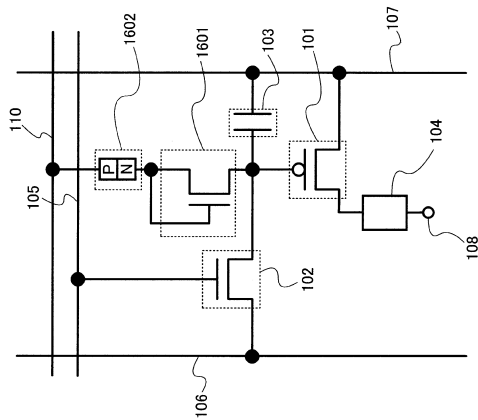
【 図 14 】



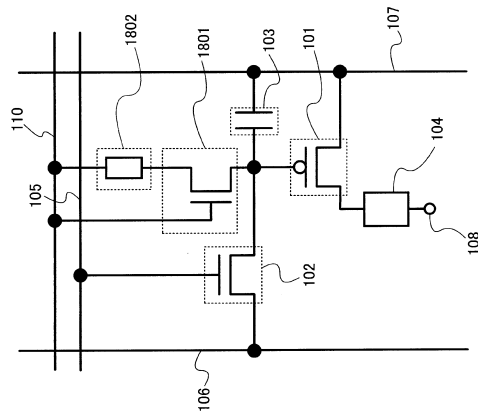
【 図 15 】



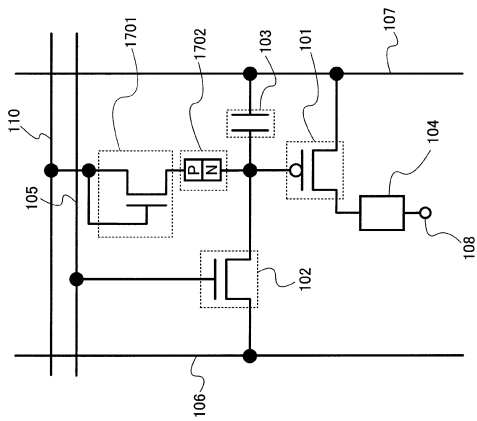
【 図 16 】



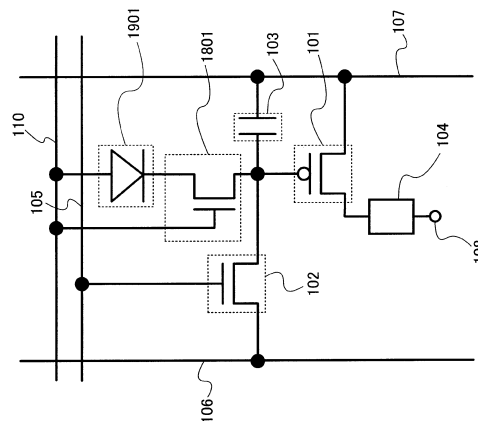
【 図 18 】



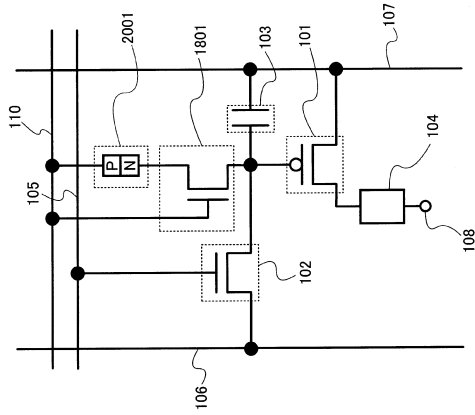
【 図 17 】



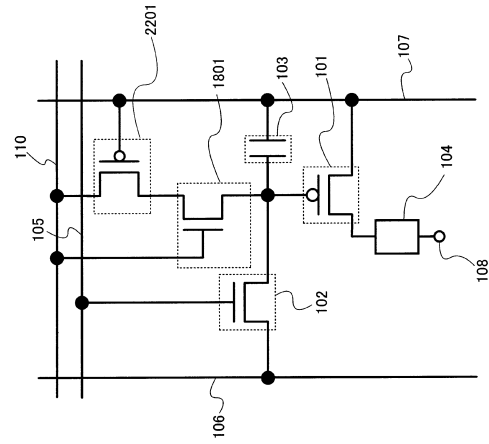
【 図 19 】



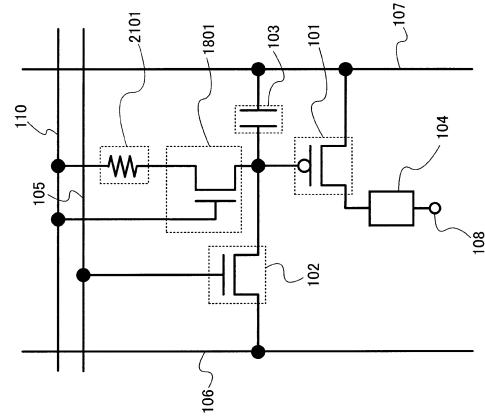
【図20】



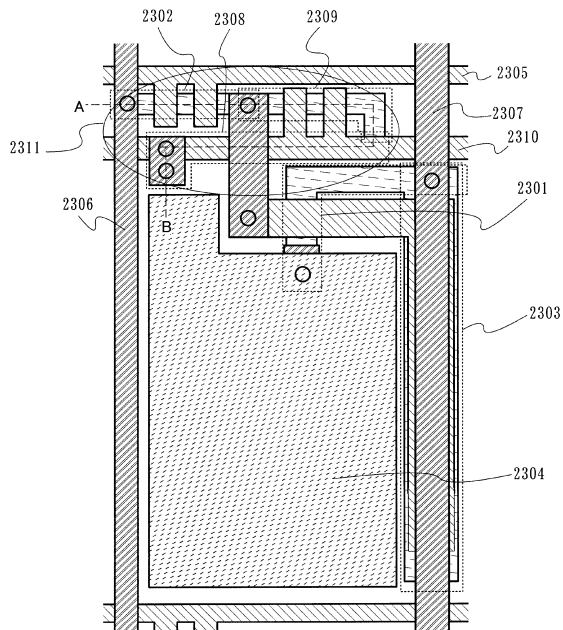
【図22】



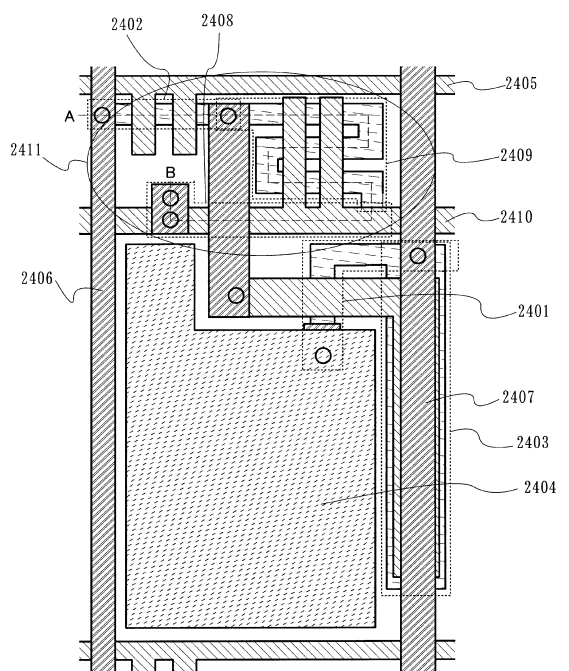
【図21】



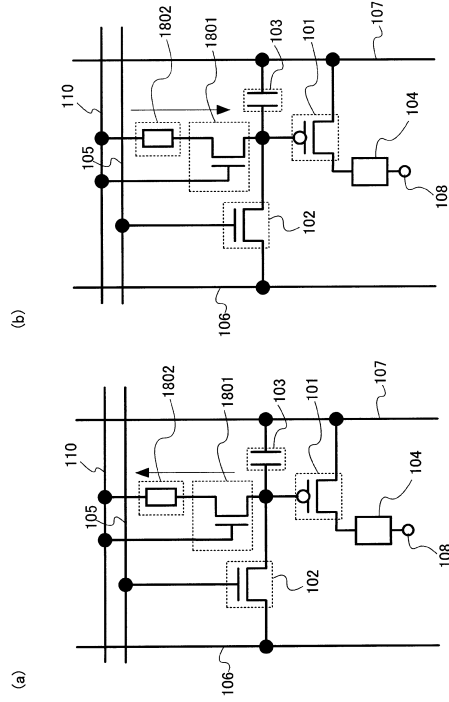
【図23】



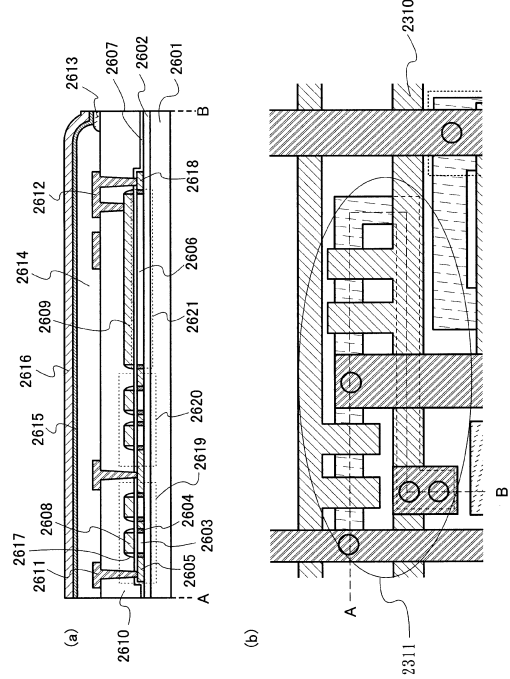
【図24】



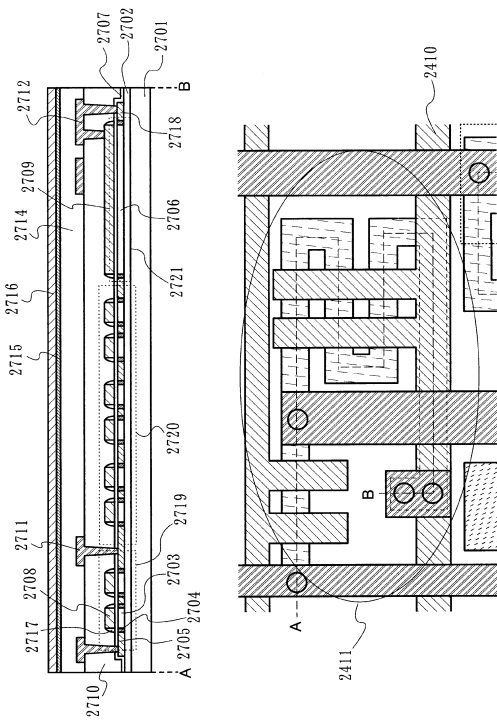
【図 25】



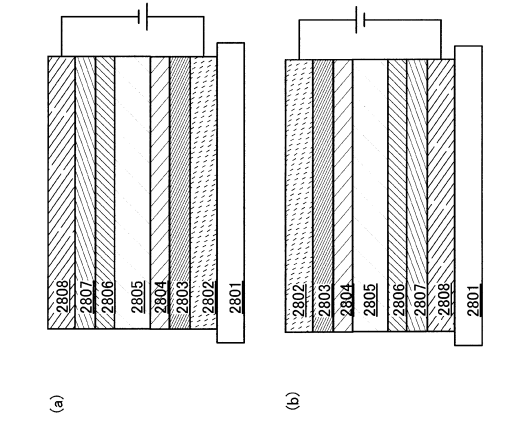
【図 26】



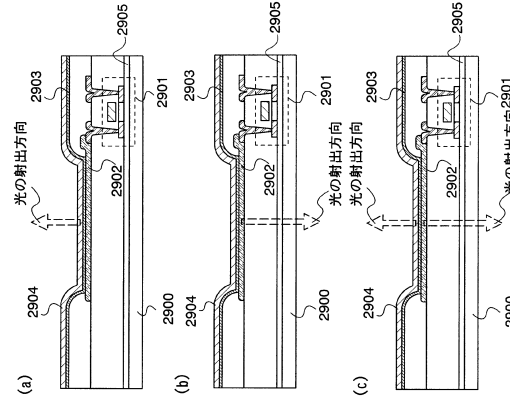
【図 27】



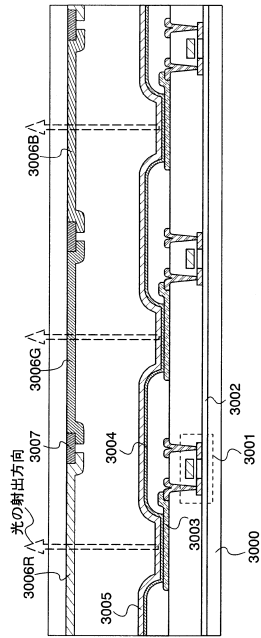
【図 28】



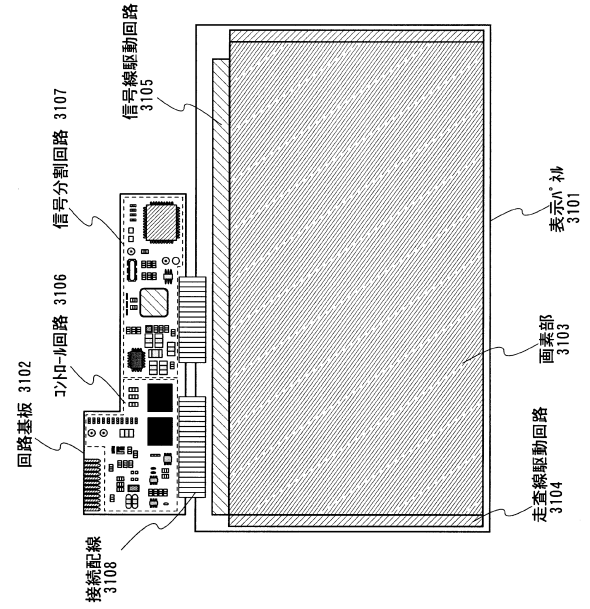
【図 29】



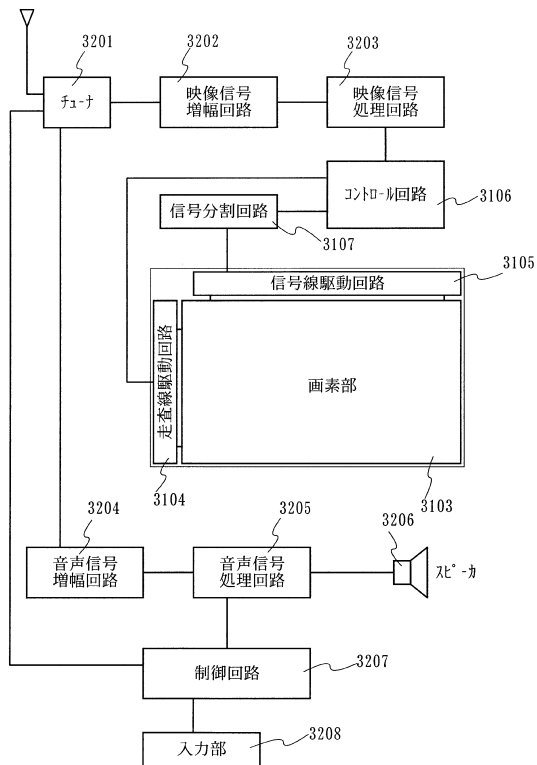
【図30】



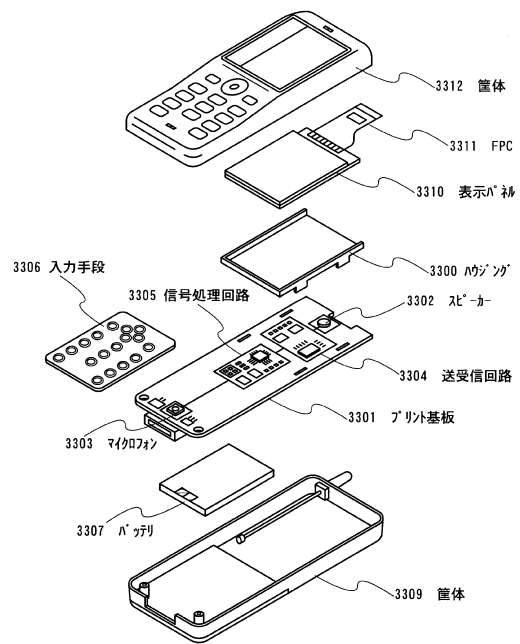
【図31】



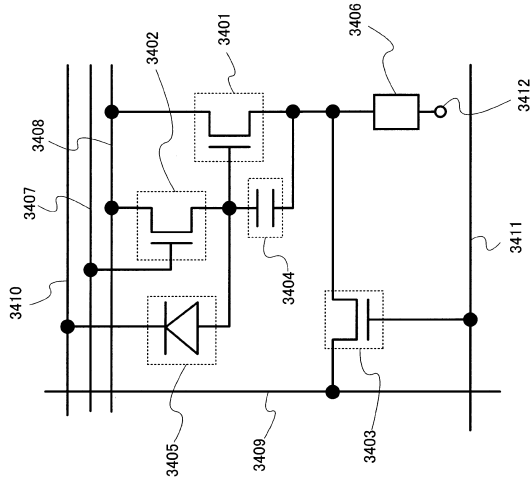
【図32】



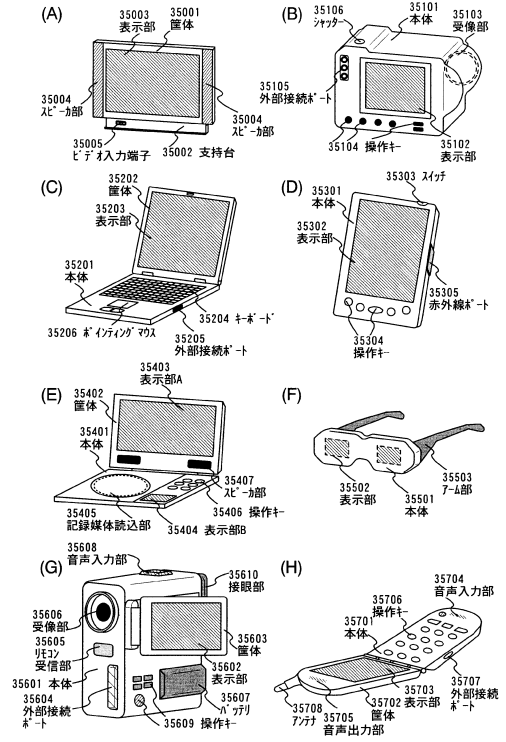
【図33】



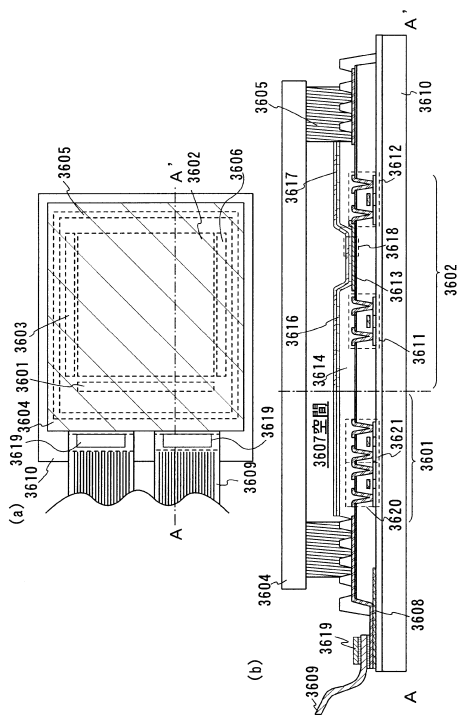
【図34】



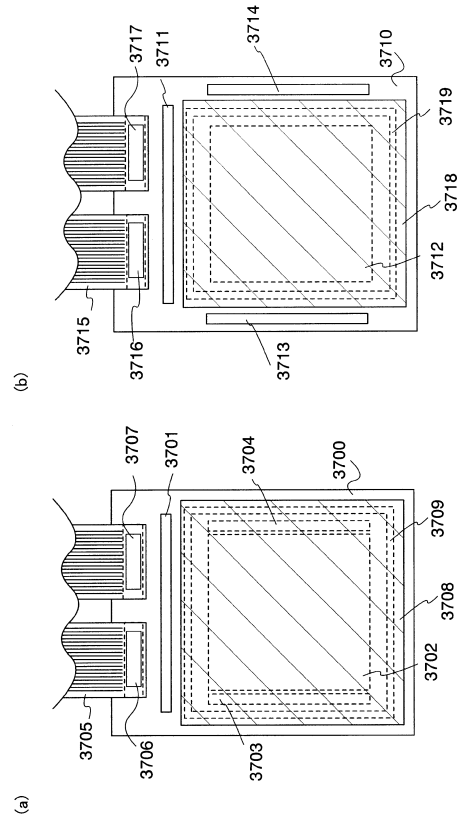
【図35】



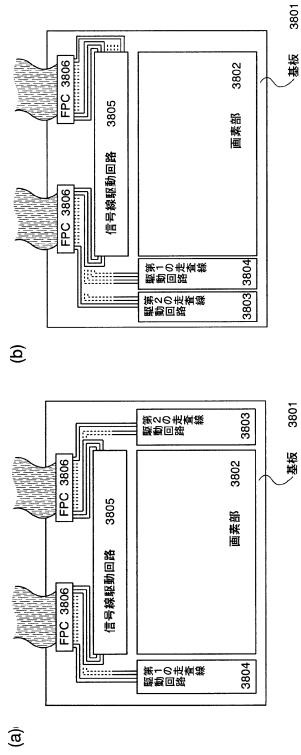
【図36】



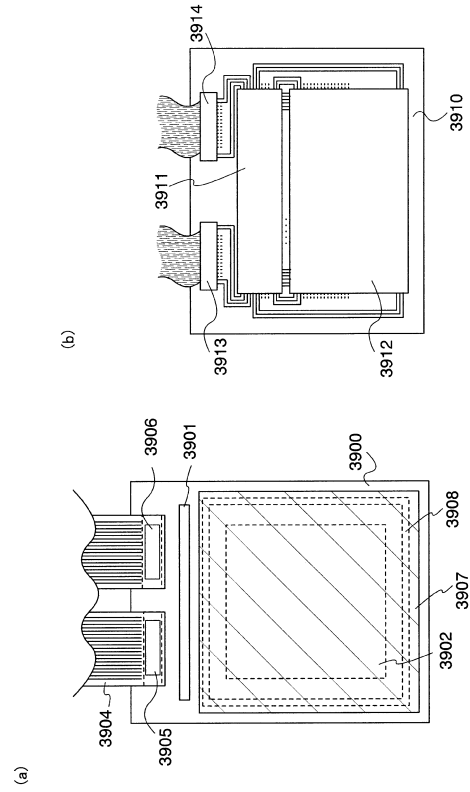
【図37】



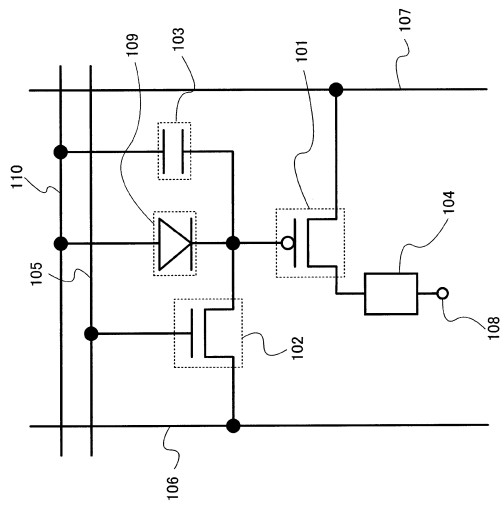
【 図 38 】



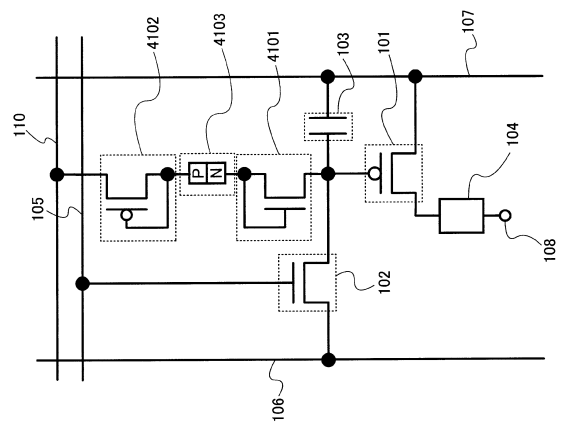
【 図 39 】



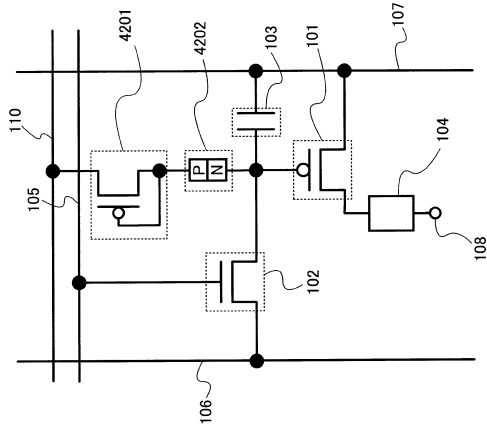
【 図 40 】



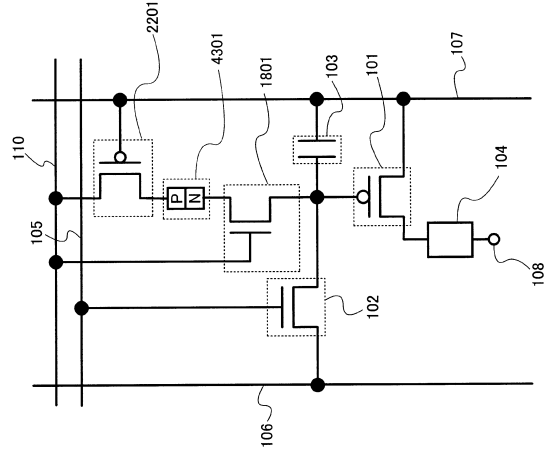
【 図 41 】



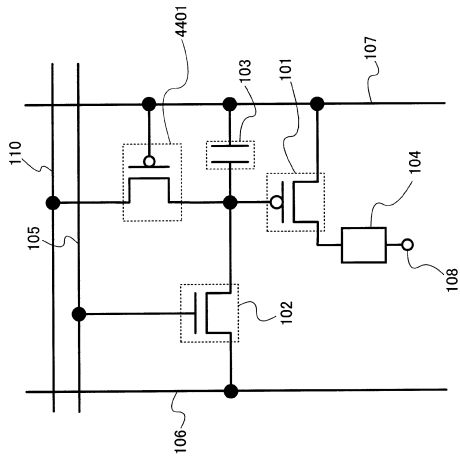
【 図 4 2 】



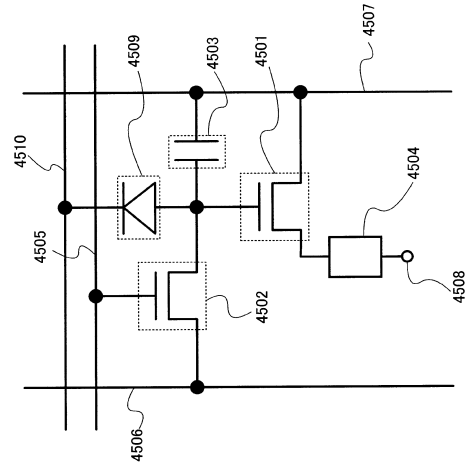
【 図 4 3 】



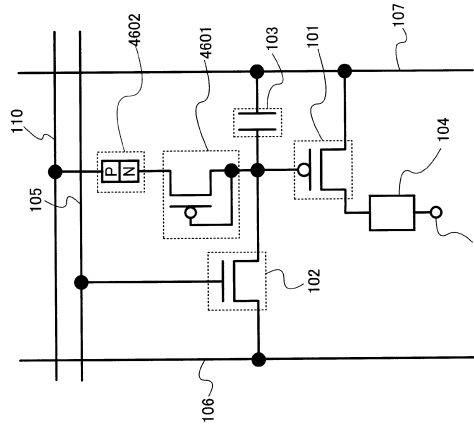
【 図 4 4 】



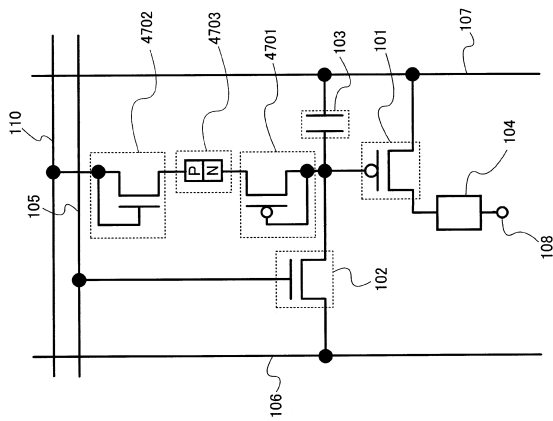
【 図 4 5 】



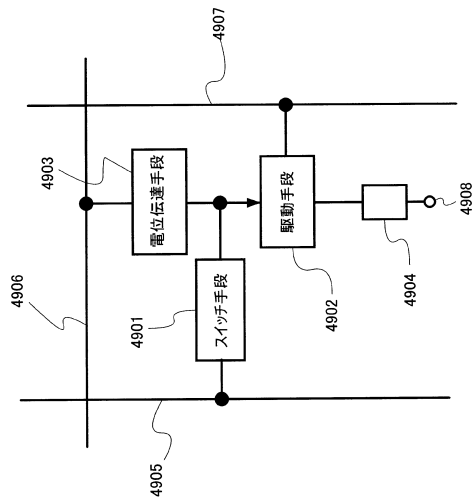
【図46】



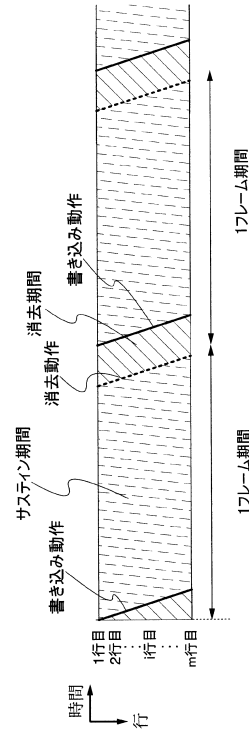
【図47】



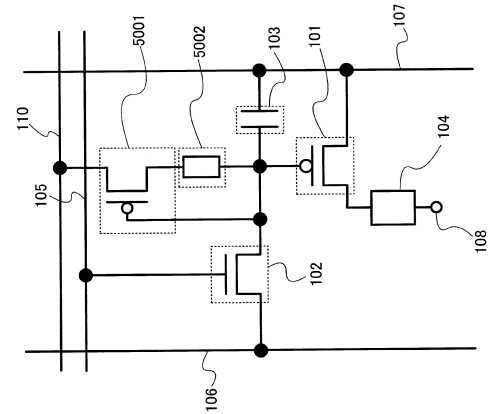
【図49】



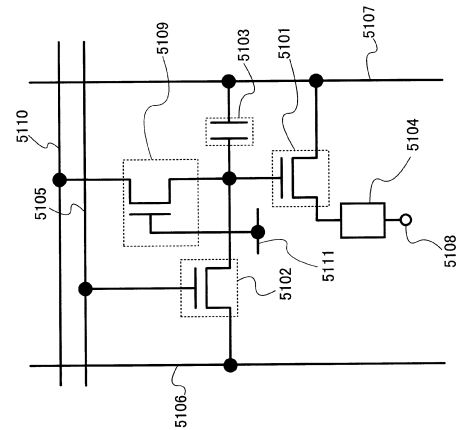
【図48】



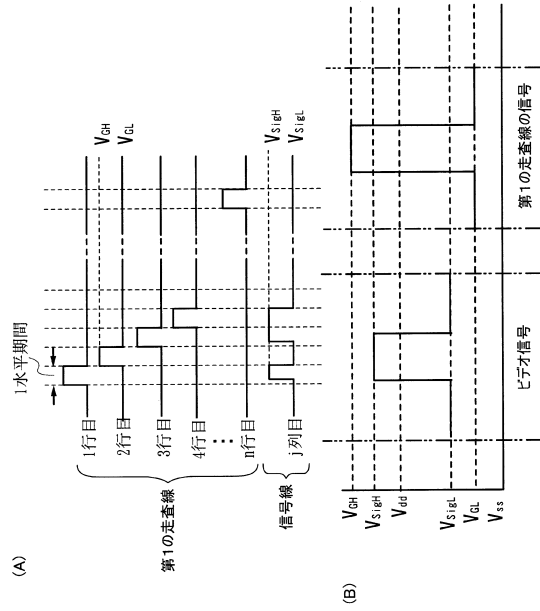
【図50】



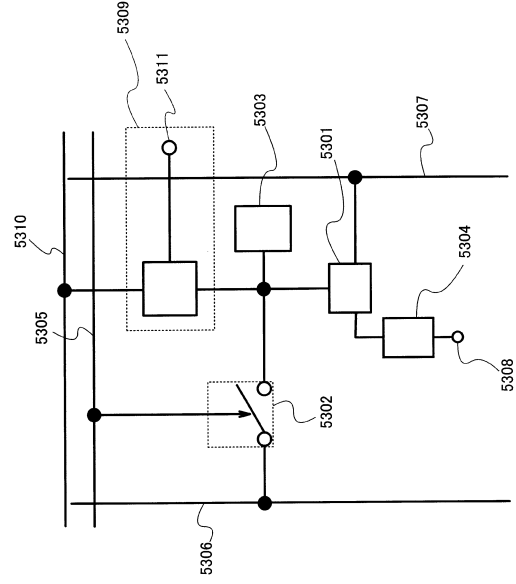
【図51】



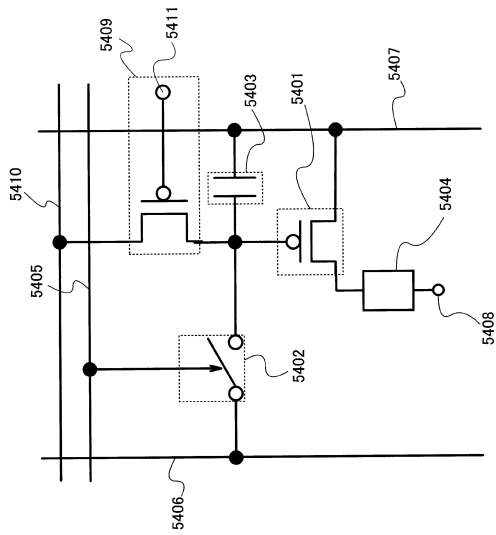
【 図 5 2 】



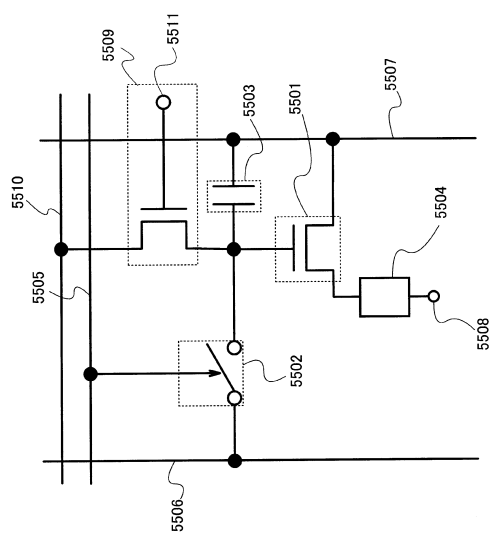
【 図 5 3 】



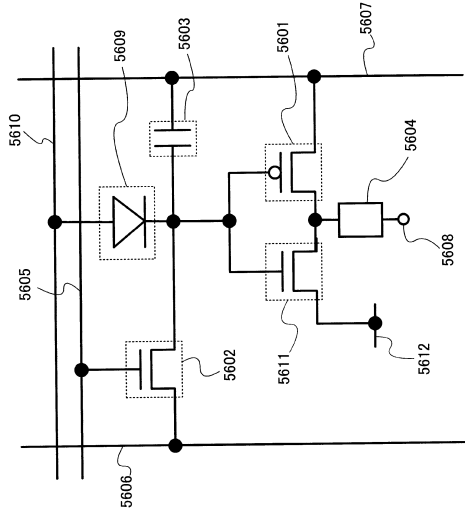
【 図 5 4 】



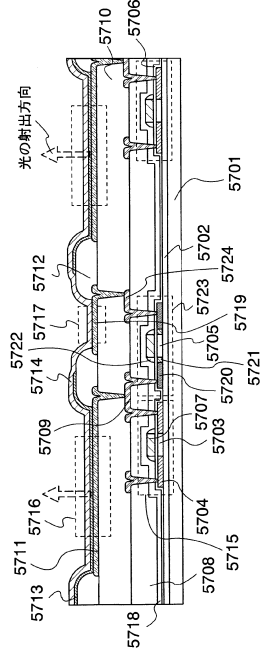
【 図 5 5 】



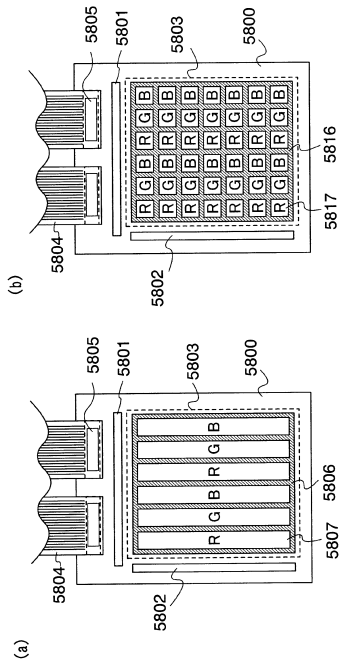
【 図 5 6 】



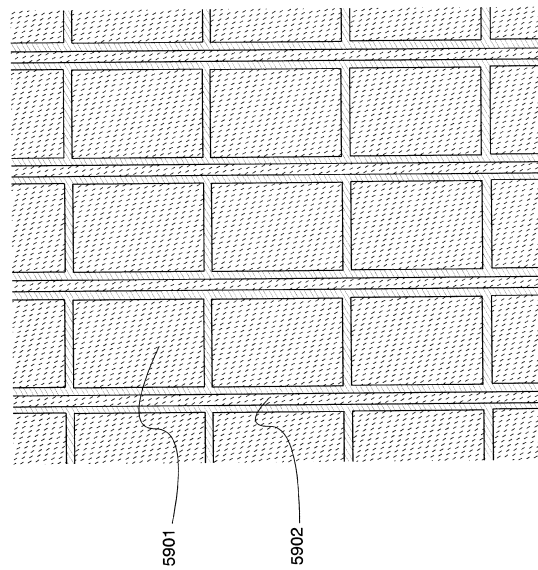
【 図 5 7 】



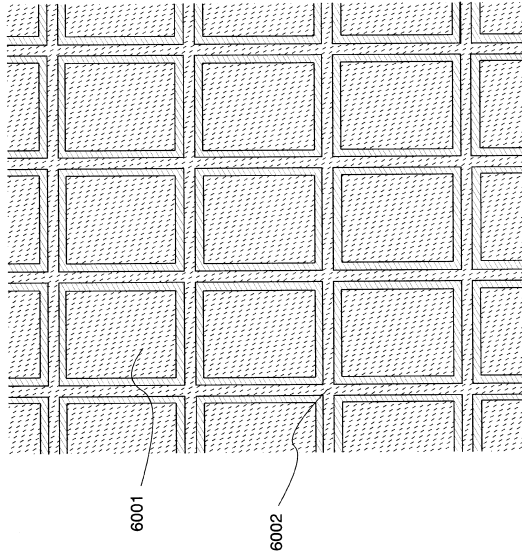
【 図 5 8 】



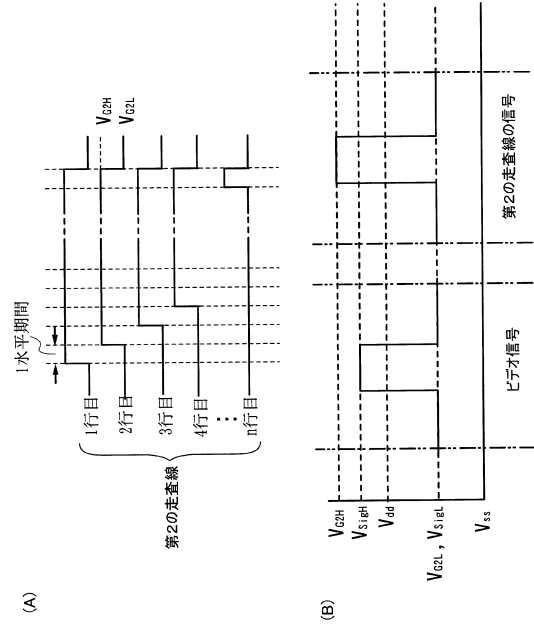
【 図 5 9 】



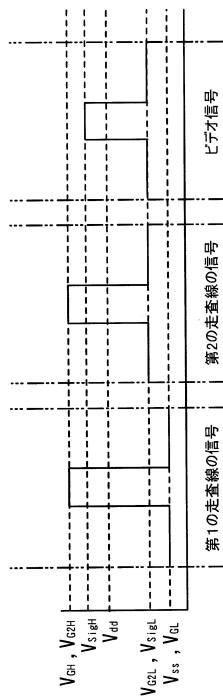
【図 60】



【図 61】



【図 62】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 3 0
G 0 9 G	3 / 2 0
H 0 1 L	5 1 / 5 0