



(12)发明专利申请

(10)申请公布号 CN 105874715 A

(43)申请公布日 2016.08.17

(21)申请号 201480071949.9

(51)Int.Cl.

(22)申请日 2014.12.26

H03L 7/08(2006.01)

H03L 7/16(2006.01)

(30)优先权数据

14/145,701 2013.12.31 US

(85)PCT国际申请进入国家阶段日

2016.06.30

(86)PCT国际申请的申请数据

PCT/CN2014/095135 2014.12.26

(87)PCT国际申请的公布数据

W02015/101225 EN 2015.07.09

(71)申请人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72)发明人 友汉·崇

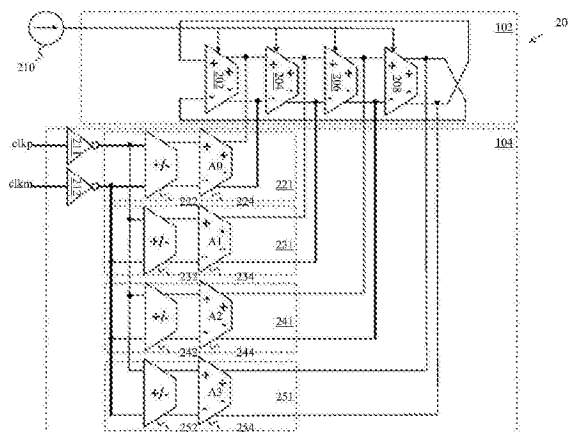
权利要求书3页 说明书6页 附图9页

(54)发明名称

相位内插和旋转装置和方法

(57)摘要

一种装置包括：环形振荡器，其包括以级联方式连接的多个延迟级；以及注入装置，其包括多个注入设备；其中，所述注入设备从其输入接收参考时钟，所述注入设备的输出耦合到所述延迟级的各个输出；以及每个注入设备包括一个极性选择级和一个可调增益级，所述极性选择级的输入耦合到所述参考时钟，所述可调增益级的输入耦合到所述极性选择级的输出且输出耦合到相应延迟级的输出。



1. 一种装置,其特征在于,包括:
环形振荡器,其包括以级联方式连接的多个延迟级;以及
注入装置,其包括多个注入设备,其中:
所述注入设备从自身的输入接收参考时钟;以及
所述注入设备的输出耦合到所述延迟级的各个输出,其中,每个注入设备包括:
极性选择级,其输入耦合到所述参考时钟;以及
可调增益级,其输入耦合到所述极性选择级的输出且其输出耦合到相应延迟级的输出。
2. 根据权利要求1所述的装置,其特征在于:
所述环形振荡器包括以级联方式连接的第一差分延迟级、第二差分延迟级、第三差分延迟级和第四差分延迟级,其中:
所述第四差分延迟级的正输出端连接到所述第一差分延迟级的负输入端;以及
所述第四差分延迟级的负输出端连接到所述第一差分延迟级的正输入端。
3. 根据权利要求2所述的装置,其特征在于:
所述注入装置包括第一注入设备、第二注入设备、第三注入设备和第四注入设备,其中:
所述第一注入设备的正输出端连接到所述第一差分延迟级的正输出端,所述第一注入设备的负输出端连接到所述第一差分延迟级的负输出端;
所述第二注入设备的正输出端连接到所述第二差分延迟级的正输出端,所述第二注入设备的负输出端连接到所述第二差分延迟级的负输出端;
所述第三注入设备的正输出端连接到所述第三差分延迟级的正输出端,所述第三注入设备的负输出端连接到所述第三差分延迟级的负输出端;以及
所述第四注入设备的正输出端连接到所述第四差分延迟级的正输出端,所述第四注入设备的负输出端连接到所述第四差分延迟级的负输出端。
4. 根据权利要求3所述的装置,其特征在于:
所述第一注入设备包括以级联方式连接的第一极性选择级和第一可调增益级,其中所述第一极性选择级具有第一极性,所述第一可调增益级具有第一增益;
所述第二注入设备包括以级联方式连接的第二极性选择级和第二可调增益级,其中所述第二极性选择级具有第二极性,所述第二可调增益级具有第二增益;
所述第三注入设备包括以级联方式连接的第三极性选择级和第三可调增益级,其中所述第三极性选择级具有第三极性,所述第三可调增益级具有第三增益;以及
所述第四注入设备包括以级联方式连接的第四极性选择级和第四可调增益级,其中所述第四极性选择级具有第四极性,所述第四可调增益级具有第四增益。
5. 根据权利要求4所述的装置,其特征在于:
当所述环形振荡器的相位编码处于静止状态时,所述环形振荡器的输出频率等于所述环形振荡器的输入频率。
6. 根据权利要求4所述的装置,其特征在于:
通过按顺序旋转所述环形振荡器的相位编码来获取所述环形振荡器的输出的相位旋转。

7. 根据权利要求1所述的装置,其特征在于,还包括:

耦合到所述延迟级的可调电流源,其中,所述可调电流源为所述延迟级提供偏置电流,以及调整所述偏置电流,以使所述环形振荡器的输出的频率约等于所述参考时钟的频率。

8. 一种系统,其特征在于,包括:

环形振荡器,其包括以级联方式连接的第一延迟缓冲器、第二延迟缓冲器、第三延迟缓冲器和第四延迟缓冲器,其中,所述第一延迟缓冲器、所述第二延迟缓冲器、所述第三延迟缓冲器和所述第四延迟缓冲器均为差分缓冲器;

第一注入装置,其包括以级联方式连接的第一极性缓冲器和第一增益缓冲器,其中,所述第一注入装置的输入耦合到参考时钟,所述第一注入装置的输出连接到所述第一延迟缓冲器的输出;

第二注入装置,其包括以级联方式连接的第二极性缓冲器和第二增益缓冲器,其中,所述第二注入装置的输入耦合到所述参考时钟,所述第二注入装置的输出连接到所述第二延迟缓冲器的输出;

第三注入装置,其包括以级联方式连接的第三极性缓冲器和第三增益缓冲器,其中,所述第三注入装置的输入耦合到所述参考时钟,所述第三注入装置的输出连接到所述第三延迟缓冲器的输出;以及

第四注入装置,其包括以级联方式连接的第四极性缓冲器和第四增益缓冲器,其中,所述第四注入装置的输入耦合到所述参考时钟,所述第四注入装置的输出连接到所述第四延迟缓冲器的输出;

9. 根据权利要求8所述的系统,其特征在于:

启动第一注入装置和第二注入装置,通过适用于所述环形振荡器的相位编码来控制所述第一增益缓冲器的第一增益以及所述第二增益缓冲器的第二增益。

10. 根据权利要求9所述的系统,其特征在于:

通过N位分辨率来控制所述第一增益缓冲器的所述第一增益、所述第二增益缓冲器的所述第二增益、所述第三增益缓冲器的所述第三增益和所述第四增益缓冲器的所述第四增益。

11. 根据权利要求9所述的系统,其特征在于:

所述相位内插在所述参考时钟的一个周期内具有(8乘以2的N次方个)相位阶跃。

12. 根据权利要求11所述的系统,其特征在于:

配置所述第一极性缓冲器的第一极性、所述第二极性缓冲器的第二极性、所述第三极性缓冲器的第三极性以及所述第四极性缓冲器的第四极性,使得:

在所述环形振荡器的输出处获得相位旋转。

13. 根据权利要求12所述的系统,其特征在于:

所述相位旋转包括多个相位偏移,其中,所述相位偏移等于 $360/N$ 度。

14. 一种方法,其特征在于,包括:

从注入装置的输入接收参考时钟;

在环形振荡器的第一延迟缓冲器的输出处将第一信号注入到所述环形振荡器,其中,所述第一信号是在所述参考信号流经第一极性级和第一增益级后从所述参考时钟生成的;

在所述环形振荡器的第二延迟缓冲器的输出处将第二信号注入到所述环形振荡器,其

中,所述第二信号是在所述参考信号流经第二极性级和第二增益级后从所述参考时钟生成的;

在所述环形振荡器的第三延迟缓冲器的输出处将第三信号注入到所述环形振荡器,其中,所述第三信号是在所述参考信号流经第三极性级和第三增益级后从所述参考时钟生成的;以及

在所述环形振荡器的第四延迟缓冲器的输出处将第四信号注入到所述环形振荡器,其中,所述第四信号是在所述参考信号流经第四极性级和第四增益级后从所述参考时钟生成的。

15. 根据权利要求14,其特征在于,还包括:

调整两个相邻增益级的增益以获取所述环形振荡器的相位内插。

16. 根据权利要求15,其特征在于,还包括:

基于4个数字比特以数字方式控制所述两个相邻增益级的所述增益。

17. 根据权利要求14所述的方法,其特征在于:

所述第一延迟缓冲器、所述第二延迟缓冲器、所述第三延迟缓冲器和所述第四延迟缓冲器以级联方式连接。

18. 根据权利要求17所述的方法,其特征在于:

所述第一延迟缓冲器为第一差分延迟级;

所述第二延迟缓冲器为第二差分延迟级;

所述第三延迟缓冲器为第三差分延迟级;以及

所述第四延迟缓冲器为第四差分延迟级,其中:

所述第四差分延迟级的正输出端连接到所述第一差分延迟级的负输入端;以及

所述第四差分延迟级的负输出端连接到所述第一差分延迟级的正输入端。

19. 根据权利要求14所述的方法,其特征在于:

所述第一极性级和所述第一增益级以级联方式连接,其中所述第一极性级的输入耦合到所述参考时钟,所述第一增益级的输出连接到所述第一延迟缓冲器的所述输出;

所述第二极性级和所述第二增益级以级联方式连接,其中所述第二极性级的输入耦合到所述参考时钟,所述第二增益级的输出连接到所述第二延迟缓冲器的所述输出;

所述第三极性级和所述第三增益级以级联方式连接,其中所述第三极性级的输入耦合到所述参考时钟,所述第三增益级的输出连接到所述第三延迟缓冲器的所述输出;以及

所述第四极性级和所述第四增益级以级联方式连接,其中所述第四极性级的输入耦合到所述参考时钟,所述第四增益级的输出连接到所述第四延迟缓冲器的所述输出。

20. 根据权利要求14,其特征在于,还包括:

调整耦合到所述第一延迟缓冲器、所述第二延迟缓冲器、所述第三延迟缓冲器和所述第四延迟缓冲器的可调电流源,以使所述环形振荡器的输出的频率约等于所述参考时钟的频率。

相位内插和旋转装置和方法

[0001] 本发明要求2013年12月31日递交的发明名称为“相位内插和旋转装置和方法(Phase Interpolation and Rotation Apparatus and Method)”的第14/145,701号美国非临时申请案的在先申请优先权,该在先申请的内容以引入的方式并入本文本中。

技术领域

[0002] 本发明涉及一种注入锁定振荡器装置,具体而言,涉及一种能够进行相位旋转和相位内插的注入锁定振荡器装置。

背景技术

[0003] 随着通信技术的进一步发展,串行接口已广泛应用到以太网、PCI Express等通信协议中。因此,串行接口已广泛用于并行总线连接的设备与高速串行通信系统之间的信号转换。为了能够在并行系统与串行系统之间传送大量数据,使用串行器/串并转换器在高速串行通信系统中将数据从并行数据形式转换为串行数据形式。

[0004] 串行通信系统按其最简单的形式可包括:发射器、通信信道和接收器。该发射器可接收一组并行位,并通过合适的数字电路,如多路复用器、移位寄存器等,将这些并行位转换为串行信号。这些串行信号通过通信信道传输给接收器。

[0005] 该接收器可包括时钟和数据恢复电路,该电路能够从接收到的串行信号中提取时钟信号。恢复后的时钟用于准确地对接收到的数据进行采样。

[0006] 该接收器还可包括一个用于从单输入相位生成多个时钟相位的注入锁定振荡器。所述多个时钟相位可用于对串行通信系统中接收到的各种数据信号进行采样和跟踪。

发明内容

[0007] 本发明的优选实施例提供了一种用于执行注入锁定振荡器的相位内插和旋转的系统、装置和方法,大体上解决或规避了这些以及其它问题,同时大体上实现了技术优点。

[0008] 根据一项实施例,一种装置包括:环形振荡器,其包括以级联方式连接的多个延迟级;以及注入装置,其包括多个注入设备;其中,所述注入设备从其输入接收参考时钟,所述注入设备的输出耦合到所述延迟级的各个输出;以及每个注入设备包括一个极性选择级和一个可调增益级,所述极性选择级的输入耦合到所述参考时钟,所述可调增益级的输入耦合到所述极性选择级的输出且输出耦合到相应延迟级的输出。

[0009] 根据另一项实施例,一种系统包括环形振荡器,所述环形振荡器包括:以级联方式连接的第一延迟缓冲器、第二延迟缓冲器、第三延迟缓冲器和第四延迟缓冲器,其中所述第一延迟缓冲器、所述第二延迟缓冲器、所述第三延迟缓冲器和所述第四延迟缓冲器均为差分缓冲器。

[0010] 所述系统还包括:第一注入装置,其包括以级联方式连接的第一极性缓冲器和第一增益缓冲器,其中,所述第一注入装置的输入耦合到参考时钟,所述第一注入装置的输出连接到所述第一延迟缓冲器的输出;第二注入装置,其包括以级联方式连接的第二极性缓

冲器和第二增益缓冲器,其中,所述第二注入装置的输入耦合到所述参考时钟,所述第二注入装置的输出连接到所述第二延迟缓冲器的输出;第三注入装置,其包括以级联方式连接的第三极性缓冲器和第三增益缓冲器,其中,所述第三注入装置的输入耦合到所述参考时钟,所述第三注入装置的输出连接到所述第三延迟缓冲器的输出;以及第四注入装置,其包括以级联方式连接的第四极性缓冲器和第四增益缓冲器,其中,所述第四注入装置的输入耦合到所述参考时钟,所述第四注入装置的输出连接到所述第四延迟缓冲器的输出。

[0011] 根据又一项实施例,一种方法包括:从注入装置的输入接收参考时钟;在环形振荡器的第一延迟缓冲器的输出处将第一信号注入到所述环形振荡器中,其中,所述第一信号是在所述参考时钟流经第一极性级和第一增益级后从所述参考时钟生成的;在所述环形振荡器的第二延迟缓冲器的输出处将第二信号注入到所述环形振荡器中,其中,所述第二信号是在所述参考时钟流经第二极性级和第二增益级后从所述参考时钟生成的;在所述环形振荡器的第三延迟缓冲器的输出处将第三信号注入到所述环形振荡器中,其中,所述第三信号是在所述参考时钟流经第三极性级和第三增益级后从所述参考时钟生成的;以及在所述环形振荡器的第四延迟缓冲器的输出处将第四信号注入到所述环形振荡器中,其中,所述第四信号是在所述参考时钟流经第四极性级和第四增益级后从所述参考时钟生成的。

[0012] 本发明的优选实施例的优点在于具有能够执行相位内插和相位旋转两者的注入锁定振荡器。因此,所述注入锁定振荡器有助于改进各种性能特点,如减少集成电路芯片面积、降低功率消耗、减少抖动和小故障、简化和缩短时钟分布路径等。

[0013] 上述内容广泛地概述了本发明的特点和技术优势,以便更好地理解下文中本发明的详细描述。下文中将描述本发明的其它特点和优点,这些特点和优点构成本发明权利要求的主旨。所属领域技术人员应理解,为了执行与本发明相同的目的,所述概念和具体实施例可方便地作为改进或设计其它结构或过程的基础。所属领域技术人员还应意识到,这种等效结构不脱离所附权利要求书所提出的本发明的精神和范围。

附图说明

[0014] 为了更完整地理解本发明及其优点,现在参考下文结合附图进行的描述,其中:

[0015] 图1示出了根据本发明各种实施例的注入锁定振荡器的方框图;

[0016] 图2A示出了根据本发明各种实施例的图1所示的注入锁定振荡器的示意图;

[0017] 图2B详细示出了根据本发明各种实施例的图1所示的注入锁定振荡器的示意图;

[0018] 图3示出了根据本发明各种实施例的增益缓冲器的示意图;

[0019] 图4A至图4D示出了根据本发明各种实施例的相位旋转表的说明性实施例;以及

[0020] 图5示出了显示与图4A至图4D所示的实施例相关的信号的时序图。

[0021] 除非另有指示,否则不同图中的对应标号和符号通常指代对应部分。绘制各图是为了清晰地说明各实施例的相关方面,因此未必是按比例绘制的。

具体实施方式

[0022] 下文将详细论述当前优选实施例的制作和使用。然而,应了解,本发明提供可在各种具体上下文中体现的许多适用的发明性概念。所讨论的具体实施例仅为制作和使用本发明的具体方法的说明性示例,而不限制本发明的范围。

[0023] 本发明将参考具体上下文中的优选实施例进行描述,该具体上下文即注入锁定振荡器。然而,本发明还可用于校准各种振荡器。以下将结合附图对各种实施例进行详细阐释。

[0024] 图1示出了根据本发明各种实施例的注入锁定振荡器的方框图。注入锁定振荡器100包括环形振荡器102、注入装置104和校准装置108。如图1所示,参考时钟112可传送给注入装置104以及校准装置108。

[0025] 注入装置104的输出耦合到环形振荡器102。具体而言,参考时钟112可在多个注入点处通过注入装置104注入到环形振荡器102中。换言之,注入装置104可作为耦合于参考时钟112与环形振荡器102之间的缓冲器。下面将结合图2A和图2B对注入装置104的详细示意图进行描述。

[0026] 环形振荡器102从注入装置104接收注入信号。同时,环形振荡器102生成时钟114。时钟114可作为时钟/数据恢复电路(clock/data recovery circuit,CDR)的时钟信号以对各种接收到的数据信号(未出示)进行采样和跟踪。

[0027] 在一些实施例中,时钟114的频率和/或中心频率可与来自注入装置104的注入信号(例如,参考时钟112)的频率相匹配。时钟114的频率与如参考时钟112等注入信号之间的不匹配可能导致性能特征退化,如相位失配、跟踪带宽减少、锁定范围减少、抖动增加、它们的任何组合等。

[0028] 校准装置108接收参考时钟112和时钟114。基于校准算法,校准装置108生成第一校准信号116和第二校准信号118。如图1所示,第一校准信号116传送给注入装置104。第二校准信号118传送给环形振荡器102和注入装置104。

[0029] 在一些实施例中,第一校准信号116用于粗调一些可调参数,诸如注入装置104的缓冲器的增益。在整个描述中,第一校准信号116可替代地称为粗调编码116。

[0030] 第二校准信号118用于微调一些可调参数,如注入装置的缓冲器的偏置电流和环形振荡器102的延迟单元(未示出,但在图2中示出)。在整个描述中,第二校准信号118可替代地称为微调编码118。

[0031] 总而言之,通过使用粗调编码116和微调编码118,环形振荡器102的输出信号可与环形振荡器102的注入信号高度匹配。此外,不同的操作条件,如不同的环境温度或不同的操作电压,不会引起输出信号的频率偏移或误差,因为校准装置108有助于通过粗调编码116、微调编码118以及它们的任何组合纠正偏移/误差。

[0032] 图2A示出了根据本发明各种实施例图1的所示的注入锁定振荡器的示意图。注入锁定振荡器200包括环形振荡器102、多个极性缓冲器(例如,极性缓冲器222)和多个增益缓冲器(例如,增益缓冲器224)。如图2A所示,极性缓冲器由Polarity_sel<2:0>控制。增益缓冲器分别由Gain_A0<3:0>、Gain_A1<3:0>、Gain_A2<3:0>和Gain_A3<3:0>控制。Polarity_sel<2:0>、Gain_A0<3:0>、Gain_A1<3:0>、Gain_A2<3:0>和Gain_A3<3:0>可构成一个相位编码控制机制,通过该机制可实现注入锁定振荡器200的相位旋转。下面将结合图4A至图4D描述实现相位旋转的详细过程。

[0033] 为了保持环形振荡器102的输出频率与输入频率(例如,图2A所示的HS_clkp和HS_clkm)相同,注入锁定振荡器200接收粗调编码116和微调编码118。具体而言,粗调编码116和微调编码118可有助于环形振荡器102的输出信号与环形振荡器102的注入信号高度匹

配。

[0034] 图2B详细示出了根据本发明各种实施例的图1所示的注入锁定振荡器的示意图。注入锁定振荡器200可包括环形振荡器102和注入装置104。在一些实施例中,环形振荡器102可包括四个延迟单元202、204、206和208。在一些实施例中,延迟单元202、204、206和208实施为差分缓冲器,如图2B所示。在整个描述中,延迟单元可替代地称为差分缓冲器。

[0035] 如图2B所示,差分缓冲器202、204、206和208以级联方式连接,从而构成一个环形振荡器。注入信号传送到每个差分缓冲器(例如,第一差分缓冲器202)的输出。第四差分缓冲器208的输出为时钟114。

[0036] 如图2B所示,第四差分缓冲器208的输出传送到第一差分缓冲器202的输入,从而构成环形振荡器102。具体而言,第四差分缓冲器208的正输出端连接到第一差分缓冲器202的负输入端。同样地,第四差分缓冲器208的负输出端连接到第一差分缓冲器202的正输入端。环形振荡器的操作原理在本技术领域已熟知,因此,为了避免不必要的重复,下文将不再详细探讨。

[0037] 应注意的是,环形振荡器的示意图仅是一个示例,不应过度限制权利要求的范围。所属领域的普通技术人员应识别诸多变体、替代物和修改。例如,环形振荡器可能具有不同的配置,如包括不同数目的延迟元素(例如,六个以级联方式连接的差分缓冲器)。

[0038] 注入装置104可包含四个注入设备221、231、241和251。在一些实施例中,每个注入设备(例如,第一注入设备221)可包括以级联方式连接的极性缓冲器和增益缓冲器。如图2B所示,第一注入设备221可包括第一极性缓冲器222和第一增益缓冲器224。同样地,第二注入设备231包括第二极性缓冲器232和第二增益缓冲器234。第三注入设备241包括第三极性缓冲器242和第三增益缓冲器244。第四注入设备251包括第四极性缓冲器252和第四增益缓冲器254。

[0039] 在一些实施例中,极性缓冲器(例如,第一极性缓冲器222)可实施为具有极性控制的复用器。复用器的操作原理已熟知,因此此处不再探讨。

[0040] 增益缓冲器(例如,第一增益缓冲器224)可实施为多个以并行方式连接的可控缓冲器。下文将结合图3详细描述增益缓冲器的详细示意图。

[0041] 如图2B所示,第一注入设备221的正输入端通过第一缓冲器211耦合到正时钟信号clkp。第一注入设备221的负输入端通过第二缓冲器212耦合到负时钟信号clkm。第一注入设备221的正输出端连接到第一差分缓冲器202的正输出端,第一注入设备221的负输出端连接到第一差分缓冲器202的负输出端。

[0042] 同样地,第二注入设备231的输入分别耦合到clkp和clkm。第二注入设备231的正输出端连接到第二差分缓冲器204的正输出端,第二注入设备231的负输出端连接到所述第二差分缓冲器204的负输出端。

[0043] 如图2B所示,第三注入设备241的输入分别耦合到clkp和clkm。第三注入设备241的正输出端连接到第三差分缓冲器206的正输出端,第三注入设备241的负输出端连接到第三差分缓冲器206的负输出端。同样地,第四注入设备251的输入分别耦合到clkp和clkm。第四注入设备251的正输出端连接到第四差分缓冲器208的正输出端,第四注入设备251的负输出端连接到第四差分缓冲器208的负输出端。

[0044] 图2B还示出了可调电流源210。可调电流源210用于为差分缓冲器(例如,第一差分

缓冲器202)提供偏置电流。每个差分缓冲器的偏置电流均可调。通过调整差分缓冲器的偏置电流,可相应地微调时钟114的频率。

[0045] 应注意的是,为了实现相位内插,可同时启动两个相邻的注入设备(例如,第一注入设备221和第二注入设备231)。每个注入设备的强度以数字方式控制,从而实现相位内插。另一方面,所有注入设备均可独立控制,从而实现360度相位旋转。

[0046] 注入锁定振荡器内具有相位内插功能的一个有利特点是,可以保存相位内插驱动器和相应的相位内插电路。因此,可以降低功耗以及缩小注入锁定振荡器和时钟生成电路的布局区域。

[0047] 在一些实施例中,通过使用图2B所示的实施例,注入锁定振荡器的功耗可以降低12.6mW或38%。此外,由于时钟路径缩短,抖动可得以减少。而且,由于注入锁定振荡器中嵌入了相位内插功能,所以不会产生附加噪声。

[0048] 图3示出了根据本发明各种实施例的增益缓冲器的示意图。图3所示的增益缓冲器300包括多个以并行方式连接的缓冲器。具体而言,增益缓冲器300包括四个数控缓冲器,即第一数控缓冲器302、第二数控缓冲器304和第三数控缓冲器306。数控缓冲器302、304和306可构成二进制加权电路。如图3所示,数控缓冲器302、304和306的增益比率为4:2:1。应注意的是,为简单起见,图3所示的图为二进制加权图。实际实施可使用适当的控制机制,如温度计码等,进行编码。

[0049] 图3所示的每个数控缓冲器的启动/关闭均由增益控制信号确定。具体而言,当增益控制信号设为1时,启用数控缓冲器。另一方面,当增益控制信号设为0时,禁用数控缓冲器。在一些实施例中,增益控制信号可包括四位数字。每位数字对应一个增益控制信号。下文将结合图4A至图4D描述增益控制信号的说明性实施例。

[0050] 图4A至图4D示出了根据本发明各种实施例的相位旋转表的说明性实施例。360度全相位旋转分为四个部分,这四个部分分别在图4A至图4D中示出。相位旋转表402包括注入锁定振荡器相位编码和360度全相位旋转的第一32个阶跃。相位旋转表402中所示的注入锁定振荡器编码示出了:相位旋转高达90度,分辨率为7位。G0、G1、G2和G3是增益缓冲器(例如,图2B所示的第一增益缓冲器224)的增益控制。每个增益控制包括四位。这四位可引起16个相位阶跃。G0_pol、G1_pol、G2_pol和G3_pol表示四个极性缓冲器的极性。

[0051] 每个增益缓冲器(图2B所示)可具有四个控制位,用以调整其自身的增益。存在一个用于控制极性缓冲器(图2B所示)的极性的附加位。此外,还存在两个用于控制G0_pol、G1_pol、G2_pol和G3_pol的位。这样,注入锁定振荡器相位编码生成一个具有七位分辨率的相位旋转机制。

[0052] 如图4A所示,环形振荡器的输出处的相位偏移将以微增量的形式从0度增加到90度。每个增量阶跃等于2.8125度。换言之,360度全旋转可具有128个相位阶跃。

[0053] 图4B的相位旋转表404示出了360全度相位旋转的第二32个阶跃。如图4B所示,环形振荡器的输出处的相位偏移将以微增量的形式从90度增加到180度。

[0054] 图4C的相位旋转表406示出了360度全相位旋转的第三32个阶跃。如图4C所示,环形振荡器的输出处的相位偏移将以微增量的形式从180度增加到270度。

[0055] 图4D的相位旋转表408示出了360度全相位旋转的第四32个阶跃。如图4D所示,环形振荡器的输出处的相位偏移将以微增量的形式从270度增加到360度。

[0056] 图5示出了显示与图4A至图4D所示的实施例相关的信号的时序图。如图5所示,波形502表示第一极性缓冲器222(图2B所示)的极性。在时钟112(图1所示)的一个周期内,波形502的逻辑高状态指明了第一极性缓冲器222的正极性。另一方面,波形502的逻辑低状态指明了第一极性缓冲器222的负极性。如图5所示,在与时钟信号112的周期对应的一个周期内,第一极性缓冲器222在正极性与负极性之间进行切换。

[0057] 波形504表示第二极性缓冲器232(图2B所示)的极性。波形504类似于波形502,除了波形502与波形504之间可能存在相位偏移。如图5所示,相位偏移为45度。波形506和波形508分别表示第三极性缓冲器242和第四极性缓冲器252的极性。波形504与波形506之间存在45度的相位偏移。同样地,波形506与波形508之间也存在45度的相位偏移。

[0058] 如图5所示,波形502的空占比为50%。类似地,波形504、506和508的空占比均为50%。如上所述,波形502、504、506和508在时钟的一个周期内是等距的。两个相邻波形(例如,波形502与504)之间的相位偏移等于45度。

[0059] 波形512表示第一增益缓冲器224(图2B所示)的增益。如图5所示,在每半个周期内,如波形502的逻辑高周期内,第一增益缓冲器224的增益从0增长到峰值,然后从峰值增益直线下降到0。第一增益缓冲器224的增益在波形502的逻辑高周期中段达到最大值。应注意的是,极性缓冲器222的极性变化仅发生在第一增益缓冲器224处于活动状态时,从而避免在相位旋转过程中发生任何小故障。

[0060] 如图5所示,第二增益缓冲器234、第三增益缓冲器244和第四增益缓冲器254的增益分别由波形514、516和518表示。波形514、516和518的增益变化类似于波形512的增益变化,因此此处不再探讨。

[0061] 虽然已详细地描述了本发明的实施例及其优点,但是应理解,可以在不脱离如所附权利要求书所界定的本发明的精神和范围的情况下对本发明做出各种改变、替代和更改。

[0062] 此外,本发明的范围并不局限于说明书中所述的过程、机器、制造、物质组分、构件、方法和步骤的具体实施例。所属领域的一般技术人员可从本发明中轻易地了解,可根据本发明使用现有的或即将开发出的,具有与本文所描述的相应实施例实质相同的功能,或能够取得与所述实施例实质相同的结果的过程、机器、制造、物质组分、构件、方法或步骤。相应地,所附权利要求范围包括这些流程,机器,制造,物质组分,构件,方法,及步骤。

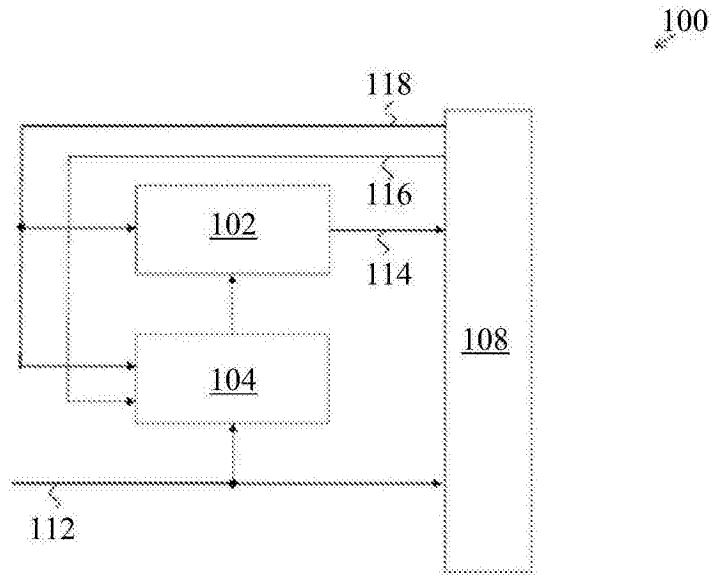


图1

200

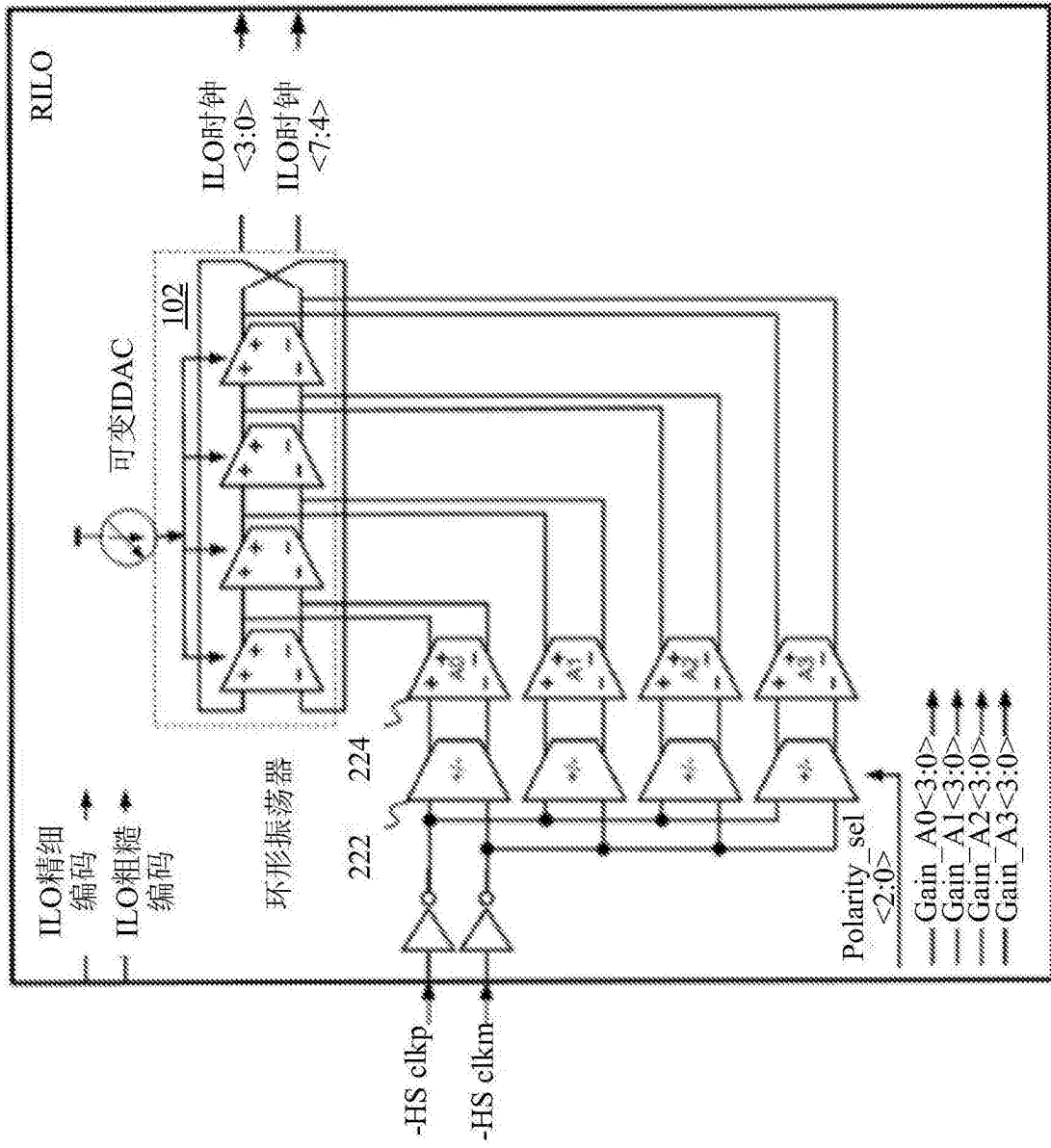


图2A

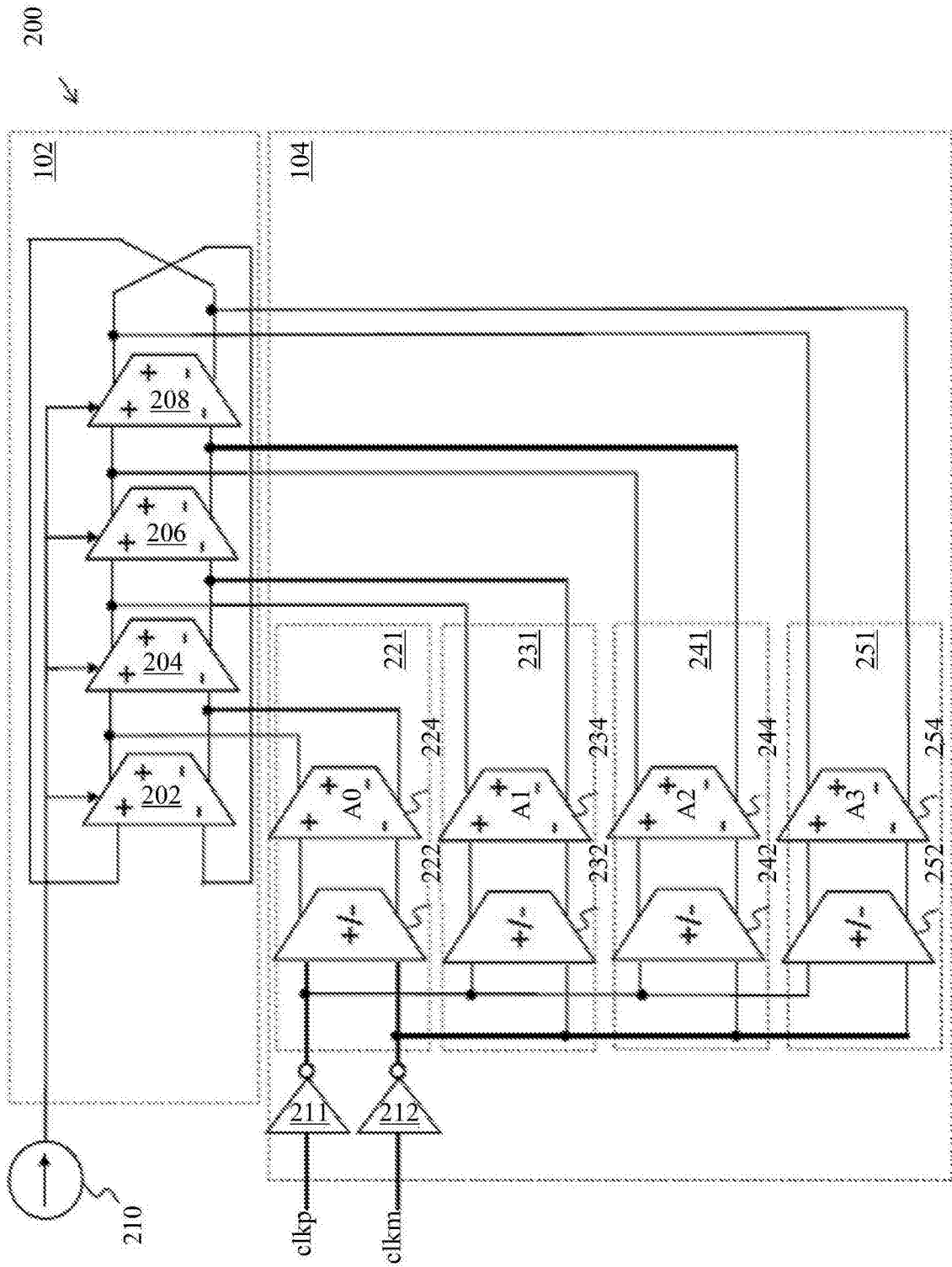


图2B

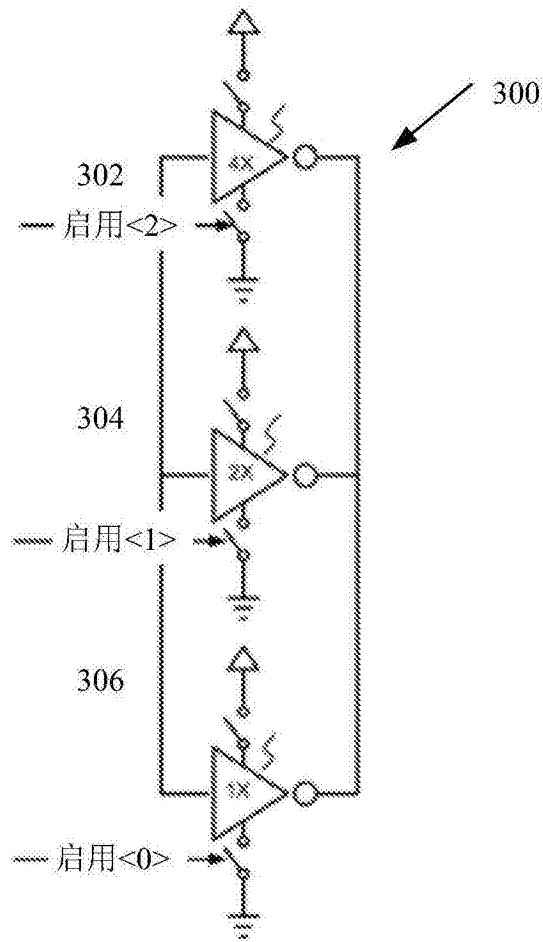


图3

402

Step No.	PI Code	500	501	502	503	504_pos	505_pos	506_pos	507_pos	508_pos	509_pos
0	0	0	0	0	0	0	0	0	0	0	0
2.0125	1	10	1	0	0	0	0	0	0	0	0
3.035	2	14	2	0	0	0	0	0	0	0	0
3.4375	3	13	3	0	0	0	0	0	0	0	0
11.25	4	12	4	0	0	0	0	0	0	0	0
14.0025	5	11	5	0	0	0	0	0	0	0	0
16.875	6	10	6	0	0	0	0	0	0	0	0
19.6075	7	9	7	0	0	0	0	0	0	0	0
22.4	8	8	8	0	0	0	0	0	0	0	0
25.3125	9	7	9	0	0	0	0	0	0	0	0
28.125	10	6	10	0	0	0	0	0	0	0	0
30.8375	11	5	11	0	0	0	0	0	0	0	0
33.75	12	4	12	0	0	0	0	0	0	0	0
36.6625	13	3	13	0	0	0	0	0	0	0	0
39.375	14	2	14	0	0	0	0	0	0	0	0
42.1075	15	1	15	0	0	0	0	0	0	0	0
45	16	0	16	0	0	0	0	0	0	0	0
47.8125	17	0	17	1	0	0	0	0	0	0	0
50.625	18	0	14	0	0	0	0	0	0	0	0
53.4375	19	0	13	0	0	0	0	0	0	0	0
56.25	20	0	12	4	0	0	0	0	0	0	0
59.0625	21	0	11	0	0	0	0	0	0	0	0
61.875	22	0	10	0	0	0	0	0	0	0	0
64.6875	23	0	9	7	0	0	0	0	0	0	0
67.5	24	0	8	0	0	0	0	0	0	0	0
70.3125	25	0	7	0	0	0	0	0	0	0	0
73.125	26	0	6	10	0	0	0	0	0	0	0
75.9375	27	0	5	11	0	0	0	0	0	0	0
78.75	28	0	4	12	0	0	0	0	0	0	0
81.5625	29	0	3	13	0	0	0	0	0	0	0
84.375	30	0	2	14	0	0	0	0	0	0	0
87.1875	31	0	1	15	0	0	0	0	0	0	0

图4A

408 ↙

Step#	PI Code	030	031	032	033	030_pos	031_pos	032_pos	033_pos
270	06	0	0	10	0	0	1	1	1
272.013	07	0	0	15	1	0	1	1	1
275.025	08	0	0	14	2	0	1	1	1
278.438	09	0	0	13	3	0	1	1	1
281.28	10	0	0	12	4	0	1	1	1
284.093	101	0	0	11	5	0	1	1	1
286.875	102	0	0	10	0	0	1	1	1
289.656	103	0	0	0	7	0	1	1	1
292.4	104	0	0	0	0	0	1	1	1
295.313	105	0	0	7	0	0	1	1	1
298.125	106	0	0	0	13	0	1	1	1
300.938	107	0	0	0	11	0	1	1	1
303.75	108	0	0	4	13	0	1	1	1
306.563	109	0	0	3	13	0	1	1	1
309.375	110	0	0	2	14	0	1	1	1
312.188	111	0	0	1	15	0	1	1	1
315	112	0	0	0	16	0	1	1	1
317.813	113	1	0	0	15	0	0	1	1
320.625	114	2	0	0	14	0	0	1	1
323.438	115	3	0	0	13	0	0	1	1
326.25	116	4	0	0	12	0	0	1	1
329.063	117	5	0	0	11	0	0	1	1
331.875	118	6	0	0	10	0	0	1	1
334.688	119	7	0	0	9	0	0	1	1
337.5	120	8	0	0	0	0	0	1	1
340.313	121	9	0	0	7	0	0	1	1
343.125	122	10	0	0	0	0	0	1	1
345.938	123	11	0	0	0	0	0	1	1
348.75	124	12	0	0	4	0	0	1	1
351.563	125	13	0	0	3	0	0	1	1
354.375	126	14	0	0	2	0	0	1	1
357.188	127	15	0	0	1	0	0	1	1
360	128	16	0	0	0	0	0	1	1

图4D

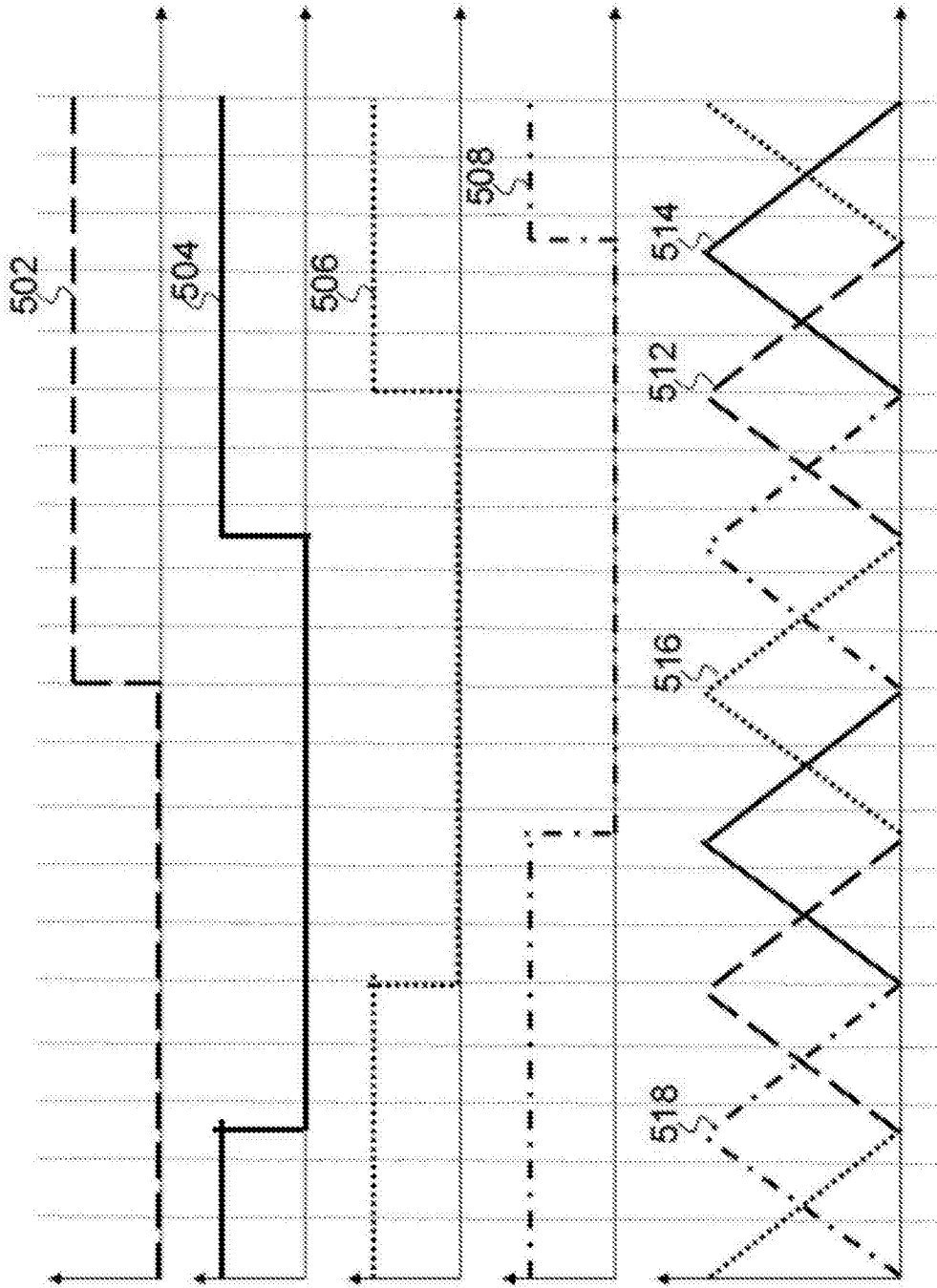


图5