



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0108866  
(43) 공개일자 2008년12월16일

(51) Int. Cl.

G11C 7/10 (2006.01) G11C 7/22 (2006.01)

G11C 5/14 (2006.01)

(21) 출원번호 10-2007-0056960

(22) 출원일자 2007년06월11일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김용미

경기 성남시 중원구 금광2동 분평주공아파트 413동 804호

(74) 대리인

김성남

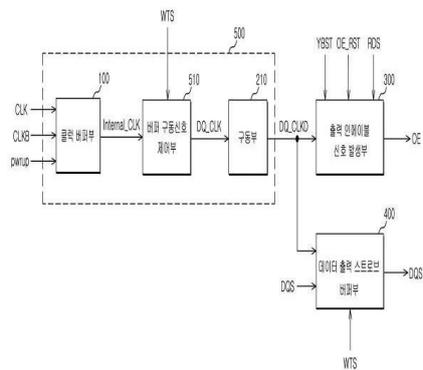
전체 청구항 수 : 총 6 항

(54) 반도체 메모리 장치의 데이터 출력 제어회로

(57) 요약

개시된 본 발명은 반도체 메모리 장치의 데이터 출력 제어회로로서, 라이트 신호에 응답하여 외부 클럭으로부터 버퍼 구동신호를 생성하는 버퍼 구동신호 생성부; 버스트 신호 및 리드 신호에 응답하여 상기 버퍼 구동신호로부터 출력 인에이블 신호를 생성하는 출력 인에이블 신호 생성부; 및 상기 라이트 신호에 응답하여 상기 버퍼 구동신호 또는 데이터 스트로브 신호로부터 데이터 스트로브 버퍼 출력신호를 생성하는 데이터 스트로브 버퍼부를 포함한다.

대표도



## 특허청구의 범위

### 청구항 1

라이트 신호에 응답하여 외부 클럭으로부터 버퍼 구동신호를 생성하는 버퍼 구동신호 생성부;

버스트 신호 및 리드 신호에 응답하여 상기 버퍼 구동신호로부터 출력 인에이블 신호를 생성하는 출력 인에이블 신호 생성부; 및

상기 라이트 신호에 응답하여 상기 버퍼 구동신호 또는 데이터 스트로브 신호로부터 데이터 스트로브 버퍼 출력 신호를 생성하는 데이터 스트로브 버퍼부를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어회로.

### 청구항 2

제 1 항에 있어서,

상기 버퍼 구동신호 생성부는,

상기 라이트 신호가 인에이블 되면 상기 버퍼 구동신호를 디스에이블시키고, 상기 라이트 신호가 디스에이블 되면 상기 버퍼 구동신호를 인에이블 시키는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어회로.

### 청구항 3

제 1 항에 있어서,

상기 버퍼 구동신호 생성부는,

상기 외부 클럭을 버퍼링하여 내부 클럭을 생성하는 클럭 버퍼부;

상기 내부 클럭을 입력받아 상기 라이트 신호에 응답하여 버퍼 클럭 신호를 생성하는 버퍼 구동신호 제어부; 및

상기 버퍼 클럭신호를 드라이빙하여 상기 버퍼 구동신호를 생성하는 구동부를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어회로.

### 청구항 4

제 3 항에 있어서,

상기 버퍼 구동신호 제어부는,

상기 라이트 신호가 인에이블 되면, 상기 버퍼 클럭신호를 디스에이블 시키고, 상기 라이트 신호가 디스에이블 되면, 상기 버퍼 클럭신호를 인에이블시키는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어회로.

### 청구항 5

제 1 항에 있어서,

상기 출력 인에이블 신호 생성부는,

상기 라이트 신호가 디스에이블 되면, 상기 버퍼 구동신호를 이용하여 상기 출력 인에이블 신호를 생성하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어회로.

### 청구항 6

제 1 항에 있어서,

상기 데이터 스트로브 버퍼부는,

상기 라이트 신호가 디스에이블 되면, 상기 버퍼 구동신호로부터 상기 데이터 스트로브 버퍼 출력신호를 출력하고, 상기 라이트 신호가 인에이블 되면, 상기 데이터 스트로브 신호로부터 상기 데이터 스트로브 버퍼 출력신호를 출력하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어회로.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <9> 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 구체적으로는 데이터 출력 제어회로에 관한 것이다.
- <10> 현재의 반도체 메모리 장치에서는 연속적인 리드 동작이 사용되고 있다. 이러한 리드 동작을 사용하는 반도체 메모리 장치의 데이터 출력 제어회로는 외부 클럭을 버퍼링하여 내부 클럭신호를 생성하고, 상기 내부 클럭신호를 드라이빙(Driving)하여 버퍼 구동신호를 생성한다. 또한, 상기 데이터 출력 제어회로는 리드 동작 시 인에이블 되는 리드 신호, 상기 버퍼 구동신호와 출력 인에이블 리셋신호, 및 버스트 신호를 이용하여 출력 인에이블 신호를 생성한다.
- <11> 도 1은 종래의 반도체 메모리 장치의 데이터 출력 제어회로의 블록도이다.
- <12> 도 1을 참조하면, 종래의 반도체 메모리 장치의 데이터 출력 제어회로에서 파워 업 신호(pwrup)가 활성화되면, 클럭 버퍼부(100)는 외부 클럭신호쌍(CLK,CLKB)으로부터 내부 클럭신호(Internal\_CLK)를 생성한다.
- <13> 구동부(200)는 상기 내부 클럭신호(Internal\_CLK)를 드라이빙하여 버퍼 구동신호(DQ\_CLKD)를 생성한다. 상기 버퍼 구동신호(DQ\_CLKD)는 리드 동작 시 출력 인에이블 신호 발생부(300)에서 사용되는 신호이다.
- <14> 상기 출력 인에이블 신호 발생부(300)는 리드 동작 시 상기 버퍼 구동신호(DQ\_CLKD), 상기 출력 인에이블 리셋신호(OE\_RST), 버스트 신호(YBST) 및 상기 리드 신호(RDS)를 이용하여 상기 출력 인에이블 신호(OE)를 출력한다. 여기서, 상기 버퍼 구동신호(DQ\_CLKD)는 연속적인 토글을 수행한다. 상기 데이터 스트로브 버퍼부(400)는 리드 동작 시 상기 버퍼 구동신호(DQ\_CLKD)의 라이징/폴링(Rising/Falling) 타이밍에 얼라인(Align)되어 데이터 출력 버퍼의 데이터들이 출력된다. 상기 데이터 스트로브 버퍼부(400)는 라이트 동작 시, 상기 데이터 스트로브 신호(DQS)의 라이징/폴링(Rising/Falling) 타이밍에 얼라인(Align)되어 데이터 입력 버퍼들의 데이터들이 입력된다.
- <15> 그런데, 라이트 동작 시, 사용되지 않는 상기 버퍼 구동신호(DQ\_CLKD)는 계속적으로 토글하여 데이터 스트로브 버퍼부(400)에 입력되기 때문에 불필요한 전류가 소모되게 된다.

**발명이 이루고자 하는 기술적 과제**

- <16> 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로, 불필요한 구간에서의 동작을 제어하여 전류를 절감하는 반도체 메모리 장치의 데이터 출력 제어회로를 제공함에 그 목적이 있다.

**발명의 구성 및 작용**

- <17> 본 발명에 따른 반도체 메모리 장치의 데이터 출력 제어회로는 라이트 신호에 응답하여 외부 클럭으로부터 버퍼 구동신호를 생성하는 버퍼 구동신호 생성부; 버스트 신호 및 리드 신호에 응답하여 상기 버퍼 구동신호로부터 출력 인에이블 신호를 생성하는 출력 인에이블 신호 생성부; 및 상기 라이트 신호에 응답하여 상기 버퍼 구동신호 또는 데이터 스트로브 신호로부터 데이터 스트로브 버퍼 출력신호를 생성하는 데이터 스트로브 버퍼부를 포함한다.
- <18> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.
- <19> 도 2는 본 발명에 따른 반도체 메모리 장치의 데이터 출력 제어회로의 블록도이다.
- <20> 도 2를 참조하면, 본 발명에 따른 데이터 출력 제어회로는 파워 업 신호(pwrup)에 응답하여 외부 클럭신호쌍(CLK,CLKB)을 버퍼링하여 내부 클럭신호(Internal\_CLK)를 생성하는 클럭 버퍼부(100), 라이트 신호(WTS)에 응답하여 상기 내부 클럭신호(Internal\_CLK)로부터 버퍼 클럭신호(DQ\_CLK)를 생성하는 버퍼 구동신호 제어부(510), 상기 버퍼 클럭신호(DQ\_CLK)를 드라이빙하여 버퍼 구동신호(DQ\_CLKD)를 출력하는 구동부(210), 상기 버퍼 구동신호(DQ\_CLKD), 상기 리드 신호(RDS), 상기 버스트 신호(YBST), 및 상기 출력 인에이블 리셋신호(OE\_RST)를 입

력받아 출력 인에이블 신호(OE)를 출력하는 출력 인에이블 신호 발생부(300), 및 상기 라이트 신호(WTS)에 응답하여, 상기 버퍼 구동신호(DQ\_CLKD) 또는 데이터 출력 스트로브 신호(DQS)로부터 데이터 스트로브 버퍼 출력신호(DQSIR)를 출력하는 데이터 스트로브 버퍼부(400)를 포함한다. 여기에서, 상기 클럭 버퍼부(100), 및 버퍼 구동신호 제어부(510), 및 구동부(210)를 포함하여 버퍼 구동신호 생성부(500)라 이르기로 한다.

<21> 상기 버퍼 구동신호 생성부(500)는 상기 라이트 신호(WTS)가 디스에이블 되면 즉, 리드 동작 시 상기 버퍼 구동신호(DQ\_CLKD)를 인에이블 시킨다. 그리고, 상기 라이트 신호(WTS)가 인에이블 되면 즉, 라이트 동작 시 상기 버퍼 구동신호(DQ\_CLKD)를 디스에이블 시킨다. 리드 동작 시, 상기 출력 인에이블 신호 발생부(300)는 상기 버퍼 구동신호(DQ\_CLKD)로부터 상기 출력 인에이블 신호(OE)를 출력한다. 라이트 동작 시, 상기 데이터 스트로브 버퍼부(400)는 데이터 스트로브 신호(DQS)로부터 상기 데이터 스트로브 버퍼 출력신호(DQSIR)를 출력한다.

<22> 도 3은 도 2에 도시한 버퍼 구동신호 제어부의 회로도이다.

<23> 도 3을 설명하면, 상기 버퍼 구동신호 제어부(510)는 상기 제 1 내지 3 인버터(IV1~IV3), 제 1 및 제 2 NMOS 트랜지스터(N1,N2), 및 제 1 및 제 2 NMOS 트랜지스터(P1,P2)를 포함한다. 상기 제 1 인버터(IV1)는 상기 라이트 신호(WTS)를 입력받아 출력신호를 상기 제 2 인버터(IV2) 및 제 2 NMOS 트랜지스터(N2)의 게이트에 인가한다. 상기 제 2 인버터(IV2)는 상기 제 1 인버터(IV1)의 출력신호를 입력받아 출력신호를 상기 제 1 PMOS 트랜지스터(P1)의 게이트에 인가한다. 상기 제 1 PMOS 트랜지스터(P1)는 상기 제 2 인버터(IV2)의 출력을 입력받는 게이트, 전원전압(VDD)단과 연결된 소오스를 포함한다. 상기 제 2 PMOS 트랜지스터(N2)는 상기 내부 클럭신호(Internal\_CLK)를 입력받는 게이트, 상기 제 1 PMOS 트랜지스터(P1)의 드레인과 연결된 소오스, 및 제 1 노드(S1)와 연결된 드레인을 포함한다. 상기 제 1 NMOS 트랜지스터(N1)는 상기 내부 클럭신호(Internal\_CLK)를 입력받는 게이트, 상기 제 1 노드(S1)와 연결된 드레인을 포함한다. 상기 제 2 NMOS 트랜지스터(N2)는 상기 제 1 인버터(IV1)의 출력신호를 입력받는 게이트, 상기 제 1 NMOS 트랜지스터(N1)의 소오스와 연결된 드레인, 및 접지 전압(VSS)단과 연결된 소오스를 포함한다.

<24> 보다 상세히 설명하면, 라이트 동작 시, 상기 라이트 신호(WTS)는 '하이'레벨이다. 이때, 상기 제 1 인버터(IV1)의 출력 신호는 상기 제 2 NMOS 트랜지스터(N2)를 턴오프시킨다. 또한, 상기 제 2 인버터(IV2)의 출력 신호는 상기 제 1 PMOS 트랜지스터(P1)를 턴오프시킨다. 따라서, 라이트 동작 시, 상기 버퍼 클럭 신호(DQ\_CLK)는 디스에이블 된다.

<25> 리드 동작 시, 상기 라이트 신호(WTS)는 '로우'레벨이다. 이때, 상기 제 1 인버터(IV1)의 출력 신호는 상기 제 2 NMOS 트랜지스터(N2)를 턴온시킨다. 상기 제 2 인버터(IV2)의 출력 신호는 상기 제 1 PMOS 트랜지스터(P1)를 턴온시킨다. 따라서, 리드 동작 시, 상기 버퍼 클럭신호(DQ\_CLK)는 인에이블 된다.

<26> 리드 동작 시, 상기 제 1 PMOS 트랜지스터(P1)와 제 2 NMOS 트랜지스터(N2)가 턴온 된 후, 내부 클럭신호(Internal\_CLK)를 입력받는 상기 제 1 NMOS 트랜지스터(N1) 및 상기 제 2 PMOS 트랜지스터(P2)에 의해 '하이'레벨에서 '로우'레벨로 토글하는 상기 버퍼 클럭신호(DQ\_CLK)가 생성된다.

<27> 따라서, 리드 동작 시 상기 라이트 신호(WTS)가 디스에이블되면, 상기 버퍼 클럭신호(DQ\_CLK)는 인에이블된다. 이후, 상기 버퍼 클럭신호(DQ\_CLK)는 상기 구동부(210)에 의해 드라이빙되어 버퍼 구동신호(DQ\_CLKD)로서 출력 된다.

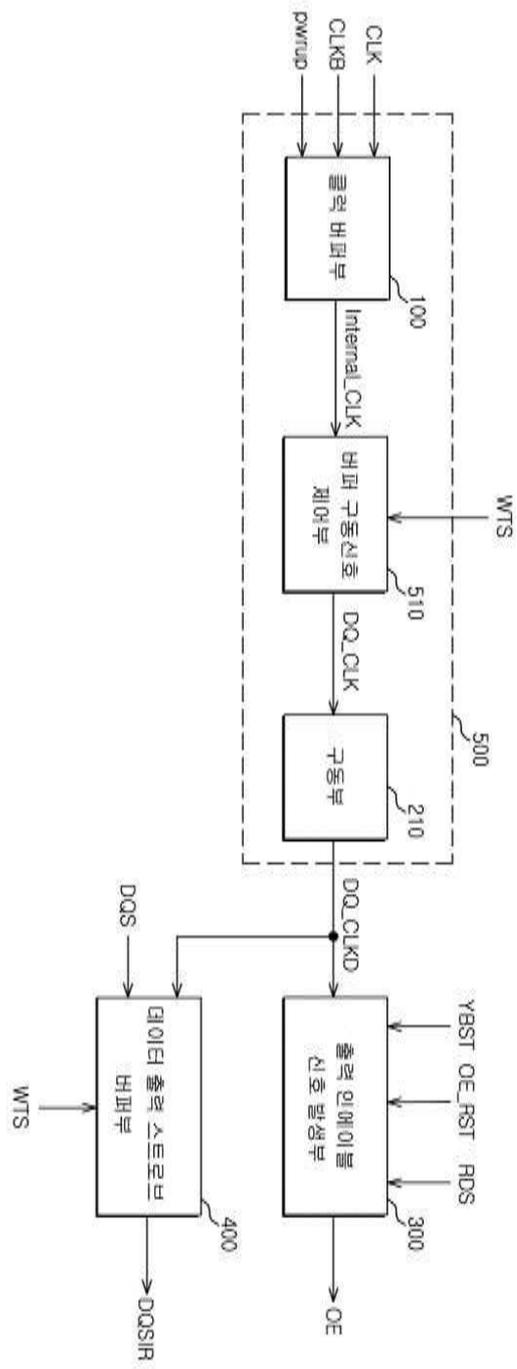
<28> 라이트 동작 시, 상기 라이트 신호(WTS)가 인에이블 되면, 상기 버퍼 클럭신호(DQ\_CLK) 및 상기 버퍼 구동신호(DQ\_CLKD)는 디스에이블 된다.

<29> 본 발명에 따른 반도체 메모리 장치의 데이터 출력 제어회로는 라이트 동작 시 불필요한 전류의 소모를 줄이기 위하여, 상기 버퍼 클럭 신호(DQ\_CLK)를 디스에이블 시킬 수 있는 상기 버퍼 구동신호 제어부(510)를 구현하였다. 리드 동작 시, 상기 버퍼 구동신호 제어부(510)는 상기 버퍼 클럭신호(DQ\_CLK)를 인에이블 시킨다. 상기 구동부(200)는 상기 버퍼 클럭신호(DQ\_CLK)를 드라이빙하여 상기 버퍼 구동신호(DQ\_CLKD)를 출력한다. 라이트 동작 시, 상기 버퍼 구동신호 제어부(510)는 상기 버퍼 클럭신호(DQ\_CLK)를 디스에이블 시킨다. 따라서, 상기 데이터 출력 제어회로는 라이트 동작 시 사용하지 않는 상기 버퍼 구동신호(DQ\_CLKD)를 디스에이블 시킴으로써, 전류의 소모를 줄일 수 있다.

<30> 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그



도면2



도면3

510

