



(12)发明专利

(10)授权公告号 CN 106783954 B

(45)授权公告日 2019.09.20

(21)申请号 201611215383.X

H01L 21/329(2006.01)

(22)申请日 2016.12.26

(56)对比文件

(65)同一申请的已公布的文献号  
申请公布号 CN 106783954 A

CN 102222701 A,2011.10.19,  
CN 104051548 A,2014.09.17,  
CN 105870207 A,2016.08.17,  
CN 101073157 A,2007.11.14,  
JP 2010147399 A,2010.07.01,  
US 2014001593 A1,2014.01.02,

(43)申请公布日 2017.05.31

(73)专利权人 杭州易正科技有限公司  
地址 310000 浙江省杭州市西湖区文三路  
569号康新花园B幢1303室

审查员 吴艳艳

(72)发明人 李风浪

(74)专利代理机构 北京众合诚成知识产权代理  
有限公司 11246

代理人 张伟静

(51)Int.Cl.

H01L 29/06(2006.01)

H01L 29/872(2006.01)

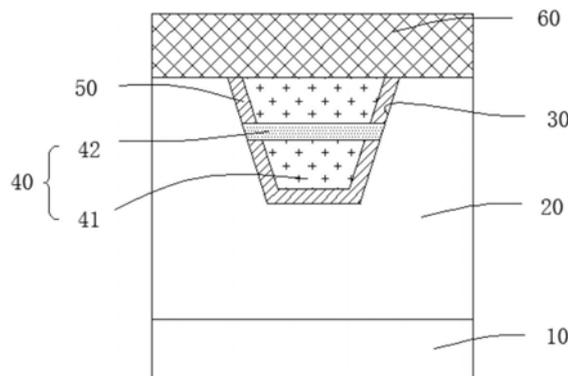
权利要求书1页 说明书3页 附图3页

(54)发明名称

一种低功率沟槽式肖特基整流器件及其制  
造方法

(57)摘要

本发明涉及半导体器件,特别涉及一种低功  
率沟槽式肖特基整流器件及其制造方法,本发  
明制造的低功率沟槽式肖特基整流器件,包括:  
N+单晶硅衬底,N-外延层,沟槽,沟槽内的导电  
介质,栅绝缘层,阳极金属层,所述沟槽为斜  
沟槽,所述导电介质包括相间排列的第一导  
电部和第二导电部,所述第二导电部材料为  
与N-外延层形成肖特基接触的惰性金属,所  
述栅绝缘层不连续,所述第一导电部通过栅  
绝缘层与N-外延层隔离,所述第二导电部  
与N-外延层接触,所述沟槽顶端与底端填  
充的导电介质属于第一导电部。本发明减小  
正向导通压降,优化沟槽式肖特基整流器  
件性能。



1. 一种低功率沟槽式肖特基整流器件,包括:N+单晶硅衬底,形成于所述N+单晶硅衬底上的N-外延层,形成于所述N-外延层上表层中的沟槽,沟槽内的导电介质,形成于所述沟槽与所述导电介质之间的栅绝缘层,形成于所述N-外延层上的阳极金属层,其特征在于,所述沟槽为斜沟槽,所述导电介质包括相间排列的第一导电部和第二导电部,所述第二导电部材料为与N-外延层形成肖特基接触的惰性金属,所述栅绝缘层不连续,所述第一导电部通过栅绝缘层与N-外延层隔离,所述第二导电部与N-外延层接触,所述第一导电部个数不少于两个,所述第二导电部个数不少于一个,所述沟槽顶端与底端填充的导电介质属于第一导电部。

2. 根据权利要求1所述的低功率沟槽式肖特基整流器件,其特征在于:第一导电部材料与第二导电部材料不同。

3. 根据权利要求1所述的低功率沟槽式肖特基整流器件,其特征在于:第一导电部材料与第二导电部材料相同。

4. 根据权利要求1所述的低功率沟槽式肖特基整流器件,其特征在于:第二导电部材料与阳极金属层材料相同。

5. 根据权利要求1所述的低功率沟槽式肖特基整流器件,其特征在于:第二导电部材料与阳极金属层材料不同。

6. 权利要求1-5所述的任一种低功率沟槽式肖特基整流器件的制造方法,其特征在于,包括以下步骤:

(1) 在N+单晶硅衬底上形成N-外延层,通过硬质掩膜版刻蚀N-外延层,形成沟槽,沟槽形状为斜沟槽;

(2) 在沟槽内壁形成栅绝缘层,沉积第一导电部材料,部分填充沟槽,形成第一导电部;

(3) 以硬质掩膜版以及沟槽内第一导电部为掩膜,刻蚀栅绝缘层,至栅绝缘层与第一导电部高度相同,沉积第二导电部材料,部分填充沟槽,形成第二导电部;

(4) 循环重复(2)、(3)步至填满沟槽,沟槽顶端填充的导电介质属于第一导电部;

(5) 形成阳极金属层。

7. 根据权利要求6所述的低功率沟槽式肖特基整流器件的制造方法,其特征在于:所述栅绝缘层材料为氧化硅、氮化硅或氮氧化硅。

8. 根据权利要求6所述的低功率沟槽式肖特基整流器件的制造方法,其特征在于:所述第一导电部材料为金属。

9. 根据权利要求6所述的低功率沟槽式肖特基整流器件的制造方法,其特征在于:第(2)步栅绝缘层可通过外延生长形成。

10. 根据权利要求6所述的低功率沟槽式肖特基整流器件的制造方法,其特征在于:第(1)步与第(3)步用同一块硬质掩膜版。

## 一种低功率沟槽式肖特基整流器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体器件,特别涉及一种低功率沟槽式肖特基整流器件及其制造方法。

### 技术背景

[0002] 肖特基二极管作为整流器件已经在电源应用领域使用了数十年。相对于PN结二极管而言,肖特基二极管具有正向开启电压低和开关速度快的优点,这使其非常适合应用于开关电源以及高频场合。传统的肖特基整流器件采用了台面工艺,金属(如铝、钼)与掺杂的半导体导电层结合构成了肖特基势垒,其具有整流特性,阳极为金属,阴极为掺杂的半导体,金属半导体接触的肖特基势垒为单边结,在提高器件速度的同时也引入了较大的反向漏电。

[0003] 为改善传统的台面肖特基结构存在的不足,现有肖特基整流器在在传统肖特基二极管/管结构中,加入沟槽MOS结构,在沟槽内,氧化层和填入的掺杂多晶硅材料构成MOS结构的栅极,并围绕肖特基势垒区,利用MOS电容产生的耗尽层夹断肖特基势垒区,将肖特基势垒区的反向电场引入器件内部,以提高肖特基的抗反向电压能力,但是沟槽结构的设置会减小肖特基接触面积,进而会影响正向导通压降。

### 发明内容

[0004] 本发明的目的是提供一种低功率沟槽式肖特基整流器件,减小正向导通压降,优化沟槽式肖特基整流器件性能。

[0005] 本发明的另一目的是上述低功率沟槽式肖特基整流器件的制造方法。

[0006] 为实现上述目的,本发明采用如下技术方案:

[0007] 一种低功率沟槽式肖特基整流器件,包括:N+单晶硅衬底,形成于所述N+单晶硅衬底上N-外延层,形成于所述N-外延层上层中的沟槽,沟槽内的导电介质,形成于所述沟槽与所述导电介质之间的栅绝缘层,形成于所述N-外延层上的阳极金属层,所述沟槽为斜沟槽,所述导电介质包括相间排列的第一导电部和第二导电部,所述第二导电部材料为与N-外延层形成肖特基接触的惰性金属,所述栅绝缘层不连续,所述第一导电部通过栅绝缘层与N-外延层隔离,所述第二导电部与N-外延层接触,所述第一导电部个数不少于两个,所述第二导电部个数不少于一个,所述沟槽顶端与底端填充的导电介质属于第一导电部。

[0008] 可选地,第一导电部材料与第二导电部材料不同。

[0009] 可选地,第一导电部材料与第二导电部材料相同。

[0010] 可选地,第二导电部材料与阳极金属层材料相同。

[0011] 可选地,第二导电部材料与阳极金属层材料不同。

[0012] 一种低功率沟槽式肖特基整流器件的制造方法,包括以下步骤:

[0013] (1) 在N+单晶硅衬底上形成N-外延层,通过硬质掩膜版刻蚀N-外延层,形成沟槽,沟槽形状为斜沟槽;

- [0014] (2) 在沟槽内壁形成栅绝缘层,沉积第一导电部材料,部分填充沟槽,形成第一导电部;
- [0015] (3) 以硬质掩膜版以及沟槽内第一导电部为掩膜,刻蚀栅绝缘层,至栅绝缘层与第一导电部高度相同,沉积第二导电部材料,部分填充沟槽,形成第二导电部;
- [0016] (4) 循环重复(2)、(3)步至填满沟槽,沟槽顶端填充的导电介质属于第一导电部;
- [0017] (5) 形成阳极金属层。
- [0018] 可选地,所述栅绝缘层材料为氧化硅、氮化硅或氮氧化硅。
- [0019] 可选地,所述第一导电部材料为金属。
- [0020] 可选地,第(2)步栅绝缘层可通过外延生长形成。
- [0021] 可选地,第(1)步与第(3)步用同一块硬质掩膜版。
- [0022] 相对于现有技术,本发明具有以下有益效果:
- [0023] 本发明低功率沟槽式肖特基整流器件,所述沟槽为斜沟槽,所述导电介质包括相间排列的第一导电部和第二导电部,所述栅绝缘层不连续,所述第一导电部通过栅绝缘层与N-外延层隔离,所述第二导电部与N-外延层接触,施加正向偏压时,由于沟槽内第二导电部与N-外延层形成的肖特基接触正向偏置,电流可通过沟槽内的第二导电部流入N-外延层,增加了肖特基接触面积,降低了正向导通压降,施加反向偏压时,沟槽内第二导电部与N-外延层形成的肖特基接触反向偏置,防止漏电,第一导电部、栅绝缘层以及N-外延层形成MOS电容结构,本发明沟槽为斜沟槽,相邻的第一导电部MOS耗尽层容易相连,耗尽中间第二导电部附近N-外延层,增加抗击反向电压能力。

## 附图说明

- [0024] 图1为本发明实施例结构示意图;
- [0025] 图2-图6为本发明实施例制造流程示意图。

## 具体实施方式

[0026] 下面结合附图以及实施例对本发明进行介绍,实施例仅用于对本发明进行解释,并不对本发明有任何限定作用。

[0027] 如图1所示,本发明实施例低功率沟槽式肖特基整流器件,包括:N+单晶硅衬底10,形成于所述N+单晶硅衬底10上N-外延层20,形成于所述N-外延层20上表层中的沟槽30,沟槽30内的导电介质40,形成于所述沟槽30与所述导电介质40之间的栅绝缘层50,形成于所述N-外延层20上的阳极金属层60,所述沟槽30为斜沟槽,所述导电介质40包括相间排列的第一导电部41和第二导电部42,所述第二导电部42材料为与N-外延层20形成肖特基接触的惰性金属,所述栅绝缘层不连续,所述第一导电部41通过栅绝缘层与N-外延层20隔离,所述第二导电部42与N-外延层20接触,所述第一导电部41个数不少于两个,所述第二导电部42个数不少于一个,所述沟槽30顶端与底端填充的导电介质40属于第一导电部41。

[0028] 图1以两个第一导电部41以及一个第二导电部42为例进行说明,所述第一导电部41材料与第二导电部42材料以及阳极金属层60材料可以相同,也可以不同。

[0029] 本发明实施例低功率沟槽式肖特基整流器件,施加正向偏压时,由于沟槽30内第二导电部42与N-外延层20形成的肖特基接触正向偏置,电流可通过沟槽30内的第二导电部

42流入N-外延层20,增加了肖特基接触面积,降低了正向导通压降,施加反向偏压时,沟槽30内第二导电部42与N-外延层20形成的肖特基接触反向偏置,防止漏电,第一导电部41、栅绝缘层50以及N-外延层20形成MOS电容结构,由于沟槽30为斜沟槽,相邻的第一导电部MOS耗尽层容易相连,耗尽中间第二导电部附近N-外延层20,增加抗击反向电压能力。

[0030] 本发明实施例低功率沟槽式肖特基整流器件的制造方法,包括以下步骤:

[0031] (1) 在N+单晶硅衬底10上形成N-外延层20,通过硬质掩膜版刻蚀N-外延层20,形成沟槽30,沟槽30形状为斜沟槽;

[0032] 在高掺杂的N+单晶硅衬底10上外延生长,形成低掺杂的N-外延层20。

[0033] (2) 在沟槽30内壁形成栅绝缘层50,沉积第一导电部41材料,部分填充沟槽30,形成第一导电部41;

[0034] 所述栅绝缘层50材料可为氧化硅、氮化硅或氮氧化硅,可通过外延生长工艺形成。

[0035] 本发明实施例沉积第一导电部41材料时通过掩膜以及选择性沉积的工艺在沟槽30内形成第一导电部41。

[0036] (3) 以硬质掩膜版以及沟槽30内第一导电部41为掩膜,刻蚀栅绝缘层30,至栅绝缘层30与第一导电部41高度相同,沉积第二导电部42材料,部分填充沟槽30,形成第二导电部42;

[0037] 所述硬质掩膜版可以选择第(1)步的硬质掩膜版,实现可以实现精准对位,并且节省工艺成本。

[0038] 第一导电部作为刻蚀掩膜栅绝缘层30的掩膜,可选择与栅绝缘层30刻蚀性能差异较大的、导电性良好的金属。

[0039] (4) 循环重复(2)、(3)步至填满沟槽,沟槽30顶端填充的导电介质40属于第一导电部41;

[0040] 本发明实施例低功率沟槽式肖特基整流器件有两个第一导电部41以及一个第二导电部42时,该步骤只需重复步骤(2),在沟槽30内壁形成栅绝缘层50,沉积第一导电部41材料,填满沟槽30,形成第一导电部41;

[0041] (5) 形成阳极金属层60。

[0042] 在N-外延层20以及填满后的沟槽30区域上沉积阳极金属层60材料,形成阳极金属层60。

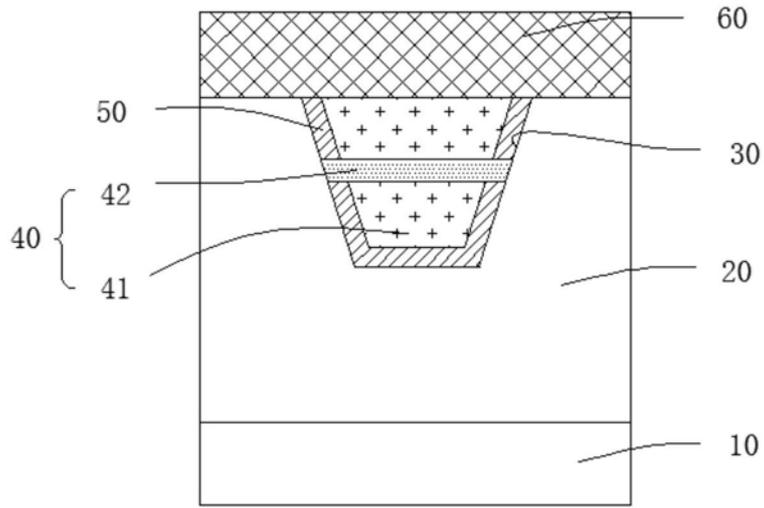


图1

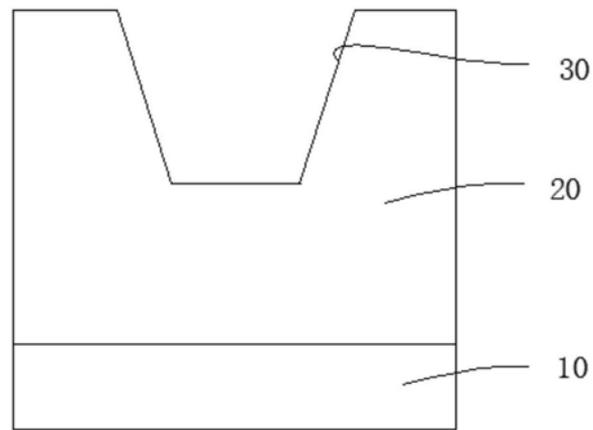


图2

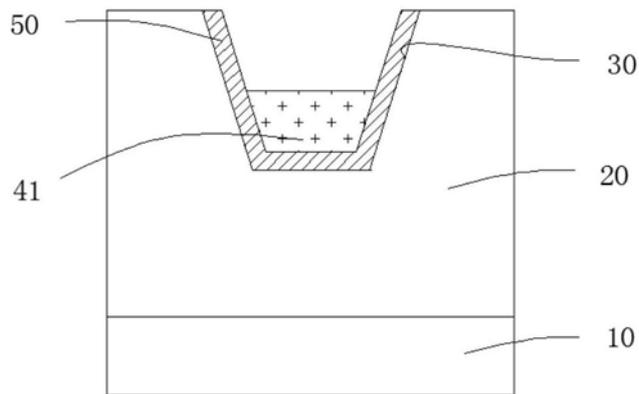


图3

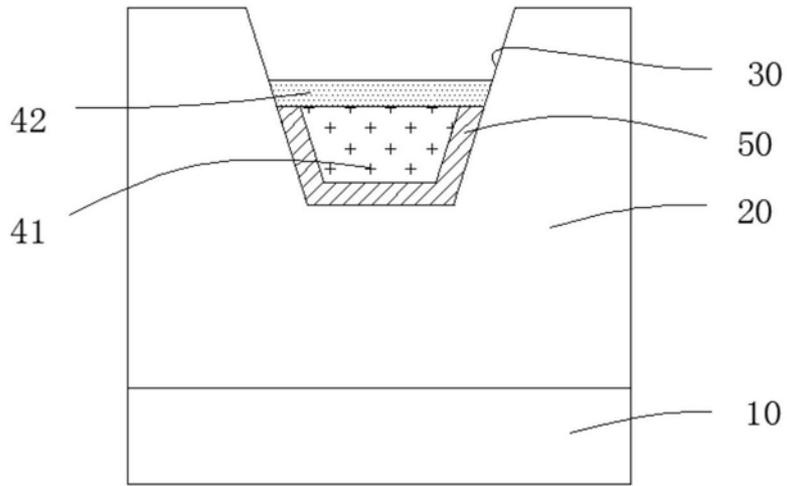


图4

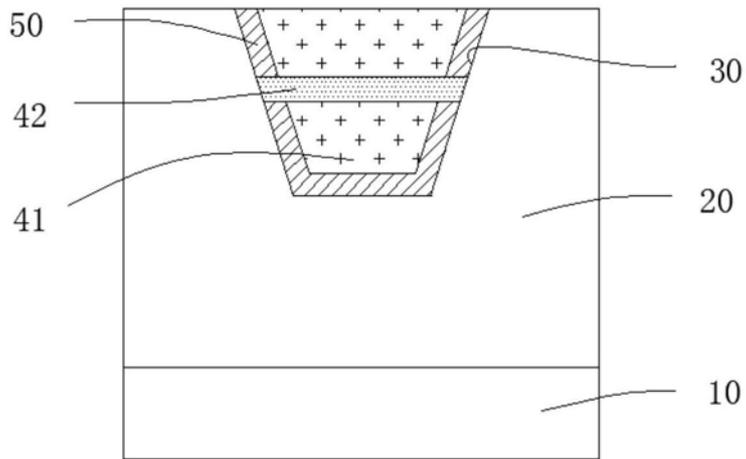


图5

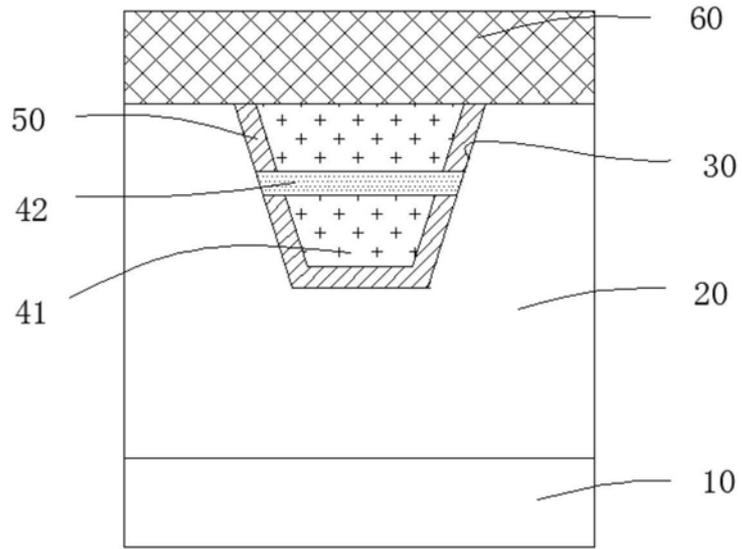


图6