



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년06월16일
 (11) 등록번호 10-1630734
 (24) 등록일자 2016년06월09일

- (51) 국제특허분류(Int. Cl.)
 H01L 21/336 (2006.01) H01L 29/00 (2006.01)
- (21) 출원번호 10-2010-7008532
- (22) 출원일자(국제) 2008년09월19일
 심사청구일자 2013년09월17일
- (85) 번역문제출일자 2010년04월19일
- (65) 공개번호 10-2010-0083153
- (43) 공개일자 2010년07월21일
- (86) 국제출원번호 PCT/US2008/077118
- (87) 국제공개번호 WO 2009/039441
 국제공개일자 2009년03월26일
- (30) 우선권주장
 60/974,433 2007년09월21일 미국(US)
- (56) 선행기술조사문헌
 US07115475 B2
 US20050116313 A1
 US20050184336 A1
 US20070029597 A1

- (73) 특허권자
 페어차일드 세미컨덕터 코퍼레이션
 미합중국 메인 04106 사우스 포트랜드 엠에스
 35-4이 러닝 힐 로드 82
- (72) 발명자
 에디나 조세프 에이
 미국 펜실베니아 18707 마운틴 탑 애쉬 레인 114
 이재길
 경기도 부천시 원미구 상동로 186, 금강 KCC 아파
 트 2128동 804호 (상동)
 (뒷면에 계속)
- (74) 대리인
 리엔특허법인

전체 청구항 수 : 총 35 항

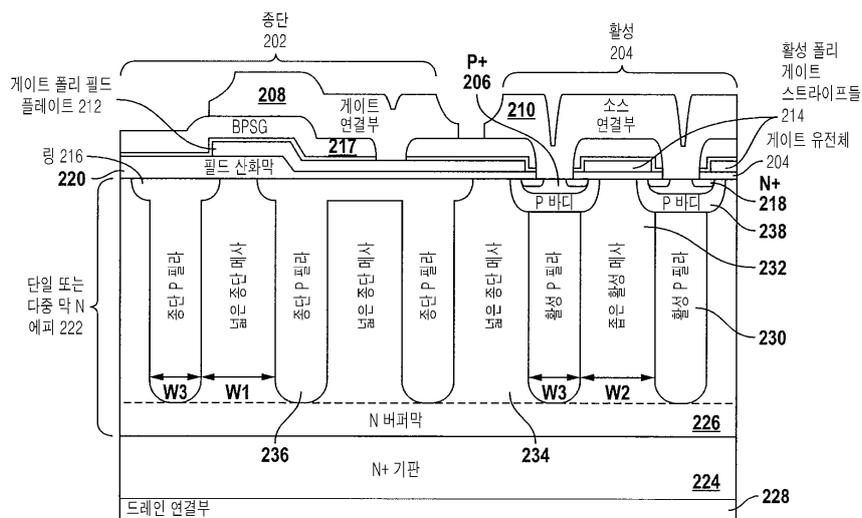
심사관 : 김종희

(54) 발명의 명칭 전력 소자

(57) 요약

전력 소자는 활성 영역 및 활성 영역을 둘러싸는 중단 영역을 포함한다. 복수의 제 1 및 제 2 전도성 타입의 필라들이 각각의 활성 및 중단 영역들 내에 교대로 배열된다. 활성 영역 및 중단 영역들 내의 제 1 전도성 타입의 필라들은 실질적으로 동일한 너비를 가지며, 각각의 활성 및 중단 영역들에서의 전하 균형 조건이 활성 영역보다 중단 영역에서 높은 브레이크다운 전압을 갖도록 하기 위하여, 활성 영역의 제 2 전도성 타입의 필라들은 중단 영역 내의 제 2 전도성 타입의 필라들보다 작은 너비를 갖는다.

대표도 - 도2



(72) 발명자

강호철

경기 부천시 원미구 평천로 616, 2112동 1602호 (상동, 다정한마을)

윤종만

서울특별시 용산구 이촌로89길 32, 이촌 아파트 110동 101호 (이촌동)

쉬노이 프라벤 무랄리드하란

인도 푸네 411013 하다프사르 마가르파따 코스모스 에프-803

렉서 크리스토퍼 엘

미국 펜실베니아 18707 마운틴 탑 화이트 버치 라인 374

김창욱

경기 김포시 양도로 46, 202동 403호 (풍무동, 양도마을서해아파트)

이중훈

경기도 부천시 원미구 중1동 뉴-서울 아파트 #806-902

릭스 제이슨 엠

미국 펜실베니아 18707 마운틴 탑 세인트 메리즈 로드 791

레이클 드웨인 에스

미국 펜실베니아 18347 포코노 레이크 피.오.박스 908

샤프 조엘

미국 유타 84096 헤리맨 웨스트 오펠리아 레인 5775

왕 쿼

미국 유타 84092 샌디 스노우 아이리스 웨이 10237

김용섭

경기도 김포시 돌문로15번길 23, - 101동 605호 (사우동, 경신아파트)

이중길

인천광역시 연수구 먼우금로 302, 유천아파트 110동 1106호 (연수동)

라인하이머 마크 엘

미국 펜실베니아 18704 포티 포트 던 스트리트 15

정진영

경기도 부천시 원미구 도약로 106, 한라마을아파트 121동 1003호 (중동)

명세서

청구범위

청구항 1

복수의 제 2 전도성 타입의 필라들과 교대로 배열되는 복수의 제 1 전도성 타입의 필라들을 갖는 활성(active) 영역으로서, 상기 활성 영역에서 복수의 상기 제 2 전도성 타입의 필라들은 각각 동일한 너비를 갖는, 상기 활성 영역;

상기 활성 영역의 적어도 일부를 둘러싸며, 복수의 제 2 전도성 타입의 필라들과 교대로 배열되는 복수의 제 1 전도성 타입의 필라들을 가지는 종단(termination) 영역으로서, 상기 종단 영역에서의 복수의 상기 제 2 전도성 타입의 필라들은 각각 동일한 너비를 가지며, 상기 활성 영역에서 복수의 상기 제 2 전도성 타입의 필라들은 상기 종단 영역에서의 상기 제 2 전도성 타입의 필라들 보다 작은 너비를 가지는, 상기 종단 영역; 및

상기 활성 영역과 상기 종단 영역 사이에 배치되는 전환(transition) 영역으로서, 상기 전환 영역은 복수의 제 2 전도성 타입의 필라들과 교대로 배열되는 복수의 제 1 전도성 타입의 필라들을 가지며, 상기 전환 영역에서의 복수의 상기 제 2 전도성 타입의 필라들은 각각 동일한 너비를 가지며, 상기 전환 영역에서의 복수의 상기 제 2 전도성 타입의 필라들은 각각 상기 종단 영역에서의 상기 제 2 전도성 타입의 필라들의 각각의 너비보다 큰 너비를 갖는, 상기 전환 영역;을 포함하는 전력 소자(power device).

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 활성 영역은 상기 활성 영역에서 복수의 상기 제 2 전도성 타입의 필라들 중의 적어도 하나 내에서 소정 깊이(predetermined depth)로 연장되는 트렌치 게이트 구조물을 포함하는 것을 특징으로 하는 전력 소자.

청구항 5

제 1 항에 있어서,

상기 활성 영역 내의 복수의 상기 제 1 전도성 타입의 필라들은 상기 종단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들과 동일한 도핑 프로파일(doping profile)을 가지는 것을 특징으로 하는 전력 소자.

청구항 6

제 1 항에 있어서,

상기 종단 영역에서 복수의 상기 제 1 전도성 타입의 필라들의 각각의 상부 부분에 결합된 확산 링(diffusion ring); 및

상기 활성 영역 내에 포함되며, 평면의 게이트 구조물과 관련된 P-웰;을 포함하며, 상기 확산 링은 상기 P-웰 보다 얇은 것을 특징으로 하는 전력 소자.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 활성 영역은 상기 활성 영역 내의 어떤 복수의 상기 제 2 전도성 타입의 필라들 상으로 연장되는 게이트 구조물도 포함하지 않는 것을 특징으로 하는 전력 소자.

청구항 9

제 1 항에 있어서,

상기 활성 영역 내의 복수의 상기 제 1 전도성 타입의 필라들로부터의 각 필라는 스트라이프 형상이고(stripeshaped), 상기 종단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들로부터의 각 필라는 상기 활성 영역을 동심의 방식(concentric fashion)으로 둘러싸는 것을 특징으로 하는 전력 소자.

청구항 10

제 1 항에 있어서,

상기 활성 영역 및 종단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들은 동심(concentric)인 것을 특징으로 하는 전력 소자.

청구항 11

제 1 항에 있어서,

복수의 제 1 전도성 타입의 필라들은 상기 활성 영역 내의 복수의 상기 필라들의 연장부들(extensions)인 종단 필라들을 가지며 다른 복수의 종단 필라들은 상기 활성 영역에 평행인 것을 특징으로 하는 전력 소자.

청구항 12

삭제

청구항 13

삭제

청구항 14

제 1 항에 있어서,

상기 활성 영역은 제 1 전도성 타입의 바디(body) 영역들, 및 상기 바디 영역들 내의 제 2 전도성 타입의 소스 영역들을 포함하며,

상기 전력 소자는 상기 바디 영역들보다 깊게 연장되는 브릿징 확산부를 더 포함하는 것을 특징으로 하는 전력 소자.

청구항 15

제 14 항에 있어서,

상기 브릿징 확산부 및 상기 바디 영역들은 유사한 도핑 농도를 가지는 것을 특징으로 하는 전력 소자.

청구항 16

제 1 항에 있어서,

상기 활성 영역은 제 1 전도성 타입의 바디 영역들 및 상기 바디 영역들 내의 제 2 전도성 타입의 소스 영역들을 포함하며,

상기 전력 소자는 상기 바디 영역들보다 얇은 깊이로 연장되는 브릿징 확산부를 더 포함하는 것을 특징으로 하는 전력 소자.

청구항 17

제 16 항에 있어서,

상기 바디 영역들보다 낮은 도핑 농도를 가지는 브릿징 확산부를 더 포함하는 것을 특징으로 하는 전력 소자.

청구항 18

제 1 항에 있어서,

상기 제 1 전도성 타입은 P-타입이고 상기 제 2 전도성 타입은 N-타입인 것을 특징으로 하는 전력 소자.

청구항 19

제 1 항에 있어서,

상기 제 1 전도성 타입은 N-타입이고 상기 제 2 전도성 타입은 P-타입인 것을 특징으로 하는 전력 소자.

청구항 20

제 1 항에 있어서,

각각의 상기 제 1 전도성 타입의 필라는 P-타입 실리콘으로 매립된 트렌치를 포함하며, 상기 트렌치들은 상기 제 2 전도성 타입의 필라들을 형성하는 N-타입 영역들에 의해 서로 분리되는 것을 특징으로 하는 전력 소자.

청구항 21

제 1 항에 있어서,

상기 활성 영역 및 중단 영역들 내의 상기 제 1 전도성 타입의 필라들 및 상기 전환 영역 내의 적어도 하나의 상기 제 1 전도성 타입의 필라는 모두 동일한 도핑 프로파일을 가지는 것을 특징으로 하는 전력 소자.

청구항 22

제 1 항에 있어서,

상기 활성 영역은 상기 활성 영역 내의 적어도 하나의 상기 제 2 전도성 타입의 필라들 상으로 연장되는 평면의 게이트 구조물을 포함하는 것을 특징으로 하는 전력 소자.

청구항 23

삭제

청구항 24

제 1 항에 있어서,

상기 활성 영역은 상기 활성 영역 내의 어떤 상기 제 2 전도성 타입의 필라들 상으로 연장되는 게이트 구조물도 포함하지 않는 것을 특징으로 하는 전력 소자.

청구항 25

삭제

청구항 26

삭제

청구항 27

제 1 항에 있어서,

상기 전환 영역은 상기 전환 영역 내의 상기 제 1 전도성 타입의 필라들 중의 적어도 두 개를 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나에 전기적으로 연결하는 분리 확산부(isolation diffusion)를 포함하며,

상기 중단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나는 상기 분리 확산부 보다 얇은

확산 링을 포함하는 상부 부분을 가지는 것을 특징으로 하는 전력 소자.

청구항 28

제 1 항에 있어서,

상기 종단 영역 내의 복수의 상기 제 2 전도성 타입의 필라들 및 상기 활성 영역 내의 복수의 상기 제 2 전도성 타입의 필라들은, 전하 균형 조건(charge balance condition)이 상기 활성 영역보다 상기 종단 영역에서 더 높은 브레이크다운 전압(breakdown voltage)을 발생하도록 정의되는 것을 특징으로 하는 전력 소자.

청구항 29

제 1 항에 있어서,

상기 활성 영역 내의 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나의 바닥 부분에 불균형 구역(imbalance area)을 더 포함하며, 상기 불균형 구역은 상기 복수의 제 1 전도성 타입의 필라들의 적어도 하나의 깊이 아래의 깊이로 연장되는 것을 특징으로 하는 전력 소자.

청구항 30

제 1 항에 있어서,

복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나는 제 1 에피택셜 층 내에 배치되며, 제 2 에피택셜 층 위로 배치되는 바닥 부분을 가지며,

상기 전력 소자는, 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나의 상기 바닥 부분에 불균형 구역을 더 포함하는 것을 특징으로 하는 전력 소자.

청구항 31

제 30 항에 있어서,

상기 불균형 구역은 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나의 깊이 아래의 깊이로 연장되는 것을 특징으로 하는 전력 소자.

청구항 32

제 30 항에 있어서,

상기 불균형 구역은 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나의 너비보다 큰 너비를 갖는 것을 특징으로 하는 전력 소자.

청구항 33

제 1 항에 있어서,

복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나는 제 1 에피택셜 층 내에 배치되는 제 1 부분 및 제 2 에피택셜 층 내에 배치되는 제 2 부분을 가지며,

상기 전력 소자는, 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나의 바닥 부분에 불균형 구역을 더 포함하는 것을 특징으로 하는 전력 소자.

청구항 34

제 33 항에 있어서,

상기 불균형 구역은 제 2 전도성 타입인 것을 특징으로 하는 전력 소자.

청구항 35

제 1 항에 있어서,

상기 종단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나는 상기 활성 영역 내에 포함된

P-웰 보다 얇은 확산 링을 포함하는 상부 부분을 갖는 것을 특징으로 하는 전력 소자.

청구항 36

제 1 항에 있어서,

상기 활성 영역 내의 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나의 바닥 부분에 불균형 구역을 더 포함하며, 상기 불균형 구역은 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나의 깊이 아래의 깊이로 연장되며,

상기 중단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나는 확산 링을 포함하는 상부 부분을 가지며, 상기 확산 링은 상기 활성 영역 내의 P-웰의 깊이 보다 얇으며, 상기 전환 영역 내에 포함된 분리 영역의 깊이 보다 얇은 깊이를 갖는 것을 특징으로 하는 전력 소자.

청구항 37

제 1 항에 있어서,

기관;

제 1 에피택셜 층;

제 2 에피택셜 층; 및

복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나의 바닥에 있는 불균형 구역;을 더 포함하며,

상기 제 1 에피택셜 층은 상기 기관과 상기 제2 에피택셜 층 사이에 배치되는 것을 특징으로 하는 전력 소자.

청구항 38

제 37 항에 있어서,

상기 불균형 구역은 제 2 전도성 타입인 것을 특징으로 하는 전력 소자.

청구항 39

삭제

청구항 40

삭제

청구항 41

제 37 항에 있어서,

상기 전환 영역은 상기 전환 영역 내의 상기 제 1 전도성 타입의 필라들 중의 적어도 두 개를 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나에 전기적으로 연결하는 분리 확산부를 포함하는 것을 특징으로 하는 전력 소자.

청구항 42

제 1 항에 있어서,

상기 전환 영역은 상기 전환 영역 내의 상기 제 1 전도성 타입의 필라들 중의 적어도 두 개를 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나에 전기적으로 연결하는 분리 확산부를 포함하며,

상기 분리 확산부는 유전체에 의해 필드 플레이트의 일부로부터 절연되며,

상기 분리 확산부는 상기 활성 영역 내에 포함된 P-웰의 깊이 보다 깊은 깊이를 가지며, 상기 P-웰의 깊이는 상기 중단 영역 내에 포함된 확산 링의 깊이 보다 깊은 것을 특징으로 하는 전력 소자.

청구항 43

제 1 항에 있어서,

상기 전환 영역 내에 배치된 제 1 부분을 가지며, 제 1 유전체에 의해 상기 전환 영역 내의 복수의 상기 제 2 전도성 타입의 필라들 중의 적어도 일부로부터 절연된 필드 플레이트(field plate)를 더 포함하며,

상기 필드 플레이트는 상기 중단 영역 내에 배치된 제 2 부분을 가지며, 상기 제 1 유전체의 두께 보다 큰 두께를 가지는 제 2 유전체에 의해 상기 중단 영역 내의 복수의 상기 제 2 전도성 타입의 필라들 중의 적어도 일부로부터 절연되는 것을 특징으로 하는 전력 소자.

청구항 44

제 1 항에 있어서,

상기 중단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나는 확산 링의 적어도 일부를 포함하는 상부 부분을 가지며, 상기 확산 링은 상기 활성 영역 내에 포함되며, 상기 활성 영역 내에서 한 쌍의 제 2 전도성 타입의 필라들 사이에 배치된 P-웰 보다 얇은 전력 소자.

청구항 45

제 44 항에 있어서,

상기 활성 영역 내의 복수의 상기 제 1 전도성 타입의 필라들 중의 적어도 하나는 불균형 구역과 접촉하며, 상기 불균형 구역은 P-타입 불균형 구역 또는 N-타입 불균형 구역인 것을 특징으로 하는 전력 소자.

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 반도체 기술에 관한 것이며, 더욱 상세하게는 트랜지스터들, 다이오드들과 같은 개선된 전력 반도체 소자들 및 그 제조 방법들의 다양한 실시예들에 관한 것이다.

[0002] 관련 출원들의 상호 참조

[0003] 본 출원은 2007년 9월 21일 출원된 미국 가특허출원 제 60/974,433호의 우선권을 주장하며, 전체 내용은 모든 목적들을 위해 참조로서 포함된다.

배경 기술

[0004] 전력 전자 제품들에서 중요한 부품은 고체(solid-state) 스위치이다. 자동차 제품들에서의 점화 제어에서부터 배터리-구동 컨슈머(consumer) 전자 소자들에 이르기까지, 산업 제품들에서 컨버터(converter)들에 전력을 공급하기 위해서, 특정 제품의 요건들을 최적으로 만족시키는 전력 스위치를 필요로 한다. 예를 들어, 전력 금속-산화물-반도체 전계 효과 트랜지스터(power metal-oxide-semiconductor field effect transistor, 전력 MOSFET), 절연-게이트 바이폴라 트랜지스터(insulated-gate bipolar transistor, IGBT) 및 다양한 유형들의 사이리스터(thyristor)들을 포함하는 고체 스위치들이 이런 요구를 만족시키기 위해 발전되었다. 전력 MOSFET의 경우, 예를 들어, 측면 채널을 가지는 이중-확산 구조들(double-diffused structure, DMOS)(예컨대, Blanchard 등의 미국 특허 제 4,682,405호), 트랜치된 게이트 구조들(예컨대, Mo 등의 미국 특허 제 6,429,481호), 및 트랜지스터 드리프트(drift) 영역에서 전하 균형(balancing)을 위한 다양한 기술들(예컨대, Temple의 미국 특허 제 4,941,026호, Chen의 미국 특허 제 5,216,275호, 및 Neilson의 미국 특허 제 6,081,009호)이, 차별적이고 흔히 경쟁하는 성능 요건들을 다루기(address) 위해 많은 다른 기술들 중에 발전되었다.

[0005] 전력 스위치에 대한 성능 특성들을 정의하는 몇 가지는 온-저항(on-resistance), 브레이크다운(breakdown) 전압 및 스위칭 속도이다. 특정한 제품의 요건들에 의존하여, 각각의 성능 기준들에는 다른 주안점이 있다. 예를 들어, 약 300-400볼트(volts) 이상의 전력 제품들에 대해, IGBT는 전력 MOSFET에 비하여 내재적으로 낮은 온-저항을 보이지만, 스위칭 속도는 느린 턴 오프(turn off) 특성으로 인해 더 낮다. 그러므로, 전력 MOSFET이 흔히 상대적으로 높은 주파수 제품들에 대해 선택되는 소자인 반면, 낮은 온-저항을 요구하는 낮은 스위칭 주파수들을 갖는 400볼트 이상의 제품들에서, IGBT는 선호되는 스위치이다. 주어진 제품의 주파수 요건들이 사용되는 스위치의 유형을 정한다면, 전압 요건들은 특정 스위치의 구조적 구성을 결정한다. 예를 들어, 전력 MOSFET의

경우, 드레인에서 소스로의(drain-to-source) 온-저항 R_{dson} 및 브레이크다운 전압 사이의 비례하는 관계 때문에, 낮은 R_{dson} 을 유지하면서도 트랜지스터의 전압 성능의 개선하는 것은 과제를 제기한다. 트랜지스터의 드리프트 영역에서의 다양한 전하 균형 구조들이 다른 성공의 정도들을 갖고 이 과제를 다루기 위해 발전되었다.

[0006] 소자 성능 파라미터들은 또한 제조 공정 및 다이(die)의 패키징에 의해서 영향 받는다. 다양한 개선된 공정 및 패키징 기술들을 발전시킴으로써 이들 과제들의 일부를 다루기 위한 시도들이 이루어졌다.

[0007] 초(ultra)-휴대용 컨슈머 전자 소자들 내에서거나 커뮤니케이션 시스템들에서의 라우터(router)들 및 허브(hub)들 내에서거나, 전력 스위치에 대한 제품들의 다양성들은 전자 산업의 팽창과 함께 계속 증대되고 있다. 따라서 전력 스위치는 높은 발전 가능성을 가진 반도체 소자로 남아있다.

발명의 내용

[0008] 본 발명의 일 실시예에 따르면, 전력 소자는 활성(active) 영역 및 상기 활성 영역을 둘러싸는 종단(termination) 영역, 및 각각의 상기 활성 및 종단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들(pillars)을 포함하며, 상기 활성 영역 및 종단 영역들 내의 상기 제 1 전도성 타입의 필라들은 실질적으로 동일한 너비를 가지며, 각각의 상기 활성 및 종단 영역들에서의 전하 균형 조건(charge balance condition)이 상기 활성 영역보다 상기 종단 영역에서 더 높은 브레이크다운 전압(breakdown voltage)을 갖도록 하기 위하여, 상기 활성 영역의 상기 제 2 전도성 타입의 필라들은 상기 종단 영역 내의 상기 제 2 전도성 타입의 필라들보다 작은 너비를 갖는다.

[0009] 일 변형예에서 상기 제 1 전도성 타입은 P-타입이고 상기 제 2 전도성 타입은 N-타입이다.

[0010] 다른 변형예에서 상기 제 1 전도성 타입은 N-타입이고 상기 제 2 전도성 타입은 P-타입이다.

[0011] 다른 변형예에서 각각의 상기 제 1 전도성 타입의 필라들은 실질적으로 P-타입 실리콘으로 매립된 트랜치(trench)를 포함하며, 상기 트랜치들은 상기 제 2 전도성 타입의 필라들을 형성하는 N-타입 영역들에 의해 서로 분리된다.

[0012] 다른 변형예에서 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들은 상기 종단 영역 내의 상기 제 1 전도성 타입의 필라들과 실질적으로 동일한 도핑 프로파일(doping profile)을 갖는다.

[0013] 다른 변형예에서 상기 활성 영역은 상기 활성 영역 내의 적어도 하나의 상기 제 2 전도성 타입의 필라들 상으로 연장되는 평면의 게이트 구조물을 포함한다.

[0014] 다른 변형예에서 상기 활성 영역은 상기 활성 영역 내의 적어도 하나의 상기 제 2 전도성 타입의 필라들 내부의 소정 깊이(predetermined depth)로 연장되는 트랜치 게이트 구조물을 포함한다.

[0015] 다른 변형예에서 상기 활성 영역은 상기 활성 영역 내의 어떤 상기 제 2 전도성 타입의 필라들 상으로 연장되는 게이트 구조물도 포함하지 않는다.

[0016] 다른 변형예에서 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들은 스트라이프 형상이고(stripe-shaped), 상기 종단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들은 상기 활성 영역을 동심의 방식(concentric fashion)으로 둘러싼다.

[0017] 다른 변형예에서 상기 활성 및 종단 영역들 내의 복수의 상기 제 1 전도성 타입의 필라들은 동심이다.

[0018] 다른 변형예에서 제 1 전도성 타입의 복수의 필라들은 상기 활성 필라들의 연장부들(extensions)인 종단 필라들을 가지며 다른 복수의 종단 필라들은 상기 활성 영역에 평행이다.

[0019] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역, 전환(transition) 영역, 및 상기 활성 및 전환 영역들을 둘러싸는 종단 영역, 및 각각의 상기 활성 및 종단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들을 포함하고, 상기 전환 영역은 상기 활성 및 상기 종단 영역들의 사이에 적어도 하나의 제 1 전도성 타입의 필라 및 제 2 전도성 타입의 필라를 갖고, 상기 활성 영역 내의 복수의 상기 제 1 전도성 타입의 필라들은 소스 단자에 연결되고, 상기 종단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들은 플로팅(floating)되고, 상기 전환 영역 내의 적어도 하나의 제 1 전도성 타입의 필라가 상기 전환 영역 내의 적어도 하나의 제 1 전도성 타입의 필라를 상기 활성 영역 내의 복수의 제 1 전도성 타입의 필라들 중의 하나에 연결하는 제 1 전도성의 브릿징 확산부(bridging diffusion)를 통해 소스 단자에 연결되고, 상기 브릿징 확산부는 적어도 하나의 상기 제 2 전도성 타입의 필라의 너비를 가로질러 연장되며, 상기 전환 영역 내의 적어도 하나의

상기 제 1 전도성 타입의 필라뿐만 아니라 상기 활성화 및 중단 영역들 내의 상기 제 1 전도성 타입의 필라들도 모두 실질적으로 동일한 너비를 가지며, 각각의 상기 활성화 및 전환 영역들에서의 전하 균형 조건이 상기 활성화 영역보다 상기 전환 영역에서 높은 브레이크다운 전압을 갖도록 하기 위하여 상기 활성화 영역 내의 상기 제 2 전도성 타입의 필라들은 상기 전환 영역 내의 적어도 하나의 상기 제 2 전도성 타입의 필라의 너비보다 작은 너비를 갖는다.

- [0020] 일 변형예에서 각각의 상기 활성화 및 중단 영역들에서의 전하 균형 조건이 상기 활성화 영역보다 상기 중단 영역에서 높은 브레이크다운 전압을 갖도록 하기 위하여 상기 활성화 영역 내의 상기 제 2 전도성 타입의 필라들은 상기 전환 영역 내의 복수의 상기 제 2 전도성 타입의 필라들의 너비보다 작은 너비를 갖는다.
- [0021] 다른 변형예에서 상기 활성화 영역은 제 1 전도성 타입의 바디(body) 영역들, 및 상기 바디 영역들 내의 제 2 전도성 타입의 소스 영역들을 포함하며, 상기 브릿징 확산부가 상기 바디 영역들보다 깊게 연장된다.
- [0022] 다른 변형예에서 상기 브릿징 확산부 및 상기 바디 영역들은 실질적으로 유사한 도핑 농도를 갖는다.
- [0023] 다른 변형예에서 상기 활성화 영역은 제 1 전도성 타입의 바디 영역들 및 상기 바디 영역들 내의 제 2 전도성 타입의 소스 영역들을 포함하며, 상기 브릿징 확산부는 상기 바디 영역들보다 얇게 연장된다.
- [0024] 다른 변형예에서 상기 브릿징 확산부는 상기 바디 영역들보다 낮은 도핑 농도를 갖는다.
- [0025] 다른 변형예에서 상기 제 1 전도성 타입은 P-타입이고 상기 제 2 전도성 타입은 N-타입이다.
- [0026] 다른 변형예에서 상기 제 1 전도성 타입은 N-타입이고 상기 제 2 전도성 타입은 P-타입이다.
- [0027] 다른 변형예에서 각각의 제 1 전도성 타입의 필라는 실질적으로 P-타입 실리콘으로 매립된 트렌치를 포함하며, 상기 트렌치들은 상기 제 2 전도성 타입의 필라들을 형성하는 N-타입 영역들에 의해 서로 분리된다.
- [0028] 다른 변형예에서 상기 활성화 영역 및 중단 영역들 내의 상기 제 1 전도성 타입의 필라들 및 상기 전환 영역 내의 적어도 하나의 상기 제 1 전도성 타입의 필라는 모두 실질적으로 동일한 도핑 프로파일을 갖는다.
- [0029] 다른 변형예에서 상기 활성화 영역은 상기 활성화 영역 내의 적어도 하나의 상기 제 2 전도성 타입의 필라들 상으로 연장되는 평면의 게이트 구조물을 포함한다.
- [0030] 다른 변형예에서 상기 활성화 영역은 상기 활성화 영역 내의 적어도 하나의 상기 제 2 전도성 타입의 필라들 내부의 소정 깊이로 연장되는 트렌치 게이트 구조물을 포함한다.
- [0031] 다른 변형예에서 상기 활성화 영역은 상기 활성화 영역 내의 어떤 상기 제 2 전도성 타입의 필라들 상으로 연장되는 게이트 구조물도 포함하지 않는다.
- [0032] 다른 변형예에서 상기 활성화 영역 내의 복수의 상기 제 1 전도성 타입의 필라들 및 상기 전환 영역 내의 적어도 하나의 상기 제 1 전도성 타입의 필라는 스트라이프 형상이고, 상기 중단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들은 상기 활성화 및 전환 영역들을 동심의 방식으로 둘러싼다.
- [0033] 다른 변형예에서 상기 활성화 및 중단 영역들 내의 복수의 상기 제 1 전도성 타입의 필라들 및 상기 전환 영역 내의 적어도 하나의 상기 제 1 전도성 타입의 필라는 동심이다.
- [0034] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성화 영역 및 상기 활성화 영역을 둘러싸는 중단 영역, 각각의 상기 활성화 및 중단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들, 및 상기 중단 영역 내의 두 개 이상의 상기 제 1 전도성 타입의 필라들의 상부 영역을 가로질러 연장되는 제 1 전도성 타입의 표면 웰 영역을 포함하고, 상기 활성화 영역 및 중단 영역들 내의 상기 제 1 전도성 타입의 필라들은 실질적으로 동일한 너비를 가지며 서로 실질적으로 동일한 거리로 이격되고, 상기 표면 웰 영역들 각각은 제 1 전도성 타입의 상응하는 필라에 중심을 두고, 상기 표면 웰 영역들 중 적어도 둘은 상이한 너비를 갖는다.
- [0035] 일 변형예에서 두 개 이상의 상기 표면 웰 영역들의 너비는 상기 활성화 영역으로부터 멀어지는 방향으로 감소한다.
- [0036] 다른 변형예에서 두 개 이상의 상기 표면 웰 영역들은 동일한 너비를 갖는다.
- [0037] 다른 변형예에서 하나 이상의 상기 표면 웰 영역들의 너비는 상기 제 1 전도성 타입의 필라들의 너비보다 크다.
- [0038] 다른 변형예에서 하나 이상의 상기 표면 웰 영역들의 너비는 상기 제 1 전도성 타입의 필라들의 너비보다 작다.

- [0039] 다른 변형예에서 상기 활성 영역은 제 1 전도성 타입의 바디 영역들, 및 상기 웰 영역들 내의 제 2 전도성 타입의 소스 영역들을 포함하며, 상기 바디 영역들은 상기 표면 웰 영역들보다 깊게 연장된다.
- [0040] 다른 변형예에서 상기 활성 영역은 제 1 전도성 타입의 바디 영역들, 및 상기 웰 영역들 내의 제 2 전도성 타입의 소스 영역들을 포함하며, 상기 바디 영역들은 상기 표면 웰 영역들보다 높은 도핑 농도를 갖는다.
- [0041] 다른 변형예에서 상부 영역을 가로질러 표면 웰 영역을 갖는 두 개 이상의 상기 제 1 전도성 타입의 필라들은 플로팅된다.
- [0042] 다른 변형예에서 상기 제 1 전도성 타입은 P-타입이고 상기 제 2 전도성 타입은 N-타입이다.
- [0043] 다른 변형예에서 상기 제 1 전도성 타입은 N-타입이고 상기 제 2 전도성 타입은 P-타입이다.
- [0044] 다른 변형예에서 각각의 상기 제 1 전도성 타입의 필라들은 실질적으로 P-타입 실리콘으로 매립된 트랜치를 포함하며, 상기 트랜치들은 상기 제 2 전도성 타입의 필라들을 형성하는 N-타입 영역들에 의해 서로 분리된다.
- [0045] 다른 변형예에서 상기 활성 및 중단 영역들 내의 상기 제 1 전도성 타입의 필라들은 모두 실질적으로 동일한 도핑 프로파일을 갖는다.
- [0046] 다른 변형예에서 상기 활성 영역은 상기 활성 영역 내의 적어도 하나의 제 2 전도성 타입의 필라 상으로 연장되는 평면의 게이트 구조물을 포함한다.
- [0047] 다른 변형예에서 상기 활성 영역은 상기 활성 영역 내의 적어도 하나의 제 2 전도성 타입의 필라 내부의 소정 깊이로 연장되는 트랜치 게이트 구조물을 포함한다.
- [0048] 다른 변형예에서 상기 활성 영역은 상기 활성 영역 내의 어떤 상기 제 2 전도성 타입의 필라들 상으로 연장되는 게이트 구조물도 포함하지 않는다.
- [0049] 다른 변형예에서 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들은 스트라이프 형상이고, 상기 중단 영역 내의 복수의 상기 제 1 전도성 타입의 필라들은 상기 활성 영역을 동심의 방식으로 둘러싼다.
- [0050] 다른 변형예에서 상기 활성 및 중단 영역들 내의 복수의 상기 제 1 전도성 타입의 필라들은 동심이다.
- [0051] 다른 변형예에서 제 1 전도성 타입의 복수의 필라들은 상기 활성 필라들의 연장부들인 중단 필라들을 가지며 다른 복수의 중단 필라들은 상기 활성 영역 내의 제 1 및 제 2 전도성 타입의 복수에 평행하게 연장된다.
- [0052] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 각각의 상기 활성 및 중단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들, 및 상기 중단 영역 내의 두 개 이상의 상기 제 1 전도성 타입의 필라들의 상부 영역을 가로질러 연장되는 제 1 전도성 타입의 표면 웰 영역을 포함하고, 상기 활성 영역 및 중단 영역들 내의 상기 제 1 전도성 타입의 필라들은 실질적으로 동일한 너비를 가지며 서로 실질적으로 동일한 거리로 이격되고, 상기 표면 웰 영역들의 하나 이상은 상기 제 1 전도성 타입의 상응하는 필라에 대하여 치우치고(off-set), 상기 표면 웰 영역들의 적어도 둘은 상이한 너비들을 갖는다.
- [0053] 일 변형예에서 두 개 이상의 상기 표면 웰 영역들은 함께 합쳐진다(merge).
- [0054] 다른 변형예에서 두 개 이상의 상기 표면 웰 영역들의 너비는 상기 활성 영역으로부터 멀어지는 방향으로 감소한다.
- [0055] 다른 변형예에서 하나 이상의 상기 표면 웰 영역들의 너비는 상기 제 1 전도성 타입의 필라들의 너비보다 크다.
- [0056] 다른 변형예에서 하나 이상의 상기 표면 웰 영역들의 너비는 상기 제 1 전도성 타입의 필라들의 너비보다 작다.
- [0057] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 각각의 상기 활성 및 중단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들, 및 제 1 전도성 타입의 상기 스트라이프 형상 필라들의 끝단들(ends)을 포함하고, 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들은 스트라이프 형상이고, 상기 중단 영역 내의 상기 제 1 전도성 타입의 필라들은 동심이며, 상기 스트라이프 형상 필라들의 끝단들은 그 사이에 제 2 전도성 타입의 갭(gap) 영역을 형성하기 위해 제 1 전도성의 상기 동심의 필라들의 첫 번째 필라로부터 이격되며, 제 1 전도성 타입의 확산 영역이 상기 갭 영역을 통과하여 연장되지 않고 따라서 상기 갭 영역이 플로팅되도록 한다.
- [0058] 일 변형예에서 적어도 하나의 완전 플로팅 메사(mesa)가 추가적인 분리부(isolation)를 제공하기 위하여 상기

중단 영역과 상기 갭 영역의 사이에 삽입된다.

- [0059] 다른 변형예에서 적어도 하나의 부분 플로팅 메시가 추가적인 분리부(isolation)를 제공하기 위하여 상기 중단 영역과 상기 갭 영역의 사이에 삽입된다.
- [0060] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 각각의 상기 활성 및 중단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들, 및 제 1 전도성 타입의 상기 스트라이프 형상 필라들의 끝단들을 포함하며, 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들은 스트라이프 형상이고, 상기 중단 영역 내의 상기 제 1 전도성 타입의 필라들은 상기 활성 구역 주위에 동심으로 배열되나 연속적이지 않으며, 제 1 전도성 타입의 상기 스트라이프 형상 필라들의 끝단들은 그 사이에 제 2 전도성 타입의 갭 영역을 형성하기 위해 제 1 전도성의 상기 동심의 필라들의 첫 번째 필라로부터 이격되며, 제 1 전도성 타입의 확산 영역이 상기 갭 영역을 통과하여 연장되지 않고 따라서 상기 갭 영역이 플로팅되도록 한다.
- [0061] 일 변형예에서 적어도 하나의 동심으로 배열된 중단 필라들은 연속적이다.
- [0062] 다른 변형예에서 적어도 하나의 완전 플로팅 메시(mesa)가 추가적인 분리부(isolation)를 제공하기 위하여 상기 중단 영역과 상기 갭 영역의 사이에 삽입된다.
- [0063] 다른 변형예에서 적어도 하나의 부분 플로팅 메시가 추가적인 분리부(isolation)를 제공하기 위하여 상기 중단 영역과 상기 갭 영역의 사이에 삽입된다.
- [0064] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 상기 활성 영역 내의 폴리실리콘 게이트들을 전기적으로 연결하는 게이트 연결부(interconnect), 상기 활성 영역 내의 소스 영역들을 전기적으로 연결하는 소스 연결부, 각각의 상기 활성 및 중단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들, 및 상기 활성 영역에 가장 가까운 상기 중단 영역 내의 하나 이상의 복수의 제 1 및 제 2 전도성 타입 상으로 연장되나 절연되는 폴리실리콘 전계 플레이트(field plate)를 포함하며, 상기 폴리실리콘 전계 플레이트는 상기 소스 연결부에 연결된다.
- [0065] 일 변형예에서 상기 게이트 연결부의 부분들은 상기 중단 영역으로 연장되고, 상기 중단 영역 내의 상기 제 2 전도성의 필라들과 상기 게이트 연결부의 사이로 연장되도록 상기 폴리실리콘 전계 플레이트가 배치된다.
- [0066] 다른 변형예에서 제 1 전도성 타입의 확산 영역은 상기 활성 영역의 가장자리 영역을 따라 연장되는 상기 게이트 연결부 부분들의 아래로 연장된다.
- [0067] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 상기 활성 영역 내의 폴리실리콘 게이트들을 전기적으로 연결하는 게이트 연결부, 상기 활성 영역 내의 소스 영역들을 전기적으로 연결하는 소스 연결부, 각각의 상기 활성 및 중단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들, 및 상기 중단과 상기 활성 구역의 사이에 배치된 분리 영역(isolation region) 및 상기 중단 영역 내의 하나 이상의 복수의 제 1 및 제 2 전도성 타입 상으로 연장되나 절연되는 폴리실리콘 전계 플레이트를 포함하며, 상기 폴리실리콘 전계 플레이트는 상기 소스 연결부에 연결된다.
- [0068] 일 변형예에서 상기 게이트 연결부의 부분들은 상기 분리 영역으로 연장되고, 상기 분리 영역 내의 상기 제 2 전도성의 필라들과 상기 게이트 연결부의 사이로 연장되도록 상기 폴리실리콘 전계 플레이트가 배치된다.
- [0069] 다른 변형예에서 상기 게이트 연결부의 부분들은 상기 중단 영역으로 연장되고, 상기 중단 영역 내의 상기 제 2 전도성의 필라들과 상기 게이트 연결부의 사이로 연장되도록 상기 폴리실리콘 전계 플레이트가 배치된다.
- [0070] 다른 변형예에서 제 1 전도성 타입의 확산 영역은 상기 활성 영역의 가장자리 영역을 따라 연장되는 상기 게이트 연결부 부분들의 아래로 연장된다.
- [0071] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 각각의 상기 활성 및 중단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들, 스트라이프 형상인 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들, 상기 활성 영역 내의 제 1 전도성 타입의 스트라이프 형상인 상기 필라들을 통과하여 연장되나 상기 활성 내의 제 1 전도성 타입의 스트라이프 형상인 상기 필라들의 끝단들 전에 중단되는 제 1 전도성 타입의 바디 영역들, 및 상기 바디 영역들이 연장되지 않는 상기 활성 영역 내의 스트라이프 형상인 적어도 상기 제 1 전도성 타입의 필라들의 부분들에서 연장되는 하나 이상의 제 1 전도성 타입의 확산 영역들을 포함한다.

- [0072] 일 변형예에서 적어도 하나의 제 1 전도성 타입의 확산된 영역은 활성 바디 영역을 브릿징한다.
- [0073] 다른 변형예에서 어떤 제 1 전도성 타입의 확산된 영역들도 활성 바디 영역을 브릿징하지 않는다.
- [0074] 다른 변형예에서 적어도 하나의 제 1 전도성의 확산된 영역들은 상기 스트라이프 형상인 활성 필라들의 끝단을 지나서 연장된다.
- [0075] 다른 변형예에서 적어도 하나의 제 1 전도성의 확산된 영역들은 상기 스트라이프 형상인 활성 필라들의 끝단에 일치된다.
- [0076] 다른 변형예에서 적어도 하나의 제 1 전도성의 확산된 영역들은 상기 스트라이프 형상인 활성 필라들의 끝단의 경계선들 내에 포함된다.
- [0077] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 각각의 상기 활성 및 중단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들, 및 상기 중단 영역 내의 복수의 전도성 플로팅 전계 플레이트들을 포함하며, 각각의 전도성 플로팅 전계 플레이트는 상기 중단 영역 내의 적어도 하나의 상기 제 1 전도성 타입의 필라들 상으로 연장된다.
- [0078] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 상기 활성 영역 내에 교대로 배열되는 제 1 및 제 2 전도성 타입의 복수의 활성 필라들, 상기 중단 영역 내에 교대로 배열되는 제 1 및 제 2 전도성 타입의 복수의 중단 필라들, 및 상기 중단 영역 내에 실질적으로 직각인 코너들을 갖는 동심의 방식으로 연장된 복수의 제 1 전도성의 표면 P-웰 링들을 포함하며,
- [0079] 복수의 상기 제 1 및 제 2 전도성 타입의 활성 필라들은 상기 중단 영역 내로 연장되고, 제 1 및 제 2 전도성 타입의 모든 상기 복수의 상기 활성 및 중단 필라들은 서로 평행이며, 복수의 상기 표면 P-웰 링들은 상기 활성 영역의 외부로 연장되는 상기 활성 영역 내의 상기 제 1 및 제 2 전도성 타입의 활성 필라들의 부분들과 교차하며, 각각의 상기 링은 상기 활성 영역으로 연장되지 않는 복수의 제 1 전도성 타입 필라들 중 상응하는 하나의 상부 표면 영역을 통과하여 더 연장된다.
- [0080] 일 변형예에서 복수의 상기 제 1 및 제 2 전도성 타입의 활성 및 중단 필라들은 N-리치한 전하 균형 조건을 갖도록 형성(configure)된다.
- [0081] 다른 변형예에서 복수의 제 1 전도성 타입의 상기 활성 및 중단 필라들은 실질적으로 동일한 너비를 가지며 실질적으로 동일한 거리로 서로 이격된다.
- [0082] 다른 변형예에서 복수의 상기 제 1 전도성 타입의 활성 및 중단 필라들의 너비는 상기 활성 및 중단 영역들에서 N-리치한 전하 균형 조건을 발생하기 위해서 복수의 상기 제 1 전도성 타입의 활성 및 중단 필라들 사이의 이격보다 작다.
- [0083] 다른 변형예에서 상기 중단 영역으로 연장된 복수의 상기 제 1 및 제 2 전도성 타입의 활성 필라들의 부분들은 N-리치한 전하 균형 조건을 갖도록 형성된다.
- [0084] 다른 변형예에서 상기 중단 영역으로 연장된 복수의 상기 제 1 전도성 타입의 활성 필라들 각각의 부분은 상기 활성 영역으로부터 멀어지는 방향으로 점진적으로 좁아지는 너비를 갖는다.
- [0085] 다른 변형예에서 상기 중단 영역으로 연장된 복수의 상기 제 1 전도성 타입의 활성 필라들 각각의 부분은 상기 활성 영역으로 연장된 부분보다 좁은 너비를 갖는다.
- [0086] 본 발명의 다른 실시예에 따르면, 전력 소자의 제조 방법은 제 1 전도성 타입의 실리콘 영역 내에 딥 트랜치들을 형성하는 단계, 각 트랜치의 하부에 제 2 전도성 타입의 도펀트들을 임플란트하는 단계, 제 2 전도성 타입의 실리콘 물질로 각 트랜치를 실질적으로 매립하는 단계를 포함하며, 따라서 상기 임플란트된 영역들 및 실질적으로 각 트랜치를 매립한 상기 실리콘 물질을 포함하는 제 2 전도성 타입의 필라들의 깊이를 효과적으로 증가시킨다.
- [0087] 일 변형예에서 하나 이상의 온도 사이클들이 상기 임플란트된 도펀트들을 확산시키기 위해 적용된다.
- [0088] 다른 변형예에서 상기 제 2 전도성 타입의 임플란트 도핑은 상기 필라의 하부에서 P-리치한 불균형 조건을 발생시키기 위해 필요한 만큼 충분히 높다.
- [0089] 다른 변형예에서 동일한 너비의 상기 필라들은 서로 동일한 거리로 이격된다.

- [0090] 다른 변형예에서 상기 필라들의 너비는 상기 필라들 사이의 이격보다 작다.
- [0091] 다른 변형예에서 상기 필라들의 너비는 상기 필라들 사이의 이격보다 크다.
- [0092] 본 발명의 다른 실시예에 따르면, 전력 소자는 실리콘 막 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들, 제 1 전도성 타입의 상기 복수의 필라들 중 하나의 하부에 각각 형성되어 복수의 상기 제 1 전도성 타입의 필라들의 하부에서 전하 균형 조건을 형성하기 위한 복수의 제 1 전도성 타입의 강화(enrichment) 영역들로, 이에 의해 복수의 상기 제 1 전도성 타입의 필라들의 하부에서 애벌런치 브레이크다운의 시작이 일어나는 상기 강화 영역들을 포함한다.
- [0093] 본 발명의 다른 실시예에 따르면, 전력 소자의 제조 방법은 기판 상에 제 1 전도성 타입의 제 1 실리콘 막을 형성하는 단계, 상기 제 1 실리콘 막의 상부에 제 2 전도성 타입의 강화 영역들(enrichment regions)을 형성하기 위하여 도펀트들을 임플란트하는 단계, 상기 제 1 실리콘 막 상에 제 1 전도성 타입의 제 2 실리콘 막을 형성하는 단계, 상기 제 2 실리콘 막을 통과하는 트랜치들을 형성하는 단계, 및 제 2 전도성 타입의 실리콘 물질로 각 트랜치를 실질적으로 매립하는 단계로, 각 트랜치 내의 상기 제 2 전도성의 실리콘 물질 내의 도펀트들이 상기 강화 영역들 중 적어도 하나와 합쳐지도록 하여 하부에서 상기 필라의 나머지보다 높은 도핑 농도를 각각 갖는 제 2 전도성 타입의 필라들을 형성하는 상기 단계를 포함한다.
- [0094] 일 변형예에서 제 2 전도성 타입의 상기 임플란트 도핑은 상기 필라의 하부에서 P-리치한 불균형 조건을 발생시키기 위해 필요한 만큼 충분히 높다.
- [0095] 다른 변형예에서 동일한 너비의 상기 필라들은 서로 동일한 거리로 이격된다.
- [0096] 다른 변형예에서 상기 필라들의 너비는 상기 필라들 사이의 이격보다 작다.
- [0097] 다른 변형예에서 상기 필라들의 너비는 상기 필라들 사이의 이격보다 크다.
- [0098] 다른 변형예에서 상기 P-필라는 상기 P-강화 영역을 통과하여 연장된다.
- [0099] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 상기 활성 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 활성 필라들, 상기 중단 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 중단 필라들, 및 어떤 상기 제 1 전도성 타입의 중단 필라가 아닌 복수의 상기 제 1 전도성 타입의 활성 필라들의 전부 또는 일부에 형성된 제 1 전도성 타입의 강화 영역들을 포함한다.
- [0100] 일 변형예에서 상기 강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들의 전체 길이를 따라서 연장되지 않는다.
- [0101] 다른 변형예에서 상기 강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들의 길이를 따라서 불연속적이다.
- [0102] 다른 변형예에서 상기 강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들에 평행하지 않다.
- [0103] 다른 변형예에서 상기 강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들보다 넓다.
- [0104] 다른 변형예에서 상기 강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들보다 좁다.
- [0105] 다른 변형예에서 상기 P-필라는 상기 P-강화부를 통과하여 연장된다.
- [0106] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 상기 활성 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 활성 필라들, 상기 중단 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 중단 필라들, 및 복수의 상기 제 1 및 제 2 전도성 타입의 활성 필라들의 부분을 통과하여 연장되는 제 1 전도성 타입의 보상 영역(compensation region)을 포함한다.
- [0107] 일 변형예에서 상기 보상 영역은 제 1 및 제 2 전도성 타입의 복수의 상기 중단 필라들의 하부의 부분을 통과하여 더 연장된다.
- [0108] 다른 변형예에서 상기 보상 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들 중 적어도 두 개와 교차하는 하나 이상의 스트라이프들에 의해 형성된다.
- [0109] 다른 변형예에서 상기 보상 영역들은 복수의 상기 제 2 전도성 타입의 활성 필라들 중 적어도 두 개와 교차하는

하나 이상의 스트라이프들에 의해 형성된다.

- [0110] 다른 변형예에서 상기 보상 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들과 평행하지 않은 하나 이상의 스트라이프들에 의해 형성된다.
- [0111] 다른 변형예에서 상기 P-필라들은 상기 보상 영역들을 통과하여 연장된다.
- [0112] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 상기 활성 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 활성 필라들, 상기 중단 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 중단 필라들, 및 복수의 상기 제 1 전도성 타입의 활성 필라들의 전부 또는 일부에 형성되는 제 2 전도성 타입의 강화 영역들을 포함한다.
- [0113] 일 변형예에서 상기 N-강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들의 전체 길이를 따라서 연장되지는 않는다.
- [0114] 다른 변형예에서 상기 N-강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들의 길이를 따라서 불연속적이다.
- [0115] 다른 변형예에서 상기 N-강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들에 평행하지 않다.
- [0116] 다른 변형예에서 상기 강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들의 전부 또는 일부의 하부에 또한 형성된다.
- [0117] 다른 변형예에서 상기 강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들보다 넓다.
- [0118] 다른 변형예에서 상기 강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들보다 좁다.
- [0119] 다른 변형예에서 상기 N-강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들에 평행하지 않다.
- [0120] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 상기 활성 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 활성 필라들, 상기 중단 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 중단 필라들, 및 복수의 상기 제 2 전도성 타입의 활성 필라들의 전부 또는 일부에 형성되는 제 2 전도성 타입의 강화 영역들을 포함한다.
- [0121] 일 변형예에서 상기 N-강화 영역들은 제 2 전도성 타입의 복수의 상기 활성 필라들의 전체 길이를 따라서 연장되지는 않는다.
- [0122] 다른 변형예에서 상기 N-강화 영역들은 제 2 전도성 타입의 복수의 상기 활성 필라들의 길이를 따라서 불연속적이다.
- [0123] 다른 변형예에서 상기 N-강화 영역들은 제 2 전도성 타입의 복수의 상기 활성 필라들에 평행하지 않다.
- [0124] 다른 변형예에서 상기 강화 영역들은 제 2 전도성 타입의 복수의 상기 활성 필라들의 전부 또는 일부의 하부에 또한 형성된다.
- [0125] 다른 변형예에서 상기 강화 영역들은 제 2 전도성 타입의 복수의 상기 활성 필라들보다 넓다.
- [0126] 다른 변형예에서 상기 강화 영역들은 제 2 전도성 타입의 복수의 상기 활성 필라들보다 좁다.
- [0127] 다른 변형예에서 상기 N-강화 영역들은 제 2 전도성 타입의 복수의 상기 활성 필라들에 평행하지 않다.
- [0128] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 상기 활성 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 활성 필라들, 상기 중단 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 중단 필라들, 및 복수의 상기 제 1 및 제 2 전도성 타입의 활성 필라들의 전부 또는 일부를 통과하여 연장되는 제 2 전도성 타입의 증진 영역(enhancement region)을 포함한다.
- [0129] 일 변형예에서 상기 증진 영역은 제 1 및 제 2 전도성 타입의 복수의 상기 중단 필라들의 하부의 부분을 통과하여 더 연장된다.
- [0130] 다른 변형예에서 상기 N 강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들 중 적어도 두 개와 교차하는 하나 이상의 스트라이프들에 의해 형성된다.
- [0131] 다른 변형예에서 상기 N 강화 영역들은 제 2 전도성 타입의 복수의 상기 활성 필라들 중 적어도 두 개와 교차하

는 하나 이상의 스트라이프들에 의해 형성된다.

- [0132] 다른 변형예에서 상기 N 강화 영역들은 복수의 상기 제 1 전도성 타입의 활성 필라들과 평행하지 않은 하나 이상의 스트라이프들에 의해 형성된다.
- [0133] 다른 변형예에서 상기 P-필라들은 상기 N 강화 영역들을 통과하여 연장된다.
- [0134] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 상기 활성 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 활성 필라들, 게이트 패드(gate pad) 구역, 및 상기 활성 영역 내로 연장되는 복수의 폴리실리콘 게이트들을 포함하며, 소정 수(predetermined number)의 상기 복수의 폴리실리콘 게이트들은 또한 상기 게이트 패드 구역으로 연장된다.
- [0135] 일 변형예에서 상기 전력 소자는 복수의 상기 폴리실리콘 게이트들 사이로 연장되고 오버랩(overlap)되는 웰 영역들을 포함하며, 상기 웰 영역들은 상기 게이트 패드 구역으로 더 연장된다.
- [0136] 다른 변형예에서 상기 전력 소자는 인접한 폴리실리콘 게이트들을 전기적으로 연결하기 위한 폴리실리콘 브릿지들을 포함한다.
- [0137] 다른 변형예에서 상기 폴리실리콘 브릿지들은 상기 게이트 패드 구역에 위치한다.
- [0138] 다른 변형예에서 상기 폴리실리콘 브릿지들은 상기 게이트 패드 구역의 외주(outer perimeter)를 따라 위치한다.
- [0139] 다른 변형예에서 웰 영역들은 복수의 상기 폴리실리콘 게이트들의 인접한 사이로 연장되며, 각 폴리실리콘 브릿지의 너비는 각 폴리실리콘 브릿지의 반대편들의 웰 영역들이 합쳐지도록 선택된다.
- [0140] 다른 변형예에서 상기 게이트 패드 구역은 게이트 패드 메탈을 포함하며, 상기 전력 소자는 상기 게이트 패드 구역으로부터 멀어지고 복수의 상기 폴리실리콘 게이트들이 연장되는 방향에 수직인 방향으로 상기 게이트 패드 메탈의 일면으로부터 연장되는 게이트 러너 메탈을 더 포함한다.
- [0141] 다른 변형예에서 상기 전력 소자는 상기 게이트 러너 메탈을 복수의 상기 폴리실리콘 게이트들 중 하나와 접촉되도록 각각 형성된 복수의 콘택들(contacts)을 포함한다.
- [0142] 다른 변형예에서 상기 전력 소자는 상기 게이트 패드 메탈을 상기 게이트 패드 구역으로 연장된 복수의 상기 폴리실리콘 게이트들 중 하나와 접촉되도록 각각 형성된 복수의 콘택들을 포함한다.
- [0143] 다른 변형예에서 복수의 상기 콘택들은 상기 게이트 패드 구역의 외주를 따라 위치한다.
- [0144] 다른 변형예에서 복수의 상기 콘택들은 상기 게이트 패드 구역의 중간 부분을 통과하여 연장된 열을 따라 위치한다.
- [0145] 본 발명의 다른 실시예에 따르면, 전력 소자는 반도체 영역 내의 트랜치들, 각 트랜치 내의 실리콘 물질로서 상기 실리콘 물질 및 인접한 트랜치들 사이로 연장된 상기 반도체 영역의 부분들이 교대의 전도성 타입의 필라들을 형성하는 상기 실리콘 물질, 및 상기 반도체 영역으로부터 게이트 절연막에 의해 절연되는 게이트 전극들을 포함하며, 상기 트랜치들 및 상기 게이트 절연막은 상기 게이트 절연막이 상기 트랜치들과 측면으로 오버랩(overlap)되지 않도록 형성된다.
- [0146] 본 발명의 다른 실시예에 따르면, 전력 소자의 제조 방법은 반도체 영역 내에 트랜치들을 형성하는 단계, 실리콘 물질 및 인접한 트랜치들 사이로 연장된 상기 반도체 영역의 부분들이 교대의 전도성 타입의 필라들을 형성하도록 각 트랜치 내에 실리콘 물질을 형성하는 단계, 및 상기 반도체 영역으로부터 게이트 절연막에 의해 절연되는 게이트 전극들을 형성하는 단계를 포함하며, 상기 트랜치 및 상기 게이트 절연막은 상기 게이트 절연막이 상기 트랜치들과 측면으로 오버랩되지 않도록 형성된다.
- [0147] 본 발명의 다른 실시예에 따르면, 전력 소자를 하우징(housing)하는 다이(die)는 활성 영역, 상기 활성 영역을 둘러싸는 중단 영역, 상기 다이의 외주를 따른 스크라이브 라인(scribe line) 구역, 상기 활성 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 활성 필라들, 상기 중단 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 동심의 중단 필라들, 및 상기 스크라이브 라인 구역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 동심의 스크라이브 라인 필라들을 포함한다.
- [0148] 본 발명의 다른 실시예에 따르면, 전력 소자를 하우징하는 다이는 활성 영역, 상기 활성 영역을 둘러싸는 중단 영역, 상기 다이의 외주를 따른 스크라이브 라인(scribe line) 구역, 상기 활성 영역 내에 교대로 배열되는 복

수의 제 1 및 제 2 전도성 타입의 활성 필라들, 상기 중단 영역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 중단 필라들, 및 상기 스크라이브 라인 구역 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 스크라이브 라인 필라들을 포함하며, 복수의 상기 제 1 및 제 2 전도성 타입의 스크라이브 라인 필라들은 상기 스크라이브 라인 구역이 연장되는 방향에 수직한 방향으로 연장된다.

- [0149] 일 변형예에서 상기 다이는 제 1 전도성 타입의 복수의 상기 스크라이브 라인 필라들을 동작 중에 소정 전위 (predetermined potential)로 바이어스(bias)하기 위하여 제 1 전도성 타입의 복수의 상기 스크라이브 라인 필라들을 연결하도록 형성되는 연결부를 포함한다.
- [0150] 다른 변형예에서 복수의 상기 제 1 및 제 2 전도성 타입의 스크라이브 라인 필라들은 복수의 상기 제 1 및 제 2 전도성 타입의 중단 필라들로부터 소정 메사 이격만큼 이격된다.
- [0151] 다른 변형예에서 복수의 상기 제 1 및 제 2 전도성 타입의 활성 필라들은 스트라이프 형상이며, 복수의 상기 제 1 및 제 2 전도성 타입의 중단 필라들은 동심이다.
- [0152] 다른 변형예에서 복수의 상기 제 1 및 제 2 전도성 타입의 활성 필라들 및 복수의 상기 제 1 및 제 2 전도성 타입의 중단 필라들은 스트라이프 형상이다.
- [0153] 본 발명의 다른 실시예에 따르면, 전력 소자는 활성 영역 및 상기 활성 영역을 둘러싸는 중단 영역, 각각의 상기 활성 및 중단 영역들 내에 교대로 배열되는 복수의 제 1 및 제 2 전도성 타입의 필라들, 및 그 사이에 제 2 전도성 타입의 갭 영역을 형성하기 위해 제 1 전도성의 상기 동심의 필라들의 첫 번째 필라로부터 이격된 제 1 전도성 타입의 상기 스트라이프 형상 필라들의 끝단들을 포함하며, 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들은 스트라이프 형상이고, 상기 중단 영역 내의 상기 제 1 전도성 타입의 필라들은 동심이고, 상기 갭 영역은, 상기 활성 영역이 상기 갭 영역을 따른 브레이크다운 전압보다 낮은 브레이크다운 전압을 갖도록 하는 상기 활성 영역에서의 전하 균형 조건과 관계된 상기 갭 영역을 따른 전하 균형 조건을 얻기 위하여 소정 너비를 가진다.
- [0154] 일 변형예에서 상기 활성 및 중단 영역들 모두 내에 복수의 상기 제 1 전도성 타입의 필라들은 트렌치들에 형성되고, 상기 트렌치들은 테이퍼(taper)된 측벽들을 가지며, 상기 갭 영역의 소정 너비는 상기 트렌치 측벽들이 테이퍼된 정도 및 상기 활성 영역 내의 상기 제 1 전도성 타입의 필라들 사이의 이격에 어느 정도 의존한다.
- [0155] 본 발명의 다른 실시예에 따르면, 전력 소자는 기판 상의 하부 에피택시 막, 상기 하부 에피택시 막 상에 놓이며 접촉하는 상부 에피택시 막, 상기 상부 에피택시 막을 통과하여 연장되고 상기 하부 에피택시 막 내에서 종결되는 복수의 트렌치들로, 각 트렌치는 테이퍼된 측벽들을 갖는 트렌치들, 및 각 트렌치 내에 형성되는 실리콘 물질로 인접한 트렌치들 사이로 연장된 상기 상부 및 하부 에피택시 막들의 부분들과 함께 교대의 전도성 타입의 필라들을 형성하는 상기 실리콘 물질을 포함하며, 상기 상부 에피택시 막은 상기 하부 에피택시 막보다 높은 도핑 농도를 갖는다.
- [0156] 일 변형예에서 상기 상부 에피택시 막은, 상기 상부 에피택시 막의 상위 표면 근처의 인접한 트렌치들 사이의 JFET 임플란트 영역으로, 상기 상부 에피택시 막과 동일한 전도성 타입이지만 상기 상부 에피택시 막보다 높은 도핑 농도를 갖는 상기 JFET 임플란트 영역을 포함한다.
- [0157] 다른 변형예에서 각 트렌치의 수직 깊이의 상당 부분은 상기 하부 에피택시 막보다 상기 상부 에피택시 막으로 연장된다.
- [0158] 다른 변형예에서 각 트렌치 내의 상기 실리콘 물질은 트렌치의 하부에서 트렌치의 상부 방향으로 증가하는 도핑 농도를 갖는다.
- [0159] 다른 변형예에서 상기 하부 에피택시 막은 하부 에피택시 막의 하부에서 상부 방향으로 증가하는 도핑 농도를 갖는다.
- [0160] 다른 변형예에서 상기 상부 에피택시 막은 상부 에피택시 막의 하부에서 상부 방향으로 증가하는 도핑 농도를 갖는다.
- [0161] 본 발명의 다른 실시예에 따르면, 기판의 후면에서 기판의 상면으로 정렬 마크들(alignment marks)을 이동하는 방법은 기판의 후면을 따라 정렬 마크들을 형성하는 단계, 상기 정렬 마크들을 형성한 후, 기판의 상면을 따라 에피택시 막을 형성하는 단계, 상기 에피택시 막에 트렌치들을 형성하는 단계, 및 상기 트렌치들을 형성한 후 기판의 상면으로 상기 정렬 마크들을 이동하는 단계를 포함한다.

- [0162] 일 변형예에서 기관의 상면으로 상기 정렬 마크들을 이동하는 단계 이전에, 기관의 상면을 평탄화하는 단계를 포함한다.
- [0163] 다른 변형예에서 상기 평탄화하는 단계 전에, 상기 트렌치들을 실리콘 물질로 매립하는 단계를 포함한다.
- [0164] 다른 변형예에서 기관의 상면을 평탄화하는 단계 후에, 트렌치 내에 잔존하는 실리콘 물질이 인접한 트렌치들 사이로 연장된 상기 에피택시 막의 부분들과 함께 교대의 전도성 타입의 필라들을 형성하는 단계를 포함한다.
- [0165] 다른 변형예에서 상기 평탄화하는 단계는 화학적 기계적 폴리싱을 사용하여 수행된다.
- [0166] 다른 변형예에서 상기 정렬 마크들은 기관의 후면을 따라 연장된 폴리실리콘막에 형성된다.
- [0167] 다른 변형예에서 상기 에피택시 막을 형성하는 단계 이전에, 상기 에피택시 막을 형성하는 단계 중에 폴리실리콘막 상에 에피택시 막이 형성되는 것을 방지하기 위하여 기관의 후면 상기 폴리실리콘막 상에 절연막을 형성하는 단계를 포함한다.
- [0168] 본 발명의 다른 실시예에 따르면, 전력 소자의 제조 방법은 반도체 영역 내에 트렌치들을 형성하는 단계, 실리콘 물질로 상기 트렌치들을 매립하는 단계, 트렌치들을 매립한 후 후-베이킹(post-bake) 공정을 수행하는 단계를 포함한다.
- [0169] 일 변형예에서 상기 후-베이킹 공정은 상기 실리콘 물질 내에 실리콘 이동(migration)을 발생시키고 이에 의해 실리콘 결함들에 기인한 누설을 최소화한다.
- [0170] 다른 변형예에서 상기 후-베이킹 공정은 불활성 분위기(inert ambient)에서 적어도 30분의 주기로, 1150도 - 1250도 범위내의 온도에서 수행될 수 있다.
- [0171] 다른 변형예에서 상기 반도체 영역은 기관 상의 에피택시 막을 포함하며, 상기 트렌치들은 상기 에피택시 막으로 연장되고, 상기 제조 방법은 상기 후-베이킹 공정이 수행된 후에 상기 에피택시 막에 바디 영역들을 형성하는 단계, 및 상기 바디 영역들에 고농도 바디 영역들을 형성하는 단계를 포함한다.
- [0172] 다른 변형예에서 상기 반도체 영역은 기관 상의 에피택시 막을 포함하며, 상기 트렌치들은 상기 에피택시 막으로 연장되고, 상기 실리콘 물질은 인접한 트렌치들 사이로 연장된 상기 에피택시 막의 부분들과 함께 교대의 전도성 타입의 필라들을 형성한다.
- [0173] 본 발명의 다른 실시예에 따르면, 전력 소자는 반도체 영역으로 연장된 복수의 트렌치들 및 트렌치들 내의 실리콘 물질을 포함하며, 상기 반도체 영역의 각 트렌치 측벽들, 트렌치 하부 및 인접한 트렌치들의 메사 표면들을 따른 결정 방향은 서로 일치되며, 상기 트렌치들 내의 실리콘 물질은 인접한 트렌치들 사이로 연장된 상기 에피택시 막의 부분들과 함께 교대의 전도성 타입의 필라들을 형성한다.
- [0174] 본 발명의 다른 실시예에 따르면, 전력 소자는 반도체 영역으로 연장된 복수의 트렌치들 및 트렌치들 내의 실리콘 물질을 포함하며, 복수의 트렌치들의 내외의 모든 수평으로 연장되고 수직으로 연장된 표면들을 따른 결정 방향은 서로 매치되며, 상기 트렌치들 내의 실리콘 물질은 인접한 트렌치들 사이로 연장된 상기 에피택시 막의 부분들과 함께 교대의 전도성 타입의 필라들을 형성한다.
- [0175] 본 발명의 다른 실시예에 따르면, 전력 소자의 제조 방법은 반도체 영역 내에 트렌치들을 형성하는 단계, 트렌치 측벽들 및 하부를 따라 증착(lining)되는 제 1 에피택시 막을 형성하는 단계, 상기 제 1 에피택시 막의 일부를 제거하는 단계, 및 제 2 에피택시 막의 일부를 제거하는 단계 이후에 상기 트렌치들을 실질적으로 매립하는 마지막 에피택시 막을 형성하는 단계를 포함한다.
- [0176] 일 변형예에서 상기 제 1 에피택시 막을 제거하는 단계 후에 상기 마지막 에피택시 막을 형성하는 단계 전에, 상기 제 1 에피택시 막의 잔존하는 부분들 상에 제 2 에피택시 막을 형성하는 단계, 및 상기 제 2 에피택시 막의 일부를 제거하는 단계를 포함한다.
- [0177] 다른 변형예에서 상기 트렌치들 내의 상기 제 1, 제 2 및 마지막 에피택시 막은 인접한 트렌치들 사이로 연장된 상기 반도체 영역들의 부분들과 함께 교대의 전도성 타입의 필라들을 형성한다.
- [0178] 다른 변형예에서 상기 제거하는 단계들은 HCl을 사용하여 수행된다.
- [0179] 다른 변형예에서 상기 제 2 에피택시 막의 부분을 제거하는 단계 후에 상기 마지막 에피택시 막을 형성하는 단계 전에, 상기 제 2 에피택시 막의 잔존하는 부분들 상에 제 3 에피택시 막을 형성하는 단계, 및 상기 제 3 에

피택시 막의 일부를 제거하는 단계를 포함한다.

- [0180] 다른 변형예에서 상기 제 1 에피택시 막의 일부를 제거하는 단계 전에, 상기 제 1 에피택시 막은 불균일한 두께를 갖지만, 제 1 에피택시 막의 잔존하는 부분들은 실질적으로 균일한 두께를 갖는다.
- [0181] 다른 변형예에서 상기 제 2 에피택시 막의 일부를 제거하는 단계 전에, 상기 제 2 에피택시 막은 불균일한 두께를 갖지만, 제 2 에피택시 막의 잔존하는 부분들은 실질적으로 균일한 두께를 갖는다.
- [0182] 본 발명의 다른 실시예에 따르면, 전력 소자의 제조 방법은 반도체 영역 내에 트렌치들을 형성하는 단계, 트렌치 측벽들로부터 상기 트렌치들의 곡선 코너들을 따른 격자 손상(lattice damage)을 제거하기 위해 수소 분위기에서 제 1 어닐(anneal)을 수행하는 단계, 및 상기 제 1 어닐 후에, 트렌치 측벽들 및 하부를 따라 증착(lining)하는 제 1 에피택시 막을 형성하는 단계를 포함한다.
- [0183] 일 변형예에서 상기 제 1 에피택시 막의 부분들 제거하는 단계, 상기 제 1 에피택시 막의 부분들 제거하는 단계 후에, 노출된 측벽들 및 상기 제 1 에피택시 막의 잔존하는 부분들의 하부를 따른 격자 손상을 제거하기 위해 수소 분위기에서 제 2 어닐을 수행하는 단계, 및 상기 제 2 어닐 후, 제 1 에피택시 막의 잔존하는 부분들 상에 제 2 에피택시 막을 형성하는 단계를 포함한다.
- [0184] 다른 변형예에서 상기 제 2 에피택시 막의 부분들 제거하는 단계, 상기 제 2 에피택시 막의 부분들 제거하는 단계 후에, 노출된 측벽들 및 상기 제 2 에피택시 막의 잔존하는 부분들의 하부를 따른 격자 손상을 제거하기 위해 수소 분위기에서 제 3 어닐을 수행하는 단계, 및 상기 제 3 어닐 후, 상기 트렌치들을 실질적으로 매립하는 마지막 에피택시 막을 형성하는 단계를 포함한다.
- [0185] 다른 변형예에서 상기 트렌치들 내의 상기 제 1, 제 2 및 마지막 에피택시 막은 인접한 트렌치들 사이로 연장된 상기 반도체 영역들의 부분들과 함께 교대의 전도성 타입의 필라들을 형성한다.
- [0186] 본 발명의 다른 실시예에서, 전력 소자의 제조 방법은 반도체 영역 내에 트렌치들을 형성하는 단계, 및 램핑(ramping)된 HCl 흐름을 이용하여 상기 트렌치들 내에서 에피택시 막을 형성하는 단계를 포함한다.
- [0187] 일 변형예에서 상기 램핑된 HCl 흐름은 실질적으로 균일한 두께를 갖는 에피택시 막을 형성하는 결과를 낳는다.
- [0188] 다른 변형예에서 상기 HCl 가스는 트렌치 매립 초기 중의 작은 흐름에서부터 트렌치의 마지막 종결 시의 높은 흐름으로 램핑된다.
- [0189] 다른 변형예에서 상기 트렌치들 내의 에피택시 막은 인접한 트렌치들 사이로 연장된 상기 반도체 영역들의 부분들과 함께 교대의 전도성 타입의 필라들을 형성한다.

도면의 간단한 설명

- [0190] 도 1a 내지 도 1C는 본 발명의 실시예들에 따른 수퍼 접합 FET에 대한 세 가지 레이아웃 조합들을 도시한다;
 - 도 2는 본 발명의 실시예에 따라, 활성 영역에서 브레이크다운이 처음 일어나도록 형성된 수퍼 접합 FET의 개략적인 단면도를 도시한다;
 - 도 3은 본 발명의 실시예에 따라, 전환 영역 내의 전환 필라들이 확산 영역을 통해 활성 구역 내의 첫 번째 필라에 연결되는 수퍼 접합 FET의 개략적인 단면도를 도시한다;
 - 도 4a 및 도 4B는 다섯 개의 중단 P-필라 링들을 갖는 통상의 중단 디자인에 대한 시뮬레이션 결과들을 도시한다;
 - 도 5는 본 발명의 실시예에 따라, P-필라들 둘레 내에 센터링되는 표면 P-웰 영역들을 이용하여 목적하는 표면 전자 프로파일이 얻어지는 수퍼 접합 FET의 개략적인 단면도를 도시한다;
 - 도 6a는 본 발명의 실시예에 따라, 표면 우물들의 너비들이 활성 영역으로부터 멀어지는 방향으로 점진적으로 줄어드는 반면 필라들의 너비는 일정하게 유지되는 수퍼 접합 FET의 개략적인 단면도를 도시한다;
 - 도 6B는 도 6a의 구조에 대한 표면 전기장 프로파일을 도시한다;
 - 도 7은 본 발명의 실시예에 따라, P-필라들 둘레 내에 비대칭적이며 일부의 경우 서로 결합되는 표면 P-웰들을 이용하여 목적하는 표면 전기장이 얻어지는 수퍼 접합 FET의 개략적인 단면도를 도시한다;
 - 도 8a는 본 발명의 실시예에 따라, 활성 P-필라 스트라이프들의 끝단들 및 중심의 P-필라들 사이의 갭 영역을

도시하는 다이의 코너의 개략적인 평면도이다;

도 8B는 도 8a에 도시된 것과 유사한 코너 디자인을 갖는 다이의 스냅 사진이며, 다이는 바이어스 하에 있고, 다이의 네 코너들 근처의 밝은 구역들은 브레이크다운이 처음 시작되는 위치를 가리킨다;

도 9a는 활성 구역 갭들 및 동심의 종단 필라들의 코너들과 같은 전하 불균형 구역들은 상기 활성 영역으로부터 단락될 수 있으며, 소스보다 높은 전위로 플로팅되도록 할 수 있는 본 발명의 예시적인 실시예에 따른 평면 레이아웃도를 도시한다;

도 9B는 두 번째 완전 플로팅 메시가 갭과 코너 구역들 및 종단 사이에서 추가적인 분리부를 제공하기 위해 삽입되는 본 발명의 다른 예시적인 실시예에 따른 레이아웃 평면도이다;

도 9C는 도 9a에 도시된 것과 유사한 코너 디자인을 갖는 다이의 스냅 사진이며, 다이는 바이어스 하에 있고, 다이의 네 코너들 근처의 밝은 구역들은 브레이크다운이 처음 시작되는 위치를 가리킨다;

도 10은 본 발명의 실시예에 따라, 코너 구역 내의 갭 영역을 도시하는 개략적인 단면도이다;

도 11은 도 3의 실시예와 연관되어 논의되는 브릿징 P_{ISO} 확산부가, 게이트 메탈의 어느 부분도 드레인 영역 상으로 연장되지 않도록 게이트 메탈의 아래로 연장되는, 본 발명의 다른 예시적인 실시예에 따른 개략적인 단면도이다;

도 12는 도 5 내지 도 7의 실시예와 관련되어 논의되는 표면 우물 영역들이, 게이트 메탈의 어느 부분도 드레인 영역 상으로 연장되지 않도록 게이트 메탈의 아래로 연장되는, 본 발명의 또 다른 예시적인 실시예에 따른 개략적인 단면도이다;

도 13은 더 얇고 낮게 도핑된 표면 P-웰 영역이 P-바디 영역이 종단되는 스트라이프된 활성 P-필라의 끝단을 따라 연장되는, 본 발명의 다른 예시적인 실시예에 따른 개략적인 단면도이다;

도 14a 내지 도 14G는 본 발명의 실시예에 따라, P_{ISO} 및 표면 P-웰 영역들의 다양한 구현들을 도시하는 개략적인 레이아웃도들이다;

도 15는 본 발명의 예시적인 실시예에 따른 종단 영역 내의 플로팅 필드 플레이트들의 구현을 도시하는 개략적인 단면도이다;

도 16a 및 도 16B는 필드 플레이트들을 갖는 구조 (도 16a) 및 필드 플레이트들이 없는 구조(도 16B)에 대한 전 가장 프로파일을 도시한다;

도 17은 표면 P-웰 링들이 활성 구역과 교차하지 않으며 다른 경우 플로팅될 필라들의 전위를 고정하기 위해 사용되는, 본 발명의 예시적인 실시예에 따른 다이의 코너에서의 개략적인 평면도를 도시한다;

도 18a 및 18B는 본 발명의 예시적인 실시예에 따른 P-필라들 형성을 위한 두 개의 공정 단계들에서의 개략적인 단면도들이다;

도 19는 국부적인 전하 불균형을 발생시키고 이에 따라 필라의 하부들에서 애벌런치 브레이크다운의 시작을 유도하도록 P-강화 영역들이 모든 P-필라들의 하부에 형성되는, 본 발명의 예시적인 실시예에 따른 개략적인 단면도이다;

도 20a 내지 도 20H는 본 발명의 예시적인 실시예에 따른 도 19의 구조를 형성하기 위한 공정 흐름을 설명하는 개략적인 단면도들이다;

도 21a 내지 도 21F는 본 발명의 실시예들에 따른, 활성 및/또는 종단 영역들 내의 모든 또는 선택된 P-필라들 그룹의 하부 또는 그 주위에서의 P-강화 영역들의 다양한 구현들을 도시하는 개략적인 단면도들이다;

도 22a 내지 도 22N은 본 발명의 실시예들에 따른, 활성 및/또는 종단 영역들 내의 모든 또는 선택된 P-필라들 그룹의 하부 또는 그 주위에서의 N-강화 영역들의 다양한 구현들을 도시하는 개략적인 단면도들이다;

도 23은 본 발명의 예시적인 실시예에 따른, 활성 폴리 스트라이프들이 게이트 패드 아래로 연장되는 게이트 패드 구역 및 주위 영역(surrounding region)의 개략적인 평면 레이아웃도이다;

도 24는 본 발명의 다른 예시적인 실시예에 따른, 폴리 스트라이프들이 도 23과 유사하게 게이트 패드 구역을 통과하여 연장되나, 폴리 브릿지들은 사용되지 않는, 도 23의 디자인의 변형예를 도시하는 개략적인 평면 레이아웃도이다;

도 25는 본 발명의 다른 예시적인 실시예에 따른, 폴리 스트라이프들에 대한 게이트 메탈 콘택들이 게이트 패드 구역의 중심을 따라 형성된 것을 제외하고 도 23의 실시예와 유사한 개략적인 평면 레이아웃도이다;

도 26은 본 발명의 다른 예시적인 실시예에 따른, 폴리 스트라이프들이 도 23과 유사하게 게이트 패드 구역을 통과하여 연장되지만, 폴리 브릿지들은 사용되지 않는 도 25의 디자인의 변형예를 도시하는 개략적인 평면 레이아웃도이다;

도 27a 내지 도 27C는 본 발명의 실시예들에 따른, 활성 채널이 필라 트랜치가 식각되고 매립되는 구역 상에 형성되지 않는 것을 확보하기 위한 다양한 기술들을 도시하는 개략적인 단면도들이다;

도 28은 본 발명의 실시예에 따른, 트랜치들이 통상적으로 형성되지 않는 스크라이브 라인에 트랜치들이 형성되는 기술을 도시하는 단면도이다;

도 29는 스크라이브 라인 구역들에 연장된 트랜치들이 없는 것을 도시하는 통상적인 레이아웃 다이어그램이다;

도 30은 본 발명의 실시예에 따른, 중단 트랜치들과 유사한 패턴의 추가적인 트랜치들이 스크라이브 라인 구역들에 형성되는 개략적인 평면 레이아웃도이다;

도 31 및 도 32는 본 발명의 실시예에 따른, 스크라이브 라인 구역들에 연장된 트랜치들의 개념의 두 가지 변형예들을 도시하는 개략적인 평면 레이아웃도들이다;

도 33은 본 발명의 실시예에 따른, 코너 영역의 다양한 갭들이 목적하는 전하 균형 특성들을 얻기 위해 주의 깊게 디자인되는 코너 영역의 개략적인 평면 레이아웃도이다;

도 34a 내지 도 34G는 본 발명의 예시적인 실시예에 따라 도 2에 도시된 구조를 형성하기 위한 다양한 공정 단계들에서의 개략적인 단면도들이다;

도 35a는 두 개의 에피막들의 도핑 농도가 트랜치의 프로파일을 고려하여 주의 깊게 선택되는, 본 발명의 예시적인 실시예에 따른 매우 개략적인 단면도이다;

도 35B는 단일 에피 디자인의 브레이크다운 전압 특성들을 도 35a에 도시된 이중 에피 디자인과 비교하는 그래프이다;

도 36은 J-FET 임플란트가 수퍼 접합 FET의 연결 영역에서의 저항을 감소시키기 위해 이용되는 수퍼 접합 FET에 대한 도핑 프로파일을 도시한다;

도 37은 본 발명의 실시예에 따른, 정렬 마크들이 트랜치들을 형성하기 전에 웨이퍼의 후면에 형성되고, 그 다음 상면의 평탄화가 완성된 후 정렬 마크들이 상면으로 이동되는 공정 기술을 도시하는 다양한 단계들에서의 개략적인 단면도들을 도시한다;

도 38은 본 발명의 실시예에 따른, 정렬 마크들을 웨이퍼의 후면에서 앞면으로 이동하기 위한 도 37의 공정에서 사용되는 장비의 개략도를 도시한다;

도 39a 및 도 39B는 본 발명의 실시예에 따라, 더 견고한 매립 상태 및 실리콘 이동에 의한 P-필라들의 결정화를 제공하기 위해 에피로 트랜치들을 매립한 후에 후-베이크 공정이 수행되는 공정 단계를 도시하는 개략적인 단면도들이다;

도 40은 플랫(flat)에 대하여 웨이퍼의 45도 회전을 도시하는 웨이퍼의 평면도이다;

도 41a 및 도 41B는 웨이퍼 회전이 사용되지 않은 경우(도 41a) 및 웨이퍼 회전이 사용된 경우(도 41B)에 대한 실리콘 결과들을 도시한다;

도 42a 및 도 42B는 온-축 및 오프-축 웨이퍼 시나리오(scenario)들 각각에 대한 결정 방향을 도시한다;

도 43은 본 발명의 실시예에 따른 예시적인 다중-에피 공정을 도시하는 일련의 SEM 사진들을 도시한다;

도 44a 내지 도 44F는 본 발명의 실시예에 따라, 도 43에 도시된 다중-에피 공정을 더 분명히 설명하기 위한 개략적인 단면도들이다;

도 45a 내지 도 45C는 본 발명의 실시예에 따라, 격자 손상 및 곡면 트랜치 코너들을 제거하는 기술을 도시하는 SEM 사진들이다;

도 46a 내지 도 46C는 본 발명의 실시예에 따라, 트랜치들의 중심에서 보이드들의 형성을 피하고 상부 트랜치

코너들에서의 조기 에피 종결을 방지하기 위한 기술을 설명하는 SEM 이미지들이다;

도 47은 에피 증착 중 HCl이 사용되지 않은 경우에 더하여, 다양한 HCl 흐름 속도들에 대한 실리콘 성장 속도 대 트랜치 위치를 도시하는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0191] 전력 스위치는 전력 MOSFET, IGBT, 다양한 유형들의 사이리스터들 및 이와 유사한 것들 중 어느 하나에 의해 구현될 수 있다. 본 명세서에서 제시하는 많은 새로운 기술들이 설명적인 목적들을 위해 전력 MOSFET의 관점에서 기술된다. 그러나 본 명세서에 기술된 본 발명의 다양한 실시예들은 전력 MOSFET에 한정되지 않으며 예를 들어, 다이오드들뿐 아니라 IGBT들과 다른 유형들의 바이폴라 스위치들 및 다양한 유형들의 사이리스터들을 포함하는 전력 스위치 기술들의 많은 다른 유형들에 적용될 수 있음이 이해될 것이다. 또한, 설명의 목적들을 위해서, 본 발명의 다양한 실시예들이 특정 P 및 N 타입 영역들(예컨대, n-채널 MOSFET)을 포함하여 제시된다. 본 명세서의 교훈들은 다양한 영역들의 전도성들이 반대되는 소자들에 동등하게 적용될 수 있음이 기술분야의 당업자들에 의해 이해될 것이다.
- [0192] 수퍼-접합 기술에서, 활성 및 종단 영역들(108, 106) 내에서 교대되는 P/N 필라들(102, 104)은 많은 레이아웃 조합들(layout configurations)로 배열될 수 있다. 도 1a 내지 도 1c는 이러한 세 가지 레이아웃 조합들을 도시한다. 도 1a에서, 활성 영역(108) 및 종단 영역(106) 내에서 모두 P/N 필라들(102, 104)이 동심(concentric)의 조합(이하 “완전 동심(full concentric)” 조합이라 한다)으로 배열되며; 도 1b에서, 활성 영역(118) 및 종단 영역(116) 내에서 모두 P/N 필라들(112, 114)이 평행한(또는 스트라이프된) 조합(이하 “완전 평행(full parallel)” 디자인이라 한다)으로 배열되며; 도 1c에서, 활성 영역(128) 내에서 P/N 필라들(122, 124)이 평행한(또는 스트라이프된) 조합으로 배열되고, 종단 영역(126) 내에서 P/N 필라들(122, 124)이 동심의 조합(이하 “평행-동심(parallel-concentric)” 조합이라 한다)으로 배열된다. 각각의 이들 레이아웃 조합들은 고유의 장점들과 단점들을 가진다. 본 명세서에 기술된 발명들 및 실시예들의 일부는 각각의 이들 레이아웃 조합들의 다양한 단점들을 다룬다.
- [0193] 도 1a의 상기 완전 동심 조합은 활성 및 종단 영역들(108, 106)의 전체에 걸쳐 균일한 전하 균형을 갖지만, 게이트 피드들(gate feeds)이 동심의 활성 폴리실리콘 게이트들에 공급하기 위해 활성 구역(108)의 내부로 연장되어야 하기 때문에 활성 채널 구역은 줄어들 수 있다. 상기 채널은 낮은 문턱 전압(threshold voltage) 구역들 및 기생(parasitic) NPN 턴-온을 방지하기 위해 모든 코너들에서 제거될 필요가 있을 수 있다. 그러므로, 다이 크기가 줄어들에 따라, 상기 활성 구역에서의 이들 코너들에 기인한 온-저항(Rdson)에서의 불이익이 커질 수 있다.
- [0194] 도 1b에 도시된 상기 완전 평행 조합도 활성 및 종단 영역들(118, 116)의 전체에 걸쳐 균일한 전하 균형을 갖지만 완전 동심 조합의 Rdson 불이익은 없다. 그러나, 완전 평행 조합에서 상기 P/N 필라 디자인은, 활성 구역(118)에서부터 종단 구역(116)으로 연장된 상기 필라들이 필라들의 길이 방향을 따라 어느 곳에서 완전히 공핍되는(depleted) 것을 예방하기 위해 N-리치(rich)한 균형 조건에 한정될 수 있다. 상기 종단에 동심 필라들을 사용함으로써, 도 1c와 같이, 전기장이 완전한 필라 공핍없이 상기 종단 전체에 걸쳐 분포될 수 있다.
- [0195] 필라들(예컨대, P-필라들)이 트랜치 식각 및 매립 공정을 사용하여 형성되는 디자인에서, 상기 동심 필라들의 코너들은 식각 및 매립이 어려워 에피 매립(epi fill)에 전하 불균형을 초래하는 보이드(void)들이 형성될 수 있다. 이들 코너들은 그러므로 높은 전기장 스트레스 구역이 될 수 있다. 만약 그들이 소스 전위와 단락된다면, 도 1a와 도 1c의 레이아웃 조합 중 하나는 이들 코너들에서 낮은 브레이크다운 전압을 갖게 될 것이다. 도 1c에 도시된 상기 평행-동심 조합에서, 코너들은 플로팅될 수 있어 소스 전위에 고정되지 않을 수 있고 따라서 국부적인 낮은 브레이크다운 전압의 근원으로 작용하는 것을 최소화하거나 제거할 수 있도록, 상기 코너들은 활성 구역(128) 바깥쪽으로 이동될 수 있다. 또한, 상기 활성 채널 구역은 최대화될 수 있으며 게이트 피드들은 활성 폴리실리콘 게이트들에 대한 연결부(connection)를 만들기 위해 주위의 게이트 러너(runner)만을 요하는 더 통상적인 것을 사용한다.
- [0196] 좋은 비감쇠 유도 스위칭(undamped inductive switching, UIS) 특성들을 얻기 위해서, 종단 영역을 포함한 소자의 어떤 다른 영역에도 대비되는 활성 영역에서 브레이크다운이 처음 일어나도록 소자를 디자인하는 것이 바람직하다. 이를 얻기 위한 한 가지 수단은 이러한 영역들에서 전하 균형을 국부적으로 개선함으로써 소자의 모든 영역들이 상기 활성 구역보다 충분히 높은 브레이크다운 전압을 갖도록 확보하는 것이다. 도 2는 이것이 달성되는 본 발명의 예시적인 실시예를 도시한다. 도 2에서, 활성 영역(204) 및 종단 영역(202) 모두 내의 P-필라

라들(230, 236)은 동일한 너비(W3)를 가진다. 또한, 활성 영역(204) 및 중단 영역(202) 모두 내의 P-필라들(230, 236)은 동일한 도핑된 물질로 매립된 트렌치 매립된 필라들일 수 있다. 활성 영역(204) 및 중단 영역(202) 모두 내의 메사(mesa) 영역들(232, 234)(선택적으로 본 명세서에서 N-필라들이라 하는)도 동일한 에피택시(epitaxy) 막 또는 막들로 성장된다.

[0197] 공지된 기술들을 사용해서, P-필라들(230, 236) 및 N-타입 메사들(232, 234)에서의 도핑 프로파일들 외에 메사 너비(W1) 및 P-필라 너비(W3)도 중단 영역(202)이 높은 브레이크다운 전압을 가지도록 하는 전하 균형 조건을 얻기 위해 디자인될 수 있다. 반대로, 활성 영역(204) 내에서의 메사 너비(W2)가 중단 영역(202)을 포함하는 소자의 다른 구역들보다 낮은 브레이크다운 전압을 가지도록 상이한 전하 균형 조건을 얻기 위해 조절될 수 있다. 일 실시예에서, 활성 영역(204)이 더 P-리치하도록 하기 위해, 메사 너비(W2)는 중단 영역(202) 내의 메사 너비(W1)보다 좁게 활성 영역(204) 내에 만들어질 수 있다. 다른 실시예에서, 활성 영역(204)이 더 N-리치하도록 하기 위해, 활성 영역(204) 내의 메사 너비(W2)는 중단 영역(202) 내의 메사 너비(W1)보다 넓게 만들어질 수 있다. 그러므로, 활성 영역(204)에서 시작되는 브레이크다운은 첫째로 더 안정적인 브레이크다운 특성 및 UIS 발생 중 더 균일하게 분포된 전류 흐름을 발생시킨다. 따라서, 소자의 브레이크다운 및 UIS 특성들 모두 개선된다. N-리치한 활성 영역은 UIS 성능의 대가로 낮은 R_{ds(on)}를 발생할 수 있으며, P-리치한 활성 영역은 R_{ds(on)}의 대가로 향상된 UIS 성능을 제공할 수 있다. 디자인 목적들에 따라서, 하나의 시도가 다른 것보다 선호될 수 있다.

[0198] 일 실시예에서, 상기 활성 필라들은 도 1c에 도시된 것과 유사한 동심 방식으로, 활성 영역을 둘러싼 중단 필라들과 함께 스트라이프-형상을 갖는다. 다른 실시예에서, 활성 및 중단 필라들은 도 1a에 도시된 것과 유사하게 모두 동심이 된다. 또 다른 디자인에서, 중단 필라들은 활성 필라들의 연장부들이며 도 1b에 도시된 것과 유사하게 활성 영역에 평행한 필라들을 포함한다.

[0199] 일부 실시예들에서, 중단 필라들에 평행하게 연장된 활성 필라들은, 활성 영역이 브레이크다운이 처음 시작되는 구역으로 남도록 확보하기 위해서 전하 불균형을 초래함이 없이 중단 필라들로 전환되어야 한다. 그러나, 활성 및 중단 영역들 사이의 전환 영역 내의 필라들은, 금속-콘택(contact) 디자인 룰 제한들로 인해 소스 전위에 물리적으로 연결되거나 연결될 수 없다. 상기 전환 필라들에 적절하게 바이어스 주지 않으면, 상기 전환 영역들이 브레이크다운 전압을 한정하는 영역들이 될 수 있다.

[0200] 도 3은 본 발명의 예시적인 실시예로, 전환 영역(304) 내의 전환 필라들(329)이 도 3에 P_{ISO}로 표시된 확산(diffusion) 영역(342)을 통해 활성 구역(301) 내의 첫 번째 콘택된 필라(330)에 브릿징된다. 이러한 브릿징 확산은 전환 필라들(329)의 사이의 N-타입 메사 영역들(333) 상으로 연장될 수 있다. N-타입 메사 영역들(333)이 활성 N-타입 필라들(332)보다 작거나 동일한 너비를 가질 때, 전환 영역(304)에서 P 전하의 증가가 일어난다. 이러한 P 전하의 증가는 나머지 활성 구역(301)의 아래로 브레이크다운 전압을 줄일 수 있다. 이러한 P 전하 증가를 보상하기 위하여, N-타입 메사 영역들(333)의 너비는 N-타입 필라들(332)의 너비보다 크게 만들어질 수 있다. 이는 전환 영역(304)의 브레이크다운을 활성 구역(301)보다 크게 남도록 확보할 수 있다. 도 3에 도시된 실시예에서, 전환 영역(304)은 상기 브릿징 확산(342)의 폭(span)에 의해 정의된다.

[0201] 도 2의 실시예와 같이, 모든 영역들(상기 중단, 전환 및 활성 영역들) 내의 P-타입 필라들의 너비는 실질적으로 동일할 수 있으며, 중단 메사 영역들의 너비는 활성 메사 영역들의 너비보다 클 수 있다. 그러나, 상기 중단 메사 영역들의 너비는 상기 전환 메사 영역들의 너비보다 크거나, 같거나, 또는 작을 수 있다.

[0202] 일 실시예에서, 상기 브릿징 확산(P_{ISO})은 상기 활성 영역 내의 P-웰(P-well)과 유사한 도핑 농도를 가질 수 있으며, 게이트 산화막 및 폴리실리콘 증착에 앞서 형성될 수 있다. 다른 실시예에서, 상기 활성 및 전환 필라들은 도 1c에 도시된 레이아웃 조합과 유사한 동심 방식으로 활성 및 전환 영역들을 둘러싼 중단 필라들과 함께 스트라이프-형상이 될 수 있다. 또 다른 실시예에서, 상기 활성, 전환, 및 중단 필라들은 도 1a에 도시된 레이아웃 조합과 유사하게 동심이 될 수 있다.

[0203] 도시되지 않은 다른 실시예에서, 상기 P_{ISO} 확산부 대신, P 확산 영역과 유사한 도 3에 “링”으로 표시된 더 얇은 P 확산부가, 상기 전환 필라들을 활성 영역 내의 첫 번째 콘택된 필라에 연결하기 위해서 사용될 수 있다. 얇은 P 확산부들은 상기 활성 영역 내의 P-웰들보다 더 낮게 도핑되며, 따라서 전환 메사 너비에 의한 더 적은 보상을 요구한다.

[0204] 도 4a 및 도 4b는 중단 P-필라들(404)을 갖는 통상의 중단 디자인에 대한 시뮬레이션 결과들을 도시한다. P-필라들(404)은 통상의 다중-에피 공정들을 이용하여 형성될 수 있다. 예를 들어, 첫 번째 N-타입 에피택시 막이

적절한 기판(402) 위에 성장되고, 뒤이어 P-필라들이 형성될 에피 영역들에 정렬된 보론 임플란트(aligned boron implantation)가 수행된다. N-에피 성장 및 정렬된 보론 임플란트 단계들은 목적하는 필라 높이가 얻어질 때까지 반복된다. 이 공정에서, 필라 이격은 목적하는 표면 전기장 프로파일을 얻기 위해 보론 임플란트 중에 마스크 패터닝에 의해 쉽게 조절될 수 있다. 인접한 필라들 사이의 이격의 예시적인 세트로, 상기 활성화로부터 멀어지는 방향으로 점진적으로 증가하는 상기 세트가 도 4a에 도시된다. 상응하는 표면 전기장 프로파일 이 도 4b에 도시된다.

[0205] 필라들이 딥 트랜치(deep trench)들을 식각하고 실리콘으로 매립하는 것에 의해 형성되는 도 4a의 공정 기술에서, 상기 메사 너비를 다양하게 하는 것은 불균일한 트랜치 식각 및 매립을 가져오기 때문에 바람직하지 않다. 그러므로, 중심-대-중심 필라 이격은 가능한 범위에서 일정하게 유지될 것이 요구된다. 그러나, 일정한 필라 이격과 함께 다른 조건들이 목적한 표면 전기장 프로파일을 얻기 위해 만들어질 필요가 있다. 도 5는 P-필라들(504)(또한 본 명세서에서 “P 링들” 또는 “P-필라 표면들의 P-강화부”라 하는) 둘레 내에 센터링되는 표면 P-웰 영역들(508)을 이용하여 목적하는 표면 전자 프로파일이 얻어지는 본 발명에 따른 예시적인 실시예를 도시한다. 도 5에 도시된 바와 같이, 활성 P-바디(body) 영역(510)(소스 영역들(524)이 형성된)이 표면 우물 영역들(508)보다 깊게 연장될 수 있으며, 표면 우물 영역들(508)보다 높은 도핑 농도를 가질 수 있다. 표면 우물 영역들(508)의 도핑 및 깊이는 낮은 피크(peak) 전기장 및 상기 종단 영역에 걸쳐 실질적으로 균등하게 분포된 전기장과 함께 높은 브레이크다운 전압을 발생하는 전하 균형 상태를 얻기 위해 디자인될 수 있다.

[0206] 상기 표면 우물 너비들이 너무 넓게 형성되면, 마지막 필라와 통로에 걸쳐 전위의 대부분이 떨어질 수 있으며, 이에 의해 마지막 필라에서의 전기장이 높아 낮은 브레이크다운 전압을 발생한다는 것이 발견되었다. 상기 우물 너비들이 너무 좁은 경우, 전위의 대부분이 필라들 중의 하나 또는 상기 활성 구역에 인접한 몇 개의 필라들에 걸쳐 떨어질 수 있으며, 이에 의해 활성 구역 근처의 상기 종단 필라들에서 피크 전기장이 높아져 낮은 브레이크다운 전압을 발생시킨다. 또한, 도 5는 표면 P-웰들(508)을 동일한 너비로 도시하지만, 본 발명은 다음에 설명되는 것과 같이 이에 한정되지 않는다.

[0207] 도 6a는 표면 우물들(608)이 활성 영역으로부터 멀어지는 방향에서 점진적으로 줄어들 수 있는 반면 필라들(604)의 너비가 일정하게 유지될 수 있는 본 발명의 변형예를 도시한다. 표면 우물들(608)은 P-필라들(604) 둘레 내에 중앙을 유지하는 것에 유의한다. 도 6b에 도시된 표면 전기장 프로파일에 도시된 바와 같이, 상대적으로 낮고 균일한 전기장 피크가 상기 상위 표면을 따라 유지된다. 도 6b의 시뮬레이션 결과들은, 활성 구역에서 멀어지는 방향으로 11.4 μm 에서 8 μm 로 점진적으로 줄어드는 표면 우물 너비들을 갖고 중심-대-중심 P-필라(604) 이격은 7.8 μm 로 유지되는 본 발명의 실시예에 해당한다. 본 특정 실시예는 좋은 결과들을 보여주지만, 본 발명은 도 6a에 도시된 특정한 치수(dimension)들의 세트에 한정되지 않는다.

[0208] 일 실시예에서, 상기 표면 우물 영역들은 필드 산화막(field oxidation) 이전에 형성된다. 또한, 도 5와 도 6a에 도시된 특정한 디자인 및 본 명세서에서 논의되는 그것들의 변형예들은 도 1a 내지 도 1c에 도시된 세 가지 레이아웃 조합들 모두에서 구현될 수 있다.

[0209] 도 5의 예시적인 실시예는 활성 영역 내의 트랜치 게이트(522)를 도시하는 반면, 본 발명은 평면의 게이트 구조들 또는 다른 유형들의 활성 구조들을 갖는 소자들에서 유사하게 구현될 수 있다는 것에 유의한다. 또한, 표면 우물 영역들(508)은 P-필라들(504)보다 넓게 도시되었으나, 선택적으로 P-필라들(504)과 동일한 너비이거나 좁을 수 있다. 더욱이, 도 5가 나타내듯이, 활성 구역 내의 P-바디 영역(510)은 표면 P-웰 영역들(508)보다 깊게 연장될 수 있다.

[0210] 도 7은 P-필라들(704) 둘레 내에 비대칭적이며 일부의 경우 서로 결합된 표면 P-웰들을 이용하여 목적하는 표면 전기장이 얻어지는 본 발명의 또 다른 예시적인 실시예를 도시한다. 모든 다른 사항들에 있어서, 도 7은 도 5와 유사하다. 도 7에 도시된 바와 같이, 상기 표면 P-웰들의 일부는 P-필라들(704)에 대해 상대적으로 오른쪽으로 치우치며(offset), 일부는 왼쪽으로 치우치고, 일부는 서로 결합된다. P-필라에 대해 표면 P-웰이 치우칠 수 있음은 상기 활성 및 종단 영역들 사이의 전환 영역을 디자인하는 데 있어 유연성을 제공하며, 이러한 예들이 이하에서 더 기술된다.

[0211] 수퍼-접합 전하 균형 디자인들에서 전하 균형 붕괴의 구역들을 가지지 않는 것이 바람직하다. 이러한 구역들은 목적하는 R_{dson}에 대해 낮은 브레이크다운 전압, 열악한 다이내믹(dynamic) 스위칭 성능, 및 심지어 다이내믹 조건들 하에서의 실패(failure)를 발생하는 국부화된 브레이크다운 지점들이 될 수 있다. 도 8a 및 8b는 다이의 그러한 영역들을 도시한다. 도 8a는 중심의 종단 P-필라들에 의해 둘러싸인 스트라이프된 활성 P-필라들(804)을 갖는 다이의 코너를 도시한다. 갭(gap) 영역(808)은 상기 활성 P-필라들(804)의 말단 및 종단 영역

(810) 내의 첫 번째 동심의 P-필라의 사이에 형성될 수 있다. P-확산 영역(806)은 소스 전위 부근으로 상기의 동심의 P-필라들을 유지하기 위해서 상기 중단 영역 내의 복수의 상기 동심의 P-필라들을 활성 P-필라들(804)에 브릿징하기 위해 사용될 수 있다. P-확산 브릿지(bridge)(806)는 갭 영역(808)을 통과하여 활성 구역(802)으로 연장되며 따라서 소스 전위 부근으로 갭 영역(808)이 유지된다. 갭 영역들(808) 및 상기 코너 구역이 활성 구역(802)과 정확히 동일한 전하 균형 상태로 유지되지 않는 경우, 이 디자인은 갭 영역(808) 및 상기 동심의 P-필라들의 코너들에서 전위가 바람직하지 않은 국부화된 낮은 브레이크다운 전압 구역들을 갖도록 만들 수 있다. 도 8b는 바이어스 하에서의 다이의 스냅(snap) 사진이며, 밝은 영역들에 의해 도시된 바와 같이, 브레이크다운은 상기 활성 영역의 네 코너들에서 처음 시작할 수 있다.

[0212] 도 9a는 본 발명의 예시적인 실시예에 따른 평면 레이아웃도를 도시하며, 도 9a에서 활성 구역 갭들(908) 및 동심의 중단 필라들의 코너들과 같은 전하 불균형 구역들은 상기 활성 영역으로부터 단락될 수 있으며, 따라서 그것들이 상기 소스보다 높은 전위로 플로팅(floating)되도록 할 수 있다. 또한 단일 완전 플로팅 N-메사(912)는 갭(908) 또는 코너 구역과 상기 중단 영역(910)의 사이에 삽입될 수 있다. 중단 영역(910)의 일부로서, 전하 균형 조건이 상기 활성 영역과 정확히 동일하게 유지되도록 하지 않고 따라서 국부적인 낮은 브레이크다운 전압의 근원으로서의 이들 구역들을 제거하기 위해서, 상기 소스보다 높은 전위로 플로팅될 수 있다.

[0213] 도 9b는 평면 레이아웃도이며, 본 발명의 다른 예시적인 실시예에 따른 것으로, 제 2 전도성 타입의 제 2 완전 플로팅 메사(914)가 갭(908)과 코너 구역들 및 중단(910) 사이에서 추가적인 분리부(isolation)를 제공하기 위해 삽입될 수 있다. 좋은 UIS 성능은, 도 9c의 바이어스 하에서의 다이의 스냅 사진에 도시된 균일한 활성 구역 브레이크다운 전압에 의해 증명된 바와 같이, 도 9a 및 도 9b에 도시된 디자인들에 의해 얻어질 수 있다.

[0214] 도 10은 더 분명하게 상기 갭 영역을 도시하는 단면도이다. 이 단면도는 스트라이프된 활성 P-필라가 동심의 중단 P-필라들과 교차하는 다이의 영역 전체에 걸친 것이다. 갭 영역(1054)(“갭 분리부”로 표시된)은 상기 스트라이프된 활성 P-필라(1030)의 말단과 첫 번째 동심의 중단 P-필라(1036)의 사이에 배치될 수 있다. 또한, 도 10에 도시된 것은 완전 플로팅 메사(1056)(“분리 메사”로 표시된)이며, 이는 상기 갭 영역 및 중단 메사들(1034)의 사이에 삽입될 수 있다. 도시된 바와 같이, 활성 필라들(1030) 및 중단 필라들(1036)의 사이에 브릿징 확산부가 존재하지 않으며, 따라서 갭 영역(1054), 분리 메사 영역(1056), 및 중단 필라들(1036)이 플로팅되도록 할 수 있다.

[0215] 트랜치 에피-매립 기반의 전하 균형 소자(trench epi-filled based charge balanced device)들의 셀 피치(pitch)가 줄어들에 따라, 상기 메사들 및 필라들은 더 낮은 전압에서 공핍될 수 있다. 따라서 1×10^{11} V/sec보다 큰 dv/dt까지 증가시킨다. 게이트 피드들 및/또는 중단 필드 플레이트(termination field plate)들에 기인한 표류 게이트-드레인 커패시턴스(stray gate to drain capacitance)(Cgd)는 상기 게이트로 흐르는 많은 전류들을 발생시킬 수 있다. 이들 전류들은 소자의 게이트에서 상기 기생 저항을 통과하여 흐를 수 있으며, 상기 소자의 국부적인 구역들이 턴 온되도록 하고, 소자 실패를 발생시킨다. 그러므로, 기생 Cgd를 제거하거나 최소화하는 것이 일반적으로 바람직하다.

[0216] 본 발명에 따르면, 게이트 러너들(예컨대, 게이트 패드를 활성 게이트들에 연결하는 메탈 및 폴리실리콘 배선들) 및 중단 전계 플레이트들과 같은 상기 활성 영역 외부 및 내부의 구조들은 Cgd를 제거하거나 충분히 최소화하기 위해 주의 깊게 디자인된다. 일 실시예에서, 상기 드레인 영역들로 연장되는 중단 영역들 내의, 통상적으로 게이트 메탈에 연결되는 상기 필드 플레이트들은 대신 상기 소스 메탈에 연결될 수 있다. 도 3은 예시적인 실시예의 단면도를 도시하며, 도 3에서 활성 폴리실리콘 필드 플레이트(315)는 전환 또는 분리 영역(335)을 통과하여 중단 영역(302)으로 연장된다. 폴리실리콘 필드 플레이트(315)는 게이트 메탈(308) 대신 소스 메탈(310)에 연결될 수 있으며, 따라서 상기 활성 구역 필드 플레이트에 의해 Cgd 기여(contribution)를 실질적으로 줄이고, 상기 Cgd 기여를 더 바람직한 Cds로 전환할 수 있다. 이러한 연결은 도 3에 도시된 바와 같이 게이트 메탈(308)에 의한 Cgd 기여를 더 바람직한 Cgs로 더 전환시킬 수 있으며, 이는 상기 소스 전위에 구속된 필드 플레이트가 상기 게이트 메탈 및 그 아래에 놓인 드레인 영역들의 사이로 연장되기 때문이다.

[0217] 도 11은 다른 예시적인 실시예의 단면도를 도시하며, 브릿징 P_{iso} 확산부(1142)(도 3과 연관되어 논의되는)는 게이트 메탈(1108)의 아래로 연장될 수 있어서 게이트 메탈(1108)의 어느 부분도 상기 드레인 영역 위로 연장되지 않는다. 도 12는 또 다른 예시적인 실시예의 단면도이며, 도 12는 상기 표면 우물 영역들(도 5 내지 도 7과 연관되어 논의되는)은 게이트 메탈(1208)의 어느 부분도 상기 드레인 영역 상으로 연장되지 않도록 게이트 메탈(1208)의 아래로 연장될 수 있다.

[0218] 상기 활성 영역에서, P-타입 바디 영역들은 P-필라들의 전체 길이를 연장되지 않을 수 있지만, 스트라이프된 P-

필라들의 끝단들에 도달하기 전에 중단될 수 있다. P-타입 바디 영역들이 연장되지 않은 활성 P-필라들의 끝단들에서의 브레이크다운 전압을 상기 활성 구역의 브레이크다운 전압과 같거나 크도록 유지하기 위해서, 다양한 P 강화 기술들이 상기 바디 영역의 부재를 보상하기 위해서 이용될 수 있다. P 강화는, 보론 도펀트(dopant)가 산화막에서 걸러지는 P-필라의 표면을 강화한다. 표면 여과는 산화막의 성장 중에 상기 보론 도펀트들이 P-필라들의 표면을 따라서 산화막 내로 분리되는 현상을 가리킨다. P-필라들이 낮게 도핑된 실시예에서, 상기 여과 효과는 P-필라들의 표면이 N-타입이 되도록 할 수 있다. 그러므로, 바디 영역이 연장되지 않은 상기 활성 P-필라들의 그러한 표면 부분들의 P 강화는, 그러한 표면 영역들이 표면 여과에 의해 N-타입이 되는 가능성을 줄일 수 있다.

[0219] 도 10은 본 발명의 하나의 예시적인 실시예를 도시하며, 도 10에서 P-타입 확산 영역 P_{ISO}(1042)은 P-바디 영역(1038)이 중단되는 스트라이프된 활성 P-필라(1030)의 끝단을 따라 연장된다. 도 13은 다른 예시적인 실시예를 도시하며, 도 13에서 더 얇고, 낮게 도핑된 표면 P-웰 영역은 P-바디 영역(1338)이 중단되는 스트라이프된 활성 P-필라(1330)의 끝단을 따라 연장된다. P_{ISO} 및 표면 P-웰의 조합은 필요한 경우 사용될 수 있음에 유의한다. 예를 들어, 도 10에서, 표면 P-웰 영역은 P_{ISO}가 공정 제한들로 인해 연장되지 못하는 상기 활성 P-필라의 바로 끝단에서 사용된다.

[0220] 상기 P_{ISO} 영역 및 상기 표면 P-웰 영역들의 복수의 레이아웃 구현들이 가능하며, 일부가 도 14a 내지 도 14g에 도시된다. 예를 들어, P_{ISO} 영역들(1406, 1418)은 도 14a 및 도 14e에 도시된 바와 같이, 활성 P-필라들(1404)의 끝단들을 따라 연속적인 영역으로 연장될 수 있다. 이러한 구현에서, 상기 P_{ISO} 영역은 인접한 활성 P-필라들(1404)의 사이의 N-타입 메사 영역들로 연장될 수 있다. 이는 상기 스트라이프된 활성 P-필라들(1404)의 양 끝단들에서 약간의 전하 불균형을 초래할 수 있다. 그러나, 도 14c 및 도 14d에 도시된 바와 같이, 연속적인 P_{ISO} 영역 대신 P_{ISO} 영역들의 섬(island)들이 상기 활성 P-필라들(1404)의 끝단들을 따라서 형성될 수 있어서 상기 P_{ISO} 섬들은 인접한 메사들을 브릿지 시키지 않거나 P-필라들(1404)의 경계들 내에 포함된다. 비슷하게, 연속적인 표면 P-웰 영역(1408, 1410, 1414, 1420)(도 14a, 도 14b, 및 도 14d 내지 도 14f) 또는 표면 P-웰 영역들 섬들(1413, 1422)(도 14c 및 도 14g) 중 어느 하나는 상기 활성 P-필라들(1404)의 끝단들을 따라서 사용될 수 있다. 대신에, 연속적인 표면 P-웰(1408)은 P_{ISO} 영역들(1416)의 섬들과 함께 상기 활성 P-필라들(1404)의 끝단들을 따라(도 14d) 사용될 수 있으며, 그 역도 가능하다.

[0221] 전도성 필드 플레이트들은 상기 중단 영역에서의 전기장을 더욱 균일하게 퍼지게 하기 위해 상기 중단 영역에서 사용된다. 상기 필드 플레이트들은 상응하는 필라의 전위를 예상할 수 있도록 통상적으로 아래에 놓인 필라들에 전기적으로 연결된다. 그러나, 셀 피치가 줄어들어 따라, 상기 필드 플레이트와 그 아래에 놓인 필라의 사이에 콘택을 형성하는 것은 더욱 어려워진다. 아래에 놓인 실리콘에 전기적으로 연결되지 않은 필드 플레이트들을 사용하는 것(즉, 플로팅 필드 플레이트들을 사용하는 것)은 상기 중단 영역에서 전기장을 분포시키는 데 있어 여전히 효과적이라는 것이 발견되었다. 도 15는 본 발명의 예시적인 실시예에 따른 상기 중단 영역에서의 플로팅 필드 플레이트들(1530)의 집적(integration)을 도시한다.

[0222] 도 15는 도 6a와 유사하다. 관련된 세부 사항들의 일부를 더 분명히 도시하기 위해 단면도의 일부의 확대도가 도 15에 포함된다. 각각의 P-필라 및 인접한 메사 영역으로 연장될 수 있는 전도성 필드 플레이트들(1530)(예컨대, 폴리실리콘 또는 금속을 포함하는)이 포함된다. 필드 플레이트들(1530)은 절연막(1532)에 의해 아래에 놓인 실리콘 영역으로부터 절연된다. 절연막(1532)의 두께는 플로팅 필드 플레이트들(1530)이 아래에 놓인 필라 또는 필라들의 전위를 예상할 수 있도록, 충분한 용량성 커플링(capacitive coupling)을 보장하기 위해서 최적화될 수 있다. 일 실시예에서, 필요한 용량성 커플링이 가능하도록 약 1 μm 두께의 산화막이 절연막(1532)으로 사용된다.

[0223] 도 15에 도시된 예에서, 각 필드 플레이트(1530)의 너비는 필라(1504)의 중심과 메사(1506)의 중심 사이의 거리와 동일할 수 있으며, 따라서 인접한 필드 플레이트들(1530) 사이의 이격은 필드 플레이트들(1530)의 너비와 동일할 것이다. 이러한 특정한 수치들은 단지 예시적이며 한정하도록 의도된 것이 아니다. 예를 들어, 상기 필드 플레이트 너비는 필라(1504)의 중심과 메사 영역(1506)의 중심 사이의 거리보다 크거나 작을 수 있다.

[0224] 플로팅 필드 플레이트들(1530)은 필드 플레이트들(1530)과 아래에 놓인 실리콘(1503)의 사이에 콘택들을 형성할 필요를 없앨 수 있으며, 상기 필드 플레이트 너비는 폴리 포토 마스크 및 식각 공정들에 의해서 정의될 수 있다. 이는 상기 필드 플레이트 너비가 정확히 제어되는 것을 가능하게 할 수 있다.

[0225] 도 16a 및 도 16b는 플로팅 필드 플레이트들의 효과를 설명하는 시뮬레이션 결과들이다. 도 16a 및 도 16b는 필드 플레이트들을 갖는 구조 및 필드 플레이트들이 없는 구조 각각에 대한 전기장 프로파일을 도시한다. 도시

된 바와 같이 상기 플로팅 필드 플레이트들은 더 긴 거리상에서 전위를 분포시켜 필드 플레이트들이 없는 구조에 비하여 낮거나 더 균일한 피크 전기장을 발생시킨다. 도 15에 도시된 본 발명 및 그 변형예들은 도 1a 내지 도 1c에 도시된 어느 레이아웃 조합들에서도 구현될 수 있음에 유의한다.

[0226] 전하 균형 디자인들을 위해 전하 균형이 파괴된 구역들을 갖지 않는 것이 중요하다. 이러한 파괴들은 활성 구역에서 중단 구역으로 전환될 때 갭들 및 코너들이 있는 곳에서 발생한다. 완전히 평행한 필라 디자인들(도 1b 에서와 같이)은 이러한 불균형 구역들을 갖지 않는데, 필라들은 평행한 스트라이프들로만 구성되기 때문이다. 또한, 상기 트렌치 에피-매립 필라 공정(trench epi-fill pillar process)에서, 갭들 및 코너들을 갖지 않는 상기 완전 평행 디자인들은 딥 트렌치들의 식각 및 매립을 쉽게 만들 수 있다. 그러나, 상기 활성 구역과 교차하지 않는 상기 플로팅 중단 필라들 때문에 상기 완전 평행 디자인에서 전기장은 다이의 모든 네 면들에서 균일하게 펼쳐지지 않는다. 이는 불균일한 전기장 분포를 낳고 브레이크다운 전압을 감소시킨다. 상기에 언급한 바와 같이, 좋은 UIS 성능을 얻기 위해서, 브레이크다운이 상기 활성 구역에서 균일하게 일어나는 것이 바람직하다.

[0227] 도 17은 본 발명의 예시적인 실시예에 따른 활성 영역의 코너에서의 평면도를 도시하며, 도 17에서 표면 P-웰링들(1712)은, 활성 구역(1702)과 교차하지 않으며 다른 경우 플로팅될 필라들(1708)의 전위를 고정하기 위해 사용될 수 있다. 도시된 바와 같이, 링들(1712)은 중단 영역(1706)으로 연장된 활성 P-필라들(1710)의 부분들과 교차하고 전기장을 퍼지게 하며 상기 중단 영역(1706)을 따라서 전압을 분배한다. 링들(1712)은 또한 활성 영역(1702)으로 연장되지 않는 P-필라들(1708)의 표면 영역을 따라 연장되며, 따라서 다이의 모든 네 면들에서 활성 구역(1702)으로부터 동일한 거리에서 P-필라들(1708)의 전위를 고정한다. 이러한 방식으로, 활성 구역(1702)과 교차하지 않는 P-필라들(1708)은 활성 영역(1702)으로부터의 동거리 방식으로 중단 영역(1706)으로 연장된 활성 필라들(1710)의 부분들과 동일한 전위로 바이어스 된다. 이는 도 17에서 D1으로 표시된 수치들에 의해 도시된다.

[0228] 본 발명의 하나의 특징은 P-링들(1712)의 직각의 코너들임을 유의한다. 직각들을 갖는 코너들은 곡선 코너들에 비하여 코너들에서의 전하 균형을 개선할 수 있다.

[0229] 도 17에 도시된 예시적인 완전한 평행 디자인에서, 상기 P/N 필라들은 N-리치 전하 균형 조건이 활성 영역(1702) 또는 중단 영역(1706)에서만 만들어지도록 디자인될 수 있다. 이는 중단 영역(1706)으로 연장된 활성 P-필라들 부분의 일부가 완전히 공핍되는 것을 확실하게 할 수 있다. 도시된 실시예에서, P-필라들(1710, 1708)은 서로 동일한 거리로 이격되고, 동일한 너비를 갖고, 유사한 도핑 프로파일을 가질 수 있다. 일 실시예에서, 그 사이에 8 μ m의 이격을 갖는 5 μ m 너비의 P-필라들(1710, 1708)은 활성 영역(1702)에서 646 V의 균일한 브레이크다운 전압을 가져오며, 따라서 좋은 UIS 특성들을 갖는 높고 안정된 브레이크다운 전압을 얻는다. 중단 영역(1706)에서만 N-리치한 조건을 갖는 것이 바람직한 실시예는 P-필라들(1710)의 너비를 활성 영역(1702)을 빠져나가 중단 영역(1706)으로 연장되는 것처럼 점차 테이퍼되게 함으로써 구현될 수 있다. 대안적인 구현으로, P-필라들(1710)의 너비는 중단 영역(1706) 내에서 단계 방식(step fashion)으로 좁아질 수 있다.

[0230] 상기 필라들이 딥 트렌치들을 식각하고 실리콘으로 매립하여 형성되는 실시예에서, 공정 신뢰도는 트렌치 깊이 대 너비의 비(즉, 트렌치 종횡비(aspect ratio))에 직접적으로 관계될 수 있다. 트렌치 종횡비가 증가함에 따라, 상기 트렌치의 에피 매립이 더 어려워지고 매립 공정이 개설될 필요가 있을 수 있다.

[0231] 도 18a 및 18b는 본 발명의 예시적인 실시예에 따른 P-필라들 형성을 위한 두 개의 공정 단계들에서의 단면도들을 도시한다. 도 18a에서 딥 트렌치(1808)는 N-타입 실리콘에서 식각될 수 있으며, P-웰(1806)은 통상적인 임플란트 기술들을 사용하여 트렌치(1808)의 하부에 형성될 수 있다. 트렌치(1808)는 P-에피(1804A)로 매립될 수 있다. 도 18b의 단면도는 상기 공정의 완성 후의 결과적인 P-필라(1804B)를 도시한다. 도시된 바와 같이, 트렌치(1808)의 하부에 임플란트된 도펀트들은 P-필라(1804B)를 깊게 유효하게 연장시킬 수 있으며, 따라서 상기 에피-매립 공정을 변경할 필요가 없게 된다. 또한, 트렌치(1808)의 하부에서 P-웰(1806)을 형성하는데 사용되는 임플란트 도즈(dose)를 증가시킴으로써, 애벌런치 브레이크다운(avalanche breakdown)의 시작이 임플란트된 구역에서 유도되어 높은 UIS 성능을 가져온다. 이러한 특징은 이하에서 더 조사된다.

[0232] 일 실시예에서, N 메사(1802)는 3.02×10^{15} 의 도핑 농도를 가지며 보론은 2×10^{12} 의 도즈 및 200 KeV의 에너지로 트렌치(1808)의 하부를 따라 임플란트된다. 트렌치(1808)는 5×10^{15} 에서 7×10^{15} 범위의 도핑 농도를 갖는 P-에피(1804A)로 채워진다. 결과적인 구조는 5 μ m의 P-필라 너비 및 7.5 μ m의 필라 이격을 갖는다.

[0233] 앞서 논의된 바와 같이, P-필라들의 하부에서 애벌런치 브레이크다운의 시작이 유도되는 것이 유익하다. 도 19

는 본 발명의 예시적인 실시예에 따른 단면도를 도시하며, 도 19에서 P-강화 영역들(1921)은 국부적인 전하 불균형을 발생시키고 이에 따라 필라의 하부들에서 애벌런치 브레이크다운의 시작을 유도하기 위해 P-필라들(1930)의 하부에 형성될 수 있다. P-강화 영역들(1921)은 전하 불균형을 발생시키기 위해서 바람직하게는 P-필라들(1930)보다 높은 도핑 농도를 갖는다.

[0234] 도 20a 내지 도 20h는 본 발명의 예시적인 실시예에 따른 도 19의 구조를 형성하기 위한 공정 흐름을 도시하는 단면도들이다. 도 20a는 N+ 스타팅(starting) 기관(2024)를 도시한다. 도 20b에서, 제 1 N-에피막(2027A)은 통상적인 기술들을 사용하여 성장될 수 있다. 도 20c에서, P-강화 임플란트는 P-필라들의 하부들이 종단될 P-강화 영역들(2021)을 형성하기 위해 수행될 수 있다. 통상적인 마스크 및 임플란트 공정들이 P-강화 영역들을 형성하는데 사용될 수 있다. 상기 P-강화 임플란트는 후면 정렬 마크(alignment mark)들을 형성한 후에 수행될 수 있음에 유의한다. 이의 중요성은 이하에서 보다 분명해질 것이다. 임플란트 도핑 농도 및 에너지는 상기 필라 하부들에서의 목적하는 전하 불균형 조건에 따라 정해질 수 있다.

[0235] 도 20d에서, 제 2 N-에피(2027B)는 통상적인 기술들을 사용해서 성장될 수 있다. 제 2 에피막(2027B)은 균일하거나 단계적인 도핑 농도를 갖도록 형성될 수 있다. 도 20e에서, 트렌치들(2003)은 패터닝되고 P-강화 영역들(2021)에 닿을 수 있도록 충분히 깊게 식각될 수 있다. 후면 정렬 기술(이하에서 더 자세히 설명될)은 P-강화 영역들(2021)과의 트렌치들(2003)의 정렬을 확보하기 위해서 사용될 수 있다. 도 20f에서, 트렌치들(2003)은 이하에서 더 설명될 기술들 또는 다른 공지 기술들을 사용해서 P-에피(2005)로 매립될 수 있다.

[0236] 도 20g에서, P-에피(2005)는 예를 들어, 통상적인 화학적 기계적 폴리싱(chemical mechanical polishing, CMP) 공정을 사용해서 평탄화될 수 있다. 도 20h에서, 게이트 구조 및 그 위의 막들뿐 아니라 P-바디 영역(2038), N+ 소스 영역들(2018), 및 고농도 P+ 바디 영역들도 공지 기술들을 사용해서 형성될 수 있다. 도 20h는 도 19와 유사하다.

[0237] 도시된 바와 같이, 이 공정은 P-필라들(2030)의 하부에 P-강화 영역들(2021)을 갖는 수퍼-접합 소자를 만든다. 이는 필라들(2030)의 하부에서 애벌런치 브레이크다운을 유도할 수 있으며, 개선된 UIS 성능을 갖는 소자를 만든다.

[0238] 일 실시예에서, P-필라들(2030)은 동일한 너비를 가지며 서로 동일한 거리로 이격된다. 그러나, P-필라들(2030)의 너비는 P-필라들(2030) 사이의 이격보다 작은 것이 바람직하며, 결과적으로 상기 활성 영역에서 N-리치 조건을 제공한다.

[0239] 위에서 논의된 바와 같이, 트렌치 에피 매립 전하 균형 소자들에서 소자의 거친 정도(device ruggedness)는 상기 활성 구역에서 브레이크다운이 시작되게 하고, 브레이크다운 전압이 종단 영역들, 게이트 러너 구역들, 및 전하 불균형의 잠재적인 근원이 되기 쉬운 그 밖의 구역들과 같은 다른 구역들보다 실질적으로 낮게 함으로써 개선될 수 있다. 본 발명의 실시예에 따르면, 이는 두 개 이상의 에피막들을 성장시켜 얻을 수 있다. 도 20a 내지 도 20h에 도시된 공정과 유사하게, 제 1 에피막이 성장되고 P 강화 임플란트가 상기 트렌치들이 종단될 상기 제 1 에피막에 형성된다. P 강화 영역들은 상기 P-필라들의 전체 길이를 따라서 연장되거나, P-필라를 따라서 연속적이거나, 또는 P-필라에 평행할 필요는 없다. 이러한 임플란트된 강화 구역은 상기 활성 영역에서 전하 균형을 파괴하고 애벌런치가 이 구역에서 시작되는 낮은 브레이크다운 전압의 지점을 발생시킬 수 있다.

[0240] 도 21a는 본 발명의 예시적이 실시예의 단면도이며, 도 21a에서 P 강화 영역들(2160)은 활성 영역(2101)에만 필라들(2130)의 하단에 형성될 수 있다. 이 예에서, P 강화 영역들(2160)은 활성 P 필라(2130)보다 넓을 수 있다. 도 21a는 P 강화 영역들(2160)의 포함을 제외하고 도 3과 유사하다. 도 21b는 활성 P 필라들(2130)이 P 강화 영역들(2160)로 깊게 연장되지 않으며, 따라서 애벌런치 브레이크다운의 시작을 구속하는 높은 P-리치 불균형 조건을 낳는 변형예를 도시한다. 도 21c는 P 강화 영역들(2160)이 활성 P 필라(2130)에 하나 걸러서 하부에 형성될 수 있는 다른 변형예를 도시한다. 이 실시예는 P 강화 영역들(2160)이 필라들(2130)의 하부에서 전류 경로를 펀치-오프하지 않아 Rdson을 개선할 수 있어 유의하다. P 강화 영역들(2160)은 브레이크다운이 상기 활성 영역에서 균일한 방식으로 일어나는 한 모든 세 필라 또는 네 필라에 하나씩 또는 다른 패턴으로도 형성될 수 있음에 유의한다.

[0241] 도 21d는 또 다른 변형예를 도시하며, 도 21d에서 P 강화 영역들(2165)이 활성 P 필라들(2130)보다 좁을 수 있다. 본 실시예는 도 21a의 실시예에 존재하는 전류 경로의 펀치-오프를 없앨 수 있다. 도 21e는 다른 예시적인 실시예를 도시하며, 도 21e에서 P 강화 영역(2167)은 활성 영역(2101)에 블랭킷 방식(blanket manner)으로 형성될 수 있다. 도시된 바와 같이, 블랭킷 P 보상 영역(2167)은 N 메사 영역들(2132) 및 활성 P 필라들(213

0)의 하부를 따라 연장된다. P 보상 영역(2167)의 도핑 농도는 N 메사 영역들(2132)이 N-타입으로 유지되는 것을 보장하기 위해 주의 깊게 선택될 수 있다. MOSFET 및 IGBT 소자들에 대해, 상기 P 임플란트는 N 메사 영역 저항이 증가하는 것과 R_{dson} 또는 $V_{ce(sat)}$ 이 증가하는 것 간의 교환(trade-off)을 바탕으로 선택된다. 또한, 도시되지 않은 실시예에서, 상기 P 강화 영역들은 복수의 활성 필라들에 대해 평행하지 않은 하나 이상의 스트라이프들을 사용하여 형성될 수도 있다. 본 실시예의 하나의 이점은 필라 트랜치들에 대한 정렬이 결정적이지 않다는 것이다. 도 21f는 도 21e의 변형예를 도시하며, 도 21f에서 블랭킷 P 보상 영역(2169)은 활성 및 중단 필라들(2130, 2136) 모두의 하부를 따라 각각 연장된다. 이러한 구현은 P 보상 영역(2169)이 블랭킷 임플란트(blanket implant)에 의해 형성될 수 있게 하기 위해서 마스크에 대한 필요성을 유익하게 없앨 수 있다.

[0242] 본 발명의 다양한 실시예들은 도 1a 내지 도 1c에 도시된 어느 세 개의 레이아웃 조합들에도 적용될 수 있으며, 필라들이 다중막 에피 및 임플란트 단계들을 사용하여 형성되는 공정 기술에서 쉽게 구현될 수 있다.

[0243] 본 발명의 다른 실시예에 따르면, 전하 균형을 깨뜨리고 이에 의해 국부화된 구역에서 에벌런치를 시작되도록 하는 낮은 브레이크다운 전압 지점을 발생시키기 위해서, N-강화 영역들이 P-필라들의 하부 또는 P-필라들의 하부에 인접한 메사 영역들에 형성된다.

[0244] 도 21a 내지 도 21f와 관련하여 상술한 P-강화 영역들을 형성하기 위한 동일한 공정 기술도 약간의 변경들과 함께 N-강화 영역들을 형성하기 위해 사용될 수 있다. 상기 N-강화 영역들은 활성 및 중단 영역들 모두에서 구현될 수 있으며, 따라서 필라들의 하부 근처에서 실리콘 표면으로부터 떨어져 브레이크다운이 일어나도록 한다. 선택적으로, 상기 N-강화 영역들은 활성 영역에서만 구현될 수 있으며, 이에 의해 상기 활성 영역에서의 브레이크다운을 보장하기 위해 전하 균형은 활성 영역에서 파괴된다. 또한, 상기 N 강화 영역들은 상기 활성 필라들의 전체 길이를 따라서 연장되거나, 활성 필라 길이를 따라서 연속적이거나, 또는 활성 필라들에 평행할 필요는 없다. 열 확산 사이클은 상기 N-강화 임플란트 바로 다음 또는 동일한 도핑 타입의 후속의 에피막들이 성장된 다음에 사용될 수 있다. 본 발명의 예시적인 실시예들에 따른 N-강화 영역들을 구현하는 다양한 방법들이 도 22a 내지 22n에 도시된다.

[0245] 도 22a 내지 도 22n의 단면도들은 N-강화 영역들의 포함을 제외하고는 일반적으로 도 3과 유사하다. 도 22a에서, N-강화 영역들(2260)은 활성 영역(2201) 내에만 있는 P-필라들(2230)의 하부에 형성될 수 있다. N-강화 영역들(2260)은 P-필라들(2230)보다 넓을 수 있다. 도 22b는 N-강화 영역들(2262)이 중단 영역(2202) 내의 P-필라들(즉, 필라들(2236))을 포함하는 P-필라들(2230, 2236)의 하부에 형성될 수 있는 변형예를 도시한다. 도 22c는 P-필라들(2230, 2236)이 제 1 에피막(2227)으로 연장되지 않을 수 있는 변형예를 도시한다. 본 실시예는 전류 흐름이 P-필라들(2230) 아래로 퍼질 수 있게 하며, 따라서 R_{dson} 을 감소시키고 P-필라 보상을 감소시킨다. P-필라들(2230)의 유효 깊이도 줄어들 수 있으며, 따라서 브레이크다운 전압도 감소된다. 또한, N-강화들 영역들(2264)은 활성 영역(2201)에서만 주기적으로(이 경우, 두 필라에 하나씩) 형성될 수 있다.

[0246] 도 22d는 N-강화 영역들(2266)이 P-필라들(2230)의 너비보다 좁을 수 있는 변형예를 도시한다. 도 22e는 좁은 N-강화 영역들(2268)이 활성 영역(2201)에만 주기적으로 형성될 수 있는 변형예를 도시하며, 도 22f의 실시예는 중단 영역(2202) 내의 것들을 포함한 P-필라들(2230, 2236)의 하부에 형성될 수 있는 좁은 N-강화 영역들(2270)을 도시한다. 좁은 N-강화 영역들(2270)은 P-필라들의 하부에서 BV를 고정하는데 더 효과적일 수 있으나, R_{dson} 을 감소시키는 데에는 덜 효과적일 수 있다.

[0247] 도 22g 내지 도 22i는 대안적인 실시예들을 도시하며, N-강화 영역들은 P-필라들의 하부 근처의 N 메사 영역들 내에 형성될 수 있다. P-필라들 사이의 상기 메사 영역들은 본 명세서에서 N-필라들로도 칭한다. 전위가 높은 P-필라의 하부 근처의 N-필라를 더 N-타입으로 도핑하는 것은, 상기 N-필라의 유효 너비를 더 넓게 하고 결과적으로 R_{dson} 감소를 초래하는 측면 공핍을 감소시킬 수 있다. 도 22g는 N-강화 영역들(2272)이 활성 영역(2201)에만 있는 N-필라들(2232)의 하부에서 형성될 수 있는 실시예를 도시한다. 도 22g에 도시된 바와 같이, N-강화 영역들(2272)은 N-필라들(2232)보다 넓은 측면의 폭을 갖는다. 도 22h는 N-강화 영역들(2274)이 활성 영역(2201) 내에만 주기적으로 형성될 수 있는 실시예를 도시한다. 도 22i는 N-강화 영역들(2276)이 N-필라들(2232, 2234, 2235)의 하부에 형성될 수 있는 실시예를 도시한다. 도 22j는 N-필라들(2232)보다 좁은 측면의 폭을 갖고, 활성 영역(2201) 내에만 있는 N-필라들(2232)의 하부의 N-강화 영역들(2278)을 도시한다. 도 22k는 좁은 N-강화 영역들(2280)이 활성 영역(2201) 내에 주기적으로 형성된 실시예를 도시한다. 도 22l은 N-필라들(2232, 2234, 2235)의 하부 근처의 좁은 N-강화 영역들(2282)을 도시한다. 가능한 변형예들은 도시된 것들에 한정되지 않는다. 많은 다른 변형예들이 본 기술분야의 당업자에 의해 고려될 수 있다.

[0248] 도 22m 및 도 22n은, 도 22m 및 도 22n에서 블랭킷 N 강화부(2284)가 활성 영역(2201) 내에서만 이용되고(도

22m) 활성 영역(2201) 및 중단 영역(2202) 모두에서 이용되는(도 22n) 것을 제외하고 도 21e 및 도 21f와 유사하다.

- [0249] 상기 블랭킷 N 강화 영역의 도핑 농도는 통과하여 연장되는 P-필라들이 P-타입을 유지할 수 있도록 확실히 하기 위해 주의 깊게 선택될 수 있다. MOSFET 및 IGBT 소자들에서, 상기 N 임플란트는 N 메사 저항이 감소하는 것과 R_{dson} 또는 V_{ce(sat)}이 감소하는 것 간의 교환(trade-off)을 바탕으로 선택된다. 또한, 도시되지 않은 실시예에서 상기 N 강화 영역들은 복수의 활성 필라들에 대해 평행하지 않은 하나 이상의 스트라이프들을 사용하여 형성될 수도 있다. 이들 실시예들의 하나의 이점은 필라 트랜치들에 대한 정렬이 결정적이지 않다는 것이다.
- [0250] P-웰 및 고농도 P+ 바디와 같은 도펀트들이 게이트 러너들 및 게이트 패드의 아래로부터 드러나는 경우, 전하 불균형의 근원들이 된다. 전하 불균형 소자(non-charge balance device)들 내의 이들 구역들은 보통 높은 BV를 갖도록 최적화될 수 있다. 그러나, 전하 균형 소자들에서, 활성 구역들이 비슷하게 도핑되지 않는다면, 정적 및 동적 BV 지점들이 될 수 있다.
- [0251] 도 23은 본 발명의 예시적인 실시예의 평면도를 도시하며, 도 23에서 활성 폴리 스트라이프들(2302A)(폴리실리콘 게이트들로도 칭하는)은 게이트 패드 구역에서의 도핑 프로파일이 활성 구역에서와 동일하도록 하여, 상기 활성 영역과 상기 게이트 패드 영역에서 동일한 전하 균형 조건을 유지하도록 하기 위해서 게이트 패드(2328)의 아래로 연장될 수 있다. 다시 말하면, 상기 게이트 패드 구역으로 게이트 스트라이프들(2302A)을 연장함으로써, 이는 상기 게이트 패드 아래의 실리콘 영역이 활성 구역과 동일한 임플란트들(예컨대, 웰 임플란트 및 고농도 P+ 바디 임플란트)을 받으며 유익하게 게이트 패드 영역에서 활성 영역에서와 동일한 전하 균형 조건을 유지하도록 한다. 도 23의 우측은 게이트 러너 메탈(2304)이 게이트 패드(2328)로부터 외부로 연장되는 좌측 도면 부분의 확대도를 도시한다. 상기 확대도는 본 발명의 다른 특징을 더욱 분명하게 도시한다. 작은 최적화된 폴리 브릿지들(2308)이 스트라이프들(2302B) 사이의 연결을 유지하기 위해서 폴리 게이트 스트라이프들(2302B)의 사이에 형성될 수 있다. 폴리 브릿지들(2308)이 없는 경우, 개개의 콘택들은 각각의 스트라이프(2302B)에 만들어질 수 있으나, 만약 하나의 콘택이 제조 중에 형성되지 않는다면 콘택되지 않은 스트라이프는 게이트 피드 불균형을 초래하게 된다. 폴리 브릿지들(2308)의 너비(폴리 스트라이프들(2302B)에 평행한 방향의)는, 임플란트된 P-바디가 아래의 폴리 브릿지들(2308)에 합해지고 이에 의해 상기 폴리 브릿지 구역들에서의 전하 불균형을 예방하도록 신중하게 선택될 수 있다.
- [0252] 좌측의 도면에서, 게이트 패드 구역 내의 폴리 스트라이프들(2302B)에 대한 콘택들은 게이트 패드(2328)의 두 개의 반대 면들을 따라서 만들어진다. 상기 콘택들을 중앙 본딩(bonding) 구역으로부터 멀리 배치함으로써, 본딩 공정 중에 폴리 스트라이프들에 대한 콘택들의 보전(integrity)이 유지된다. 이는 얇은 게이트 산화막을 다루는 공정 기술들에서 특히 중요한 부분일 수 있다.
- [0253] 도 24는 도 23의 디자인의 변형예를 도시하며, 도 24에서 폴리 스트라이프들(2402)은 도 23과 유사하게 게이트 패드 구역을 통과하여 연장되나, 폴리 브릿지들은 사용되지 않는다. 도시된 바와 같이, 모든 폴리 스트라이프(2402)는 게이트 메탈-폴리 콘택(2410)에 의해 연결된다.
- [0254] 도 25는 평면도이며, 폴리 스트라이프들(2502B)에 대한 게이트 메탈 콘택들이 상기 게이트 패드 구역의 중간부를 따라 형성된 것을 제외하고 도 23의 실시예와 유사하다. 도 25에 도시된 실시예에서, 폴리 스트라이프들(2502)은 도 23의 디자인에서와 같이 게이트 패드 구역들을 통과하여 연장될 수 있다. 그러나, 도 25의 디자인은, 도 23의 디자인에 나타난 게이트 패드의 양 끝단들에서 두 줄들의 콘택들에 기인한 콘택들의 불균일한 게이트 피드 길이를 배제한다. 상기 게이트 패드 구역의 내부 및 외부의 메탈 게이트 콘택들이 정렬되어, 상기 폴리 게이트들 전체에 걸쳐 더욱 균일한 RC 딜레이(delay)가 얻어질 수 있으며, 다이 전체를 통하여 더 균일한 dv/dt를 얻는다. 그러나, 도 25의 실시예에서 게이트 산화막의 두께는, 상기 게이트 패드 구역의 중심을 통과하여 연장되는 게이트 콘택들의 보전이 와이어 본딩(wire bonding) 중 유지되도록 확보하기 위해 충분히 두껍게 만들어질 필요가 있을 수 있다.
- [0255] 도 26은 도 25의 디자인의 변형예를 도시하며, 도 26에서 폴리 스트라이프들(2602)은 도 23과 유사하게 게이트 패드 구역(2628)을 통과하여 연장될 수 있으나, 폴리 브릿지들은 사용되지 않는다. 도시된 바와 같이, 모든 폴리 스트라이프(2602)는 게이트 메탈-폴리 콘택(2610)에 의해서 연결된다.
- [0256] 상기 필라 트랜치가 식각되고 매립되는 구역 상에 활성 게이트 구조를 만드는 것은 낮은 게이트 산화막 보전(gate oxide integrity)을 가져오고, 게이트 신뢰성을 감소시킬 수 있다. 이는 상기 트랜치 식각에 의한 표면 상태들(surface states), 응력 유도 전위들(stress induced dislocations), 트랜치 식각 및 매립에 의한 손상,

및 불완전한 필라 에피 매립에 의한 보이드들이 게이트 산화막 보전을 감소시키고 게이트 신뢰성을 떨어뜨리는 결과를 가져올 수 있기 때문이다.

[0257] 본 발명의 실시예에 따르면, 평면의 게이트 또는 트랜치 게이트는, 필라 트랜치(2730)가 식각되고 매립되는 구역 상에 활성 채널이 형성되지 않도록 배치된다. 도 27a 내지 도 27c는 평면 게이트 구조의 관점에서 이를 설명하기 위해 사용될 것이나, 본 개념은 트랜치 게이트 구조들에서도 구현될 수 있다. 도 27a 내지 도 27c에서, 세로의 점선으로 된 양방향 화살표들은 트랜치를 에피로 매립하기 전의 트랜치의 경계선들을 가리킨다. 도 27a에 도시된 바와 같이, 활성 폴리 게이트 스트라이프들(2714)은 식각된 트랜치와 오버랩되고, 따라서 게이트 산화막의 보전은 어려워진다. 그러나, 도 27b 및 27c에서, 게이트 폴리(2714) 아래에 놓이는 게이트 산화막의 일부도 식각된 트랜치 위에 연장되지 않도록, 상기 활성 폴리 게이트 너비 및 이격은 식각된 트랜치에 대해 상대적으로 디자인된다. 도 27c가 N-리치한 조건을 나타내므로, 도 27c에서 P-필라(2730)의 너비는 상기 트랜치 경계선들보다 좁은 것에 유의한다.

[0258] 트랜치 에피 매립 전하 균형 기술에서, 딥 트랜치 식각 및 매립 공정들에 의한 패터닝 효과들은 웨이퍼에 걸쳐 또는 심지어 동일한 다이에 걸쳐 불균일한 트랜치 식각 및 매립을 초래한다. 이 불균일성은 일반적으로 다이의 외각 영역들에서 더 많이 관찰된다. 본 발명의 실시예에 따라, 상기 트랜치들은 스크라이브 라인 구역을 통과하여 연장될 수 있으며, 이에 의해 전 웨이퍼에 걸친 상기 트랜치들은 더욱 균일하게 식각되고 매립되고, 따라서 상기 패터닝 효과는 줄어들 수 있다.

[0259] 도 28에 도시된 바와 같이, 트랜치들(2804)은 트랜치들이 통상적으로 형성되지 않는 스크라이브 라인 구역에 형성될 수 있다. 이는 도 29 및 도 30 내의 평면 레이아웃 다이어그램들의 비교로부터 더욱 분명하게 알 수 있다. 도 29는 스크라이브 라인 구역들(2906) 내에 연장된 트랜치들이 없는 것을 보여주는 통상적인 레이아웃 다이어그램이다. 그러나, 도 30에서 종단 트랜치들(2904)이 스크라이브 라인 구역들 내에 형성된다. 이러한 방식으로, 트랜치들은 웨이퍼의 전 표면을 따라서 형성될 수 있고 따라서 패터닝 효과를 없앨 수 있다.

[0260] 도 31 및 도 32는 스크라이브 라인 구역들 내에 연장된 트랜치들의 개념의 두 가지 변형예들을 도시하는 평면 레이아웃 다이어그램들이다. 도 31에서, 활성 트랜치들(3110)은 서로 평행하고, 종단 영역(3104) 내의 트랜치들은 동심의 방식으로 연장될 수 있다. 스크라이브 라인 구역들 내에서, 트랜치들(3110)(즉, “스크라이브 라인 트랜치들”)은 스크라이브 라인이 연장된 방향에 수직으로 연장되어 형성될 수 있다. 즉, 도시된 바와 같이, 수직으로 연장된 스크라이브 라인 영역 내에서 스크라이브 라인 트랜치들(3110)은 수평으로 연장되며, 수평으로 연장된 스크라이브 라인 영역 내에서 스크라이브 라인 트랜치들(3110)은 수직으로 연장된다. 이는 스크라이브 라인 P-필라들 및 N-필라들이 메탈 또는 확산부에 의해 서로 단락될 수 있으며 따라서 플로팅되지 않을 것을 보장한다.

[0261] 또한, 트랜치들(3110)은 메사 갭(3208)이 스크라이브 라인 트랜치들(3110)과 마지막 종단 트랜치의 사이에 형성될 수 있도록 하기 위해 전체 스크라이브 라인 구역에 형성되지 않는다. 메사 갭(3208)은 공핍의 가장자리가 채널 스톱퍼(channel stopper)에 도달하기 전에 멈추고 전기장이 메사 갭 영역에서 종단되는 것을 보장한다. 도 32는 평행-평행 조합으로 결합된 도 31과 동일한 스크라이브 라인 트랜치 디자인을 도시한다.

[0262] 앞서 언급한 바와 같이, 전하 균형 디자인들을 위해 전하 균형이 파괴된 구역들을 갖지 않는 것이 바람직하다. 필라들과 필라 코너들의 사이의 갭들은 국부화된 낮은 BV 지점들이 될 수 있다. 이들 구역들이 상기 활성 구역보다 높은 BV를 갖도록 디자인함으로써, BV 지점 내의 평행 필라들이 상기 활성 구역에 고정되고 따라서 강건한 UIS 성능을 가져오게 된다.

[0263] 트랜치 기반의 전하 균형 소자들에 대해, 활성 구역 평행 필라들과 동심의 필라들의 사이의 갭들은, 갭들 및 필라들이 동일한 전위에서 유지될 때, 최종의 필라 깊이의 중간 지점에서 전하 균형이 얻어지도록 하기 위해 형성될 수 있다. 갭들 및 필라들이 다른 전위들에 있다면, N 리치한 조건을 갖는 갭은 BV를 올릴 수 있다. 평행-동심 디자인들에서 활성 구역 BV를 얻기 위해서, 공통 전위 및 다른 전위 모두의 이들 갭들은 상기 평행 활성 구역 필라 균형 조건의 면에서 더욱 N 리치하거나 덜 P 리치하도록 디자인될 수 있다. 상기 활성 평행 필라들은 활성 평행 필라들에서의 BV를 의도적으로 강화하기 위해서 약간 P 리치하게 디자인될 수 있다. 그러므로, 갭 영역들의 전하 균형 조건은 활성 영역에서의 경우에 비해 높거나 적어도 동일한 브레이크다운 전압을 갖도록 최적화될 수 있다.

[0264] 상기 갭들(도 33에 표시된 스트라이프 갭 및 코너 갭)은 이하와 같이 상기 조건을 만족시키기 위하여 디자인될 수 있다.

- [0265] 기본 치수들(dimensions)
- [0266] 필라 너비 (마스크 패턴 너비) : W_p [μm]
- [0267] 메사 너비 (마스크 패턴 너비) : W_n [μm]
- [0268] 셀 피치 : $W_p + W_n = C_p$
- [0269] 트랜치 깊이 : T_d [μm]
- [0270] 트랜치 각도 : α [radian]
- [0271] CMP Si 제거 : R_{cmp} [μm]
- [0272] 최종 필라 깊이 : $T_d - R_{cmp} = T_p$ [μm]
- [0273] 스트라이프 갭 : $Gap, stripe$ [μm]
- [0274] 코너 갭 : $Gap, corner$ [μm]

[0275] 이와 같은 수치들로, 각 영역의 전하 균형 상태가 계산될 수 있으며 상기 상태들은 비교될 수 있다. $Gap, stripe$ 및 $Gap, corner$ 는 스트라이프 갭 및 코너 갭 영역들에서 평행 활성 영역보다 높은 브레이크다운을 갖는 전하 균형 상태를 얻기 위해 조절될 수 있다. 한 가지 방법은 $Gap, stripe$ 및 $Gap, corner$ 에서 더욱 균형 잡힌 전하 상태를 얻고, 평행 활성 영역에서 P-리치한 전하 상태를 얻는 것이다.

- [0276] 길이 및 면적 계산
- [0277] $L_0 = T_p / \tan \alpha$
- [0278] $L_1 = W_p - R_{cmp} / \tan \alpha$
- [0279] $L_2 = C_p - L_1$
- [0280] $L_3 = Gap, stripe + 2 * R_{cmp} / \tan \alpha$
- [0281] $L_4 = T_p / \tan \alpha$
- [0282] $L_5 = W_p - R_{cmp} / \tan \alpha$
- [0283] $L_6 = C_p - L_5$
- [0284] $L_7 = Gap, corner + 2 * R_{cmp} / \tan \alpha$
- [0285] $H = L_5 * \tan \alpha$
- [0286] $S_1 = L_5 * L_5$
- [0287] $S_2 = S_1 * (H - T_p) / H^2$
- [0288] $S_3 = (T_p / \tan \alpha)^2$
- [0289] $V_2 = (1/3) * H * S_1 - (1/3) * S_2 * (H - T_p)$
- [0290] (S1 및 S2에 의해 둘러싸인 팔면체의 부피)
- [0291] $V_3 = (1/3) * S_3 * T_p$
- [0292] (사각 피라미드의 부피 - 하부 면적 S3)
- [0293] $V_4 = V_5 = (L_5)^2 * T_p - (V_2 + V_3) / 2$

[0294] (사각 피라미드의 부피 - 하부 면적 S4 또는 S5)

[0295] 실제 활성 영역 면적 - Ap 및 An

[0296] $Ap = 0.5 \cdot (L1 + (L1 - L0)) \cdot Tp$

[0297] $An = 0.5 \cdot (L2 + (L2 + L0)) \cdot Tp$

[0298] 스트라이프 겹 영역 부피 - Vps 및 Vns

[0299] $Vps = Vp1 + Vp2$

[0300] $= [Cp \cdot 0.5 \cdot L1 + (L1 - Tp / \tan \alpha) \cdot Tp] + [(1/4) \cdot (1/3) \cdot (2 \cdot L0) \cdot (2 \cdot L1) \cdot Tp]$

[0301] $Vns = Vn1 + Vn2 = [0.5 \cdot L3 + (L3 + 2 \cdot L0) \cdot Tp \cdot Cp] + [(0.5 \cdot L0 \cdot Tp \cdot Cp) - Vp2]$

[0302] 코너 겹 영역 부피 - Vpc 및 Vnc

[0303] $Vpc = Vp3 + Vp4 + Vp$

[0304] $= [(3 \cdot L6 + 2 \cdot L5) \cdot 0.5 \cdot L5 + (L5 - Tp / \tan \alpha) \cdot Tp + V4] + [V2] + [(L7 + L4) \cdot 0.5 \cdot L5 + (L5 - Tp / \tan \alpha) \cdot Tp + V5]$

[0305] $Vns = Vtotal - Vpc$

[0306] $= (L5 + L4 + L7) \cdot (3 \cdot L6 + 3 \cdot L5) \cdot Tp - Vpc$

[0307] 상기 식을 사용하여, 여섯 개의 면적 또는 부피들(Ap, An, Vps, Vns, Vpc, 및 Vnc)이 계산될 수 있다. 각 영역에서의 P/N의 비도 계산될 수 있다(Ap/An, Vps/Vns, Vpc/Vnc - 스트라이프 활성 영역에서의 면적비 Ap/An는 부피비와 동일하다).

[0308] 스트라이프 겹 영역 및 코너 겹 영역의 전하량의 비는 각각 $(Na \cdot Vps) / (Nd \cdot Vns)$ 및 $(Na \cdot Vpc) / (Nd \cdot Vnc)$ 이다.

[0309] 이들 숫자들은 스트라이프 활성 영역의 $(Na \cdot Ap) / (Nd \cdot An)$ 보다 오히려 1에 가깝게 된다. 다시 말하면,

[0310] $1 \geq (Na \cdot Vps) / (Nd \cdot Vns)$ 및 $(Na \cdot Vpc) / (Nd \cdot Vnc) \geq (Na \cdot Ap) / (Nd \cdot An)$

[0311] 또는 $(Na \cdot Ap) / (Nd \cdot An) \leq (Na \cdot Vps) / (Nd \cdot Vns)$ 및 $(Na \cdot Vpc) / (Nd \cdot Vnc) \leq 1$

[0312] 이다.

[0313] 스트라이프 겹 및 코너 겹은 상기 관계들을 만족하도록 결정되어야 한다. 만약 상기 스트라이프 활성 구역의 전하 균형 상태를 알게 되면, 단지 부피비와 비교하여 겹 숫자가 결정될 수 있다.

[0314] 예) P 리치 스트라이프 활성, $Ap/An \geq Vps/Vns$ 및 Vpc/Vnc, N 리치 스트라이프 활성, $Ap/An \leq Vps/Vns$ 및 Vpc/Vnc

[0315] 도 34a 내지 도 34g는 본 발명의 예시적인 실시예에 따른 도 2에 도시된 구조를 형성하기 위한 다양한 공정 단계들에서의 단면도들이다. 도 34a에서, N-에피막(3422)은 공지된 기술들을 이용하여 N+ 기판(3424) 상에 형성되며, 통상적인 후면 실리콘 CMP가 뒤따른다. 도 34b에서, 버퍼(buffer) 산화막(3445)이 에피막(3422) 상에 형성되고, 폴리실리콘막(3443)이 공지된 방법들을 이용하여 형성된다. 후면의 정렬 마크는 도시된 바와 같이 폴리실리콘막(3443)에 형성되며, 도 34c에서 폴리실리콘막(3443) 및 산화막(3445)이 제거된다. 앞면의 실리콘 CMP는 그 다음에 통상적인 방법들을 사용하여 수행된다.

[0316] 도 34d에서, 딥 트랜치들(3437)은 통상적인 마스크 및 실리콘 식각 기술들을 사용해서 형성된다. 도 34e에서, 트랜치들(3437)은 공지된 방법들에 따라 에피택시 실리콘(3439)으로 매립되고, 후-베이킹(post bake)이 뒤따른다. 도 34f에서, 실리콘 CMP는 실리콘 표면을 평탄화하기 위해 수행된다. 도 34g에서, 통상적인 임플란트가 P-링(3420)을 형성하기 위해 실행되고, 필드 산화막(field oxidation) 단계가 수행된다. 다음으로, 공지된 기술들을 이용하여, 게이트 산화막 및 게이트 폴리실리콘이 형성되며, 폴리실리콘이 정의되고 식각되며, 활성 P-

바디 영역들(3438)이 임플란트되고 확산된다(driven). 통상적인 소스 임플란트가 N+ 소스 영역들(3418)을 형성하기 위해 수행되고, 질화물 증착이 이루어진다. 통상적인 고농도 바디 임플란트가 바디 영역들(3438)에 P+ 영역들(3406)을 형성하기 위해 수행된다. 공지된 방법들을 사용하여, BPSG(3417)가 증착 및 리플로우(reflow)되고, 콘택 윈도우들(windows)에서 상기 BPSG, 질화물, 및 게이트 산화막 적층을 통과하여 식각에 의해 콘택 개구들(openings)이 형성된다. 소스 메탈층(3410)이 소스 영역들(3418) 및 고농도 바디 영역들(3406)에 연결되기 위해 형성된다. 후면 드레인 메탈(3428)을 형성하기 위해 추가 공정이 수행될 수 있다. 도 34a 내지 도 34c에 의해 도시되는 공정들은 평면 게이트 FET에 대한 것이지만, 트랜치 게이트 FET를 얻기 위해 본 공정을 변형하는 것은 본 개시의 관점에서 기술분야의 당업자에게 명백할 것이다.

[0317] N 도핑이 실리콘의 깊이를 따라 균일할 때, 트랜치 식각의 결과로 발생된 트랜치의 테이퍼(taper) 때문에, 트랜치 너비가 실리콘 표면으로부터 멀어짐에 따라 감소한다. 그러므로, 트랜치를 따른 P 전하의 양이 감소하여 트랜치의 하부에서 증가된 전하 불균형(적은 P 및 많은 N)에 기인하여 브레이크다운이 낮아진다. 본 발명의 실시예에 따라, 이중-에피(double-epi) 기술이 트랜치의 하부에서의 전하 불균형을 상쇄하기 위해 사용된다.

[0318] 상부 및 하부 에피막들(3504, 3502)에 각각 다른 도핑 농도를 갖는 전하 균형 구조가, 트랜치 프로파일을 고려하며, 도 35a에 도시된다. 도면에 실려 있는 예시적인 수치들과 도핑 농도들의 세트, 및 주어진 트랜치 측벽들(sidewalls)의 표시된 각도에 대하여, 상부 에피막(3504)에서의 에피 도핑 농도가 하부 에피막(3502)보다 높게 함으로써, 개선된 전하 균형 조건이 상부 및 하부 에피막들(3504, 3502) 각각에서 얻어진다. 일 실시예에서, 상기 두 개의 에피막들은 고농도 도핑된 기관(미도시) 상에 형성된다. 상기 구조의 남은 구조적 특징들은 본 명세서에 기술된 다른 평면 게이트 FET들과 유사할 수 있다.

[0319] 도 35b는 단일 에피(single epi) 디자인의 브레이크다운 전압 특성들을 도 35a에 도시된 이중 에피 디자인과 비교한다. 도시된 바와 같이 실질적으로 높은 브레이크다운 전압이 다른 도핑 농도들을 갖는 두 개의 에피막들을 이용하여 얻어진다.

[0320] 두 개 이상의 에피막들이 전하 균형을 목적하는 조건에 더 정확히 맞추기 위해 사용될 수 있다. 만약 상부 에피막(들)이 P-리치한 조건을 유도하기 위해 높은 저항성을 갖도록 만들어지면, JFET 임플란트(N 도펀트들) 또는 에피 JFET가 인접한 웰 영역들 사이의 MOSFET 연결(neck) 영역의 저항을 감소시키기 위해 구현될 수 있다. 도 36은 그러한 소자의 도핑 프로파일을 도시한다. 이 기술에 의해, 상부의 좁은 N-필라 및 하부의 넓은 N-필라가 양호한 Rdson과 함께 얻어질 수 있다.

[0321] 90도보다 작은 측벽들을 갖는 P-에피 매립 트랜치는 필라의 상부에서 $Q_p > Q_n$ 이고, 하부에서 $Q_p < Q_n$ 인 전하 균형 조건들을 제공하며, 이는 UIS 목적들을 위해 바람직하다. 이러한 조건은 하부에서의 불완전하거나 적은 공핍에 기인한 바디 다이오드의 유연한 역회복(reverse recovery) 특성 및 Rdson을 위해서도 바람직하다. 일 실시예에서, 이러한 조건은 하부에서 낮은 도핑을 갖는 단계적(또는 스텝(step)) N 에피 프로파일을 형성함으로써 얻어진다. 다른 실시예에서, 상기 트랜치는 증가하는 P 도핑 프로파일을 갖는 단계적 SEG 에피 성장을 이용하여 매립된다.

[0322] 트랜치 수퍼-접합 공정에서, 정렬 마크들은 딥 트랜치들이 상기 트랜치 식각 후 형성되는 영역들 및 다양한 막들에 적절히 배열되는 것을 보장하기 위해 필요하다. 그러나, 에피로 트랜치를 매립한 후, 매끄럽고 평탄한 상위 표면을 형성하기 위해 평탄화 단계가 필요하다. 만약 정렬 마크가 웨이퍼의 앞면에 형성되면, 상기 평탄화 공정 중에 제거될 것이다. 본 발명의 예시적인 실시예에 따르면, 정렬 마크들이 트랜치들을 형성하기 전에 웨이퍼의 후면에 형성되고, 상위 표면의 평탄화가 완료된 후에 상기 정렬 마크들이 상면으로 이동하는 기술이 사용될 수 있다. 이러한 기술의 하나의 구현은 도 37에 제공된 공정 순서에 도시된다.

[0323] 도 37에서, 폴리실리콘 후면 밀봉(back seal)(3704)을 갖는 실리콘 기관(3702)이 제공된다. 정렬 마크들(3716)은 공지된 기술들을 사용하여 후면 폴리실리콘(3704)에 형성된다. 산화막(3708)은 공지된 방법들을 사용하여 후면 폴리실리콘(3704) 상에 형성되며, 통상적인 에피 증착 공정이 상면에 에피막(3706)을 형성하기 위해 사용된다. 산화막은 공지된 기술들을 사용하여 에피막(3706) 상에 형성될 수 있으며, 딥 트랜치들(3710)이 통상적인 포토 리소그래피(photo lithography) 및 식각 공정들을 이용하여 에피막(3706)에 형성된다. 그 다음에 트랜치들(3710)은 공지된 기술들을 이용하여 에피 물질(3714)로 채워진다. 앞면의 통상적인 CMP가 상면을 따라 표면을 평탄화하기 위해 수행된다. 다음으로, 후면 정렬 마크들(3710)이 상면 정렬 마크들(3712)로 도시된 것과 같이 앞면으로 이동된다. 도 34a 내지 도 34c와 관련하여 설명된 것들과 유사한 공정 단계들이 소자의 남은 막들 및 영역들을 형성하기 위해 사용될 수 있다.

- [0324] 도 38은 상기 정렬 마크들을 웨이퍼의 후면에서 앞면으로 옮기는데 사용되는 장비의 개략도를 도시한다. 도시된 바와 같이, 좌측 거울(3802)은 후면의 정렬 마크(3808)의 상을 우측 거울(3818)로 렌즈(3810)를 통해 투사하고, 우측 거울(3818)은 순서대로 후면 정렬 마크(3808)의 상(3814)을 웨이퍼(3804)의 상면을 따라서 채용 가능하도록 만든다. 후면 정렬 마크(3808)의 상대적인 위치들 및 그 투사 상(3814)을 알면, 정렬 마크들은 후면 마크들과 정렬되어 상면에 형성될 수 있다.
- [0325] 딥 트렌치 식각 및 매립 공정에서, P-필라들 내의 결정 결함들(crystal defects)은 누설(leakage)의 근원들이 될 수 있다. 본 발명의 실시예에 따라, 더 견고한 매립 및 실리콘 이동(silicon migration)에 의한 P-필라들의 결정화를 제공하기 위해 후-베이크 공정이 에피로 트렌치들을 매립한 후에 실행될 수 있다. 도 39a 및 도 39b는 이들 공정 단계들의 단면도이다. 도 39a에서, 상기 트렌치들은 공지된 기술들을 이용하여 P-타입 에피 물질(3908)로 매립된다. 그러나, 도시된 바와 같이 에피 매립(3908)의 중심 부분은 처리되지 않는 경우 누설 전류를 발생할 수 있는 결정 결함들을 갖는다. 도 39b에서 실리콘 이동을 발생시키는 후-베이크 단계가 수행되어 더 견고한 에피 매립(3910)이 얻어진다.
- [0326] 일 실시예에서, 후-베이크 단계는 N₂, Ar, 또는 H₂와 같은 불활성 분위기에서 약 30분에서 150분 범위의 시간 주기에 대해, 1150도에서 1250도 범위의 온도로 수행될 수 있다. 하나의 특정한 실시예에서, 후-베이크가 N₂ 가스에서 60분 동안 1200도의 온도로 수행되어 좋은 결과들이 얻어졌다. 다른 실시예에서, 후-베이크의 높은 온도 및 지속 시간이 소스 및 바디 영역들에 불리하게 영향을 주지 않도록 하기 위해서 후-베이크 공정은 상기 바디 및 소스 영역들을 형성하기 전에 수행될 수 있다.
- [0327] 높은 중형비를 갖는 트렌치들을 매립하는 데 있어서의 과제는 트렌치에 보이드들의 형성을 피하는 것 또는 트렌치의 상위 코너들을 따른 국부적인 성장에 기인한 트렌치의 상위를 따른 조기 에피 종결(premature ep closure)을 방지하는 것이다. P-필라들 내의 보이드들 및 심들(seams)은 누설을 초래할 수 있다. 본 발명의 실시예에 따라, 트렌치들을 정의하기 위해 사용하는 포토 단계 중에 온-축(on-axis) 대신 오프-축(off-axis)이 되도록 웨이퍼를 회전(rotate)시킴으로써, 심 및 보이드 없는 에피 매립이 얻어질 수 있다. 일 실시예에서, 45도의 웨이퍼 회전이 사용된다. 선택적인 실시예에서 회전된 스타팅(starting) 웨이퍼가 사용된다. 심들 및 보이드들을 제거하는데 더하여, 상기 웨이퍼 회전은 에피 성장 속도를 증가시킨다. 일 실시예에서, 회전된 기판이 사용된다. 도 40은 그 플랫(flat)(4004)에 대하여 웨이퍼(4002)의 45도 회전을 도시한다. 도 41a는 웨이퍼 회전이 사용되지 않은 경우의 실리콘 결과들을 도시한다. 필라들의 중심에서 보이드들(4102)이 관찰될 수 있다. 도 41b는 웨이퍼 회전이 사용된 경우의 실리콘 결과들을 도시한다. 트렌치들에서 보이드들 및 심들이 관찰되지 않을 수 있다.
- [0328] 도 42a 및 도 42b는 온-축 및 오프-축 웨이퍼 시나리오들에 대한 결정 방향을 도시한다. 온-축 시나리오(즉, 비회전 웨이퍼)에서, 트렌치 측벽들을 따른 결정 방향은 트렌치 하부 표면 및 메사 표면들을 따른 방향과 다르다. 결정 방향들에서의 미스매치(mismatch)는 트렌치에서 불균일한 실리콘(4204)의 성장을 가져올 수 있다. 대조적으로, 오프-축 시나리오(즉, 회전 웨이퍼)에서, 결정 방향은 수직 및 수평 표면들을 따라 일치된다. 이는 모든 방향들에서 균일한 에피 성장 속도 및 이에 따라 온-축 웨이퍼의 경우보다 훨씬 향상된 P-필라들의 매립 프로파일을 가져온다.
- [0329] 트렌치들이 높은 중형비를 갖는 통상의 트렌치 에피 매립 공정들에서, 에피 성장 중에, 높은 중형비 트렌치들 매립에서의 가스 전송 현상들에 기인해서, 상부 트렌치 측벽들 및 상부 코너들을 따른 상기 에피막은 하부 트렌치 측벽들보다 더 빠른 속도로 성장한다. 본 발명의 실시예에 따르면, 에피 물질로 균일 방식으로 딥 트렌치들을 균일하게 매립하기 위해서 다중 단계 에피 매립 및 식각 공정이 이용될 수 있다.
- [0330] 도 43은 본 발명의 실시예에 따른 다중-에피 증착 및 식각 단계들을 이용한 예시적인 트렌치 매립 공정을 도시한다. 도 43에서, 가장 왼쪽의 SEM 사진은 트렌치 식각 바로 후의 트렌치들을 보여준다. 오른쪽 다음 SEM 사진은 제 1 통상의 에피 증착 공정이 수행된 후의 트렌치들을 보여준다. 도시된 바와 같이, 상기 에피는 상부 트렌치 측벽들 및 상부 트렌치 코너들을 따라 두껍게 성장된다. 그러나, 다음 단계에서 에피 식각 공정이 수행되며, 증착된 에피의 다른 영역들보다 상부 트렌치 측벽들 및 코너들을 따라 증착된 에피에서 더 많은 양이 제거된다. 제 1 식각 후에, 제 2 에피 성장의 단계가 수행되고 제 2 식각 단계가 뒤따른다. 제 3 에피 증착이 수행되고, 우측 끝의 SEM 사진에 나타나는 바와 같이, 트렌치들은 보이드들 또는 심들의 형성 없이 에피로 완전하게 매립된다. 상기 SEM 사진들 위의 타임 라인(time line)은 증착 및 식각 순서들과 해당하는 온도들을 도시한다.
- [0331] 이 공정 순서는 도 44a 내지 44f에 보다 분명하게 도시된다. 도 44a는 다중 단계 에피 공정의 시작 전의 트랜

치(4404)를 도시한다. 도 44b에서 제 1 에피 증착이 수행되며 에피(4406A)는 불균일한 방식으로 성장한다. 도 44c의 단계에서 수행되는 에피 식각은 증착된 에피의 부분들을 제거해서, 잔존하는 에피(4406B)는 상대적으로 균일한 두께를 갖는다. 도 44d 및 도 44e에서, 제 2 에피 증착 및 제 2 에피 식각이 수행되어, 제 2 에피 식각 후의 잔존하는 에피막(4406D)이 상대적으로 균일한 두께를 갖는다. 도 44f에서 트렌치(4404)를 완전히 매립하기 위해 마지막 에피 증착이 수행된다. 트렌치 중형비 및 다른 공정 고려 사항들에 따라서 두 번 또는 세 번 이상의 증착-식각 순서들이 사용될 수 있다.

[0332] 상기 식각 단계들은 HCl을 사용하여 수행될 수 있으며, 이는 트렌치 코너들에서 에피막의 다른 부분들보다 에피막의 두꺼운 부분을 더 빠른 속도로 제거할 수 있다. 따라서, 트렌치 에피 매립(trench epi fill)에서 결함 없고, 보이드 없고, 고도로 제어 가능한 도핑 농도가 얻어질 수 있다.

[0333] 증착-식각-증착 트렌치 매립 공정 중의 반복되는 트렌치 측벽들의 인시추(in-situ) HCl 식각제에 대한 노출은 실리콘 결정에 손상을 가져올 수 있다. 만약 결정이 증착 단계 이전에 “수선(repaired)” 되거나 “치료(healed)” 되지 않는다면, 계면 및 성장된 에피막에 결함들이 형성될 수 있다. 본 발명의 실시예에 따르면, HCl 식각 사이클의 끝에(다음 증착 단계 이전에) 수소 분위기에서의 고온의 어닐링(annealing)은 이들 결함들의 발생을 감소시키거나 제거할 수 있으며, 따라서 누설 전류를 줄인다.

[0334] 도 45a는 트렌치 식각 후의 트렌치의 TEM 사진을 보여준다. 트렌치 측벽들을 따라 격자 손상(lattice damage)이 보여질 수 있다. 도 45b는 수소 분위기에서 고온의 어닐(anneal)이 수행된 후의 트렌치 측벽 표면을 보여준다. 도시된 바와 같이, 격자 손상은 치료되고 트렌치 코너는 라운드(round)된다. 도 45c는 트렌치 측벽들 및 바닥을 따라 에피막(4504)이 성장된 후의 TEM 사진이다. 상기 트렌치 측벽들과 에피(4504)의 사이 계면이 점선에 의해 표시된다. 또 다시, 트렌치 측벽들과 새로 성장된 에피막(4504)의 사이 계면에 결함이 관찰되지 않는다. 증착 및 식각 사이클들은 상기 에피막의 식각 후에 각 에피막의 표면을 따라 결함들을 제거하기 위하여 중간 어닐 단계들을 가지며 반복될 수 있다. 전력 FET의 모든 다른 영역들 및 막들이 본 명세서에 설명된 기술들 중의 어느 하나를 이용하여 형성될 수 있다.

[0335] 트렌치의 중심에서 보이드들의 생성을 피하거나 상위 트렌치의 코너들에서 조기 에피 종결을 방지하는데 고도로 효과적인 본 발명의 실시예에 따른 기술은, 증착 단계에 전체에 걸쳐 HCl의 흐름을 램핑(ramping)하는 것이다. HCl의 흐름을 램핑하는 것은 트렌치의 상부에서 과도한 실리콘 성장을 억제할 수 있으며 트렌치의 상부부터 하부까지 균일한 성장을 가능하게 한다. 이는 트렌치를 균일하게 매립하기 위해 필요한 에피 증착 및 식각 단계들의 횟수를 감소시킬 수 있다.

[0336] 사용 가능한 장비들의 성능을 이용하여, HCl 가스는, 높은 성장 속도들이 바람직한 초기 트렌치 매립 중의 작은 흐름(예컨대, 10 cc)에서부터, 트렌치의 중심에서의 보이드들의 발생 및 펀치-오프를 피하기 위해 상부 트렌치 코너들에서의 에피 성장이 억제되는 트렌치의 마지막 종결에서의 큰 흐름(900 cc)까지 램핑될 수 있다.

[0337] 도 46a는 트렌치들(4602)의 50 μ m 식각 후의 SEM 사진이다. 도 46b는 HCl 없이 에피 증착 단계가 수행된 후 트렌치들(4604)의 SEM 사진을 보여준다. 도시된 바와 같이, 에피 매립은 트렌치(4604)의 상부 근처에서 종결되며 따라서 각 트렌치에 보이드를 형성한다. 대조적으로, 도 46c에 도시된 바와 같이, 램핑되는 HCl 흐름을 이용하여 증착 공정이 수행되는 경우, 에피막이 트렌치들(4604)의 상부에서의 종결 없이 트렌치 측벽들을 균일하게 형성한다.

[0338] 도 47은 에피 증착 중 HCl이 사용되지 않은 경우에 더하여, 다양한 HCl 흐름 속도들에 대한 실리콘 성장 속도 대 트렌치 위치를 도시하는 그래프이다. 점선의 커브는 HCl이 사용되지 않은 경우에 해당한다. 모든 다른 커브들은 그래프에 표시된 바와 같은 다양한 HCl 흐름 속도들 및 다른 공정 파라미터들에 해당한다. 점선 커브에 의해 도시된 바와 같이, HCl이 없는 경우, 트렌치의 상부와 하부 사이에서 에피 성장 속도의 차이가 클 수 있다. 반대로, 램핑되는 HCl이 사용된 다른 모든 경우들에서, 에피 성장 속도는 HCl이 사용되지 않은 경우처럼 트렌치 깊이를 따라 크게 변화하지 않는다. 상기 그래프의 좌측으로 실질적으로 균일한 에피 성장을 가져오는 것이 발견된 에피 증착 공정에서의 다른 파라미터들의 수치 값들이 제공된다. 본 발명은 이들 수치 값들에 한정되지 않는다; 다른 공정 기술들은 균일한 에피 증착을 얻기 위해서 도 47에 옆에 실린 것들과 다른 값들을 요구할 수 있다.

[0339] 본 발명의 특정한 실시예들의 완전한 설명이 상기에 제공되었지만, 다양한 변경들, 대안들 및 등가물들이 가능하다. 예를 들어, 본 발명의 일부 실시예들은 평면의 게이트 MOSFET들의 관점에서 설명되었지만, 동일한 기술들은 단순히 도면들에 도시된 것들로부터 기관의 극성을 반대로 함으로써 평면의 게이트 IGBT들과 같은 다른 평

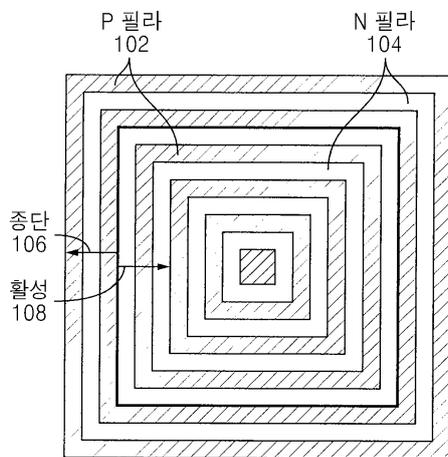
면-게이트 구조들에 쉽게 적용될 수 있을 것이다. 유사하게, 구조들 및 공정 순서들의 일부는 N-채널 FET들의 관점에서 기술되었지만, P-채널 FET들을 형성하기 위한 이들 구조들 및 공정 순서들의 변경은 본 개시의 관점에서 기술분야의 당업자에게 명백할 것이다. 또한, 본 명세서에 공개된 다양한 기술들은 평면의 게이트 구조들에 한정되지 않으며 트랜치 게이트 MOSFET들, 트랜치 게이트 IGBT들(트랜치 게이트들을 갖는), 차폐형(shielded) 게이트 MOSFET들 또는 IGBT들(아래에 놓인 차폐형 전극(들)과 트랜치 게이트들을 갖는), 및 정류기들(rectifiers)(쇼트키(schottky) 정류기들, TMBS 정류기들 등을 포함하는)에서 구현될 수 있다.

[0340]

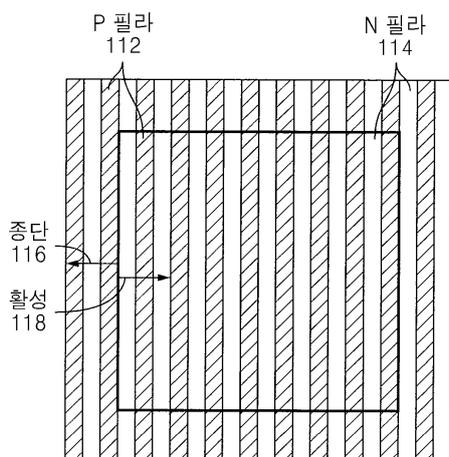
덧붙여, 각 실시예에 대해 구체적으로 명시하지는 않았지만, 복수의 종단 디자인들 및 전하 균형 기술들을 포함하는 다양한 실시예들이 도 1a 내지 도 1c에 도시된 어느 세 개의 레이아웃 조합들에서도 구현될 수 있다. 유사하게, 복수의 종단 디자인들 및 전하 균형 기술들을 포함하는 본 명세서에 개시된 복수의 실시예들은 트랜치 에피 매립 전하 균형 공정 기술에 대한 구현에 한정되지 않으며, 다중-에피 필라 공정 기술에서도 구현될 수 있다. 그러므로, 이러한 이유 및 다른 이유들로, 상기 설명은 본 발명의 범위를 제한하지 않으며, 본 발명은 부가된 청구항들에 의해 규정된다.

도면

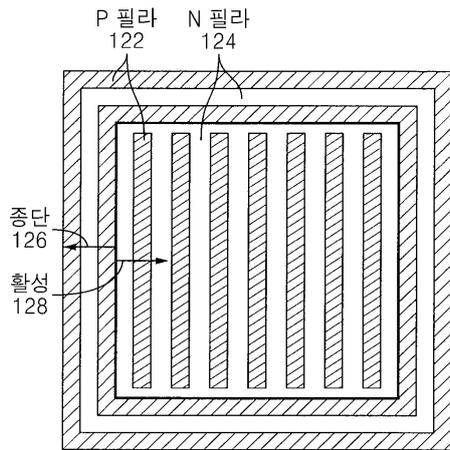
도면1a



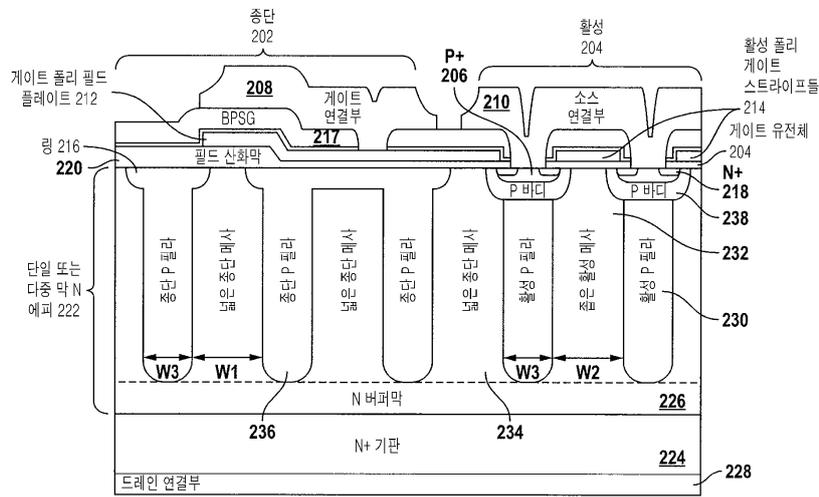
도면1b



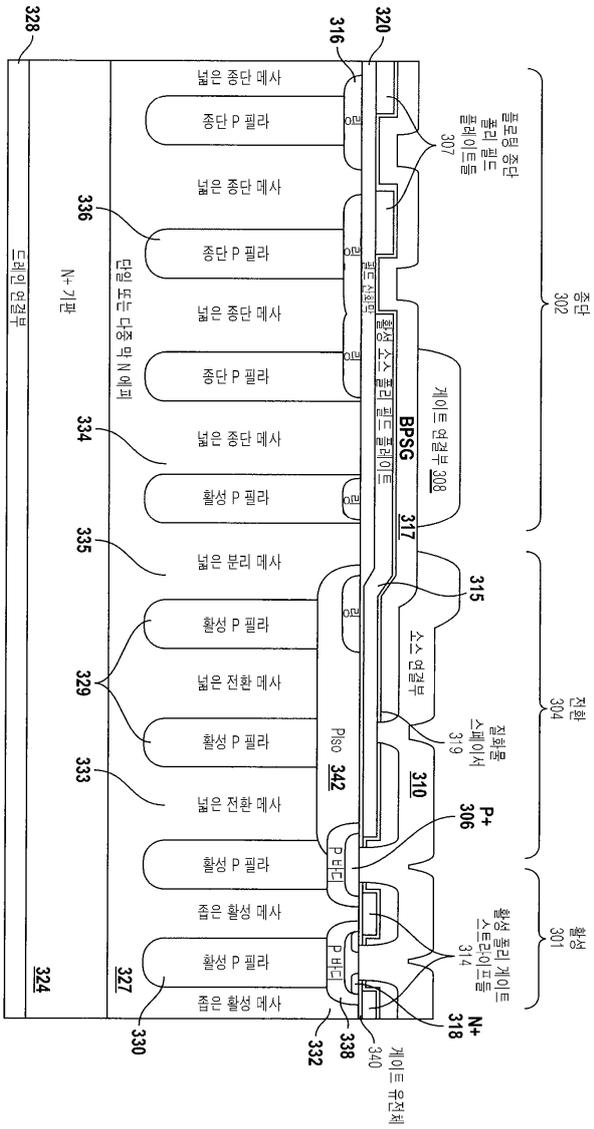
도면1c



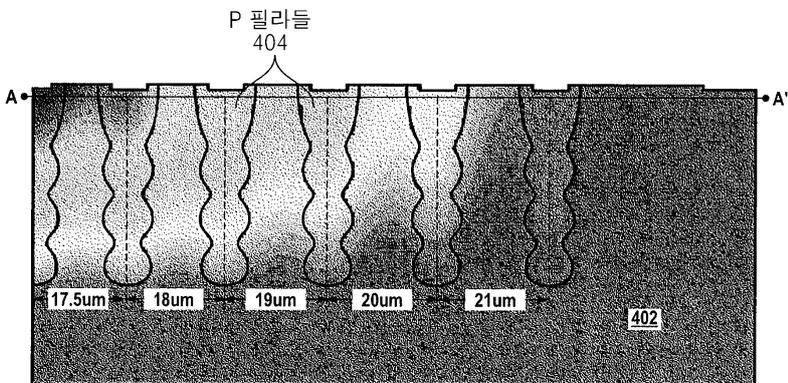
도면2



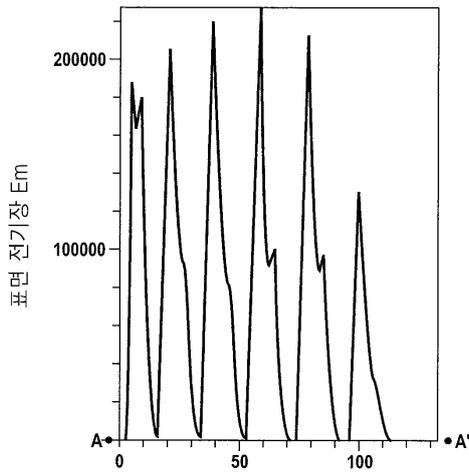
도면3



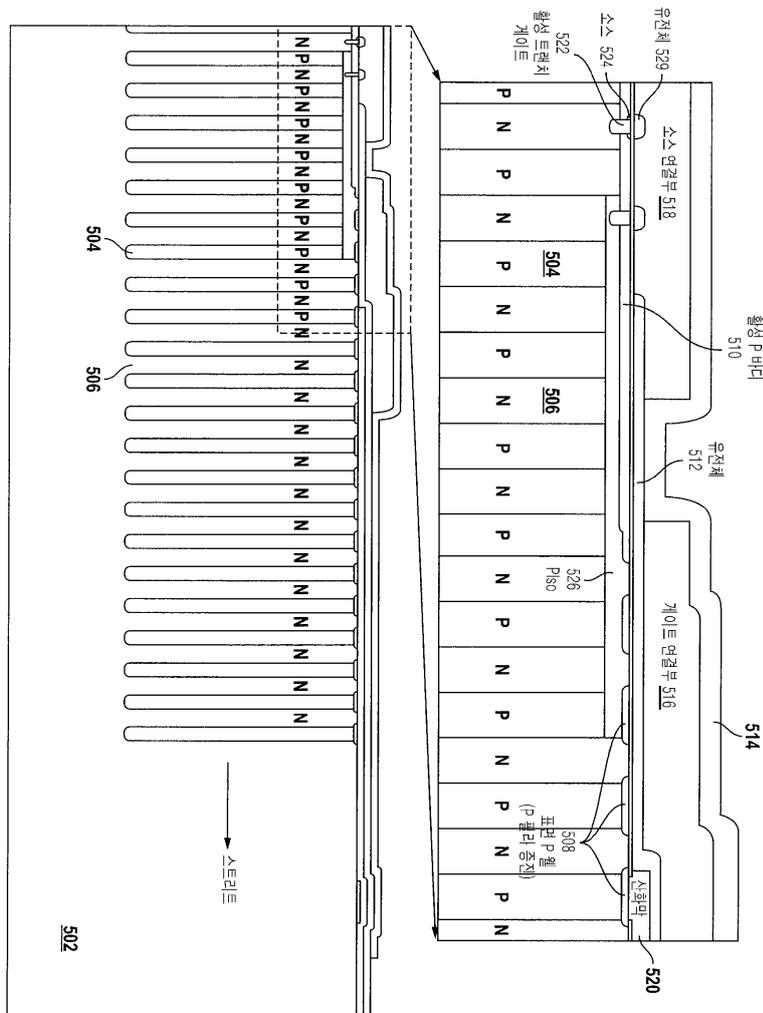
도면4a



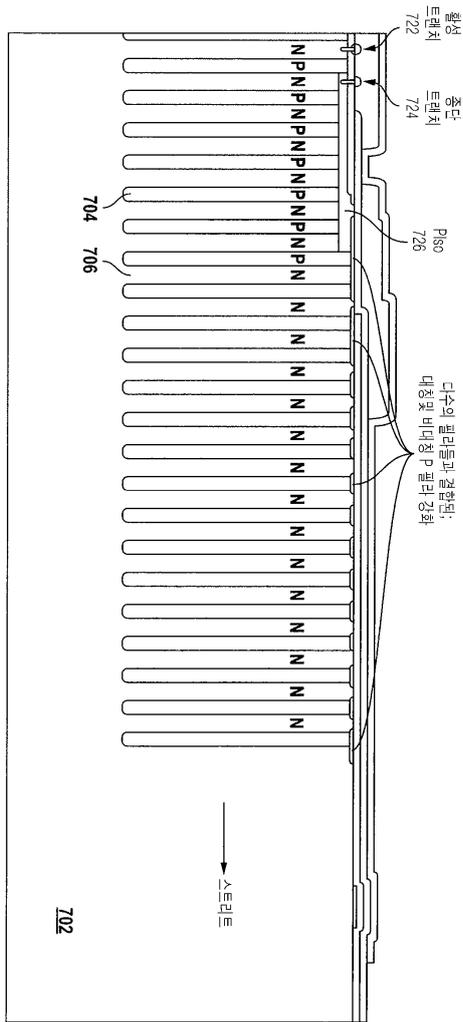
도면4b



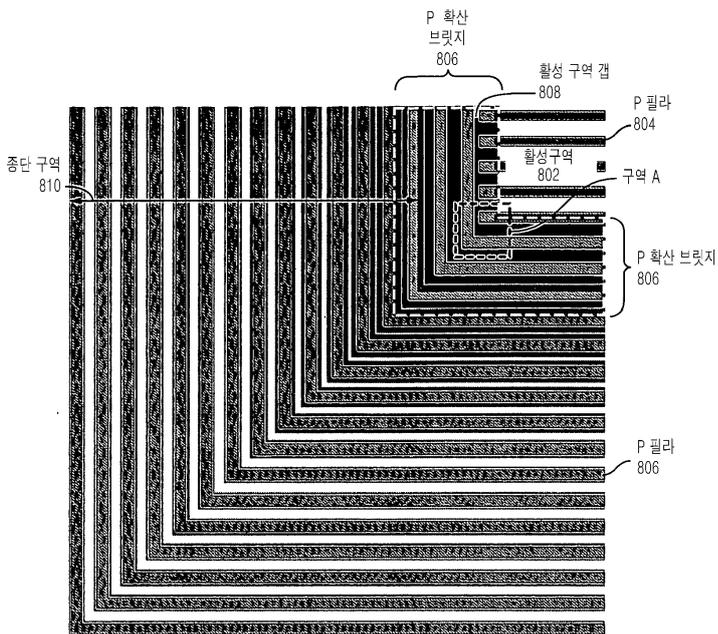
도면5



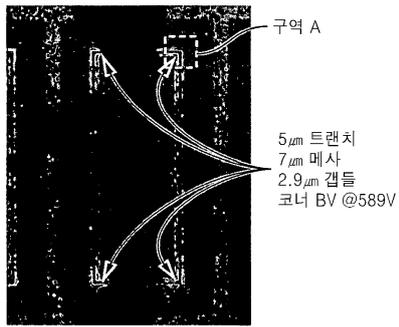
도면7



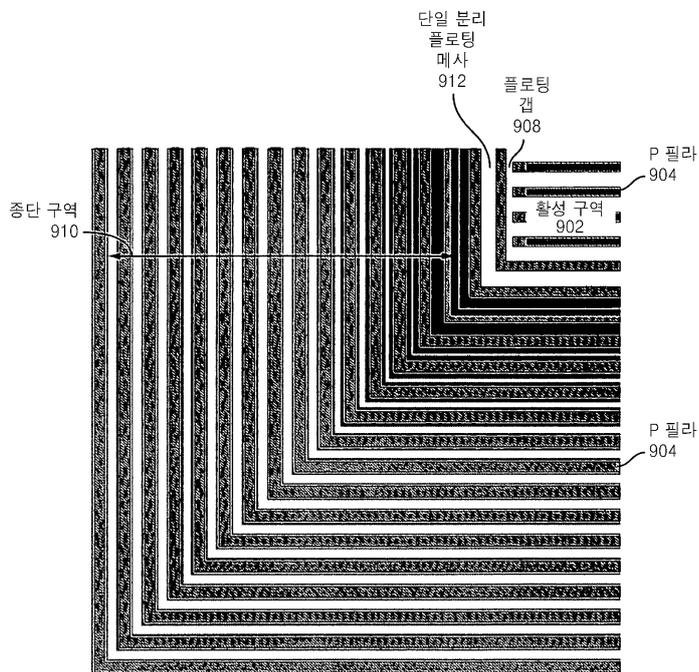
도면8a



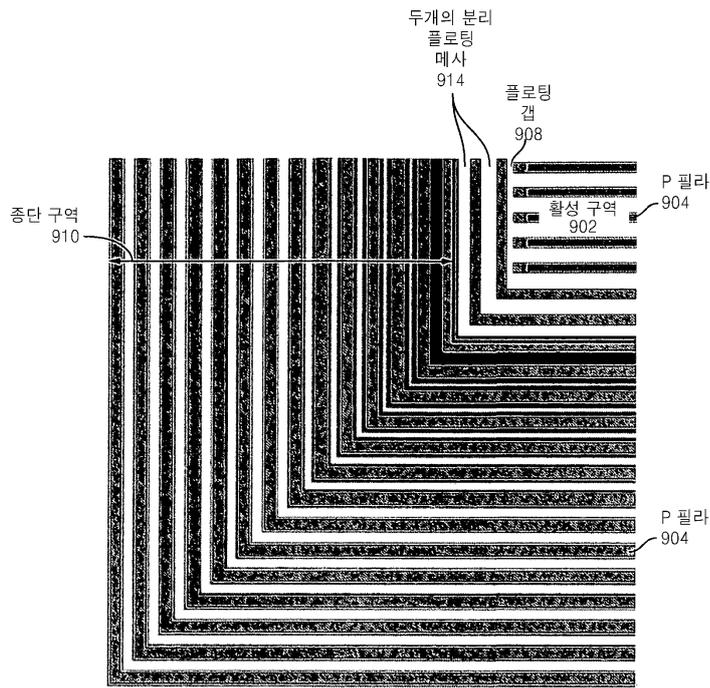
도면8b



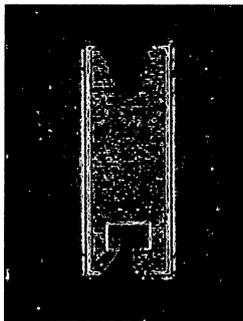
도면9a



도면9b

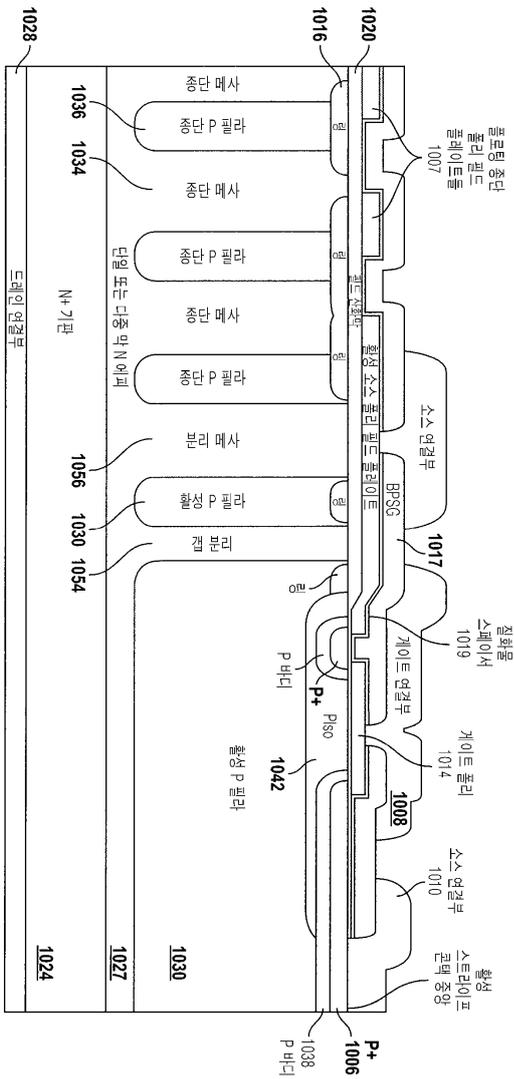


도면9c

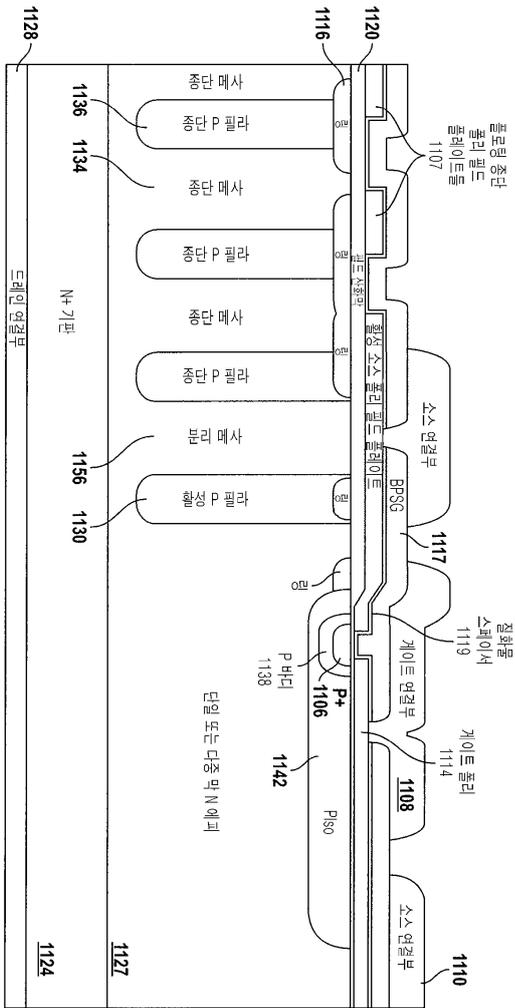


5 μ m 트랜치
 7 μ m 메사
 2.9 μ m 갭들
 균일 활성 구역
 BV @645V

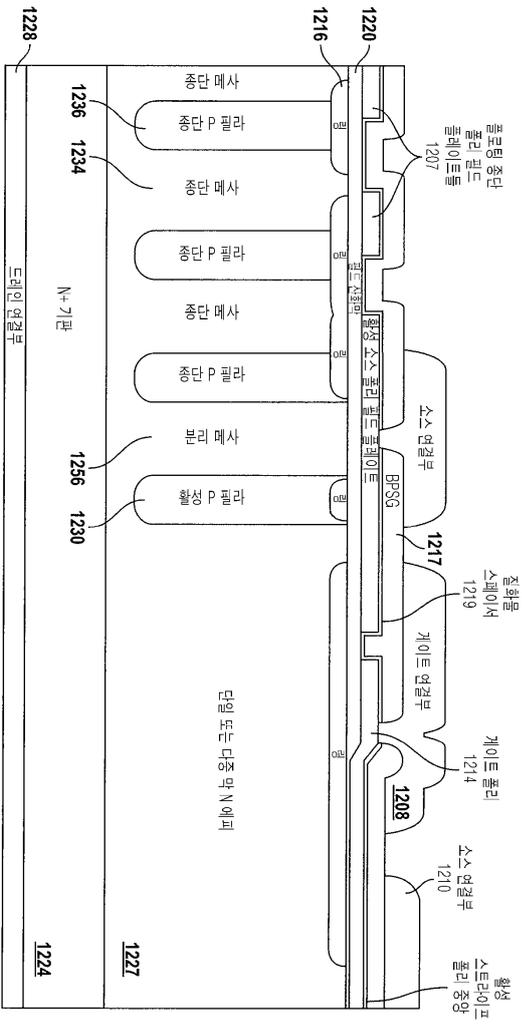
도면10



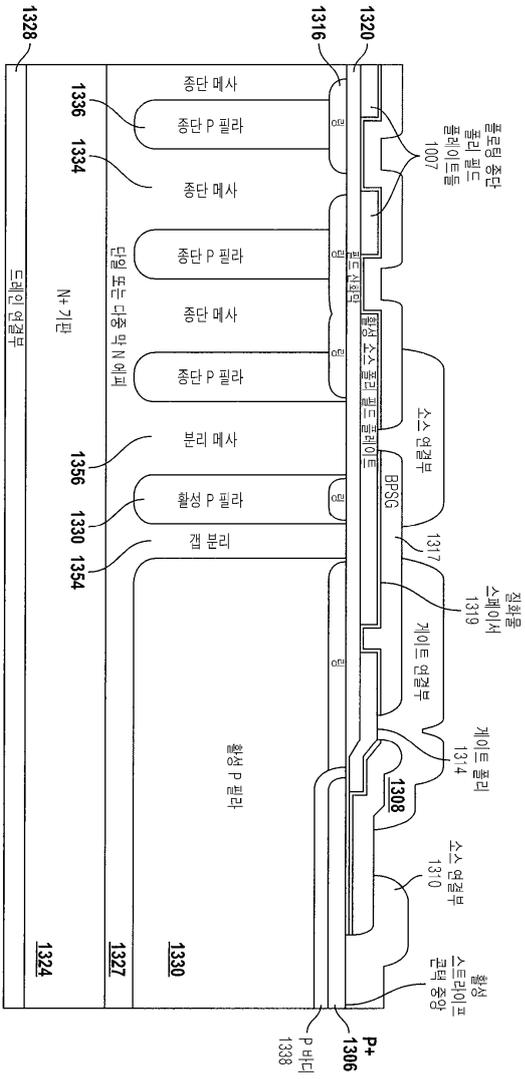
도면11



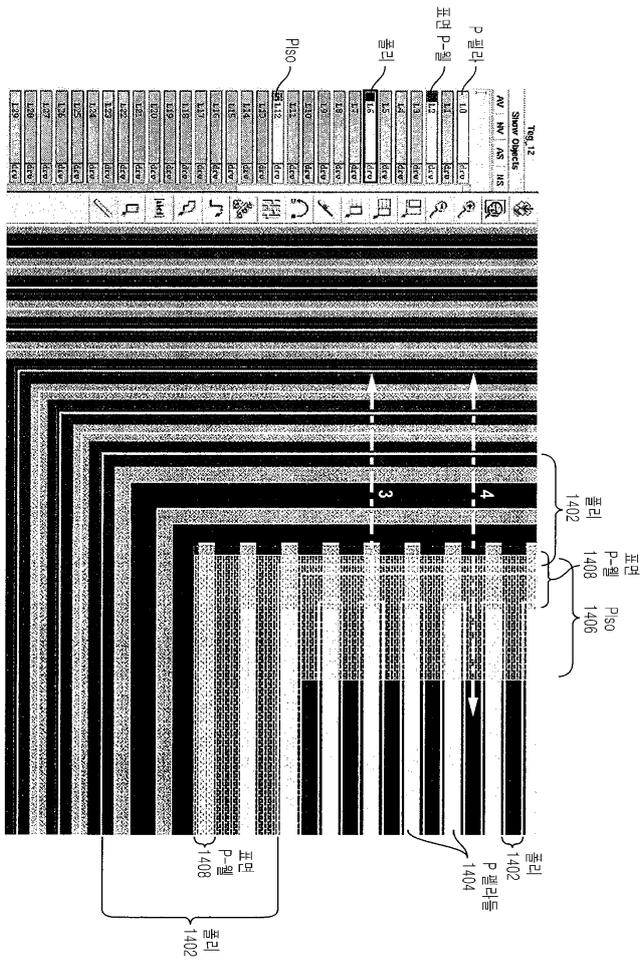
도면12



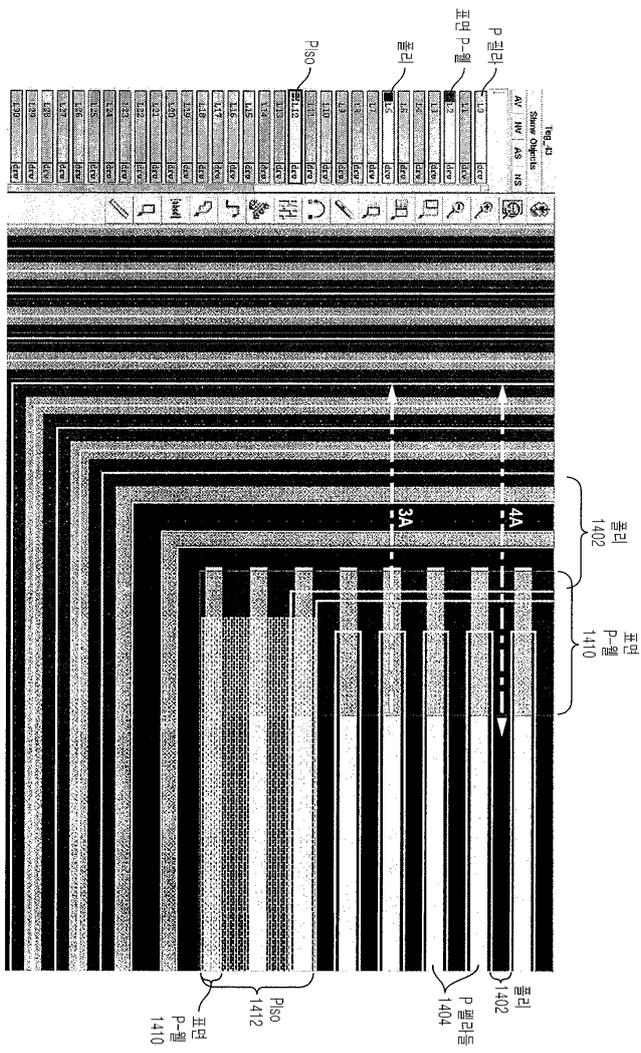
도면13



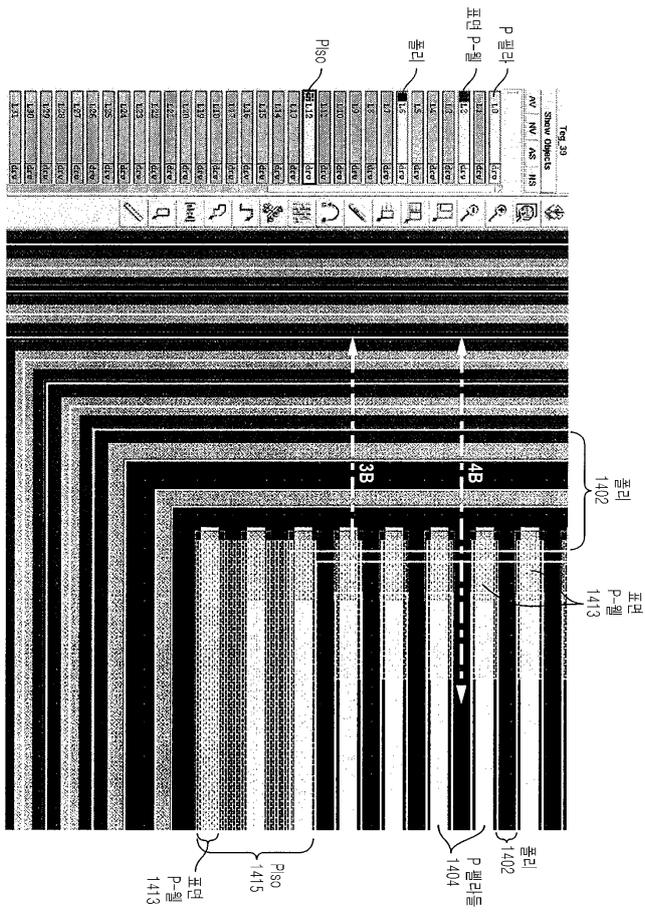
도면14a



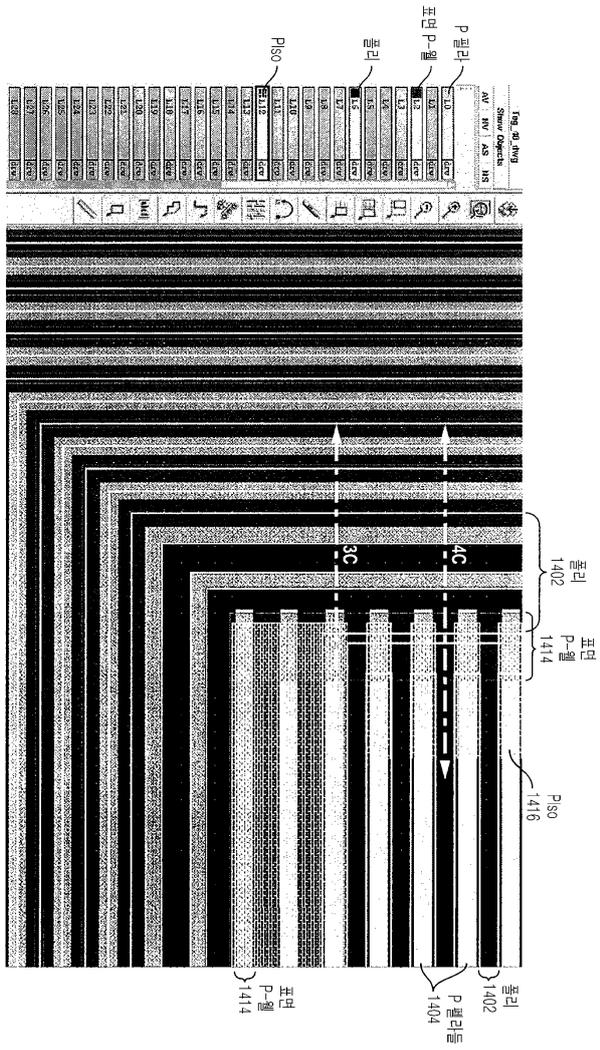
도면14b



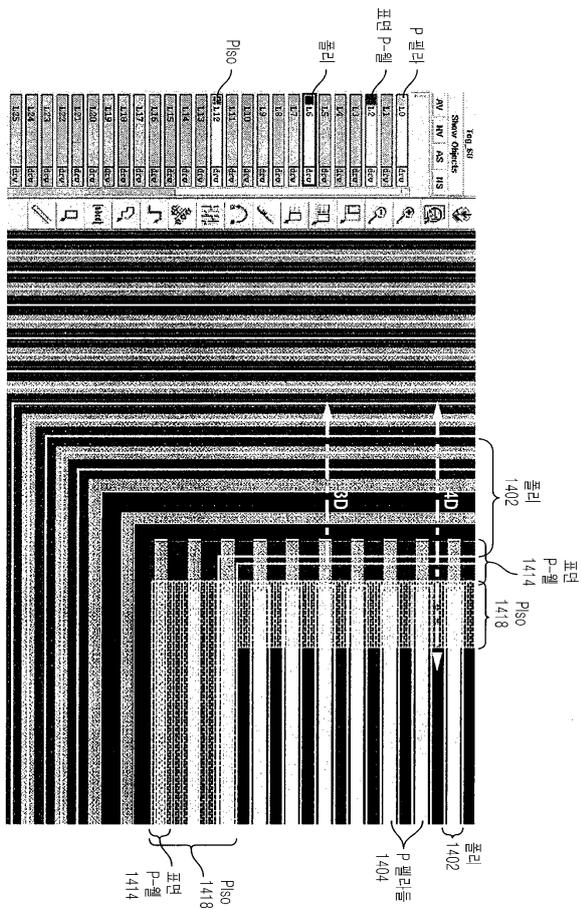
도면14c



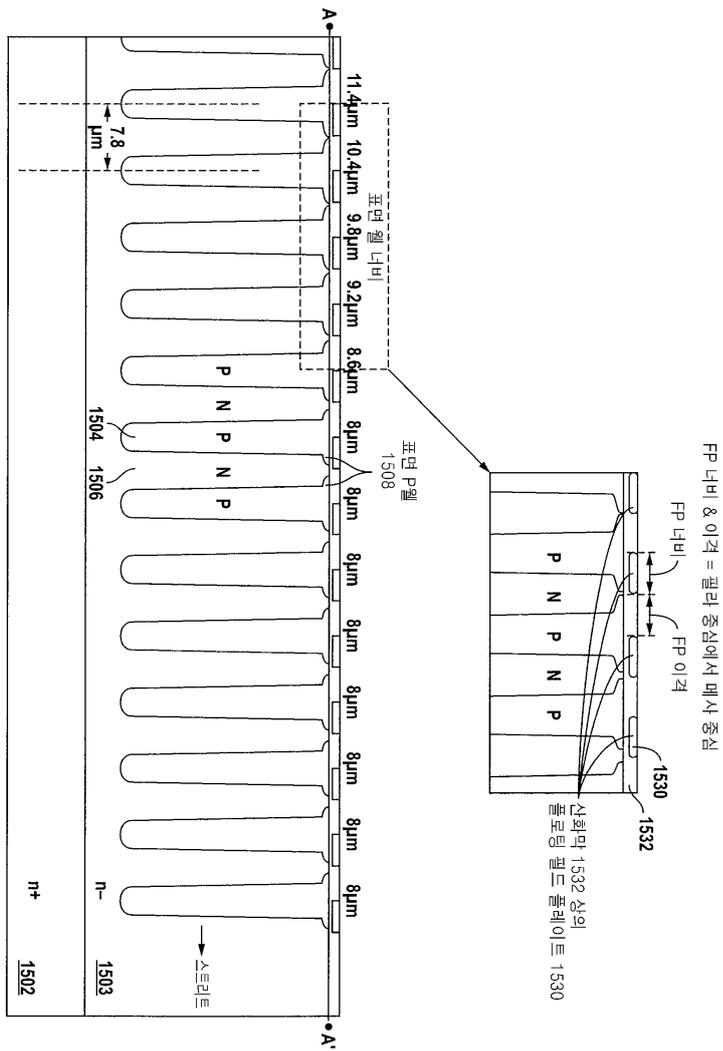
도면14d



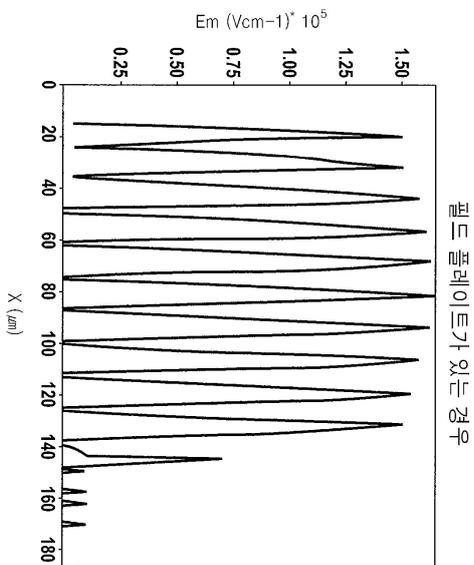
도면14e



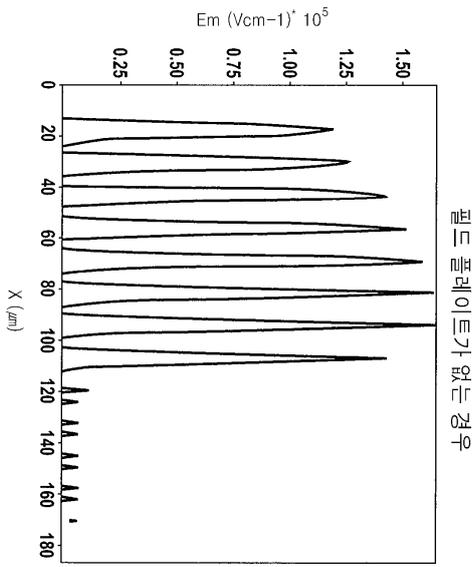
도면15



도면16a

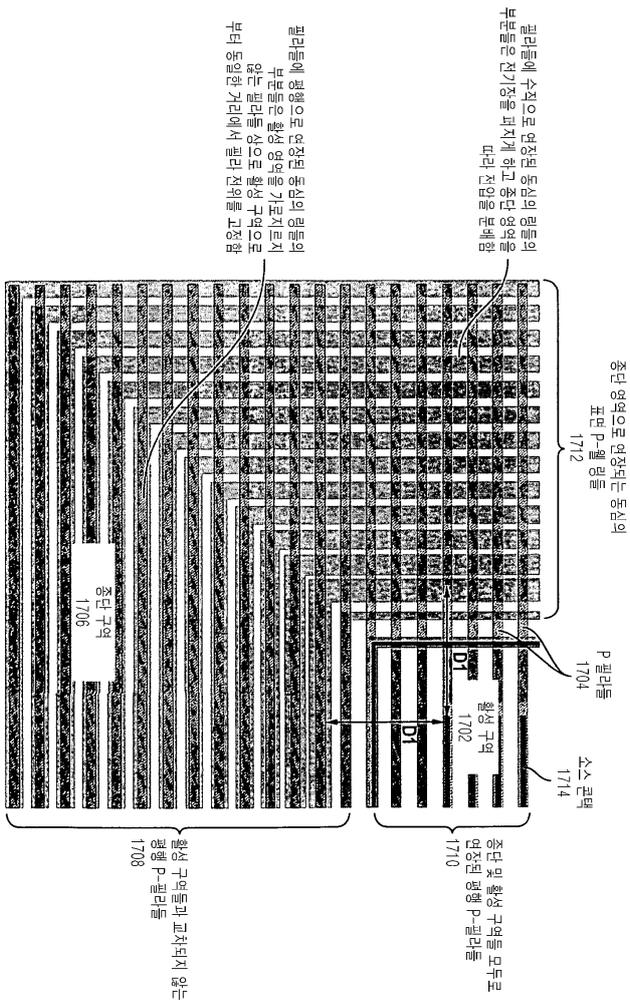


도면16b

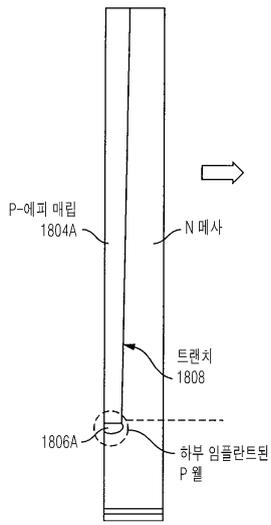


필드 플레이트가 없는 경우

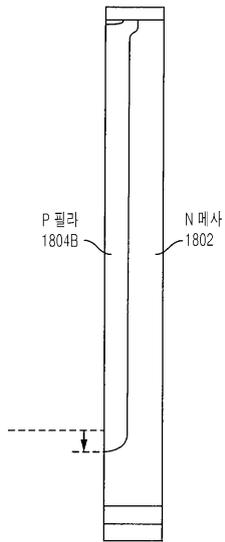
도면17



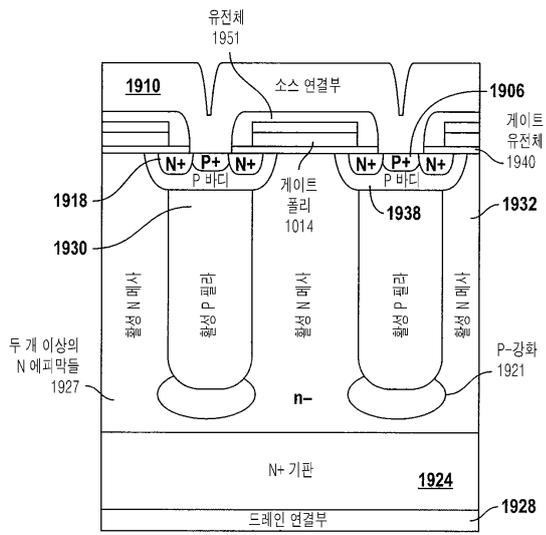
도면18a



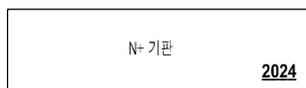
도면18b



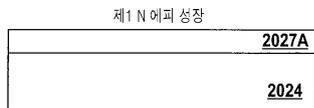
도면19



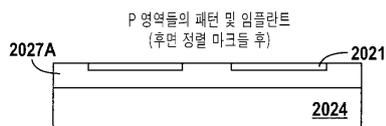
도면20a



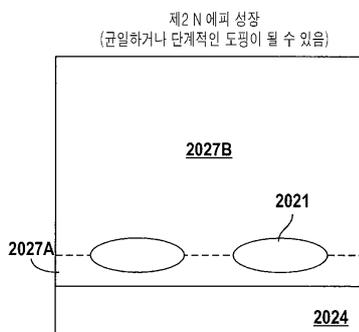
도면20b



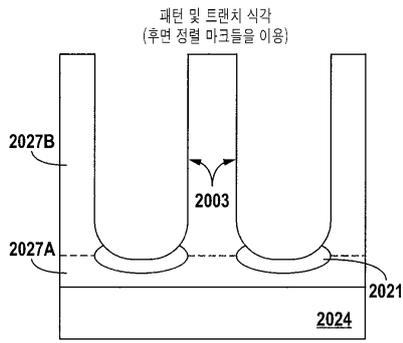
도면20c



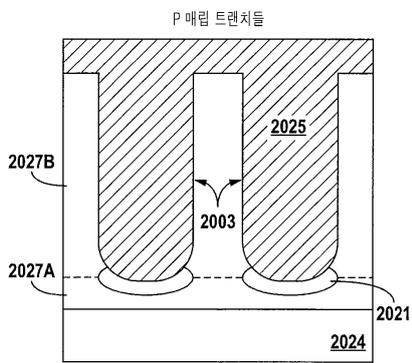
도면20d



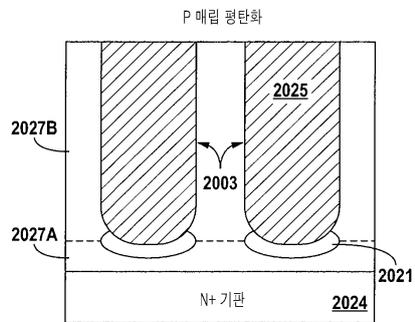
도면20e



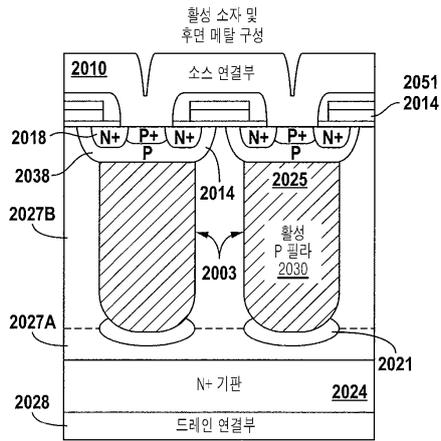
도면20f



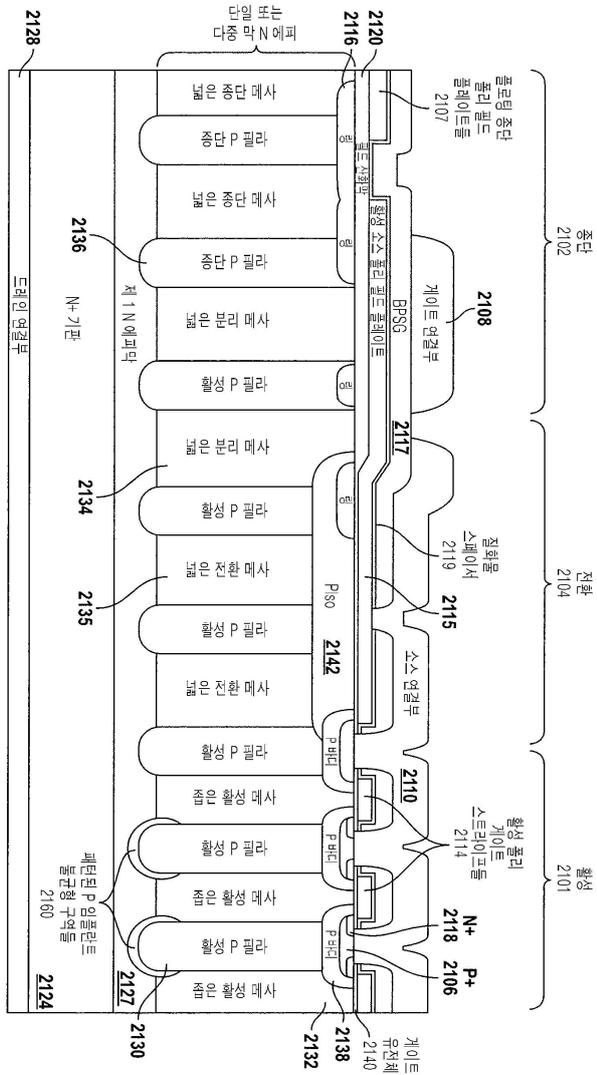
도면20g



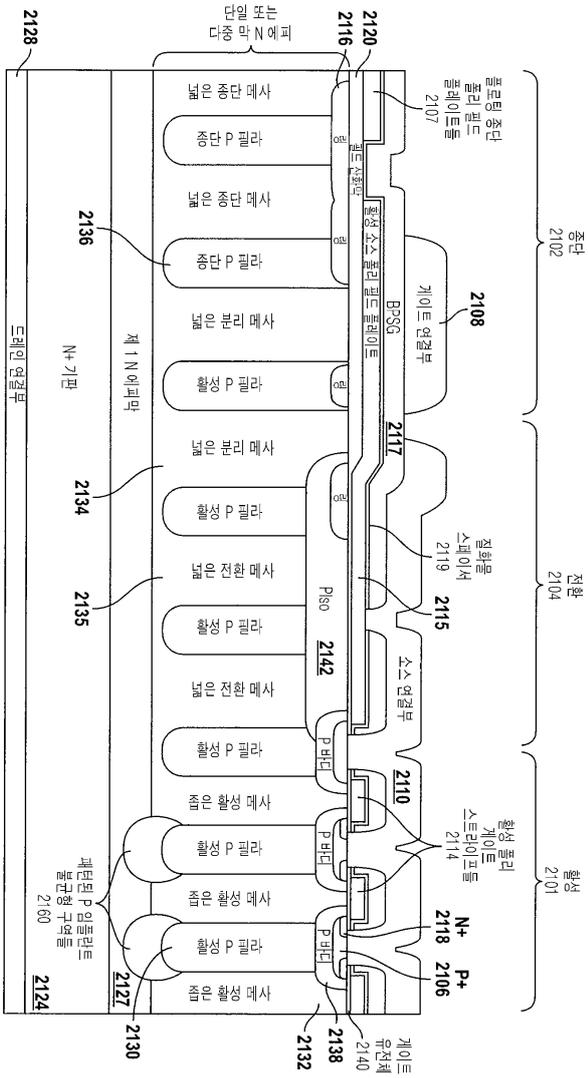
도면20h



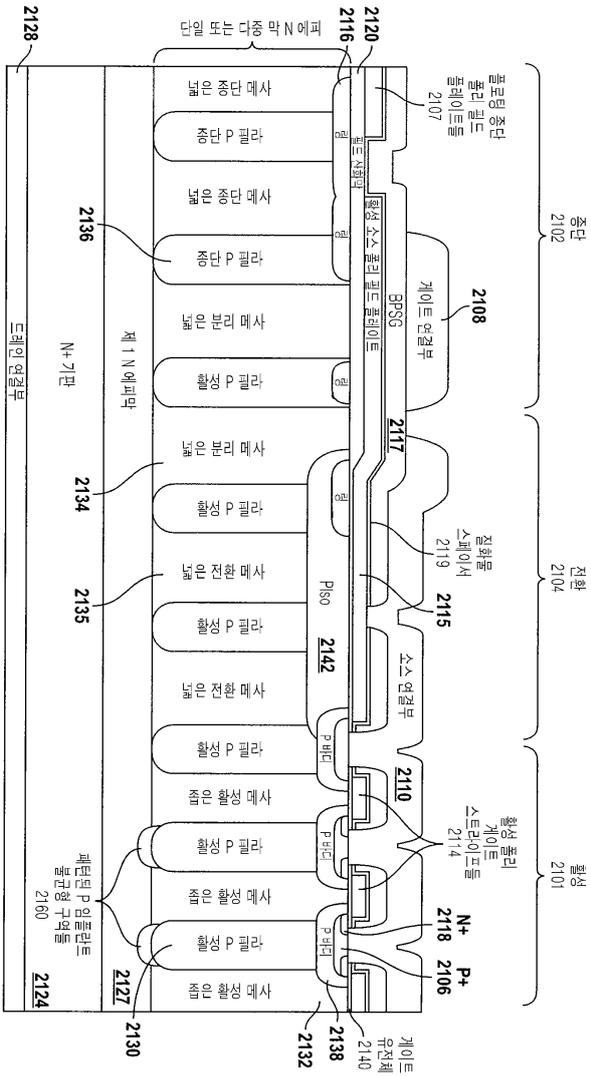
도면21a



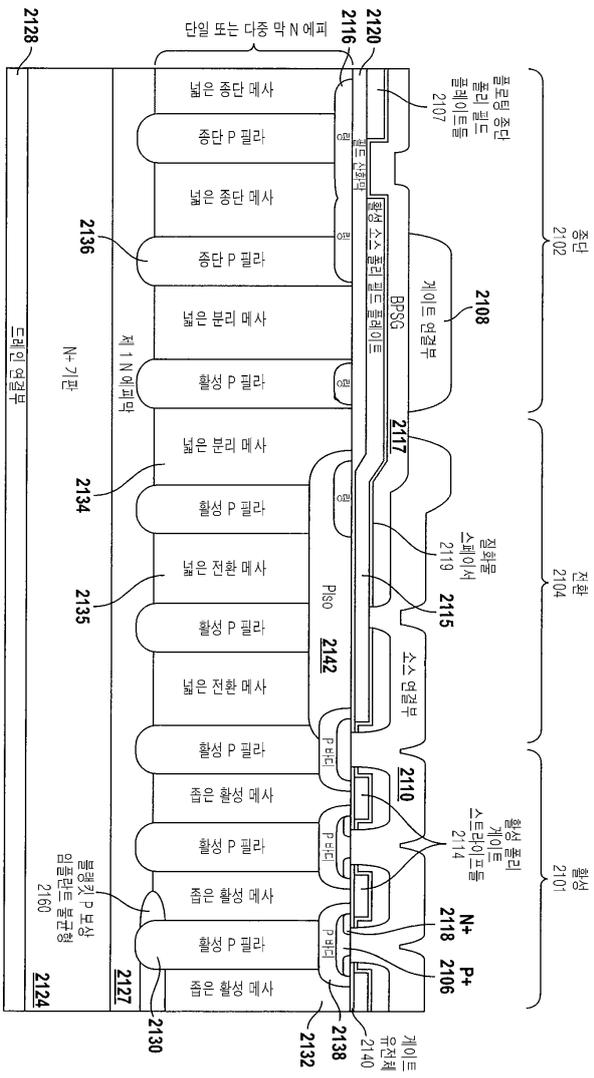
도면21b



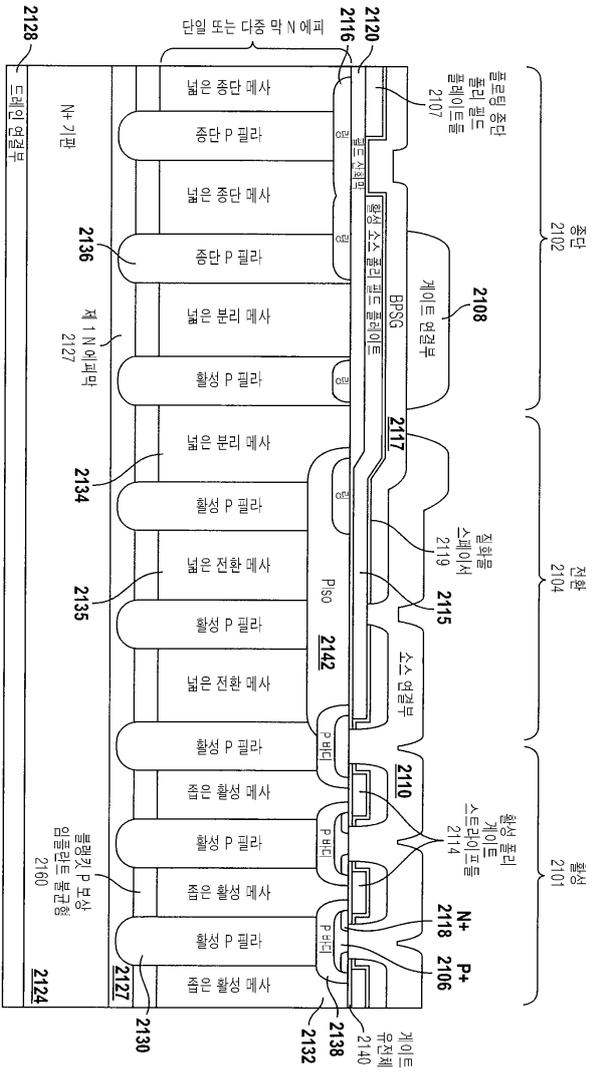
도면21d



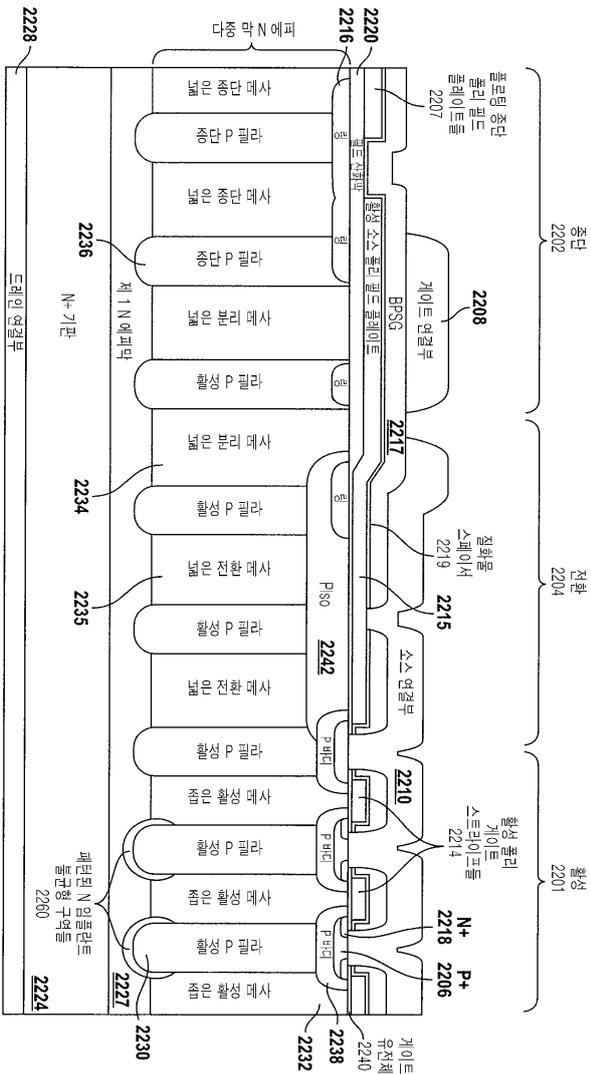
도면21e



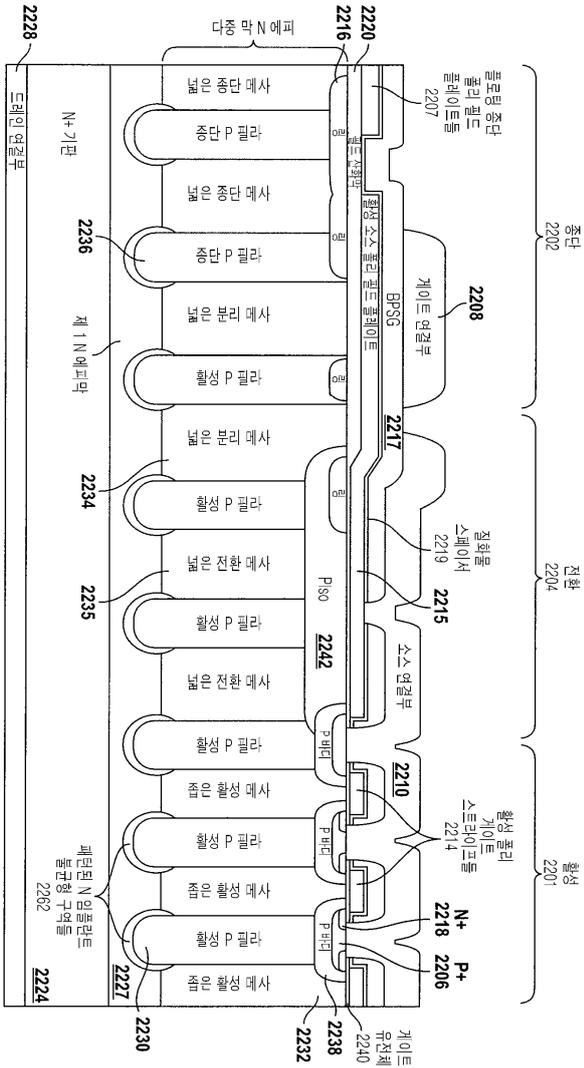
도면21f



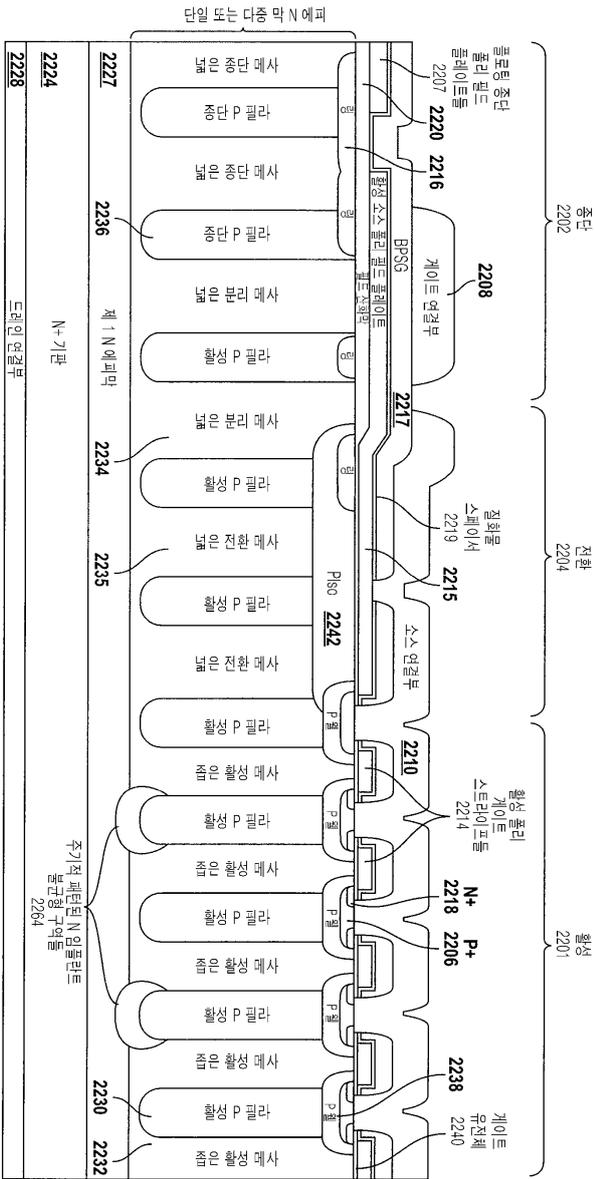
도면22a



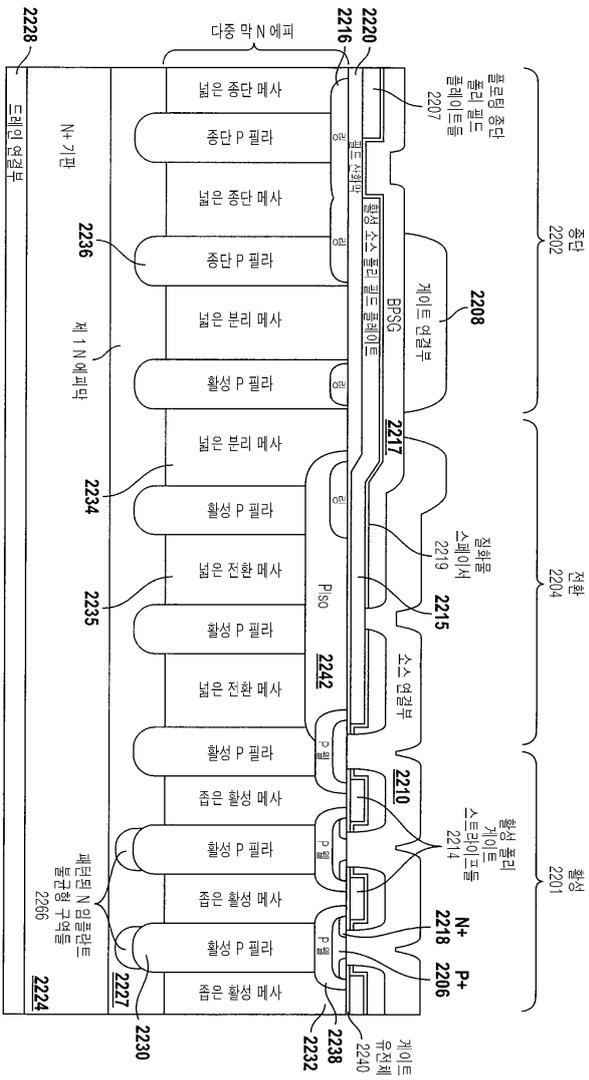
도면22b



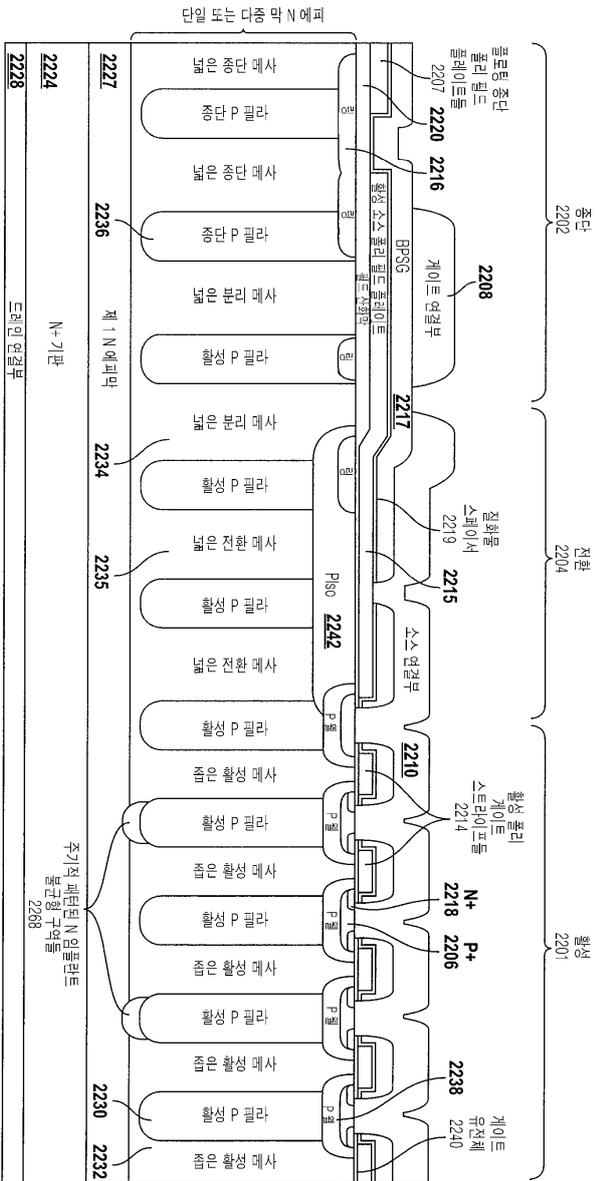
도면 22c



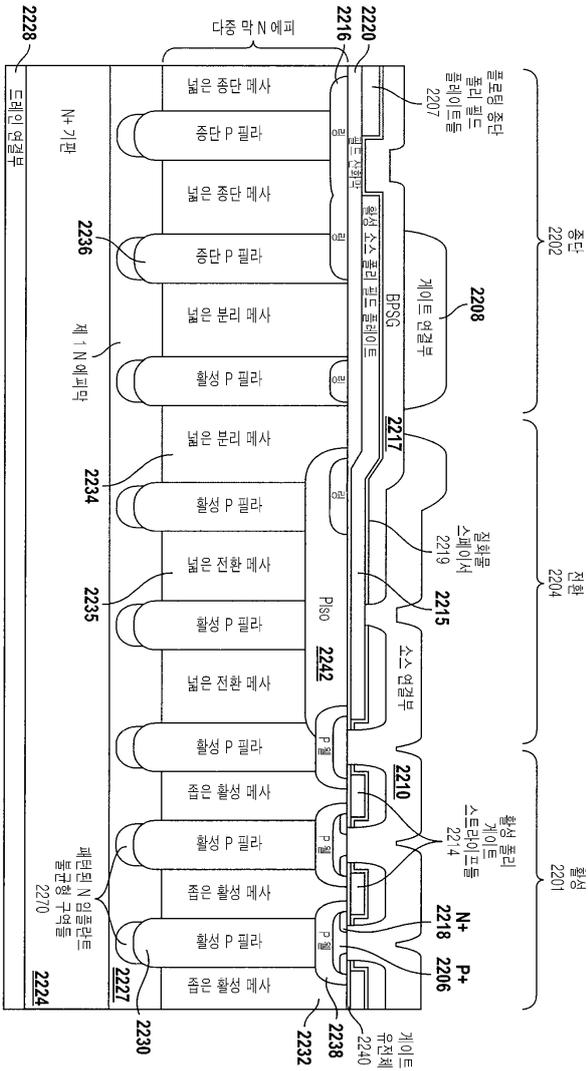
도면 222d



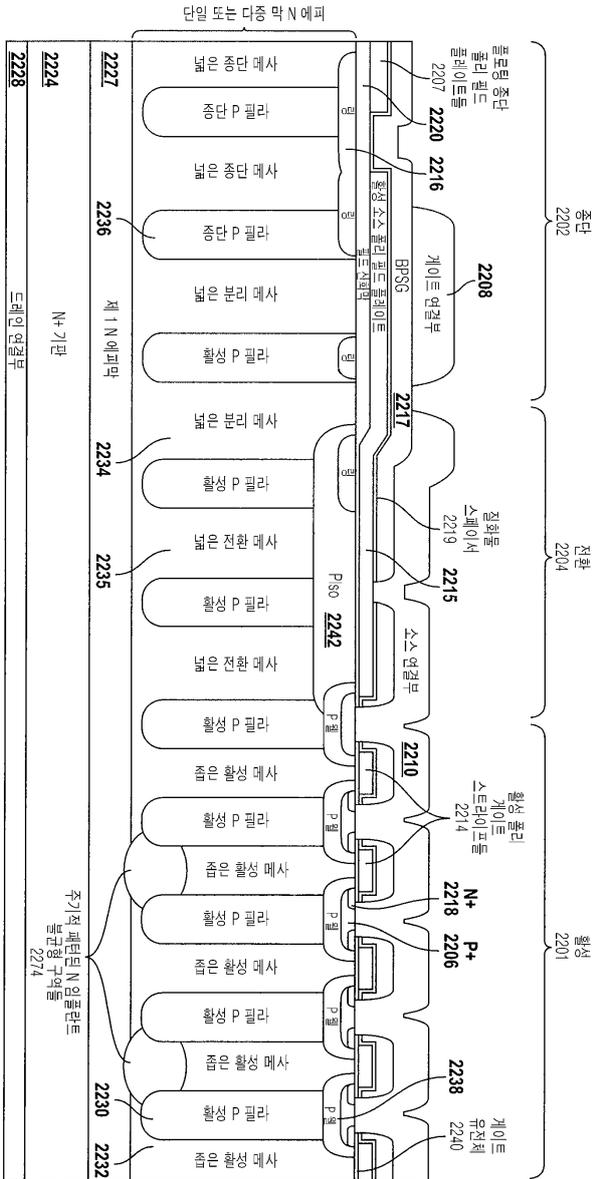
도면22e



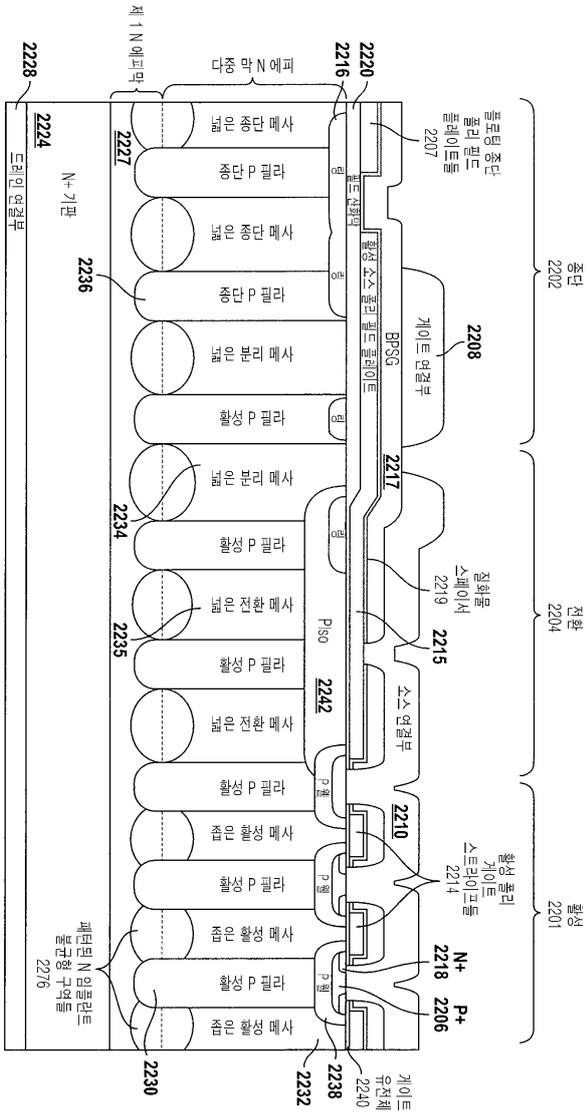
도면22f



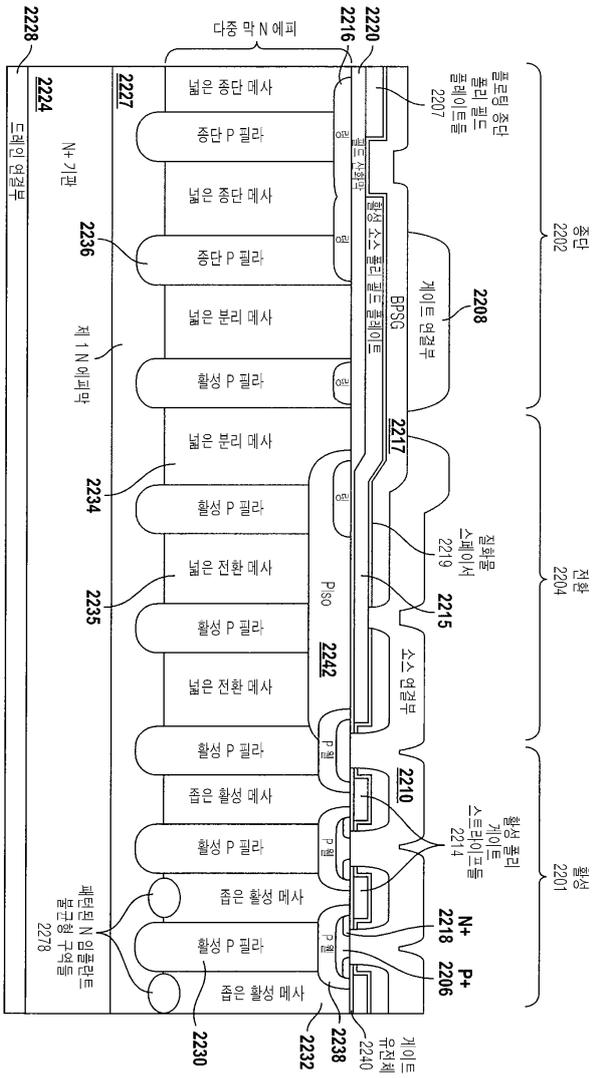
도면22h



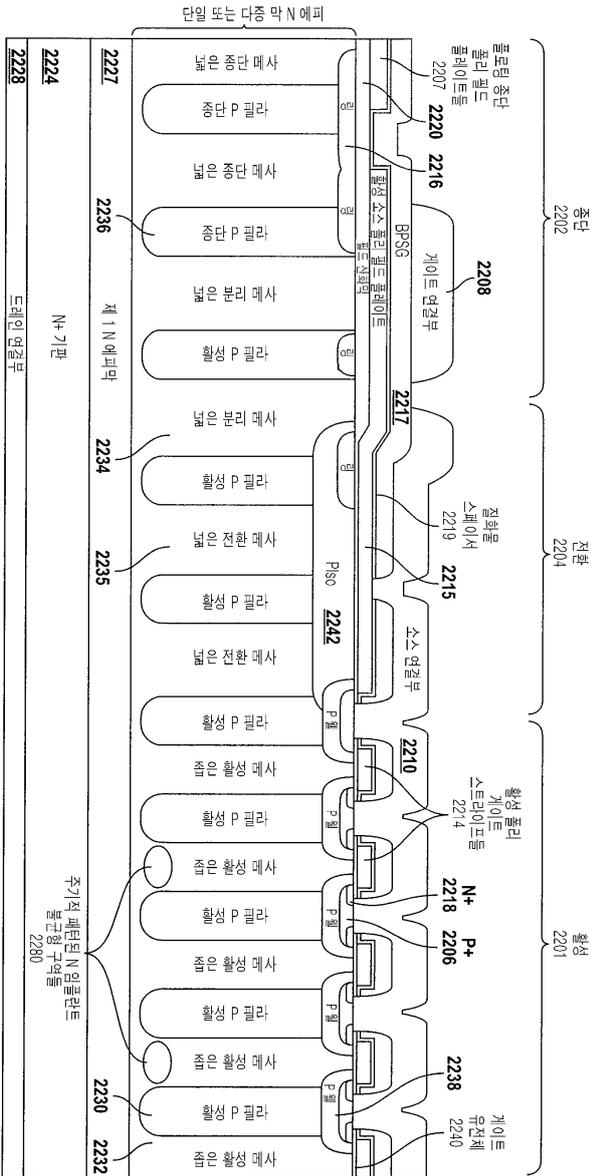
도면22i



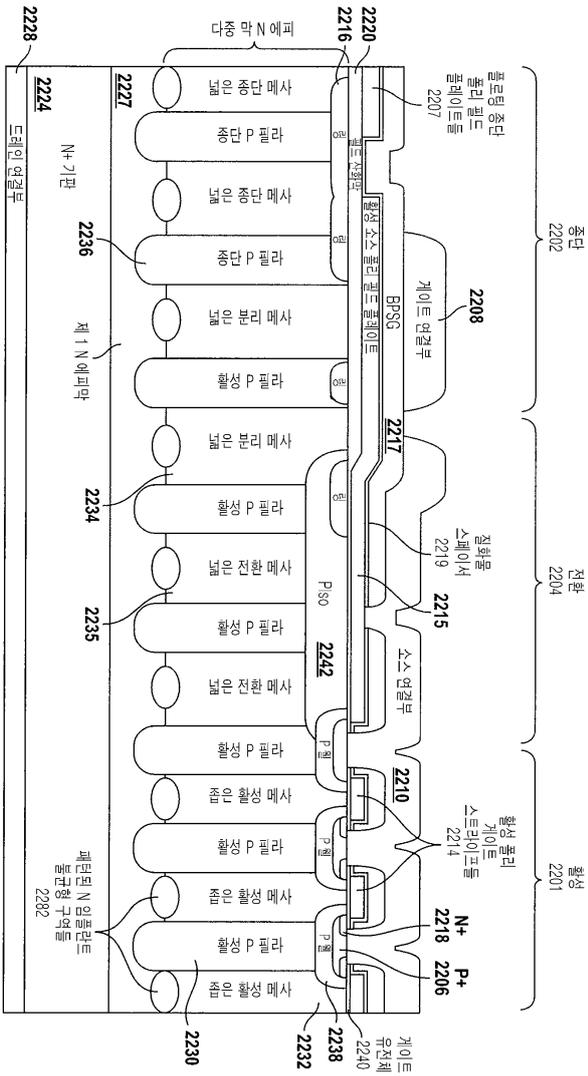
도면22j



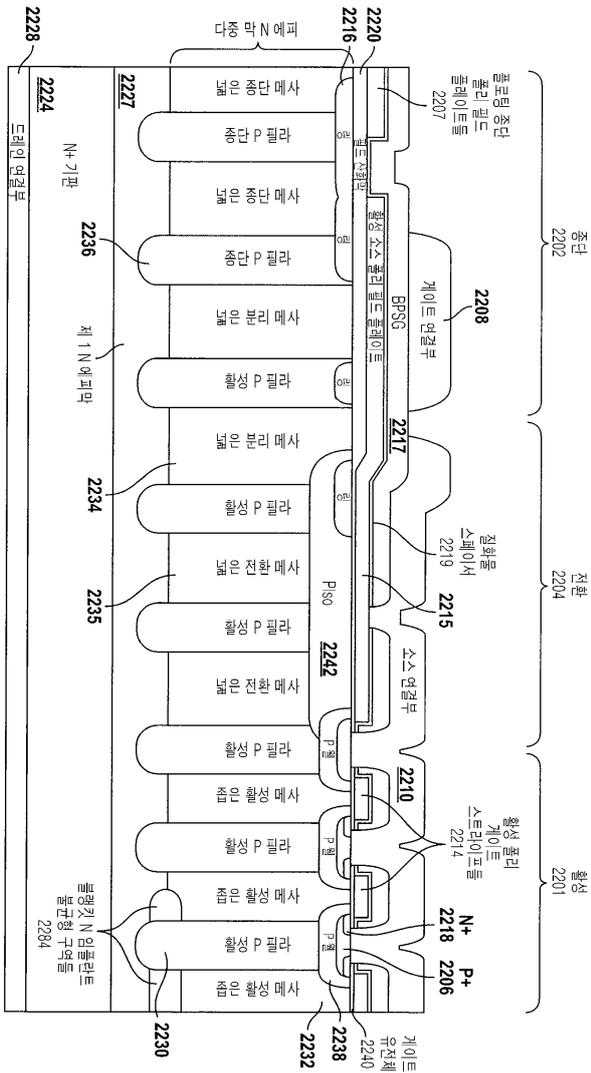
도면22k



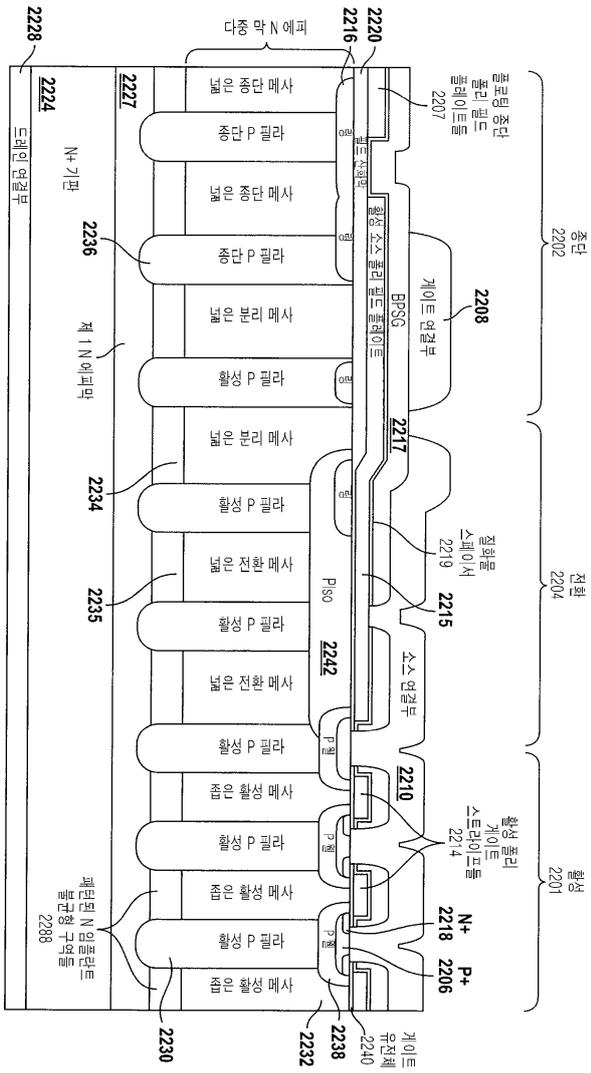
도면221



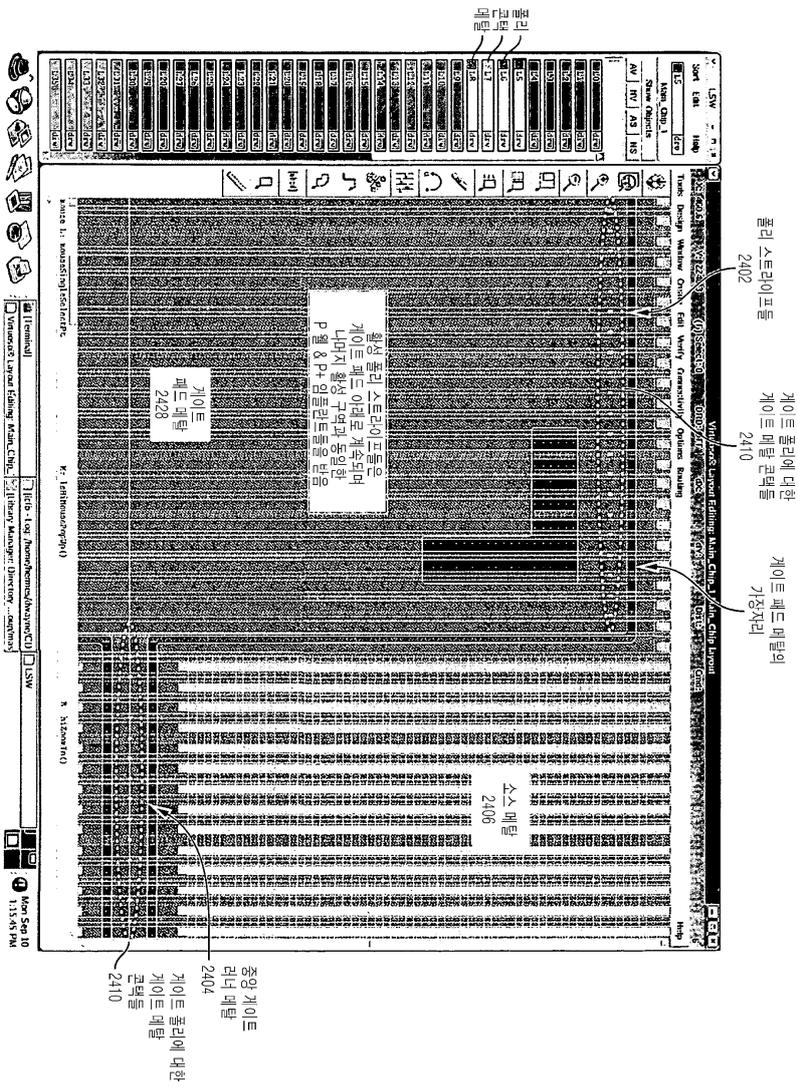
도면 22m



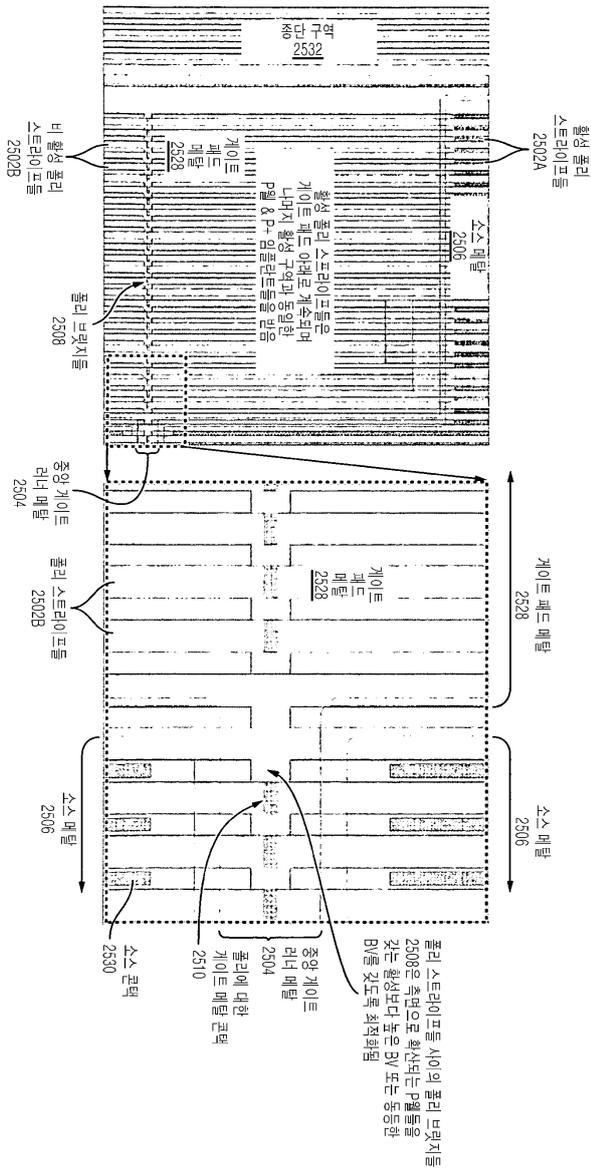
도면 22n



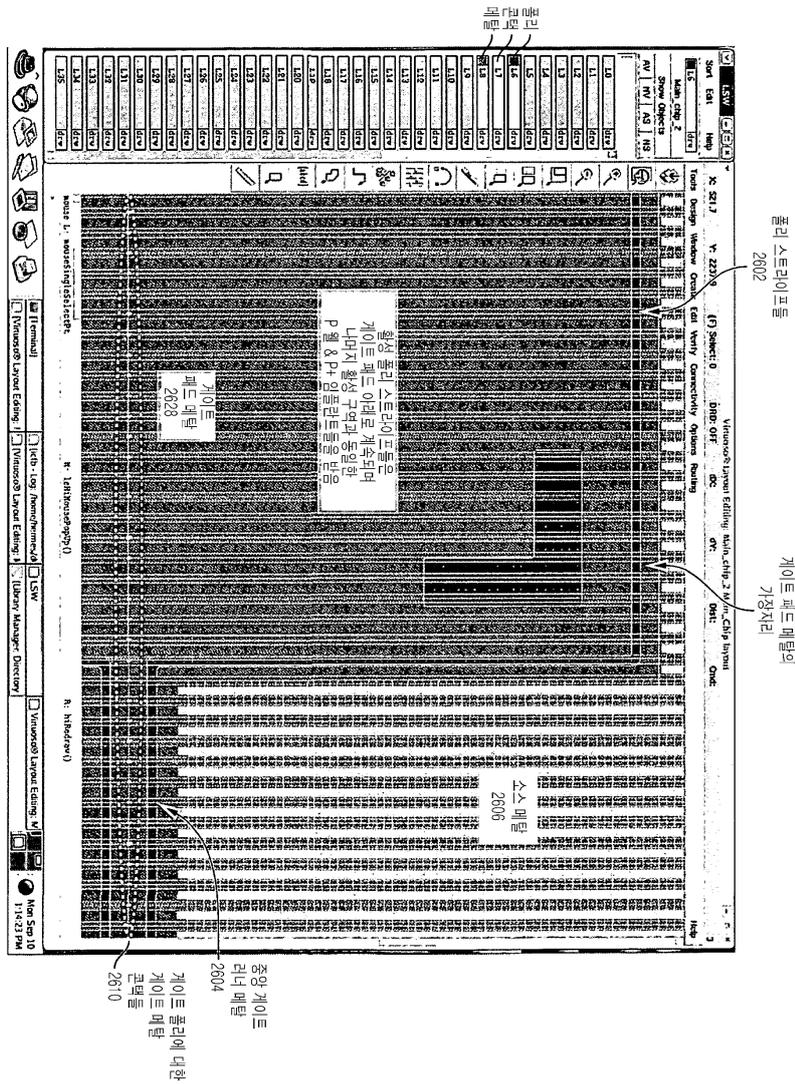
도면24



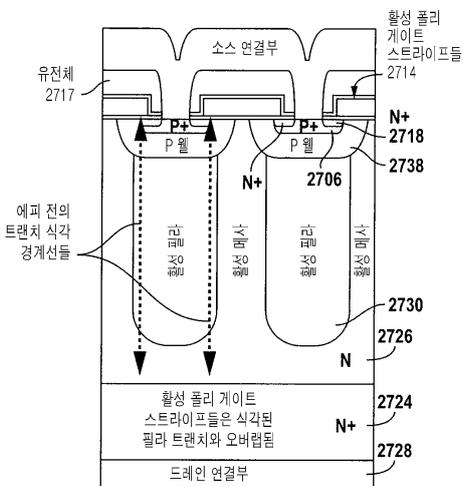
도면25



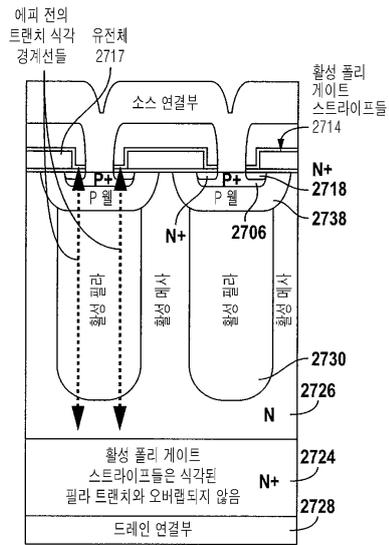
도면26



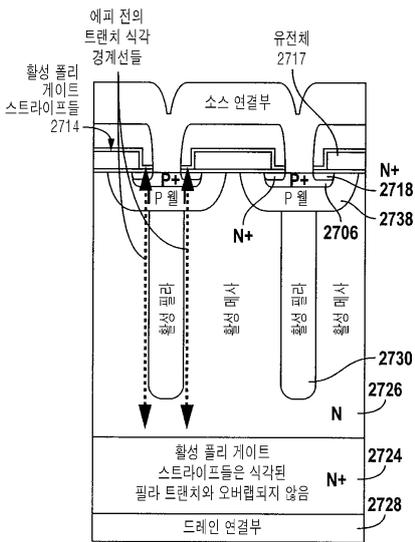
도면27a



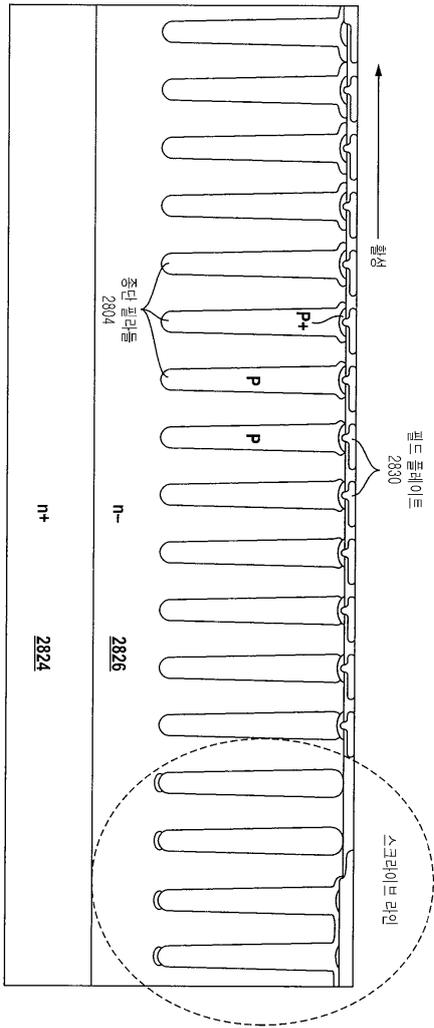
도면27b



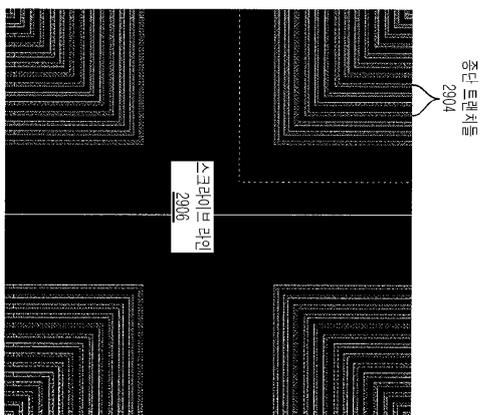
도면27c



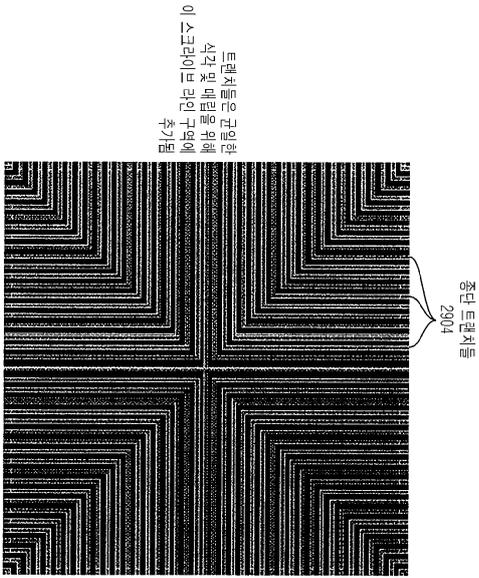
도면28



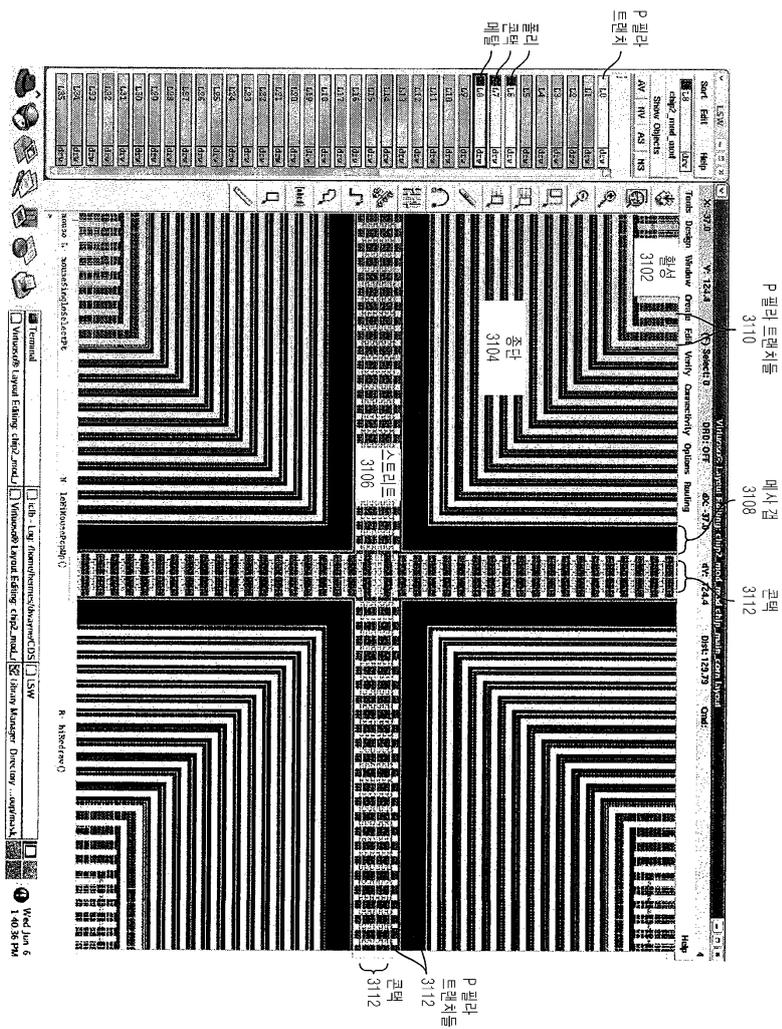
도면29



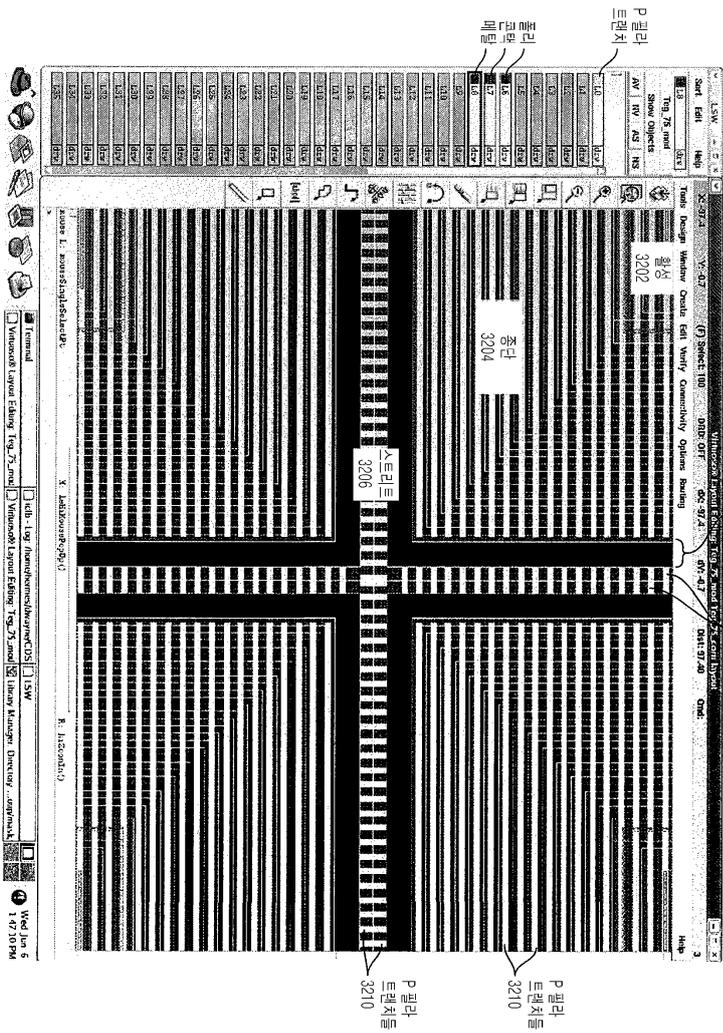
도면30



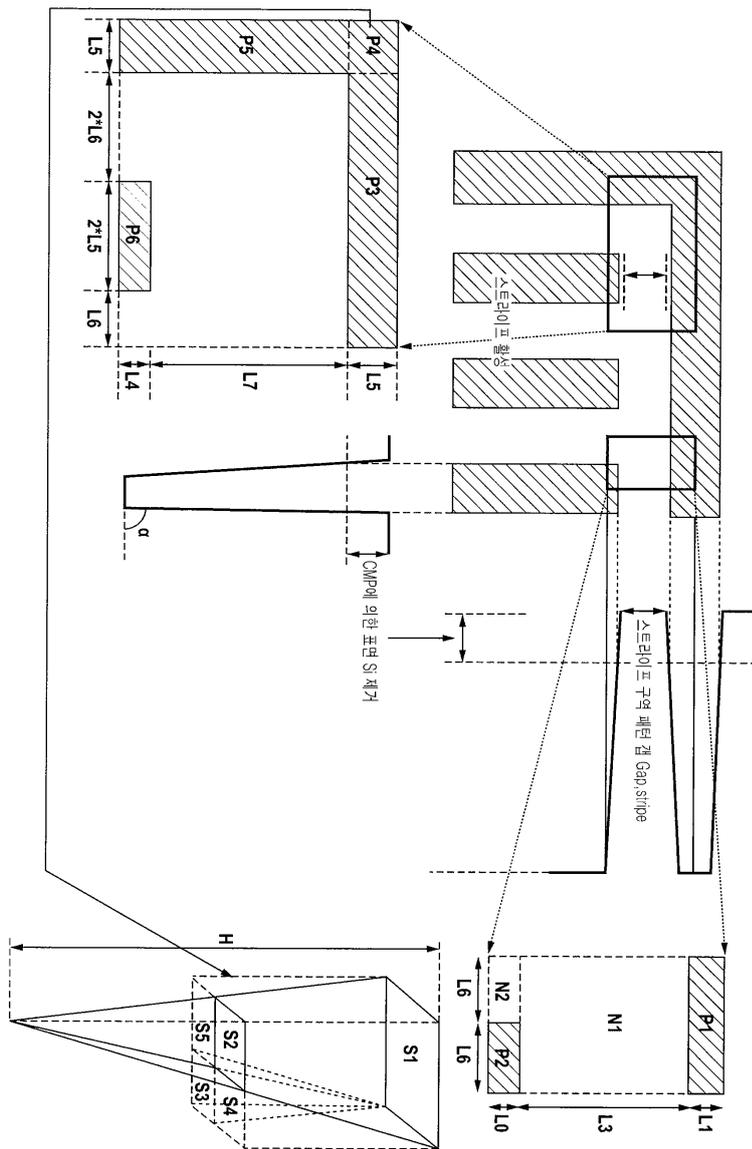
도면31



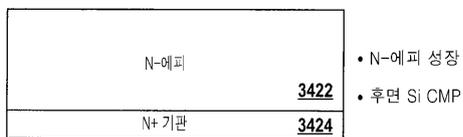
도면32



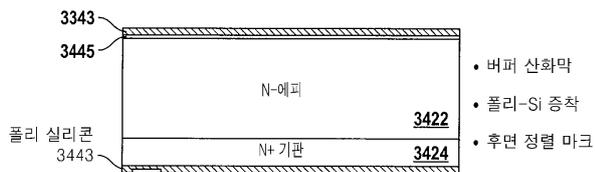
도면33



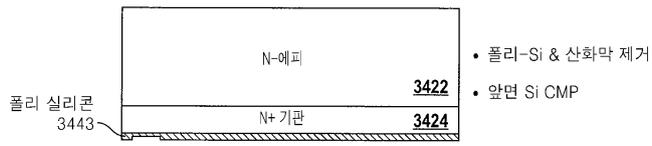
도면34a



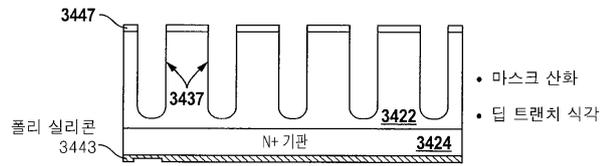
도면34b



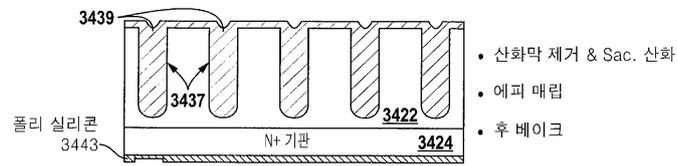
도면34c



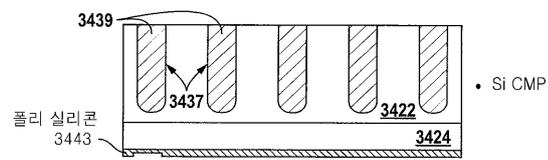
도면34d



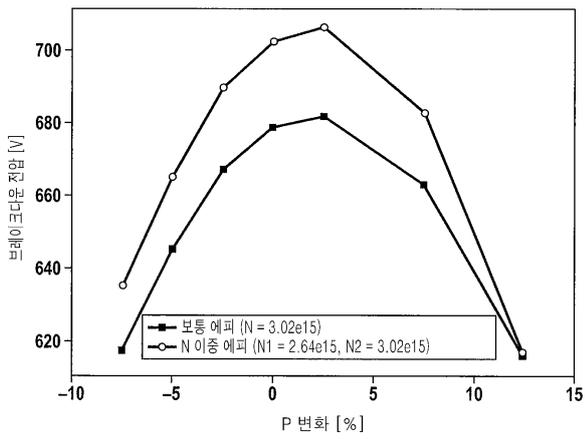
도면34e



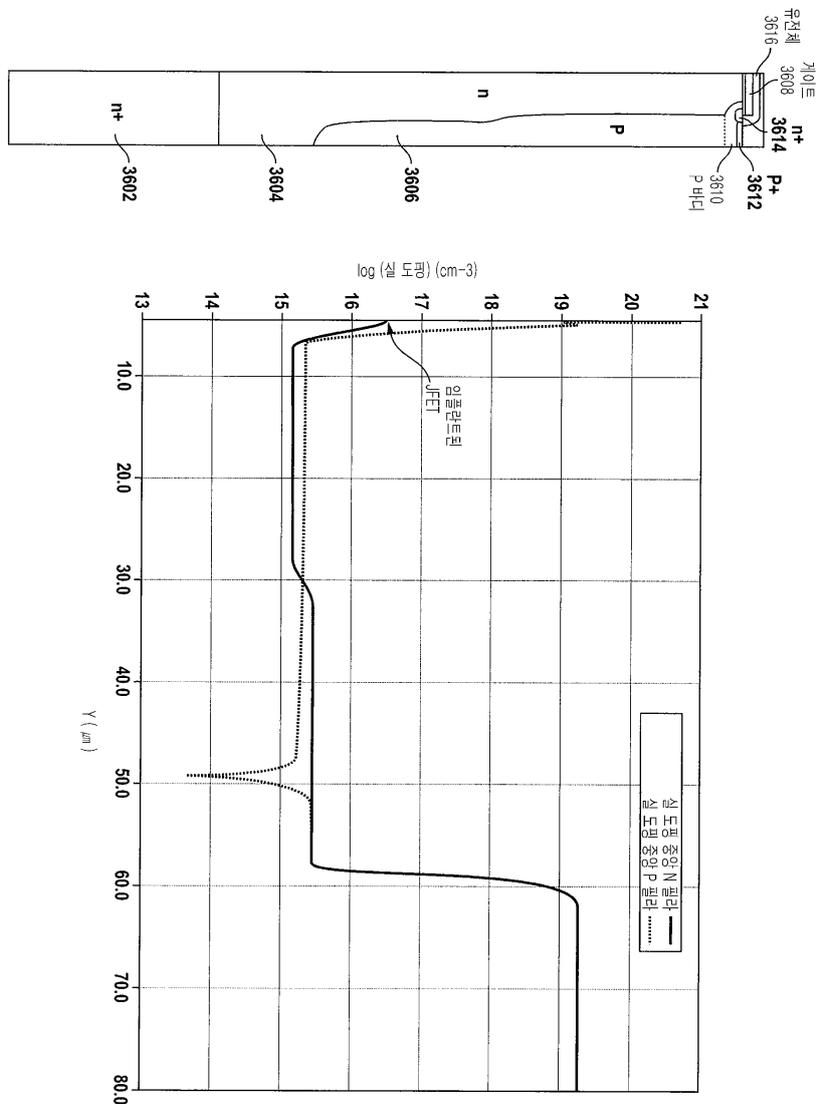
도면34f



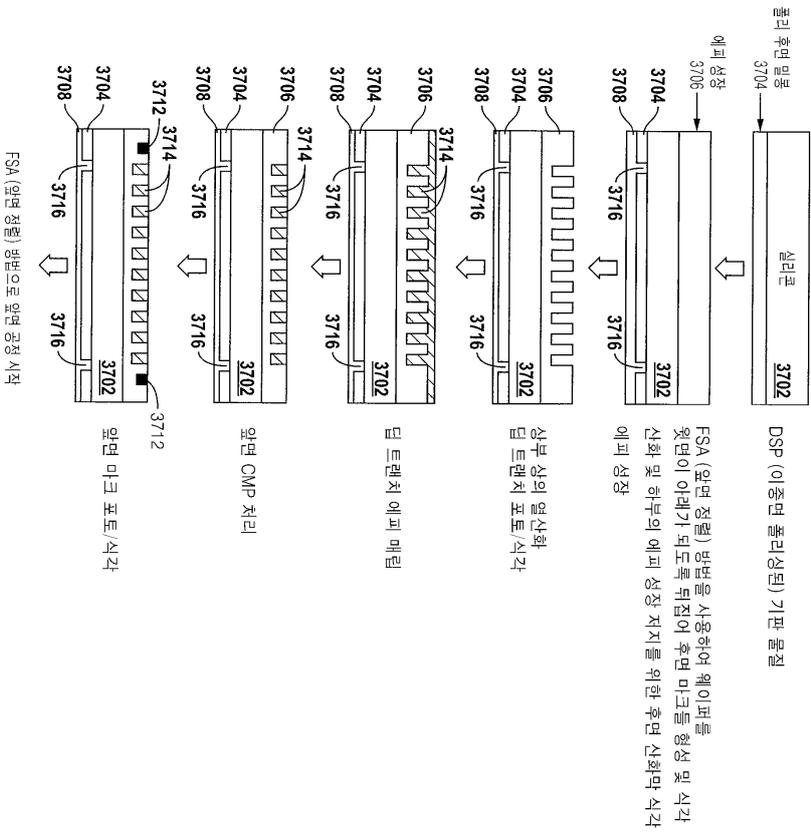
도면35b



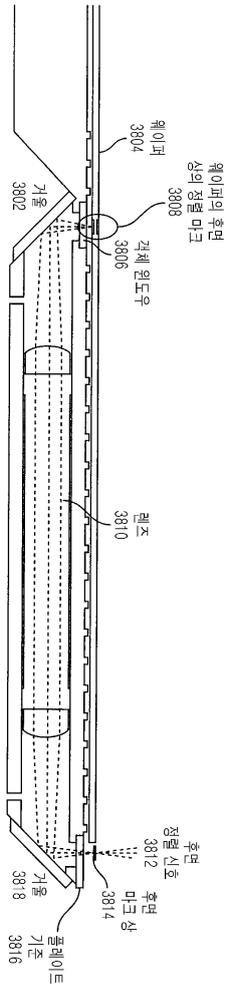
도면36



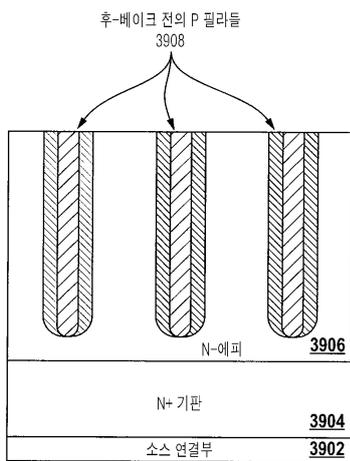
도면37



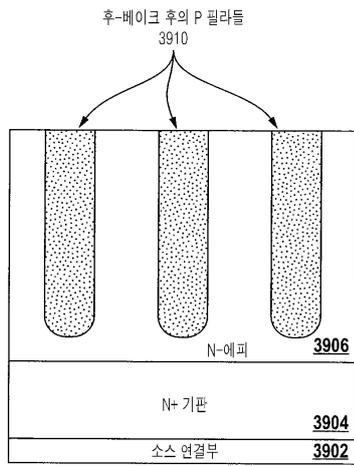
도면38



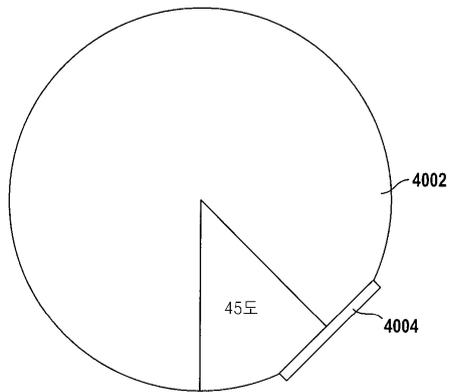
도면39a



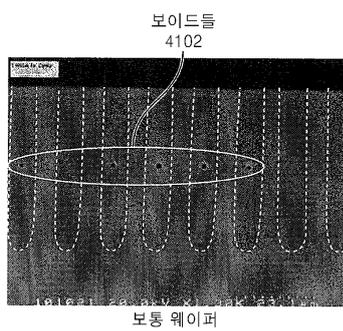
도면39b



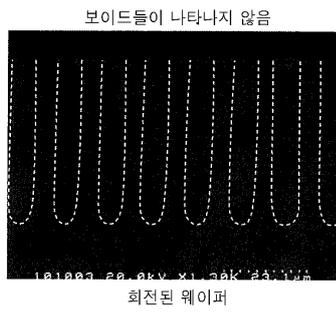
도면40



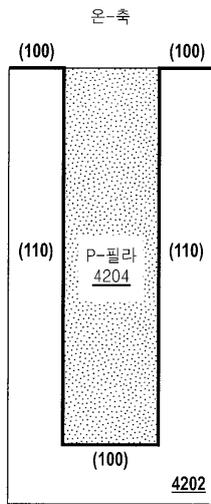
도면41a



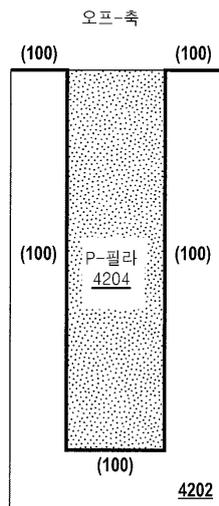
도면41b



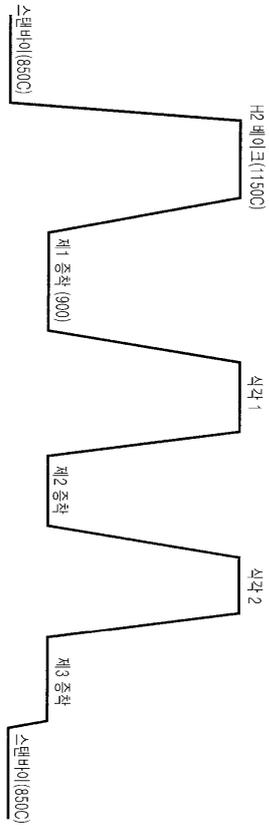
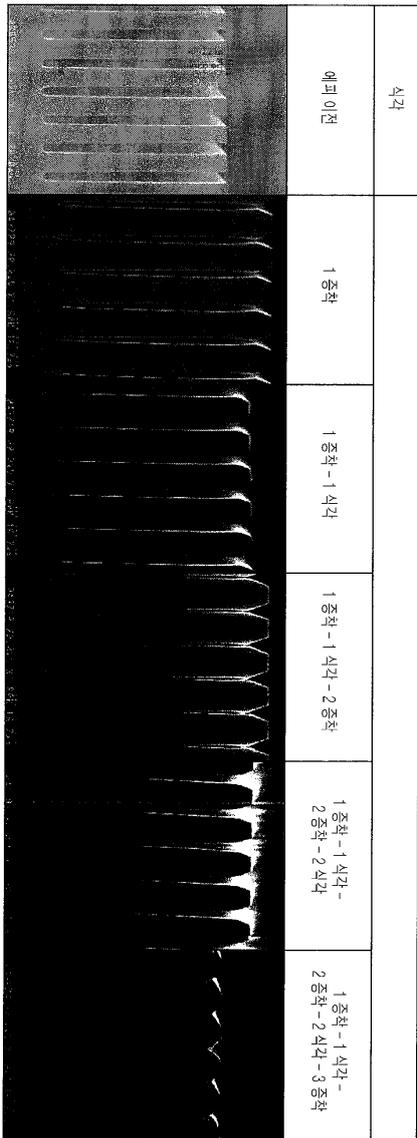
도면42a



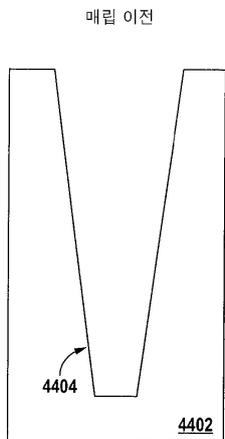
도면42b



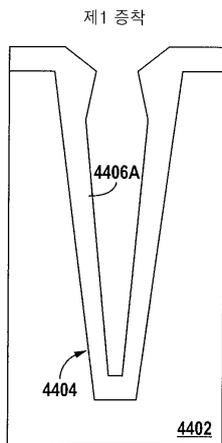
도면43



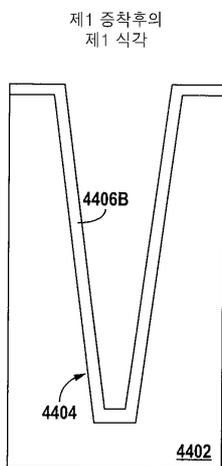
도면44a



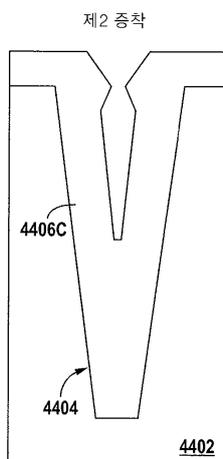
도면44b



도면44c

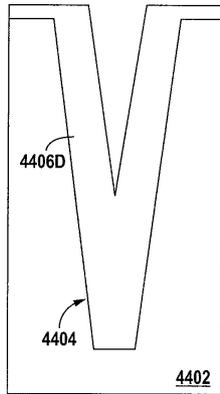


도면44d



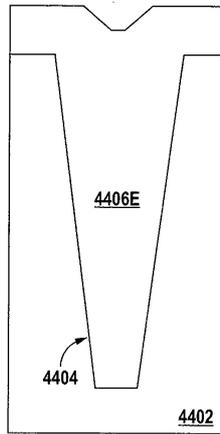
도면44e

제2 증착후의
제2 식각

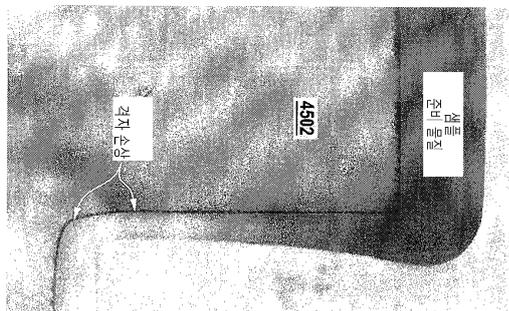


도면44f

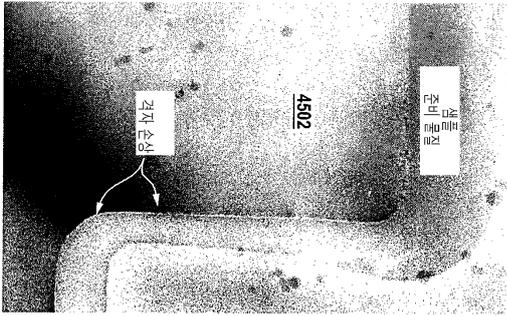
제3 증착



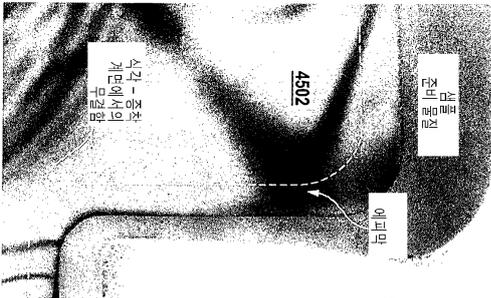
도면45a



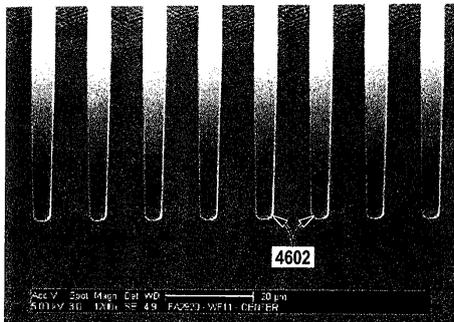
도면45b



도면45c

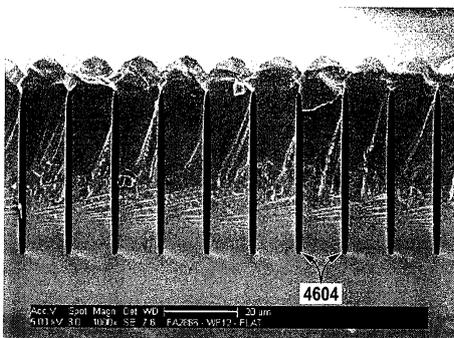


도면46a



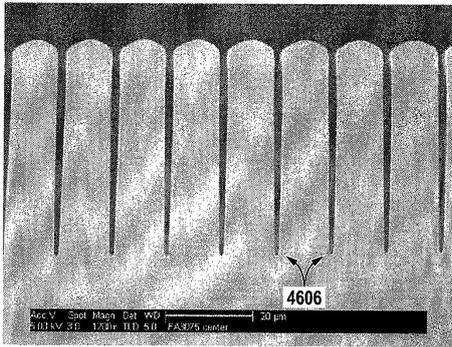
식각 후의 50 μ m
깊 트랜치

도면46b



무 HCl 증착

도면46c



램핑된 HCl 공정

도면47

