

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02012/098754

発行日 平成26年6月9日 (2014.6.9)

(43) 国際公開日 平成24年7月26日 (2012.7.26)

(51) Int.Cl. F I テーマコード (参考)
H03G 3/12 (2006.01) H03G 3/12 A 5 J 1 0 0

審査請求 有 予備審査請求 未請求 (全 25 頁)

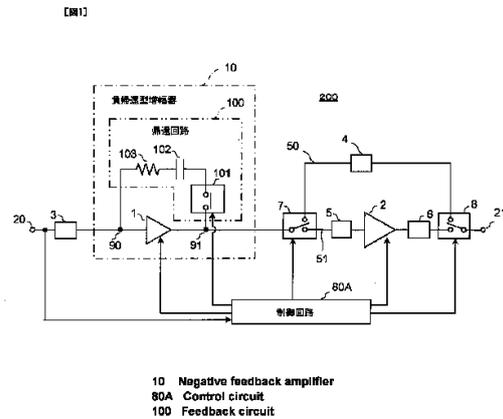
<p>出願番号 特願2012-553565 (P2012-553565)</p> <p>(21) 国際出願番号 PCT/JP2011/075862</p> <p>(22) 国際出願日 平成23年11月9日 (2011.11.9)</p> <p>(31) 優先権主張番号 特願2011-8934 (P2011-8934)</p> <p>(32) 優先日 平成23年1月19日 (2011.1.19)</p> <p>(33) 優先権主張国 日本国 (JP)</p>	<p>(71) 出願人 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号</p> <p>(74) 代理人 100110423 弁理士 曾我 道治</p> <p>(74) 代理人 100094695 弁理士 鈴木 憲七</p> <p>(74) 代理人 100111648 弁理士 梶並 順</p> <p>(74) 代理人 100122437 弁理士 大宅 一宏</p> <p>(74) 代理人 100147566 弁理士 上田 俊一</p> <p>(74) 代理人 100161171 弁理士 吉田 潤一郎</p>
--	--

最終頁に続く

(54) 【発明の名称】 出力モード切替増幅器

(57) 【要約】

所望の利得を実現しつつ、受信帯雑音の劣化を抑制した出力モード切替増幅器を得る。切替手段を介して直列接続されたN個の増幅器と、複数の出力モードに応じて、N個の増幅器の接続状態およびオン/オフ状態を切替制御する制御回路80Aとを備える。N個の増幅器のうちP個の増幅器は、ドライバ増幅器1を構成するとともに、自身の出力信号を自身の入力側に負帰還させる帰還回路100を含む負帰還型増幅器10を構成する。N - P個の増幅器は、負帰還型増幅器10に対して切り離し可能に直列接続された最終段増幅器2を構成する。制御回路80Aは、第1の出力モードでは、最終段増幅器2を負帰還型増幅器10から切り離すと同時に帰還回路100を無効化し、第2の出力モードでは、最終段増幅器2を負帰還型増幅器10に直列接続すると同時に帰還回路100を有効化する。



【特許請求の範囲】

【請求項 1】

出力電力の異なる複数の出力モードを有する出力モード切替増幅器であって、
切替手段を介して直列接続された N 個 (N は 2 以上の自然数) の増幅器と、
前記複数の出力モードに応じて、前記 N 個の増幅器の接続状態およびオン/オフ状態を
切替制御する制御回路とを備え、

前記 N 個の増幅器のうちの P 個 (P は 1 以上の自然数、 $P < N$) の増幅器は、ドライバ
増幅器を構成するとともに、自身の出力信号を自身の入力側に負帰還させる帰還回路を含
む負帰還型増幅器を構成し、

前記 N 個の増幅器のうちの $N - P$ 個の増幅器は、前記負帰還型増幅器に対して切り離し
可能に直列接続された最終段増幅器を構成し、

前記制御回路は、

要求される出力電力が比較的低い第 1 の出力モードにおいては、

前記最終段増幅器を前記負帰還型増幅器から切り離すとともに、前記ドライバ増幅器に
並列接続された前記帰還回路を無効化し、

要求される出力電力が比較的高い第 2 の出力モードにおいては、

前記最終段増幅器を前記負帰還型増幅器に直列接続するとともに、前記帰還回路を有効
化することを特徴とする出力モード切替増幅器。

10

【請求項 2】

前記最終段増幅器に設けられた第 1 の切替手段と、

前記帰還回路に設けられた第 2 の切替手段と、を備え、

前記制御回路は、

前記第 1 の出力モードにおいては、

前記最終段増幅器を短絡するように前記第 1 の切替手段を切替えるとともに、前記第 2
の切替手段をオフにして前記帰還回路を無効化し、

前記第 2 の出力モードにおいては、

前記負帰還型増幅器に対して前記最終段増幅器を直列接続するように前記第 1 の切替手
段を切替えるとともに、前記第 2 の切替手段をオンにして前記帰還回路を有効化し、

前記負帰還型増幅器は、前記第 2 の出力モードにおいては、前記第 1 の出力モードにお
ける増幅率よりも低い増幅率で入力信号を増幅し、

20

30

前記最終段増幅器は、前記第 2 の出力モードのみにおいて、前記負帰還型増幅器からの
出力信号をさらに増幅することを特徴とする請求項 1 に記載の出力モード切替増幅器。

【請求項 3】

前記第 1 および第 2 の切替手段は、それぞれ第 1 および第 2 のスイッチにより構成され
たことを特徴とする請求項 2 に記載の出力モード切替増幅器。

【請求項 4】

前記第 1 および第 2 の切替手段は、単一の切替手段で共用化されたことを特徴とする請
求項 2 または請求項 3 に記載の出力モード切替増幅器。

【請求項 5】

前記帰還回路は、抵抗素子および容量素子の少なくとも一方を含むことを特徴とする請
求項 1 から請求項 4 までのいずれか 1 項に記載の出力モード切替増幅器。

40

【請求項 6】

前記帰還回路は、抵抗素子および容量素子からなる直列接続回路を含むことを特徴とす
る請求項 5 に記載の出力モード切替増幅器。

【請求項 7】

前記帰還回路は、前記ドライバ増幅器の入力側に直列接続された直流阻止用の容量素子
を含むことを特徴とする請求項 1 から請求項 6 までのいずれか 1 項に記載の出力モード切
替増幅器。

【請求項 8】

前記帰還回路は、高域通過フィルタを含むことを特徴とする請求項 1 から請求項 7 まで

50

のいずれか 1 項に記載の出力モード切替増幅器。

【請求項 9】

前記高域通過フィルタは、前記帰還回路に追加挿入された容量素子と、前記帰還回路とグランドとの間に挿入された抵抗素子とにより構成されたことを特徴とする請求項 8 に記載の出力モード切替増幅器。

【請求項 10】

前記帰還回路は、低域通過フィルタを含むことを特徴とする請求項 1 から請求項 7 までのいずれか 1 項に記載の出力モード切替増幅器。

【請求項 11】

前記低域通過フィルタは、前記帰還回路に追加挿入された抵抗素子と、前記帰還回路とグランドとの間に挿入された容量素子とにより構成されたことを特徴とする請求項 10 に記載の出力モード切替増幅器。

10

【請求項 12】

前記帰還回路は、位相進み回路を含むことを特徴とする請求項 1 から請求項 7 までのいずれか 1 項に記載の出力モード切替増幅器。

【請求項 13】

前記位相進み回路は、前記帰還回路に追加挿入された抵抗素子および容量素子の並列接続回路により構成されたことを特徴とする請求項 12 に記載の出力モード切替増幅器。

【請求項 14】

前記帰還回路は、前記第 2 の切替手段を介して並列接続された M 個 (M は 2 以上の自然数) の抵抗素子を含み、前記第 2 の切替手段のオン/オフによって抵抗値が可変設定されることを特徴とする請求項 2 から請求項 13 までのいずれか 1 項に記載の出力モード切替増幅器。

20

【請求項 15】

前記帰還回路は、前記第 2 の切替手段を介して並列接続された M 個 (M は 2 以上の自然数) の容量素子を含み、前記第 2 の切替手段のオン/オフによって容量値が可変設定されることを特徴とする請求項 2 から請求項 13 までのいずれか 1 項に記載の出力モード切替増幅器。

【請求項 16】

前記帰還回路は、前記第 2 の切替手段を介して並列接続された M 個 (M は 2 以上の自然数) の直列接続回路を含み、

30

前記 M 個の直列接続回路は、それぞれ、直列接続された容量素子および抵抗素子により構成され、

前記帰還回路の抵抗値および容量値は、前記第 2 の切替手段のオン/オフによって可変設定されることを特徴とする請求項 2 から請求項 13 までのいずれか 1 項に記載の出力モード切替増幅器。

【請求項 17】

前記 N 個の増幅器は、それぞれ、ヘテロ接合バイポーラトランジスタにより構成されたことを特徴とする請求項 1 から請求項 16 までのいずれか 1 項に記載の出力モード切替増幅器。

40

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、広い出力電力範囲で高効率特性を実現するための出力モード切替増幅器に関するものである。

【背景技術】

【0002】

近年、移動体通信端末においては、電池を小形化するために消費電力の削減が求められている。特に、携帯電話端末においては、消費電力を削減するために、基地局との間の距離および通信状態の時々刻々の変化に応じて端末の送信電力を変化させるので、端末に用

50

いられる増幅器として、広い出力電力範囲で高効率であることが要求されている。

【0003】

上記要求を満たすために、移動体通信端末用の増幅器としては、低出力電力モードと高出力電力モードとに適合可能な出力モード切替増幅器が広く採用されており、複数の出力モードの切替えを行う技術を適用することが主流となっている（たとえば、特許文献1参照）。

【0004】

図12は従来の出力モード切替増幅器の構成を示す回路ブロック図であり、たとえば特許文献1に開示されているように、低出力電力および高出力電力の2つの出力モードを有する場合での、各出力モードに応じた切替構成を示している。

10

【0005】

図12において、出力モード切替増幅器は、ドライバ増幅器1と、最終段増幅器2と、ドライバ増幅器1の入出力端に挿入された第1および第2の整合回路3、4と、最終段増幅器2の入出力端に挿入された第3および第4の整合回路5、6と、出力モード切替用のスイッチ7、8と、入力端子20と、出力端子21と、第1および第2の経路50、51と、ドライバ増幅器1、最終段増幅器2、スイッチ7、8を制御する制御回路80とを備えている。

【0006】

図13および図14は各出力モードにおける構成を示す回路ブロック図であり、図13は要求出力電力が低い第1の出力モードでの回路構成を示し、図14は要求出力電力が高い第2の出力モードでの回路構成を示している。

20

【0007】

次に、図12～図14を参照しながら、従来の出力モード切替増幅器の動作について説明する。

まず、図13のように、要求される出力電力が低い第1の出力モードにおいては、制御回路80は、スイッチ7、8に対して第1の切替制御信号を生成し、最終段増幅器2（破線参照）を含まない第1の経路50に切替える。

また、これと同時に、制御回路80は、ドライバ増幅器1に対する電源電圧供給をオンにし、最終段増幅器2に対する電源電圧供給をオフにする。

【0008】

30

第1の出力モード（図13）の場合、入力端子20から入力された入力信号は、第1の整合回路3を介してドライバ増幅器1に入力され、増幅後の入力信号は、第1のスイッチ7および第1の経路50を介して第2の整合回路4に入力される。続いて、第2の整合回路4からの出力信号は、第1のスイッチ8を介して出力端子21から出力される。

このとき、入力端子20からの入力信号は、ドライバ増幅器1のみで増幅されるので、低出力電力が得られることになる。

【0009】

一方、図14のように、要求される出力電力が高い第2の出力モードにおいては、制御回路80は、スイッチ7、8に対して第2の切替制御信号を生成し、第1の経路50（破線参照）から最終段増幅器2を含む第2の経路51に切替える。

40

また、これと同時に、制御回路80は、ドライバ増幅器1および最終段増幅器2の両方に対する電源電圧供給をオンにする。

【0010】

第2の出力モード（図14）の場合、入力端子20から入力された入力信号は、第1の整合回路3を介してドライバ増幅器1に入力され、増幅後の入力信号は、第1のスイッチ7および第2の経路51を介して第3の整合回路5に入力される。続いて、第3の整合回路5からの出力信号は、最終段増幅器2に入力されて増幅され、最終段増幅器2の出力信号は、第4の整合回路6および第1のスイッチ8を介して出力端子21から出力される。

このとき、入力端子20からの入力信号は、ドライバ増幅器1および最終段増幅器2で増幅されるので、高出力電力が得られることになる。

50

【 0 0 1 1 】

このように、出力モード切替増幅器は、要求される出力電力に応じて動作させる増幅器を切替えることにより、広い出力電力範囲で高効率動作を実現している。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 2 】

【 特許文献 1 】 特開 2 0 0 1 - 2 1 7 6 6 1 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 3 】

従来の出力モード切替増幅器は、要求出力電力が低い第 1 の出力モードでは、ドライバ増幅器 1 のみによる 1 段増幅で十分な必要利得を得ているものの、要求出力電力が高い第 2 の出力モードでは、ドライバ増幅器 1 および最終段増幅器 2 の両方による 2 段増幅器として動作するので、利得が必要利得よりも高過ぎることになって、受信帯雑音が劣化するという課題があった。

【 0 0 1 4 】

また、第 2 の出力モードで利得を抑制するためには、ドライバ増幅器 1 と最終段増幅器 2 との段間、または最終段増幅器 2 の出力側に、さらに減衰器を装荷することが考えられるが、減衰器を装荷した場合には効率の低下を招くという課題があった。

【 0 0 1 5 】

この発明は、上記のような課題を解決するためになされたものであり、所望の利得を実現しつつ、受信帯雑音の劣化を抑制した出力モード切替増幅器を得ることを目的とする。

【 課題を解決するための手段 】

【 0 0 1 6 】

この発明に係る出力モード切替増幅器は、出力電力の異なる複数の出力モードを有する出力モード切替増幅器であって、切替手段を介して直列接続された N 個 (N は 2 以上の自然数) の増幅器と、複数の出力モードに応じて、 N 個の増幅器の接続状態およびオン/オフ状態を切替制御する制御回路とを備え、 N 個の増幅器のうちの P 個 (P は 1 以上の自然数、 $P < N$) の増幅器は、ドライバ増幅器を構成するとともに、自身の出力信号を自身の入力側に負帰還させる帰還回路を含む負帰還型増幅器を構成し、 N 個の増幅器のうちの $N - P$ 個の増幅器は、負帰還型増幅器に対して切り離し可能に直列接続された最終段増幅器を構成し、制御回路は、要求される出力電力が比較的低い第 1 の出力モードにおいては、最終段増幅器を負帰還型増幅器から切り離すとともに、ドライバ増幅器に並列接続された帰還回路を無効化し、要求される出力電力が比較的高い第 2 の出力モードにおいては、最終段増幅器を負帰還型増幅器に直列接続するとともに、帰還回路を有効化するものである。

【 発明の効果 】

【 0 0 1 7 】

この発明によれば、第 2 の出力モードのみにおいてドライバ増幅器の利得を抑制する負帰還回路を備えることにより、所望の利得を実現しつつ、受信帯雑音の劣化を抑制することができる。

【 図面の簡単な説明 】

【 0 0 1 8 】

【 図 1 】 この発明の実施の形態 1 に係る出力モード切替増幅器の構成を示す回路ブロック図である。(実施例 1)

【 図 2 】 この発明の実施の形態 1 に係る出力モード切替増幅器の第 1 の出力モードにおける構成を示す回路ブロック図である。(実施例 1)

【 図 3 】 この発明の実施の形態 1 に係る出力モード切替増幅器の第 2 の出力モードにおける構成を示す回路ブロック図である。(実施例 1)

【 図 4 】 この発明の実施の形態 1 に係る出力モード切替増幅器の出力 - 利得特性を示す説

10

20

30

40

50

明図である。(実施例1)

【図5】この発明の実施の形態1に係る出力モード切替増幅器の周波数-出力特性を示す説明図である。(実施例1)

【図6】この発明の実施の形態2に係る出力モード切替増幅器の構成を示す回路ブロック図である。(実施例2)

【図7】この発明の実施の形態3に係る出力モード切替増幅器の構成を示す回路ブロック図である。(実施例3)

【図8】この発明の実施の形態4に係る出力モード切替増幅器の構成を示す回路ブロック図である。(実施例4)

【図9】この発明の実施の形態5に係る出力モード切替増幅器の構成を示す回路ブロック図である。(実施例5)

【図10】この発明の実施の形態6に係る出力モード切替増幅器の構成を示す回路ブロック図である。(実施例6)

【図11】この発明の実施の形態6に係る出力モード切替増幅器の他の構成を示す回路ブロック図である。(実施例6)

【図12】従来の出力モード切替増幅器の構成を示す回路ブロック図である。

【図13】従来の出力モード切替増幅器の第1の出力モードにおける構成を示す回路ブロック図である。

【図14】従来の出力モード切替増幅器の第2の出力モードにおける構成を示す回路ブロック図である。

【発明を実施するための形態】

【0019】

(実施例1)

以下、図面を参照しながら、この発明の実施の形態1について詳細に説明する。

図1はこの発明の実施の形態1に係る出力モード切替増幅器200の構成を示す回路ブロック図である。

【0020】

図1において、出力モード切替増幅器200は、前述と同様の構成として、ドライバ増幅器1と、最終段増幅器2と、第1~第4の整合回路3~6と、第1スイッチ7、8と、入力端子20と、出力端子21と、第1および第2の経路50、51と、制御回路80Aとを備えている。

【0021】

また、出力モード切替増幅器200は、上記構成に加えて、ドライバ増幅器1の出力端子91に接続された第2のスイッチ101と、第2のスイッチ101に接続された容量素子102と、容量素子102とドライバ増幅器1の入力端子90との間に挿入された抵抗素子103と、を備えている。

【0022】

第2のスイッチ101、容量素子102および抵抗素子103は、ドライバ増幅器1の帰還回路100を構成している。

この結果、ドライバ増幅器1は、帰還回路100によって負帰還がかけられており、帰還回路100(第2のスイッチ101、容量素子102および抵抗素子103)とともに、負帰還型増幅器10を構成している。

【0023】

図1の出力モード切替増幅器200において、従来の出力モード切替増幅器(図12)との相違点は、ドライバ増幅器1の入力端子90と出力端子91との間に、ドライバ増幅器1と並列に、帰還回路100(第2のスイッチ101、容量素子102、抵抗素子103)を新たに備えたことにある。

【0024】

また、制御回路80Aは、入力端子20を介して入力される入力信号の電流レベルに応じて自動的に出力モードを決定し、ドライバ増幅器1、最終段増幅器2、第1のスイッチ

10

20

30

40

50

7、8のみならず、帰還回路100内の第2のスイッチ101をも制御する。

たとえば、制御回路80Aは、入力信号の電流レベルが基準値よりも高い場合には、自動的に第2の出力モードに切替える制御動作を行う。

【0025】

制御回路80Aは、要求出力電力が低い第1の出力モードにおいては、第1の切替制御信号を生成して第2のスイッチ101をオフ（開放）させることにより、ドライバ増幅器1の利得を維持する。

【0026】

一方、要求出力電力が高い第2の出力モードにおいては、制御回路80Aは、第2の切替制御信号を生成して第2のスイッチ101をオン（導通）させ、帰還回路100を有効化することにより、負帰還によりドライバ増幅器1の利得を抑制する。

10

【0027】

すなわち、第1の出力モードではドライバ増幅器1の利得を維持し、第2の出力モードではドライバ増幅器1の利得を抑制するように帰還回路100を制御することにより、出力モード切替増幅器200において、出力モードに応じた所望の利得を得ることが可能となる。また、負帰還の効果により、第2の出力モードにおける非線形歪みを低減することができる。

【0028】

次に、図2および図3を参照しながら、図1に示したこの発明の実施の形態1による具体的な動作について説明する。

20

図2は第1の出力モードにおける構成を示す回路ブロック図であり、図3は第2の出力モードにおける構成を示す回路ブロック図である。

【0029】

まず、図2のように、要求される出力電力が低い第1の出力モードにおいては、制御回路80Aは、第1および第2のスイッチ7、8、101に対して第1の切替制御信号を生成し、第1のスイッチ7、8により、最終段増幅器2（破線参照）を含まない第1の経路50に切替えるとともに、第2のスイッチ101をオフにして帰還回路100（破線参照）を無効にする。

【0030】

また、これと同時に、制御回路80Aは、ドライバ増幅器1に対する電源電圧供給をオンにし、最終段増幅器2に対する電源電圧供給をオフにする。

30

第1の出力モード（図2）の場合、出力モード切替増幅器200の動作は、前述（図13）と同様であり、ドライバ増幅器1の利得を維持しつつ1段増幅器として機能する。

【0031】

一方、図3のように、要求される出力電力が高い第2の出力モードにおいては、制御回路80Aは、第1および第2のスイッチ7、8、101に対して第2の切替制御信号を生成し、第1のスイッチ7、8により、最終段増幅器2を含む第2の経路51に切替えるとともに、第2のスイッチ101をオンにして帰還回路100を有効にする。

する。

40

【0032】

また、これと同時に、制御回路80Aは、ドライバ増幅器1および最終段増幅器2の両方に対する電源電圧供給をオンにする。

第2の出力モード（図3）の場合、入力端子20から第1の整合回路3を介してドライバ増幅器1に入力された入力信号は、ドライバ増幅器1で増幅された後に、出力端子91から、帰還回路100（第2のスイッチ101、容量素子102および抵抗素子103）を介して、ドライバ増幅器1の入力端子90に負帰還される。

【0033】

このとき、負帰還型増幅器10からの出力信号の電圧 V_{out} は、負帰還型増幅器10への入力信号の電圧 V_{in} と、ドライバ増幅器1の利得 G_{drv} と、帰還回路100の帰還量（ < 1 ）と、ドライバ増幅器1で発生する歪み D とを用いて、以下の式（1）のよ

50

うに表される。

【0034】

$$V_{out} = (V_{in} /) + (D / G_{drv} \cdot) \dots (1)$$

【0035】

ただし、式(1)において、 $G_{drv} \cdot >> 1$ であり、第2項(右側)の値は無視することができる。

したがって、式(1)の第1項(左側)から明らかなように、利得 G_{drv} を有するドライバ増幅器1に対して、帰還量による負帰還をかけた場合、負帰還型増幅器10の利得 G_{drv_fb} は、簡略的に表すと、以下の式(2)となる。

【0036】

$$G_{drv_fb} = 1 / \dots (2)$$

【0037】

式(2)から明らかなように、負帰還型増幅器10の利得 G_{drv_fb} は、ドライバ増幅器1の利得 G_{drv} から $1 /$ 分だけ低下することが分かる。

また、式(1)から明らかなように、ドライバ増幅器1で発生する歪み D は、負帰還をかけることにより、ループ利得 $G_{drv} \cdot$ 分だけ低減することが分かる。

【0038】

以下、負帰還型増幅器10の出力信号は、第1のスイッチ7、第2の経路51および第3の整合回路5を介して最終段増幅器2に入力され、最終段増幅器2でさらに増幅された後、第4の整合回路6および第1のスイッチ8を介して出力端子21から出力される。

【0039】

この結果、入力端子20から入力された入力信号は、ドライバ増幅器1および最終段増幅器2の両方で増幅され、利得が抑制された高出力電力となって出力端子21から出力される。

【0040】

一般に、第2の出力モードでは、ドライバ増幅器1および最終段増幅器2からなる2つの増幅器の非線形性が重畳されるので、第1の出力モードに比べて大きな歪みが発生するが、ドライバ増幅器1での帰還回路100による負帰還により、非線形歪みを低減することができる。

【0041】

図4および図5はこの発明の実施の形態1に係る出力モード切替増幅器200の第2の出力モードにおける動作特性を示す説明図であり、図4は出力電力-利得特性を示し、図5は周波数-出力特性を示している。

【0042】

図4、図5においては、従来特性(破線)と比較しながら各特性を示しており、図4において、横軸は出力電力 P_{out} 、縦軸は利得 G_a であり、図5において、横軸は出力周波数、縦軸は出力電力 P_{out} である。

【0043】

第2の出力モードにおいては、従来特性(破線)の場合には、出力電力 P_{out} 全般に対して利得 G_a が過剰に高くなり(図4参照)、且つ周波数に対する出力電力 P_{out} の歪みも大きくなる(図5参照)。

これに対して、この発明の実施の形態1(実線)によれば、利得 G_a が均一に抑制され(図4参照)、且つ周波数に対する出力電力 P_{out} の歪みも小さくなる(図5参照)。

【0044】

なお、ここでは、各1個のドライバ増幅器1および最終段増幅器2を用いた場合を示したが、要求利得に応じて、任意数ずつ(直列接続された P 個のドライバ増幅器1と、直列接続された $N - P$ 個の最終段増幅器2)を用いてもよい。

また、2つの出力モードを有する出力モード切替増幅器200を例にとって説明したが、出力モードは2つに限定されず、任意の複数の出力モードを有する出力モード切替増幅器にも適用可能なことは言うまでもない。

10

20

30

40

50

【0045】

以上のように、この発明の実施の形態1(図1~図5)に係る出力モード切替増幅器は、出力電力の異なる複数の出力モードを有する出力モード切替増幅器200であって、切替手段を介して直列接続されたN個(図1では、 $N = 2$)の増幅器(ドライバ増幅器1、最終段増幅器2)と、複数の出力モードに応じて、N個の増幅器の接続状態およびオン/オフ状態を切替制御する制御回路80Aとを備えている。

【0046】

N個の増幅器のうちP個(図1では、 $P = 1$)の増幅器は、ドライバ増幅器1を構成するとともに、自身の出力信号を自身の入力側に負帰還させる帰還回路100を含む負帰還型増幅器10を構成している。

N個の増幅器のうち $N - P$ 個(図1では、 $N - P = 1$)の増幅器は、負帰還型増幅器10に対して切り離し可能に直列接続された最終段増幅器2を構成している。

【0047】

制御回路80Aは、要求される出力電力が比較的低い第1の出力モードにおいては、最終段増幅器2を負帰還型増幅器10から切り離すとともに、ドライバ増幅器に並列接続された帰還回路100を無効化し、要求される出力電力が比較的高い第2の出力モードにおいては、最終段増幅器2を負帰還型増幅器10に直列接続するとともに、帰還回路100を有効化する。

【0048】

具体的には、負帰還型増幅器10と最終段増幅器2の間には、第1のスイッチ7(第1の切替手段)が挿入され、最終段増幅器2の出力側には、第1のスイッチ8(第1の切替手段)が挿入され、ドライバ増幅器1の出力側と帰還回路100の間には、第2のスイッチ101(第2の切替手段)挿入されている。

【0049】

帰還回路100は、抵抗素子103および容量素子102の少なくとも一方を含み、たとえば、図1のように、抵抗素子103および容量素子102からなる直列接続回路を含む。

【0050】

制御回路80Aは、第1の出力モードにおいては、最終段増幅器2を短絡するように第1のスイッチ7、8を切替えるとともに、第2のスイッチ101をオフにして帰還回路100を無効化し、第2の出力モードにおいては、負帰還型増幅器10に最終段増幅器2が直列接続されるように第1のスイッチ7、8を切替えるとともに、第2のスイッチ101をオンにして帰還回路100を有効化する。

【0051】

負帰還型増幅器10は、第2の出力モードにおいては、第1の出力モードにおける増幅率よりも低い増幅率で入力信号を増幅する。

また、最終段増幅器2は、第2の出力モードのみにおいて、負帰還型増幅器10からの出力信号をさらに増幅する。

【0052】

このように、第1の出力モードにおいては、帰還回路100を無効化してドライバ増幅器1の利得を維持し、第2の出力モードにおいては、帰還回路100を有効化してドライバ増幅器1の利得を抑制することにより、第2の出力モードで過大な利得になるのを防ぐことができる。

【0053】

したがって、異なる出力モードにおいて所望の利得を得るとともに、受信帯雑音の劣化を抑制することができる。

また、非線形性が強い第2の出力モードにおいても、歪みを低減することができるという効果が得られる。

【0054】

(実施例2)

10

20

30

40

50

なお、上記実施の形態 1 (図 1) では、帰還回路 1 0 0 内に第 2 のスイッチ 1 0 1 を設けたが、図 6 のように、第 2 のスイッチ 1 0 1 の機能を第 1 のスイッチ 7 B と共有化して、第 2 のスイッチ 1 0 1 を省略してもよい。

【 0 0 5 5 】

図 6 はこの発明の実施の形態 2 に係る出力モード切替増幅器 2 0 0 B の構成を示す回路ブロック図であり、前述 (図 1 参照) と同様のものについては、前述と同一符号を付して、または符号の後に「 B 」を付して詳述を省略する。

【 0 0 5 6 】

図 6 において、帰還回路 1 0 0 B 内の容量素子 1 0 2 の一端は、第 1 のスイッチ 7 B の出力端子 9 2 に接続されている。

図 6 の出力モード切替増幅器 2 0 0 B において、前述 (図 1) の出力モード切替増幅器 2 0 0 との相違点は、第 2 のスイッチ 1 0 1 を除去し、第 1 のスイッチ 7 B を用いて、第 1 の経路 5 0 と第 2 の経路 5 1 との切替動作、および帰還回路 1 0 0 B のオン / オフ切替動作を行うことにある。

【 0 0 5 7 】

この場合、第 1 のスイッチ 7 B は、容量素子 1 0 2 および抵抗素子 1 0 3 とともに帰還回路 1 0 0 B を構成するとともに、さらにドライバ増幅器 1 とともに負帰還型増幅器 1 0 B を構成しており、モード変更時の信号経路の切替動作のみでなく、帰還回路 1 0 0 B のオン / オフ切替動作にも併用される。

これにより、前述の実施の形態 1 と比較して、帰還回路 1 0 0 B 内に第 2 のスイッチを装荷する必要もなく、小形化を図ることができる。

【 0 0 5 8 】

次に、図 6 に示したこの発明の実施の形態 2 による具体的な動作について説明する。

まず、第 1 の出力モードにおいては、制御回路 8 0 B は、第 1 の切替制御信号により、第 1 のスイッチ 7 B、8 を第 1 の経路 5 0 側に接続するとともに、ドライバ増幅器 1 のみをオンにする。

このとき、容量素子 1 0 2 が第 1 のスイッチ 7 B から切り離されるので、帰還回路 1 0 0 B は無効となり、前述 (図 2) と同様の動作となる。

【 0 0 5 9 】

一方、第 2 の出力モードにおいては、制御回路 8 0 B は、第 2 の切替制御信号により、第 1 のスイッチ 7 B、8 を第 2 の経路 5 1 側に接続するとともに、ドライバ増幅器 1 および最終段増幅器 2 の両方をオンにする。

このとき、容量素子 1 0 2 が第 1 のスイッチ 7 B に接続されるので、帰還回路 1 0 0 B は有効となり、前述 (図 3) と同様の動作となる。

【 0 0 6 0 】

以上のように、この発明の実施の形態 2 (図 6) によれば、第 2 のスイッチ 1 0 1 の機能を単一の切替手段 (第 1 のスイッチ 7 B) で共用化し、第 1 のスイッチ 7 B を、入力信号の経路切替のみでなく、帰還回路 1 0 0 B のオン / オフにも併用する構成としたので、第 1 の出力モードにおいては、ドライバ増幅器 1 の利得を維持し、第 2 の出力モードにおいては、ドライバ増幅器 1 の利得を抑制しつつ、非線形歪みを低減することができる。

また、帰還回路 1 0 0 B に第 2 のスイッチを装荷する必要がないので、前述の実施の形態 1 と比較して、さらに小形化を実現することができる。

【 0 0 6 1 】

(実施例 3)

なお、上記実施の形態 1、2 (図 1、図 6) では、特に言及しなかったが、図 7 のように、ドライバ増幅器 1 の入力端子 9 0 側に直流阻止用の容量素子 1 0 4 を挿入してもよい。

図 7 はこの発明の実施の形態 3 に係る出力モード切替増幅器 2 0 0 C の構成を示す回路ブロック図であり、前述 (図 1 参照) と同様のものについては、前述と同一符号を付して、または符号の後に「 C 」を付して詳述を省略する。ここでは、図 1 の回路構成に直流阻

10

20

30

40

50

止用の容量素子 104 を追加した場合を示しているが、図 6 の回路構成に直流阻止用の容量素子 104 を追加してもよい。

【0062】

図 7 において、ドライバ増幅器 1 の入力端子 90 側には、直流阻止用の容量素子 104 が挿入されており、直流阻止用の容量素子 104 は、第 2 のスイッチ 101、容量素子 102 および抵抗素子 103 とともに、負帰還型増幅器 10C を構成している。

【0063】

図 7 の出力モード切替増幅器 200C において、前述（図 1）の出力モード切替増幅器 200 との相違点は、ドライバ増幅器 1 の入力側に直流阻止用の容量素子 104 を装荷し、直流阻止用の容量素子 104 を含む負帰還型増幅器 10C（帰還ループ）を構成することにある。

10

【0064】

すなわち、帰還回路 100C は、第 2 のスイッチ 101、容量素子 102 および抵抗素子 103 に加えて、ドライバ増幅器 1 の入力側に直列接続された直流阻止用の容量素子 104 を含む。

これにより、前述の実施の形態 1 と比較して、低周波数では、直流阻止用の容量素子 104 の効果により、ドライバ増幅器 1 に入力される電力が低下してループ利得が低下するので、低周波数での発振を抑圧することができる。

【0065】

次に、図 7 に示したこの発明の実施の形態 3 による具体的な動作について説明する。

20

まず、第 1 の出力モードにおいては、前述（図 2）と同様に、第 1 のスイッチ 7、8 が第 2 の整合回路 4 側に切替えられて、最終段増幅器 2 が短絡状態（切り離し状態）となり、第 2 のスイッチ 101 がオフされて帰還回路 100C が無効化される。このときの動作は、前述と同様である。

【0066】

一方、第 2 の出力モードにおいては、前述（図 3）と同様に、第 1 のスイッチ 7、8 が切替えられて負帰還型増幅器 10C に最終段増幅器 2 が直列接続され、かつ、第 2 のスイッチ 101 がオンされて帰還回路 100C が有効化される。

【0067】

このとき、ドライバ増幅器 1 の出力端子 91 から入力端子 90 に負帰還された信号は、低周波数時においては、直流阻止用の容量素子 104 が高インピーダンスに見えるので、入力端子 20 側に流れやすくなる。

30

したがって、ドライバ増幅器 1 に入力される負帰還信号の電力が低下し、ループ利得が低下するので、低周波数時におけるドライバ増幅器 1 の発振を抑圧することができる。

【0068】

以上のように、この発明の実施の形態 3（図 7）による帰還回路 100C は、ドライバ増幅器 1 の入力側に装荷された直流阻止用の容量素子 104 を含み、直流阻止用の容量素子 104 を含めて負帰還型増幅器 10C（帰還ループ）を構成したので、低周波数時には、直流阻止用の容量素子 104 が高インピーダンスとして作用する。

【0069】

40

これにより、ドライバ増幅器 1 に入力される負帰還信号の電力が低下してループ利得が低下するので、前述の実施の形態 1 と比較して、低周波数時での発振を抑圧することができる。

また、直流阻止用の容量素子 104 は、ドライバ増幅器 1 の入力側に通常装荷される容量素子と共用化することができるので、格別なコストアップを招くこともない。

【0070】

（実施例 4）

なお、上記実施の形態 1～3（図 1、図 6、図 7）では、第 1 および第 2 の出力モードに応じて、2 通りの利得切替動作を行う負帰還型増幅器 10、10B、10C を用いたが、図 8 のように、任意の M 通りの利得切替動作を行う負帰還型増幅器 10D を用いてもよ

50

い。

【0071】

図8はこの発明の実施の形態4に係る出力モード切替増幅器200Dの構成を示す回路ブロック図であり、前述(図1参照)と同様のものについては、前述と同一符号を付して、または符号の後に「D」を付して詳述を省略する。ここでは、代表的に、図1の構成に適用した場合を示しているが、図6または図7の構成にも適用可能なことは言うまでもない。

【0072】

図8において、ドライバ増幅器1の入出力端子90、91の間に並列に挿入された帰還回路100Dは、M(Mは2以上の自然数)個の並列ループ回路からなり、M個の第2のスイッチ101a、101b、・・・、101mと、M個の容量素子102a、102b、・・・、102mと、M個の抵抗素子103a、103b、・・・、103mと、を備えている。

10

【0073】

図8の出力モード切替増幅器200Dにおいて、前述(図1)の出力モード切替増幅器200との相違点は、M個の容量素子102a~102mとM個の抵抗素子103a~103mとからなるM個の直列接続回路を装荷し、第2の出力モード時に、制御回路80Dが、M個の第2のスイッチ101a~101mの所要数をオン制御することにより、帰還回路100Dの帰還量を調整することにある。

【0074】

これにより、前述の実施の形態1と比較して、M通りの利得を得ることができるので、利得の微調整が可能になり、多くの出力モードが要求されるようなマルチモードシステムにも適用することができる。

20

【0075】

次に、図8に示したこの発明の実施の形態4による具体的な動作について説明する。

まず、第1の出力モードの動作については、前述(図2)と同様なので省略する。

一方、第2の出力モードにおいては、制御回路80Dは、負帰還型増幅器10Dに最終段増幅器2が直列接続されるように第1のスイッチ7、8を制御するとともに、要求される利得に合わせて、第2のスイッチ101a~101mのオン/オフを選択し、第2のスイッチ101a~101mの所要数をオン制御する。

30

【0076】

すなわち、最下段の容量素子102aおよび抵抗素子103aのみを有効化する場合に、第2のスイッチ101aのみをオンさせ、下から2段目までの容量素子102a、102bおよび抵抗素子103a、103bのみを有効化する場合に、第2のスイッチ101a、101bのみをオンさせ、最上段までの容量素子102a~102mおよび抵抗素子103a~103mを有効化する場合に、M個すべての第2のスイッチ101a~101mをオンさせる。これにより、帰還回路100Dの抵抗値が順次に減少して帰還量が増大し、利得が減少するので、負帰還型増幅器10Dの利得をM通りに調整することができる。

【0077】

以上のように、この発明の実施の形態4(図8)によれば、容量素子および抵抗素子からなる直列接続回路を、ドライバ増幅器1の入出力端子90、91間に並列にM個装荷して帰還回路100Dを構成し、M個の第2のスイッチ101a~101mのオン/オフによって帰還回路100Dの帰還量を調整することにより、M通りの利得を得ることができるので、前述の実施の形態1と比較して、利得の微調整が可能になる。

40

【0078】

すなわち、第2のスイッチ101a~101mを介して並列接続されたM個の直列接続回路(それぞれ直列接続された容量素子102a~102mおよび抵抗素子103a~103m)からなる帰還回路100Dの抵抗値および容量値は、第2のスイッチ101a~101mのオン/オフによって可変設定されるので、抵抗値に応じた帰還量と、容量値

50

に応じた周波数特性との両方を可変設定することができる。

また、さらに多くの出力モードが要求されるようなマルチモードシステムにも適用することができる。

【0079】

(実施例5)

なお、上記実施の形態4(図8)では、第2の出力モードにおいて、容量素子および抵抗素子からなるM個の直列接続回路を選択的に有効化することにより、帰還回路100Dの抵抗値および容量値(帰還量 および周波数特性)の両方を可変設定したが、容量素子または抵抗素子のいずれか一方を固定値として、他方のみを選択的に切替えてもよい。

【0080】

たとえば、図9に示すように、第2のスイッチ101aとドライバ増幅器1の出力端子91との間に単一の容量素子102を挿入し、第2のスイッチ101a~101mを介してM個の抵抗素子103a~103mを並列接続し、第2のスイッチ101a~101mのオン/オフによって帰還回路100Eの抵抗値のみを可変設定するように構成すれば、帰還量(利得)のみを任意に設定することができる。

【0081】

一方、図9内の容量素子102に代えて、第2のスイッチ101aとドライバ増幅器1の出力端子91との間に単一の抵抗素子103を挿入し、第2のスイッチ101a~101mを介してM個の容量素子102a~102m(図8参照)を並列接続し、第2のスイッチ101a~101mのオン/オフによって帰還回路の容量値のみを可変設定するように構成すれば、帰還回路100Eの容量値(周波数特性)を任意に設定することができる。

【0082】

(実施例6)

なお、上記実施の形態1~5では、特に言及しなかったが、帰還回路100、100B、100C、100D内に、高域通過フィルタ、低域通過フィルタまたは位相進み回路を追加挿入してもよい。

【0083】

たとえば、前述の実施の形態1(図1)の帰還回路100に高域通過フィルタを追加する場合には、図10に示すように、高域通過フィルタを構成する容量素子105を帰還回路100Fに追加挿入するとともに、帰還回路100Fとグランドとの間に高域通過フィルタを構成する抵抗素子106を挿入すればよい。

これにより、低周波信号の帰還が阻止されて、高域信号の帰還量のみを増大設定することが可能となる。

【0084】

一方、帰還回路に低域通過フィルタを追加する場合には、図10内の容量素子105に代えて、低域通過フィルタを構成する抵抗素子を帰還回路に追加挿入するとともに、帰還回路とグランドとの間に低域通過フィルタを構成する容量素子を挿入すればよい。

これにより、高周波信号の帰還が阻止されて、低域信号の帰還量のみを増大設定することが可能となる。

【0085】

さらに、帰還回路に位相進み回路を追加する場合には、図11に示すように、位相進み回路を構成する容量素子107および抵抗素子108の並列接続回路を帰還回路に追加挿入すればよい。

これにより、帰還信号の位相遅れを防止して発振を回避することが可能となる。

【0086】

(実施例7)

なお、上記実施の形態1~6では、特に言及しなかったが、ドライバ増幅器1および最終段増幅器2として、ヘテロ接合バイポーラトランジスタ(HBT: Heterojunction Bipolar Transistor)を用いてもよい。

10

20

30

40

50

これにより、広い出力電力範囲で高効率特性を損なうことなく、出力モード切替増幅器の高速動作が可能となるので、広い用途に適用することができる。

【0087】

また、上記実施の形態1～6では、2つの出力モード（低出力電力モードおよび高出力電力モード）を有する出力モード切替増幅器について説明したが、2つの出力モードに限定されることはなく、任意の複数の出力モードを有する出力モード切替増幅器にも適用することができる。

この場合、たとえば、ドライバ増幅器1および最終段増幅器2を、それぞれ利得の異なる複数の並列増幅器により構成し、切替スイッチを介して所要の増幅器を選択するように構成すればよい。

【0088】

さらに、上記各実施の形態においては、それぞれ代表的な適用例について説明したが、各実施の形態の構成を任意に組み合わせて適用することは可能であり、その場合、各実施の形態での効果が重複して得られることは言うまでもない。

【符号の説明】

【0089】

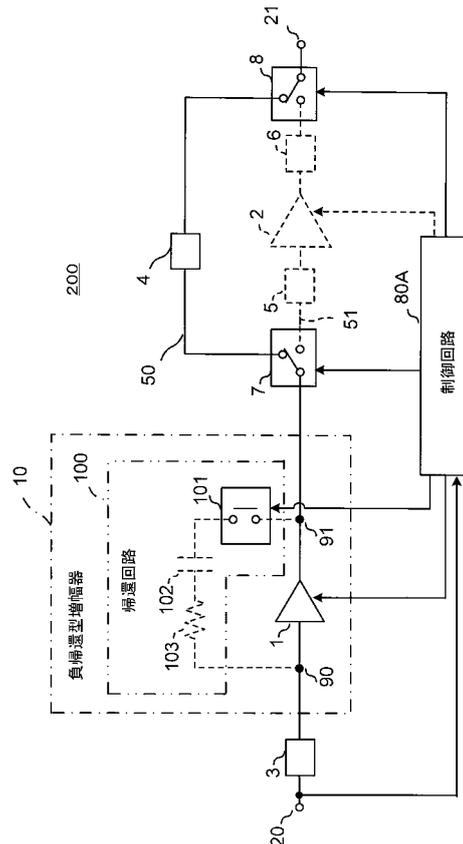
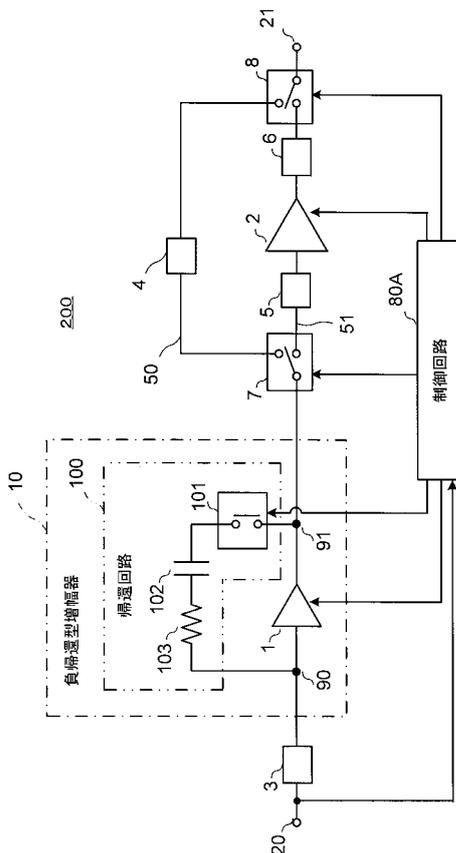
1 ドライバ増幅器、2 最終段増幅器、7、7B、8 第1のスイッチ（第1の切替手段）、10、10B～10G 負帰還型増幅器、80A～80G 制御回路、100、100B～100G 帰還回路、101、101a～101m 第2のスイッチ（第2の切替手段）、102、102a～102m 容量素子、103、103a～103m 抵抗素子、104 直流阻止用の容量素子、105 高域通過フィルタの容量素子、106 高域通過フィルタの抵抗素子、107 位相進み回路の容量素子、108 位相進み回路の抵抗素子、200、200B～200G 出力モード切替増幅器。

10

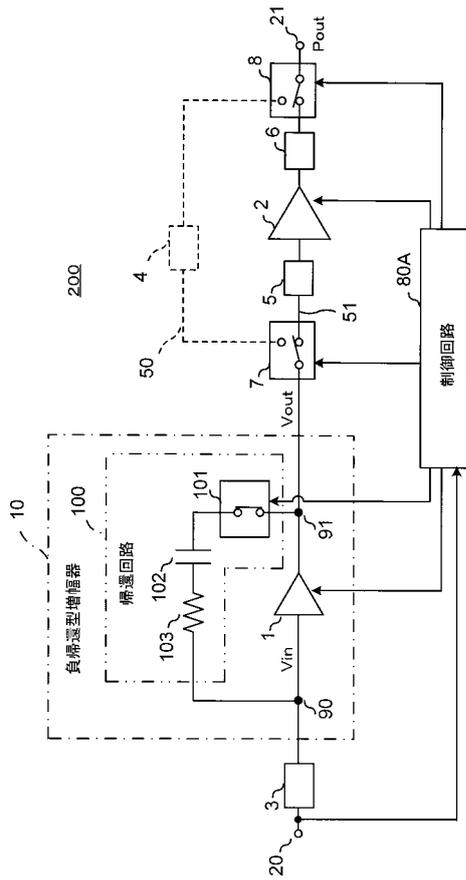
20

【図1】

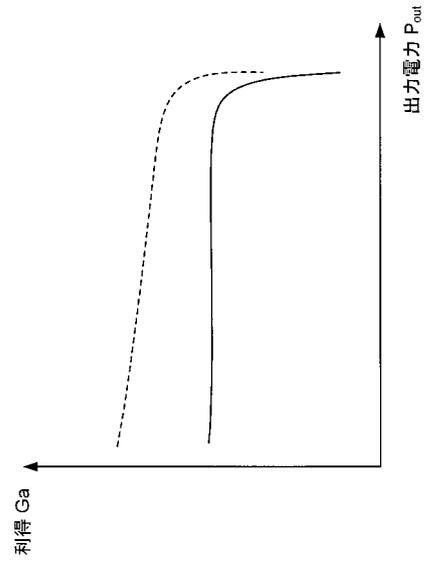
【図2】



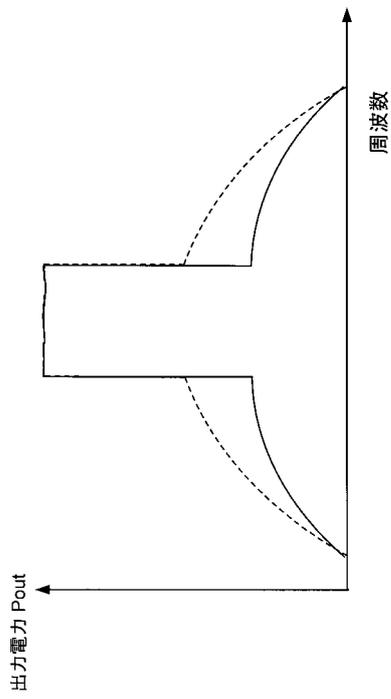
【 図 3 】



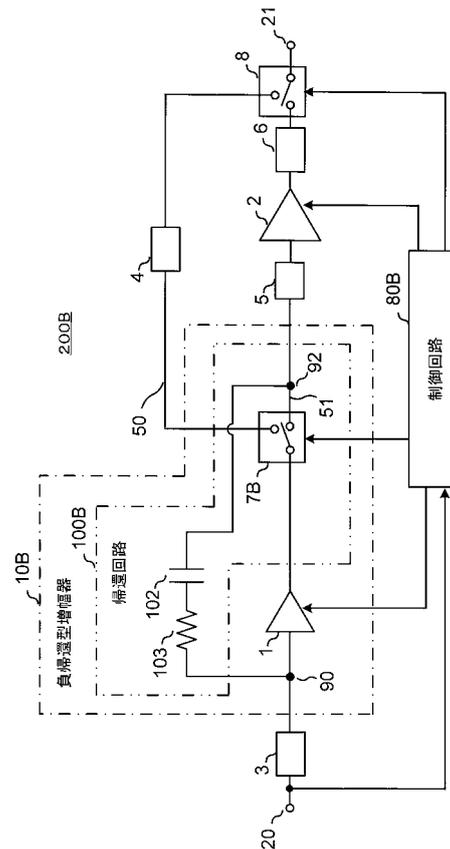
【 図 4 】



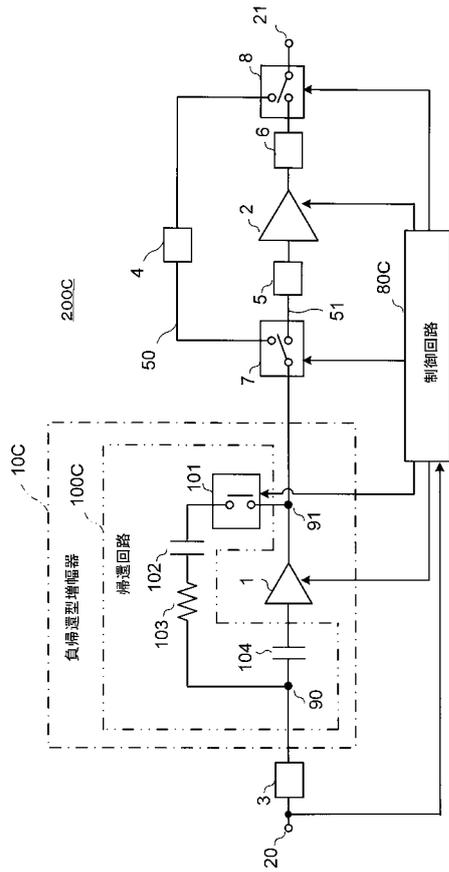
【 図 5 】



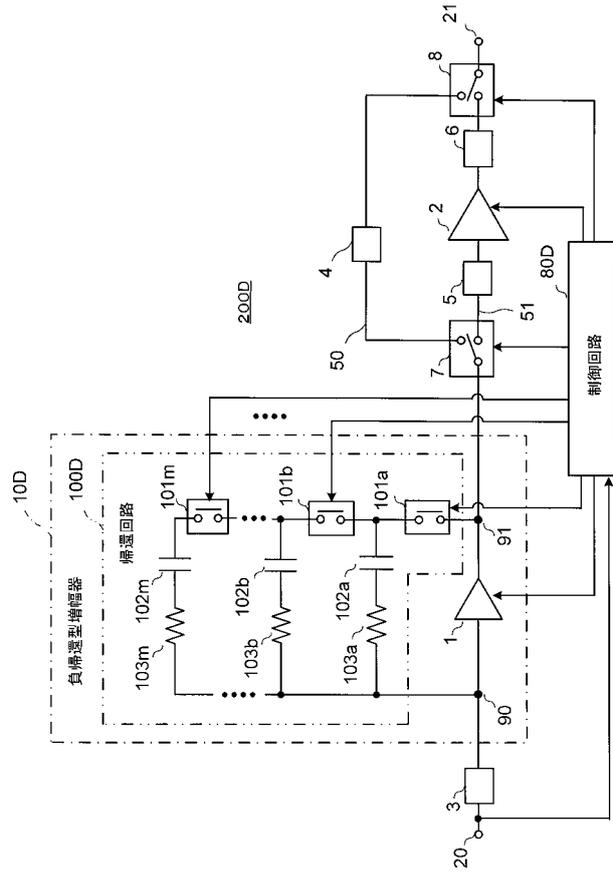
【 図 6 】



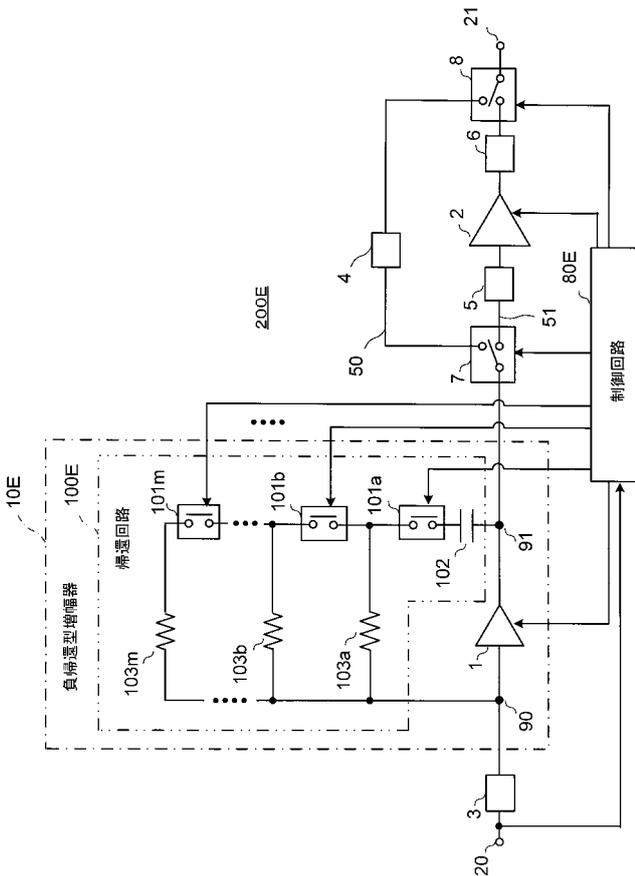
【 図 7 】



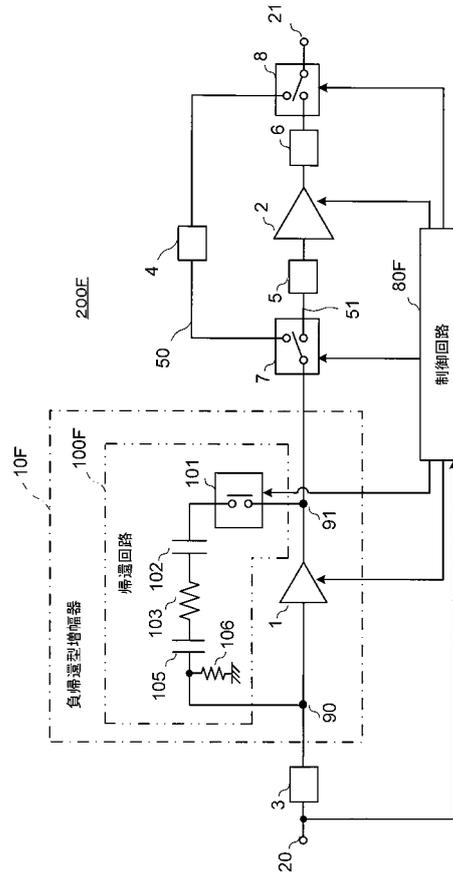
【 図 8 】



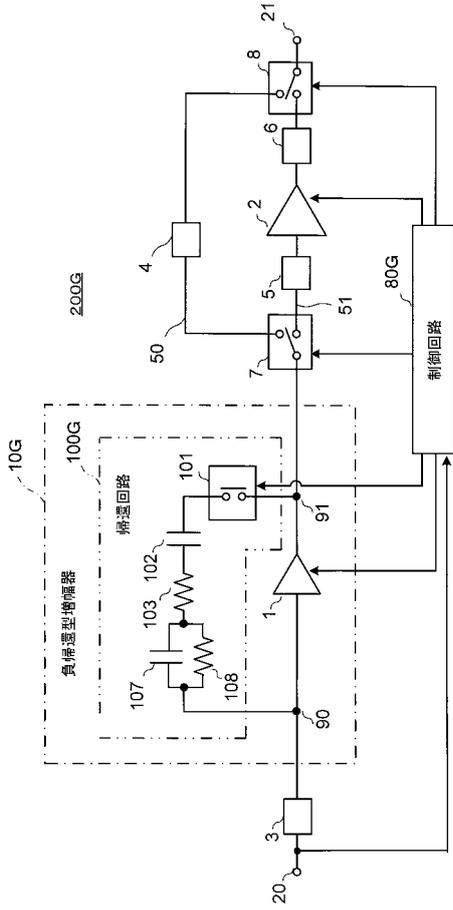
【 図 9 】



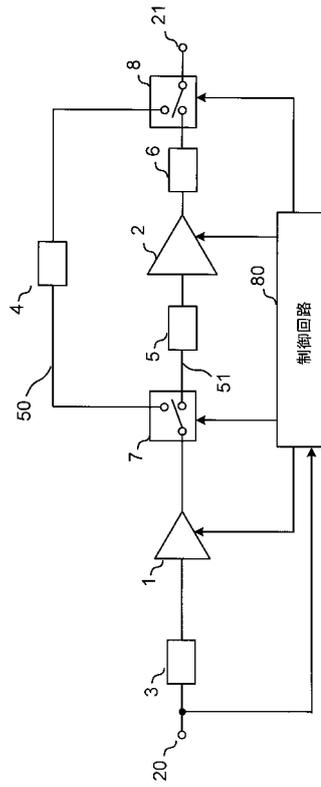
【 図 10 】



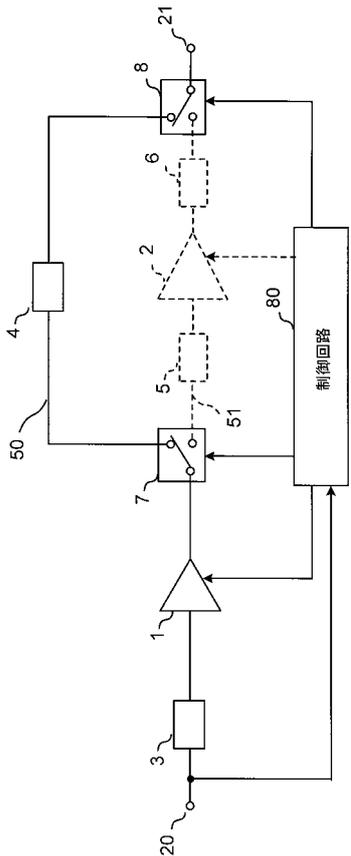
【 図 1 1 】



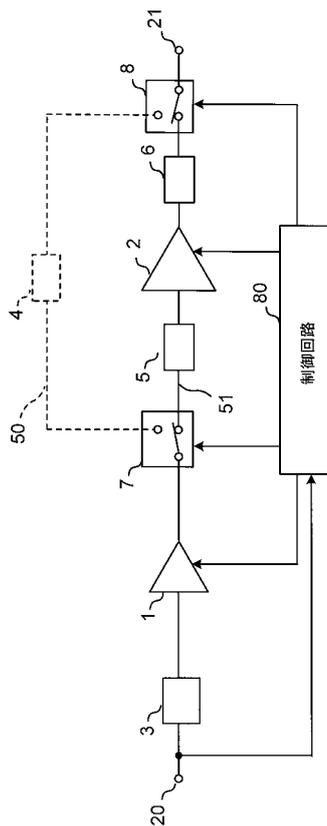
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



【手続補正書】

【提出日】平成26年3月13日(2014.3.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

この発明に係る出力モード切替増幅器は、出力電力の異なる複数の出力モードを有する出力モード切替増幅器であって、切替手段を介して直列接続された N 個(N は2以上の自然数)の増幅器と、複数の出力モードに応じて、 N 個の増幅器の接続状態およびオン/オフ状態を切替制御する制御回路とを備え、 N 個の増幅器のうちの P 個(P は1以上の自然数、 $P < N$)の増幅器は、ドライバ増幅器を構成するとともに、自身の出力信号を自身の入力側に負帰還させる帰還回路を含む負帰還型増幅器を構成し、 N 個の増幅器のうちの $N - P$ 個の増幅器は、負帰還型増幅器に対して切り離し可能に直列接続された最終段増幅器を構成し、前記最終段増幅器に設けられた第1の切替手段と、前記帰還回路に設けられた第2の切替手段と、を備え、前記制御回路は、入力される入力信号の電流レベルが基準値以下の場合には出力モードを第1の出力モードに決定し、前記入力信号の電流レベルが前記基準値よりも高い場合には出力モードを第2の出力モードに決定し、前記第1の出力モードにおいては、前記最終段増幅器を短絡するように前記第1の切替手段を切替えるとともに、前記第2の切替手段をオフにして前記帰還回路を無効化し、前記第2の出力モードにおいては、前記負帰還型増幅器に対して前記最終段増幅器を直列接続するように前記第1の切替手段を切替えるとともに、前記第2の切替手段をオンにして前記帰還回路を有効化し、前記負帰還型増幅器は、前記第2の出力モードにおいては、前記第1の出力モードにおける増幅率よりも低い増幅率で入力信号を増幅し、前記最終段増幅器は、前記第2の出力モードのみにおいて、前記負帰還型増幅器からの出力信号をさらに増幅し、前記第1および第2の切替手段は、単一の切替手段で共用化されているものである。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

出力電力の異なる複数の出力モードを有する出力モード切替増幅器であって、切替手段を介して直列接続された N 個(N は2以上の自然数)の増幅器と、

前記複数の出力モードに応じて、前記 N 個の増幅器の接続状態およびオン/オフ状態を切替制御する制御回路とを備え、

前記 N 個の増幅器のうちの P 個(P は1以上の自然数、 $P < N$)の増幅器は、ドライバ増幅器を構成するとともに、自身の出力信号を自身の入力側に負帰還させる帰還回路を含む負帰還型増幅器を構成し、

前記 N 個の増幅器のうちの $N - P$ 個の増幅器は、前記負帰還型増幅器に対して切り離し可能に直列接続された最終段増幅器を構成し、

前記最終段増幅器に設けられた第1の切替手段と、

前記帰還回路に設けられた第2の切替手段と、を備え、

前記制御回路は、

入力される入力信号の電流レベルが基準値以下の場合には出力モードを第1の出力モードに決定し、前記入力信号の電流レベルが前記基準値よりも高い場合には出力モードを第2の出力モードに決定し、

前記第1の出力モードにおいては、

前記最終段増幅器を短絡するように前記第1の切替手段を切替えるとともに、前記第2の切替手段をオフにして前記帰還回路を無効化し、

前記第2の出力モードにおいては、

前記負帰還型増幅器に対して前記最終段増幅器を直列接続するように前記第1の切替手段を切替えるとともに、前記第2の切替手段をオンにして前記帰還回路を有効化し、

前記負帰還型増幅器は、前記第2の出力モードにおいては、前記第1の出力モードにおける増幅率よりも低い増幅率で入力信号を増幅し、

前記最終段増幅器は、前記第2の出力モードのみにおいて、前記負帰還型増幅器からの出力信号をさらに増幅し、

前記第1および第2の切替手段は、単一の切替手段で共用化されていることを特徴とする出力モード切替増幅器。

【請求項2】

前記帰還回路は、抵抗素子および容量素子の少なくとも一方を含むことを特徴とする請求項1に記載の出力モード切替増幅器。

【請求項3】

前記帰還回路は、抵抗素子および容量素子からなる直列接続回路を含むことを特徴とする請求項2に記載の出力モード切替増幅器。

【請求項4】

前記帰還回路は、前記ドライバ増幅器の入力側に直列接続された直流阻止用の容量素子を含むことを特徴とする請求項1から請求項3までのいずれか1項に記載の出力モード切替増幅器。

【請求項5】

前記帰還回路は、高域通過フィルタを含むことを特徴とする請求項1から請求項4までのいずれか1項に記載の出力モード切替増幅器。

【請求項6】

前記高域通過フィルタは、前記帰還回路に追加挿入された容量素子と、前記帰還回路とグランドとの間に挿入された抵抗素子とにより構成されたことを特徴とする請求項5に記載の出力モード切替増幅器。

【請求項7】

前記帰還回路は、低域通過フィルタを含むことを特徴とする請求項1から請求項4までのいずれか1項に記載の出力モード切替増幅器。

【請求項8】

前記低域通過フィルタは、前記帰還回路に追加挿入された抵抗素子と、前記帰還回路とグランドとの間に挿入された容量素子とにより構成されたことを特徴とする請求項7に記載の出力モード切替増幅器。

【請求項9】

前記帰還回路は、位相進み回路を含むことを特徴とする請求項1から請求項4までのいずれか1項に記載の出力モード切替増幅器。

【請求項10】

前記位相進み回路は、前記帰還回路に追加挿入された抵抗素子および容量素子の並列接続回路により構成されたことを特徴とする請求項9に記載の出力モード切替増幅器。

【請求項11】

前記帰還回路は、前記第2の切替手段を介して並列接続されたM個（Mは2以上の自然数）の抵抗素子を含み、前記第2の切替手段のオン/オフによって抵抗値が可変設定されることを特徴とする請求項1から請求項10までのいずれか1項に記載の出力モード切替増幅器。

【請求項12】

前記帰還回路は、前記第2の切替手段を介して並列接続されたM個（Mは2以上の自然数）の容量素子を含み、前記第2の切替手段のオン/オフによって容量値が可変設定されることを特徴とする請求項1から請求項10までのいずれか1項に記載の出力モード切替

増幅器。

【請求項 1 3】

前記帰還回路は、前記第 2 の切替手段を介して並列接続された M 個（M は 2 以上の自然数）の直列接続回路を含み、

前記 M 個の直列接続回路は、それぞれ、直列接続された容量素子および抵抗素子により構成され、

前記帰還回路の抵抗値および容量値は、前記第 2 の切替手段のオン/オフによって可変設定されることを特徴とする請求項 1 から請求項 1 0 までのいずれか 1 項に記載の出力モード切替増幅器。

【請求項 1 4】

前記 N 個の増幅器は、それぞれ、ヘテロ接合バイポーラトランジスタにより構成されたことを特徴とする請求項 1 から請求項 1 3 までのいずれか 1 項に記載の出力モード切替増幅器。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/075862

A. CLASSIFICATION OF SUBJECT MATTER H03G3/30(2006.01)i, H03F1/34(2006.01)i, H03F3/24(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03G3/30, H03F1/34, H03F3/24 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-130275 A (Sony Corp.), 16 May 1997 (16.05.1997), paragraphs [0044] to [0047]; fig. 3 & JP 2006-60855 A & US 5862461 A & US 6070063 A & EP 762638 A2 & CN 1153430 A & CN 1389986 A & CN 100391109 C	1-17
Y	JP 2009-225342 A (New Japan Radio Co., Ltd.), 01 October 2009 (01.10.2009), paragraphs [0024] to [0033]; fig. 1, 2 (Family: none)	1-17
Y	JP 6-90123 A (Fujitsu Ltd.), 29 March 1994 (29.03.1994), entire text; fig. 1 (Family: none)	8-13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 December, 2011 (12.12.11)		Date of mailing of the international search report 27 December, 2011 (27.12.11)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/075862

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-243606 A (Sony Corp.), 20 June 2007 (20.06.2007), entire text; fig. 1 & US 2007/0210864 A1	14-16
Y	JP 2003-347870 A (Mitsubishi Electric Corp.), 05 December 2003 (05.12.2003), paragraphs [0002], [0003]; fig. 1, 2 & US 2003/0218500 A1 & DE 10302630 A & FR 2840129 A & CN 1459926 A	17

国際調査報告		国際出願番号 PCT/JP2011/075862									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03G3/30(2006.01)i, H03F1/34(2006.01)i, H03F3/24(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03G3/30, H03F1/34, H03F3/24											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2011年	日本国実用新案登録公報	1996-2011年	日本国登録実用新案公報	1994-2011年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2011年										
日本国実用新案登録公報	1996-2011年										
日本国登録実用新案公報	1994-2011年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y	JP 9-130275 A (ソニー株式会社) 1997.05.16, 段落【0044】 - 【0047】, 図3 & JP 2006-60855 A & US 5862461 A & US 6070063 A & EP 762638 A2 & CN 1153430 A & CN 1389986 A & CN 100391109 C	1-17									
Y	JP 2009-225342 A (新日本無線株式会社) 2009.10.01, 段落【0024】 - 【0033】, 図1, 2 (ファミリーなし)	1-17									
Y	JP 6-90123 A (富士通株式会社) 1994.03.29, 全文, 図1 (ファミリーなし)	8-13									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 12.12.2011		国際調査報告の発送日 27.12.2011									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 高橋 義昭	5T 4776								
		電話番号 03-3581-1101 内線 3568									

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 7 5 8 6 2
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-243606 A (ソニー株式会社) 2007.06.20, 全文, 図1 & US 2007/0210864 A1	14-16
Y	JP 2003-347870 A (三菱電機株式会社) 2003.12.05, 段落【0002】, 【0003】, 図1, 2 & US 2003/0218500 A1 & DE 10302630 A & FR 2840129 A & CN 1459926 A	17

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, T, J, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, R, O, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, H, U, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

(74)代理人 100161115

弁理士 飯野 智史

(72)発明者 松永 直子

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 堀口 健一

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 大塚 浩志

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 中山 正敏

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 弥政 和宏

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 山本 和也

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 井上 晃

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 5J100 AA14 AA26 BA01 BB07 BB11 BB16 BC05 EA02 FA01

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。