



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월01일
(11) 등록번호 10-0771868
(24) 등록일자 2007년10월25일

(51) Int. Cl.

H03K 19/0175 (2006.01)

(21) 출원번호 10-2006-0019343
(22) 출원일자 2006년02월28일
심사청구일자 2006년02월28일
(65) 공개번호 10-2007-0089387
공개일자 2007년08월31일

(56) 선행기술조사문헌
KR1020050019453 A
(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김재관

경기 성남시 분당구 이매동 아름마을풍림아파트
516-1401

최주선

경기 용인시 풍덕천2동 삼성7차아파트 703-602

(74) 대리인

리애펙특허법인

전체 청구항 수 : 총 12 항

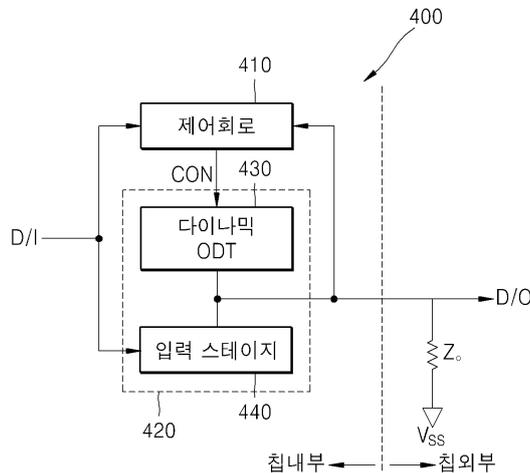
심사관 : 제갈 현

(54) 다이내믹 출력버퍼회로

(57) 요약

입력신호 및 출력신호를 이용하여 임피던스 매칭(Impedance Matching) 및 프리 앰피시스(Pre-Emphasis)를 동시에 수행하며, 소비되는 전력 및 면적이 작고 출력 임피던스를 가변시킬 수 있는 다이내믹(Dynamic) 출력 버퍼회로를 개시한다. 상기 다이내믹 출력버퍼회로는, 외부로 연결된 메탈 라인의 특성 임피던스와 출력 임피던스를 매칭 시키며, 적어도 1개의 입력신호에 대한 프리 앰피시스를 수행하며, 제어회로 및 출력회로를 구비한다. 제어회로는, 적어도 1개의 출력신호에 응답하여 상기 메탈 라인의 특성 임피던스와 상기 다이내믹 출력회로의 출력 임피던스를 매칭 시키는데 사용되며, 상기 적어도 1개의 입력신호에 응답하여 상기 적어도 1개의 입력신호에 대한 프리 앰피시스를 수행하는데 사용되는 복수 개의 레지스터 제어신호를 출력한다. 출력회로는, 상기 복수 개의 레지스터 제어신호에 응답하여 출력 임피던스의 조절 및 상기 적어도 1개의 입력신호에 프리 앰피시스를 수행하여 상기 적어도 1개의 출력신호를 출력한다.

대표도 - 도4



(56) 선행기술조사문헌
JP2005130217 A
KR1020040095912 A
KR1020050081315 A
KR1020010011354 A

특허청구의 범위

청구항 1

외부로 연결된 메탈 라인의 특성 임피던스와 출력 임피던스를 매칭 시키며, 적어도 1개의 입력신호(D/I)에 대한 프리 앰퍼시스(Pre-Emphasis)를 수행하는 다이내믹(Dynamic) 출력버퍼회로에 있어서,

적어도 1개의 출력신호(D/O)에 응답하여 상기 메탈 라인의 특성 임피던스와 상기 다이내믹 출력버퍼회로의 출력 임피던스를 매칭 시키는데 사용되며, 상기 적어도 1개의 입력신호(D/I)에 응답하여 상기 적어도 1개의 입력신호(D/I)에 대한 프리 앰퍼시스(Pre-Emphasis)를 수행하는데 사용되는 복수 개의 레지스터 제어신호(CON)를 출력하는 제어회로(410); 및

상기 복수 개의 레지스터 제어신호(CON)에 응답하여 출력 임피던스의 조절 및 상기 적어도 1개의 입력신호(D/I)에 프리 앰퍼시스를 수행하여 상기 적어도 1개의 출력신호(D/O)를 출력하는 출력회로(420)를 구비하는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 2

제1항에 있어서, 상기 제어회로(410)는,

상기 적어도 1개의 입력신호(D/I)의 에지를 검출하고, 상기 적어도 1개의 입력신호(D/I)의 라이징 에지(Rising Edge) 및 폴링 에지(Falling Edge)에서 상기 적어도 1개의 입력신호의 크기를 일정한 시간 동안 크게 할 것을 지시하는 프리 앰퍼시스 제어신호(PE_C)를 출력하는 프리 앰퍼시스 회로(411);

상기 적어도 1개의 출력신호(D/O) 및 기준신호(Vref)에 응답하여 상기 다이내믹 출력버퍼회로의 출력 임피던스를 상기 메탈 라인의 특성 임피던스와 매칭 시킬 것을 지시하는 임피던스 매칭 제어신호(IM_C)를 출력하는 임피던스 매칭 회로(413); 및

상기 프리 앰퍼시스 제어신호(PE_C) 및 상기 임피던스 매칭 제어신호(IM_C)에 응답하여 상기 레지스터 제어신호(CON)를 출력하는 레지스터회로(412)를 구비하는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 3

제2항에 있어서, 상기 프리 앰퍼시스 회로(411)는,

상기 적어도 1개의 입력신호(D/I)의 에지를 검출하는 에지 검출기를 적어도 1개 구비하는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 4

제2항에 있어서, 상기 기준전압은,

상기 다이내믹 출력버퍼회로의 적어도 1개의 출력신호가 스윙하는 피크-투-피크(Peak to Peak) 전압의 중간 값을 가지는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 5

제2항에 있어서, 상기 제어회로는,

상기 기준전압을 생성시키는 기준전압 생성회로를 더 구비하는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 6

제2항에 있어서, 상기 임피던스 매칭 회로는,

일 입력 단자에 상기 출력신호가 인가되고 다른 일 입력단자에 상기 기준전압이 인가되며 출력단자가 상기 레지스터회로에 연결되는 비교기를 적어도 1개 구비하는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 7

제2항에 있어서, 상기 레지스터회로(412)는,

상기 임피던스 매칭 제어신호(IM_C)에 응답하여 상기 레지스터 제어신호의 값을 일정한 범위에서 변경시키고, 상기 프리 앰퍼시스 제어신호(PE_C)에 응답하여 상기 레지스터 제어신호의 값을 일정한 범위에서 변경시키며, 상기 레지스터 제어신호의 값의 변경은 상기 임피던스 매칭 제어신호 및 상기 프리 앰퍼시스 제어신호가 변경을 멈출 것을 지시할 때 까지 계속되는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 8

제1항에 있어서, 상기 출력회로는,

상기 레지스터 제어신호(CON)에 의하여 동작하며 상기 적어도 1개의 출력신호(D/I)를 출력하는 출력단자에 연결된 다이내믹 ODT(On-Die-Termination); 및

상기 적어도 1개의 입력신호(D/I)에 응답하여 동작하며 상기 출력단자에 연결된 입력 스테이지를 구비하는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 9

제8항에 있어서, 상기 ODT는,

제1 레지스터 제어신호에 응답하여 동작하는 제1 ODT 블록;

제2 레지스터 제어신호에 응답하여 동작하는 제2 ODT 블록;

제N(N은 정수) 레지스터 제어신호에 응답하여 동작하는 제N ODT 블록을 구비하는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 10

제9항에 있어서, 상기 제1 ODT 블록은,

일단이 제1전원전압에 연결되고 게이트에 상기 제1 레지스터 제어신호가 인가되는 제11 모스트랜지스터;

일단이 제1전원전압에 연결되고 게이트에 상기 제1 레지스터 제어신호가 인가되는 제12 모스트랜지스터;

일단이 상기 제11 모스트랜지스터의 다른 일단에 연결되고 다른 일단이 제2출력단자에 연결된 제11 저항; 및

일단이 상기 제12 모스트랜지스터의 다른 일단에 연결되고 다른 일단이 제1출력단자에 연결된 제12 저항을 구비하며,

상기 제2 ODT 블록은,

일단이 제1전원전압에 연결되고 게이트에 상기 제2 레지스터 제어신호가 인가되는 제21 모스트랜지스터;

일단이 제1전원전압에 연결되고 게이트에 상기 제2 레지스터 제어신호가 인가되는 제22 모스트랜지스터;

일단이 상기 제21 모스트랜지스터의 다른 일단에 연결되고 다른 일단이 제2출력단자에 연결된 제21 저항; 및

일단이 상기 제22 모스트랜지스터의 다른 일단에 연결되고 다른 일단이 제1출력단자에 연결된 제22 저항을 구비하며,

상기 제N ODT 블록은,

일단이 제1전원전압에 연결되고 게이트에 상기 제N 레지스터 제어신호가 인가되는 제N1 모스트랜지스터;

일단이 제1전원전압에 연결되고 게이트에 상기 제N 레지스터 제어신호가 인가되는 제N2 모스트랜지스터;

일단이 상기 제N1 모스트랜지스터의 다른 일단에 연결되고 다른 일단이 제2출력단자에 연결된 제N1 저항; 및

일단이 상기 제N2 모스트랜지스터의 다른 일단에 연결되고 다른 일단이 제1출력단자에 연결된 제N2 저항을 구비하는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 11

제10항에 있어서,

상기 각각의 ODT 블록에 포함된 저항은 동일한 값을 가지며,

제1 ODT 블록으로부터 제N ODT 블록에 포함된 저항들의 값은, 상기의 순서대로 각각 2배 씩 증가하는 것을 특징으로 하는 다이내믹 출력버퍼회로.

청구항 12

제10항에 있어서, 상기 입력 스테이지는,

일단이 상기 제1출력단자에 연결되고 게이트에 제1입력신호가 인가되는 제1 입력 트랜지스터;

일단이 상기 제2출력단자에 연결되고 게이트에 제2입력신호가 인가되는 제2 입력 트랜지스터; 및

일단이 상기 제1 입력 트랜지스터의 다른 일단 및 상기 제2 입력 트랜지스터의 다른 일단에 공통으로 연결되며 다른 일단이 제2전원전압에 연결되고 게이트에 바이어스 신호가 인가되는 바이어스 트랜지스터를 구비하는 것을 특징으로 하는 다이내믹 출력버퍼회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 출력회로에 관한 것으로서, 특히, 입력신호 및 출력신호를 이용하여 임피던스 매칭(Impedance Matching) 및 프리 앰퍼시스(Pre-Emphasis)를 동시에 수행할 수 있는 다이내믹(Dynamic) 출력버퍼회로에 관한 것이다.
- <9> 일반적인 도선을 모델링 하기 위해서는, 도선의 전기적 특성이 그 도선을 흐르는 신호의 주파수와 도선의 길이에 따라 다르게 된다는 점을 고려하여야 한다. 예를 들면, 도선에 흐르는 신호의 주파수가 낮아서 상기 신호의 파장이 상기 도선의 길이에 비하여 매우 클 경우, 상기 도선을 모델링 하기 위해서는 저항 성분 및 커패시터 성분만을 고려하면 된다. 그러나 도선에 흐르는 신호의 주파수가 높아서 상기 신호의 파장이 상기 도선의 길이에 비하여 매우 짧을 경우, 상기 도선을 모델링 하기 위해서는 전자기파적인 특성을 아울러 고려하여야 하기 때문에 저항 성분이 아니라 임피던스(Impedance) 성분 및 커패시터 성분을 고려하여야 한다. 상기 임피던스를 일반적으로 특성 임피던스(Characteristic Impedance)라고 한다.
- <10> 반도체 칩들 사이 및 시스템과 시스템 사이에는 메탈 라인이 물리적으로 연결되어 있게 되는데, 상기 메탈 라인을 통하여 신호를 송수신 한다. 여기서, 상기 메탈 라인의 특성 임피던스를 Z_0 라고 가정한다. 상기 메탈 라인의 양 단에 위치한 반도체 칩들 또는 시스템의 입력 임피던스 또는 출력 임피던스가 상기 메탈 라인의 특성 임피던스 Z_0 와 동일하지 않을 경우, 다시 말하면 임피던스 매칭이 이루어지지 않은 경우, 신호의 반사(Reflection)가 발생하게 된다. 반사되는 신호는 계속 이어지는 신호를 간섭하여 입출력되는 신호의 특성을 변화시키게 된다.
- <11> 이전 주기의 신호가 자신이 나타내야 할 전압준위를 나타내기도 전에 다음 주기의 신호가 인가되어, 다음 주기의 신호가 이전 주기의 신호에 의하여 영향을 받는 경우 ISI(Inter Symbol Interference)가 발생한다. 이는 신호의 주파수가 높아 신호의 파장이 짧은 경우에 흔히 발생한다.
- <12> 상기와 같은 송수신 되는 신호의 주파수에 따라 신호의 반사 또는 ISI를 억제하기 위하여 임피던스 매칭 회로 및 프리 앰퍼시스 회로를 사용한다. 임피던스 매칭 회로는 반도체 칩의 출력단자의 출력 임피던스를 메탈 라인의 특성 임피던스와 동일하게 하는데 사용되며, 프리 앰퍼시스 회로는 전송되는 신호의 에지(Edge)를 증폭시켜 ISI를 감소시키는데 사용된다.
- <13> 도 1은 2개의 칩들 사이의 임피던스 매칭 회로이다.
- <14> 도 1을 참조하면, 2개의 칩(Chip I, Chip II)을 연결하는 메탈 라인의 특성 임피던스가 Z_0 이다. 제1칩(Chip I)의 출력 임피던스 Z_{out} 와 제2칩(Chip II)의 입력 임피던스 Z_{in} 은 모두 메탈 라인의 특성 임피던스 Z_0 와 동일한 값을 가지도록 조절한다.
- <15> 도 2는 신호 및 상기 신호를 프리 앰퍼시스 한 신호의 파형도이다.

- <16> 도 2를 참조하면, 프리 엠퍼시스 된 신호(PE-Signal)는 일반신호(Signal)의 라이징 에지(Rising Edge) 및 폴링 에지(Falling Edge)의 전압을 증폭시킨 신호이다. 상기 신호의 에지 부분의 전압을 증폭시켜 전송하되 신호의 전 주기 동안이 아니라 일정한 시간 동안만 증폭시킨 신호를 사용한다. 에지 부분이 증폭되었기 때문에, 신호의 세틀링 타임(settling time)이 길더라도, 신호가 전송되는 주기 안에서 실제로 전송되어야 하는 신호의 크기를 충분히 나타내게 할 수 있다.
- <17> 도 3은 임피던스 매칭 및 프리 엠퍼시스 기능을 수행하는 출력회로를 나타낸다.
- <18> 도 3을 참조하면, 상기 출력회로(300)는 ODT(310) 및 프리 엠퍼시스 회로(320)를 구비한다.
- <19> ODT(310)는 게이트에 서로 동일한 제어신호가 인가되는 2개의 P형 MOS 트랜지스터 및 각각의 트랜지스터에 직렬 연결된 저항을 구비하는 서브 셀을 복수 개 구비한다. 제2제어신호(C2)가 인가되는 서브 셀에 포함된 제2저항(R2)의 값은 제1제어신호(C1)가 인가되는 서브 셀에 포함된 제1저항(R1)의 값에 비하여 2배이다. 제3제어신호(C3)가 인가되는 서브 셀에 포함된 제3저항(R4)의 값은 제2제어신호(C2)가 인가되는 서브 셀에 포함된 제2저항(R2)의 값에 비하여 2배이다. 제4제어신호(C4)가 인가되는 서브 셀에 포함된 제4저항(R8)의 값은 제3제어신호(C3)가 인가되는 서브 셀에 포함된 제3저항(R4)의 값에 비하여 2배이다. 상기와 같이 제어신호(C1 내지 C4)의 값을 조절하고 이에 따라 병렬 연결되는 저항들의 조합에 의하여 출력 임피던스 값을 조절할 수 있다.
- <20> 프리 엠퍼시스 회로(320)는 신호가 천이되는 부분에 대한 정보를 가진 신호(PE-DI1, PE-DI2)를 이용하여, 출력되는 신호의 에지 부분을 증폭시킨다.
- <21> 제1바이어스 전압(Vb1) 및 제2바이어스 전압(Vb2) 값에 따라 출력회로(300)의 동작여부가 결정되며, 출력회로(300)가 정상적으로 동작할 때 신호(DI1, DI2)가 다른 칩 또는 시스템에 전달된다.
- <22> 도 3에 도시된 종래의 출력회로의 경우, 제어신호(C1 내지 C4)는 일반적으로 퓨즈 회로(Fuse Circuit)로부터 구해진다. 퓨징 작업은 메탈 라인의 임피던스에 출력 임피던스를 매칭시키기 위하여 이루어지는데, 하나의 칩에는 1회의 퓨징 작업만이 가능하기 때문에 일단 고정된 출력 임피던스는 이후에 변경시킬 수 없다.
- <23> 신호가 천이되는 부분에 대한 정보를 가진 신호(PE-DI1, PE-DI2)가 인가되는 프리 엠퍼시스 회로(320)의 MOS 트랜지스터가 레이아웃 상에서 차지하는 면적은 상당히 넓다.
- <24> 상기 출력회로는 반도체 칩의 모든 출력 단에 사용되는데, 상술한 바와 같이, 프리 엠퍼시스 회로(320)를 각각의 출력 단에 설치한다는 것은 반도체 칩의 면적을 크게 하며 소비되는 전력도 크게 되는 단점이 있다. 또한 출력 임피던스가 고정되기 때문에 메탈 라인의 교체 등으로 인한 메탈 라인의 특성 임피던스 변화에 능동적으로 대응할 수 없는 단점이 있다.

발명이 이루고자 하는 기술적 과제

- <25> 본 발명이 이루고자하는 기술적 과제는, 소비되는 전력 및 면적이 작고 출력 임피던스를 가변시킬 수 있는 다이내믹(Dynamic) 출력버퍼회로를 제공하는데 있다.

발명의 구성 및 작용

- <26> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 다이내믹(Dynamic) 출력버퍼회로는, 외부로 연결된 메탈 라인의 특성 임피던스와 출력 임피던스를 매칭 시키며, 적어도 1개의 입력신호(D/I)에 대한 프리 엠퍼시스(Pre-Emphasis)를 수행하며, 제어회로 및 출력회로를 구비한다.
- <27> 제어회로는, 적어도 1개의 출력신호(D/O)에 응답하여 상기 메탈 라인의 특성 임피던스와 상기 다이내믹 출력회로의 출력 임피던스를 매칭 시키는데 사용되며, 상기 적어도 1개의 입력신호(D/I)에 응답하여 상기 적어도 1개의 입력신호(D/I)에 대한 프리 엠퍼시스(Pre-Emphasis)를 수행하는데 사용되는 복수 개의 레지스터 제어신호(CON)를 출력한다. 출력회로는, 상기 복수 개의 레지스터 제어신호(CON)에 응답하여 출력 임피던스의 조절 및 상기 적어도 1개의 입력신호(D/I)에 프리 엠퍼시스를 수행하여 상기 적어도 1개의 출력신호(D/O)를 출력한다.
- <28> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <29> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

- <30> 도 4는 본 발명에 따른 다이내믹 출력버퍼회로의 블록 다이어그램이다.
- <31> 도 4를 참조하면, 상기 다이내믹 출력버퍼회로(400)는, 제어회로(410) 및 출력회로(420)를 구비한다.
- <32> 제어회로(410)는, 적어도 1개의 출력신호(D/O)에 응답하여 상기 메탈 라인의 특성 임피던스와 상기 다이내믹 출력회로의 출력 임피던스를 매칭 시키는데 사용되며, 상기 적어도 1개의 입력신호(D/I)에 응답하여 상기 적어도 1개의 입력신호(D/I)에 대한 프리 앰퍼시스(Pre-Emphasis)를 수행하는데 사용되는 복수 개의 레지스터 제어신호(CON)를 출력한다. 제어회로(410)에 대한 설명은 도 5를 참조하면 된다.
- <33> 출력회로(420)는, 상기 복수 개의 레지스터 제어신호(CON)에 응답하여 출력 임피던스의 조절 및 상기 적어도 1개의 입력신호(D/I)에 프리 앰퍼시스를 수행하여 상기 적어도 1개의 출력신호(D/O)를 출력한다. 출력회로(420)에 대한 설명은 도 6을 참조하면 된다.
- <34> 도 5는 도 4에 도시된 제어회로의 내부 블록 다이어그램이다.
- <35> 도 5를 참조하면, 제어회로(410)는, 프리 앰퍼시스 회로(411), 임피던스 매칭 회로(412) 및 레지스터회로(413)를 구비한다.
- <36> 프리 앰퍼시스 회로(411)는, 상기 적어도 1개의 입력신호(D/I)의 에지를 검출하고, 상기 적어도 1개의 입력신호(D/I)의 라이징 에지(Rising Edge) 및 폴링 에지(Falling Edge)에서 상기 적어도 1개의 입력신호의 크기를 일정한 시간 동안 크게 할 것을 지시하는 프리 앰퍼시스 제어신호(PE_C)를 출력한다. 도면에는 도시하지 않았지만, 상기 프리 앰퍼시스 회로(411)는, 상기 입력신호(D/I)의 에지를 검출하는 에지 검출기를 적어도 1개 구비한다.
- <37> 임피던스 매칭 회로(412)는, 상기 적어도 1개의 출력신호(D/O) 및 기준신호(Vref)에 응답하여 상기 다이내믹 출력회로의 출력 임피던스를 상기 메탈 라인의 특성 임피던스와 매칭 시킬 것을 지시하는 임피던스 매칭 제어신호(IM_C)를 출력한다. 여기서 기준전압은, 상기 다이내믹 출력버퍼회로의 적어도 1개의 출력신호가 스윙하는 피크-투-피크(Peak to Peak) 전압의 중간 값을 가진다. 도면에는 도시되지 않았지만 상기 임피던스 매칭 회로(412)는, 상기 기준전압을 생성시키는 기준전압 생성회로를 구비한다. 상기 임피던스 매칭 회로(412)는, 일 입력단자에 상기 출력신호(D/O)가 인가되고 다른 일 입력단자에 상기 기준전압(Vref)이 인가되며 출력단자가 상기 레지스터회로(413)에 연결되는 비교기를 적어도 1개 구비한다.
- <38> 레지스터회로(413)는, 상기 프리 앰퍼시스 제어신호(PE_C) 및 상기 임피던스 매칭 제어신호(IM_C)에 응답하여 상기 레지스터 제어신호(CON)를 출력한다. 상기 레지스터회로(413)는, 상기 임피던스 매칭 제어신호(IM_C)에 응답하여 상기 레지스터 제어신호의 값을 일정한 범위에서 변경시키고, 상기 프리 앰퍼시스 제어신호(PE_C)에 응답하여 상기 레지스터 제어신호의 값을 일정한 범위에서 변경시키며, 상기 레지스터 제어신호의 값의 변경은 상기 임피던스 매칭 제어신호 및 상기 프리 앰퍼시스 제어신호가 변경을 멈출 것을 지시할 때 까지 계속된다.
- <39> 도 6은 도 4에 도시된 출력회로의 내부 회로도이다.
- <40> 도 6을 참조하면, 출력회로는, 다이내믹 ODT(430) 및 입력 스테이지(440)를 구비한다. 여기서, 출력신호 및 상기 출력신호가 출력되는 출력단자는 동일한 부제를 사용한다.
- <41> 다이내믹 ODT(430)는 상기 레지스터 제어신호(CON)에 의하여 동작하며 상기 출력신호(DO1, DO2)를 출력하는 출력단자(DO1, DO2)에 연결되며, 복수 개의 ODT 블록(431 내지 434)을 구비한다. 각각의 ODT 블록은 2개의 모스트랜지스터 및 2개의 저항을 구비한다. 도면에는 설명을 쉽게 하기 위하여 4개의 ODT 블록만을 도시하였지만 4개 이하 또는 4개 이상의 ODT 블록을 사용하는 것도 본 발명의 권리범위에 포함된다.
- <42> 제1 ODT 블록(431)은, 일단이 제1전원전압(Vcc)에 연결되고 게이트에 상기 제1 레지스터 제어신호(C1)가 인가되는 제11 모스트랜지스터(P11), 일단이 제1전원전압(Vcc)에 연결되고 게이트에 상기 제1 레지스터 제어신호(C1)가 인가되는 제12 모스트랜지스터(P12), 일단이 상기 제11 모스트랜지스터(P11)의 다른 일단에 연결되고 다른 일단이 제2출력단자(DO2)에 연결된 제11 저항(R11) 및 일단이 상기 제12 모스트랜지스터(P12)의 다른 일단에 연결되고 다른 일단이 제1출력단자(DO1)에 연결된 제12 저항(R12)을 구비한다.
- <43> 상기 제2 ODT 블록(432)은, 일단이 제1전원전압(Vcc)에 연결되고 게이트에 상기 제2 레지스터 제어신호(C2)가 인가되는 제21 모스트랜지스터(P21), 일단이 제1전원전압(Vcc)에 연결되고 게이트에 상기 제2 레지스터 제어신호(C2)가 인가되는 제22 모스트랜지스터(P22), 일단이 상기 제21 모스트랜지스터(P21)의 다른 일단에 연결되고 다른 일단이 제2출력단자(DO2)에 연결된 제21 저항(R21) 및 일단이 상기 제22 모스트랜지스터(P22)의 다른 일단에 연결되고 다른 일단이 제1출력단자(DO1)에 연결된 제22 저항(R22)을 구비한다.

- <44> 상기 제1 ODT 블록(431) 및 상기 제2 ODT 블록(432)을 확장하면, 상기 제N ODT 블록(미도시)에 대하여 아래와 같이 설명할 수 있다.
- <45> 제N ODT 블록(미도시)은, 일단이 제1전원전압(Vcc)에 연결되고 게이트에 상기 제N 레지스터 제어신호(CN)가 인가되는 제N1 모스트랜지스터(PN1), 일단이 제1전원전압(Vcc)에 연결되고 게이트에 상기 제N 레지스터 제어신호(CN)가 인가되는 제N2 모스트랜지스터(PN2), 일단이 상기 제N1 모스트랜지스터(PN1)의 다른 일단에 연결되고 다른 일단이 제2출력단자(DO2)에 연결된 제N1 저항(RN1) 및 일단이 상기 제N2 모스트랜지스터(PN2)의 다른 일단에 연결되고 다른 일단이 제1출력단자(DO1)에 연결된 제N2 저항(RN2)을 구비한다.
- <46> 여기서, 상기 각각의 ODT 블록에 포함된 저항은 동일한 값을 가지며, 제1 ODT 블록으로부터 제N ODT 블록에 포함된 저항들의 값은, 상기의 순서대로 각각 2배 씩 증가한다. 예를 들면, 제11저항(R11) 및 제12저항(R21)은 동일한 저항 값을 가지며, 제21저항(R21) 및 제22저항(R22)도 서로 동일한 저항 값을 가진다. 그러나 제21저항(R21)은 제11저항(R11)에 비하여 2배 큰 저항 값을 가지고, 제31저항(R31)은 제21저항(R21)에 비하여 2배 큰 저항 값을 가진다.
- <47> 입력 스테이지(440)는 일단이 상기 제1출력단자(DO1)에 연결되고 게이트에 제1입력신호(DI1)가 인가되는 제1 입력 트랜지스터(N1), 일단이 상기 제2출력단자(DO2)에 연결되고 게이트에 제2입력신호(DI2)가 인가되는 제2 입력 트랜지스터(N2) 및 일단이 상기 제1 입력 트랜지스터(N1)의 다른 일단 및 상기 제2 입력 트랜지스터(N2)의 다른 일단에 공통으로 연결되며 다른 일단이 제2전원전압(GND)에 연결되고 게이트에 바이어스 신호(Vb1)가 인가되는 바이어스 트랜지스터(N3)를 구비한다.
- <48> 본 발명에 따른 다이내믹 출력버퍼회로는, 적어도 1개의 입력신호(DI1, DI2)가 천이하는(Transition) 부분을 검출하고 상기 부분에 대하여 프리 앰퍼시스를 하도록 하는 프리 앰퍼시스 제어신호(PE_C)를 생성시킨다(411). 또한 도 4에 도시된 메탈 라인의 특성 임피던스(Zo)와 출력 임피던스를 매칭시키기 위하여 임피던스 매칭 제어신호(IM_C)를 생성시킨다(412). 상기 프리 앰퍼시스 제어신호(PE_C) 및 임피던스 매칭 제어신호(IM_C)는 ODT 블록(431 내지 434)을 인에이블(Enable) 시키는 레지스터 제어신호(CON 또는 C1 내지 C4)를 생성시키는데 사용된다. 즉, 초기에는 상기 레지스터 제어신호(C1 내지 C4)가 일정한 논리 값으로 정해져 있다가, 상기 프리 앰퍼시스 제어신호(PE_C) 및 임피던스 매칭 제어신호(IM_C)에 응답하여 적절한 레지스터 제어신호를 생성시킴으로서, 임피던스 매칭 및 프리 앰퍼시스를 하나의 출력회로(420) 및 하나의 제어회로(410)를 통하여 구현할 수 있다.
- <49> 도 3에 도시된 종래의 출력버퍼회로의 경우, 임피던스 매칭에 필요한 회로 및 프리 앰퍼시스에 필요한 회로가 별도로 사용되기 때문에, 레이아웃 상의 면적이 증가하는 단점이 있었다. 반면에 임피던스 매칭과 프리 앰퍼시스가 서로 분리되어 동작하도록 설계되었기 때문에 서로 영향을 주지 않는 장점이 있다. 그러나 엄밀하게 분석해보면 임피던스 매칭 작업을 통하여 결정된 따라서 고정된(Static) 출력 임피던스의 값은 프리 앰퍼시스 회로가 동작함으로써 실제로는 영향을 받기 때문에 처음에 조정된 출력 임피던스의 값이 달라지는 단점을 가지고 있다.
- <50> 본원 발명의 경우, 종래에 사용하던 프리 앰퍼시스 회로를 사용하지 않는 대신 임피던스 매칭에 사용되던 ODT를 다이내믹 하게 조절하여 프리 앰퍼시스 기능을 동시에 수행할 수 있도록 한다. 여기서 다이내믹이라는 용어를 사용한 것은 종래의 출력버퍼회로가 ODT 블록을 한번의 퓨징 작업에 의하여 고정된 출력 임피던스를 사용할 수밖에 없는 점과 구별되게 하기 위해서이다. 본 발명에 따른 다이내믹 출력버퍼회로의 경우, ODT 블록이 레지스터 제어신호가 변할 때 마다 인에이블 및 디스에이블(Disable) 상태가 될 수 있고, 임피던스 매칭 뿐만 아니라 프리 앰퍼시스 기능을 수행할 수 있다.
- <51> 상기 다이내믹 출력버퍼회로는 반도체 칩의 모든 출력 단자에 설치되어야 하기 때문에, 소비 면적 및 소비 전력을 감소시키는 것은 제품의 경쟁력을 상대적으로 높일 수 있다.
- <52> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

- <53> 상술한 바와 같이 본 발명에 따른 다이내믹 출력버퍼회로는, 레이아웃에서 차지하는 면적이 적고 소비 전력이

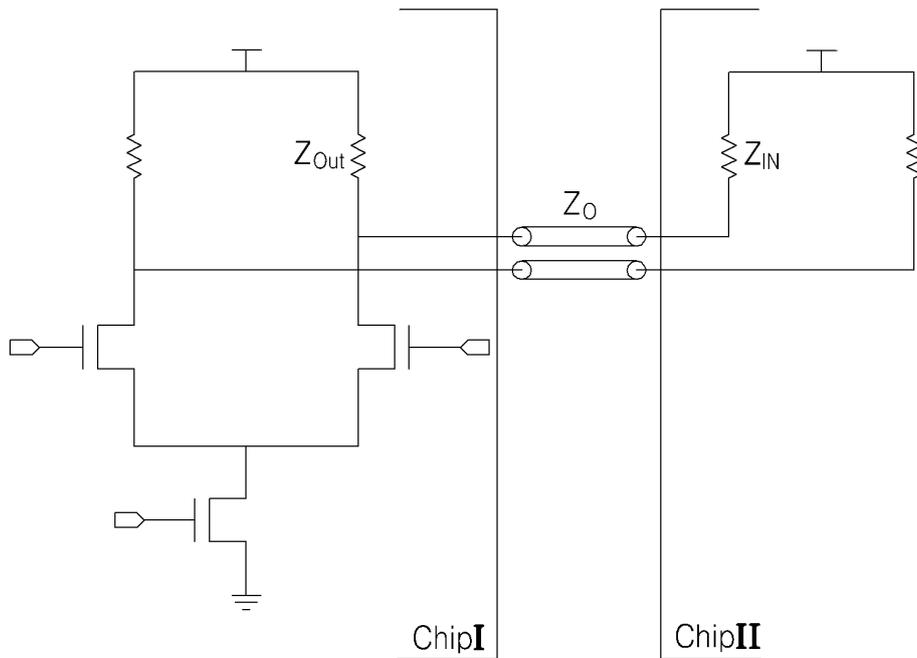
감소하는 장점이 있다. 또한 테스트 회로를 적절하게 선택하면 칩 내부에 설치된 회로에 의하여 자동으로 임피던스 매칭 및 프리 앰퍼시스를 행할 수 있는 장점도 있다.

도면의 간단한 설명

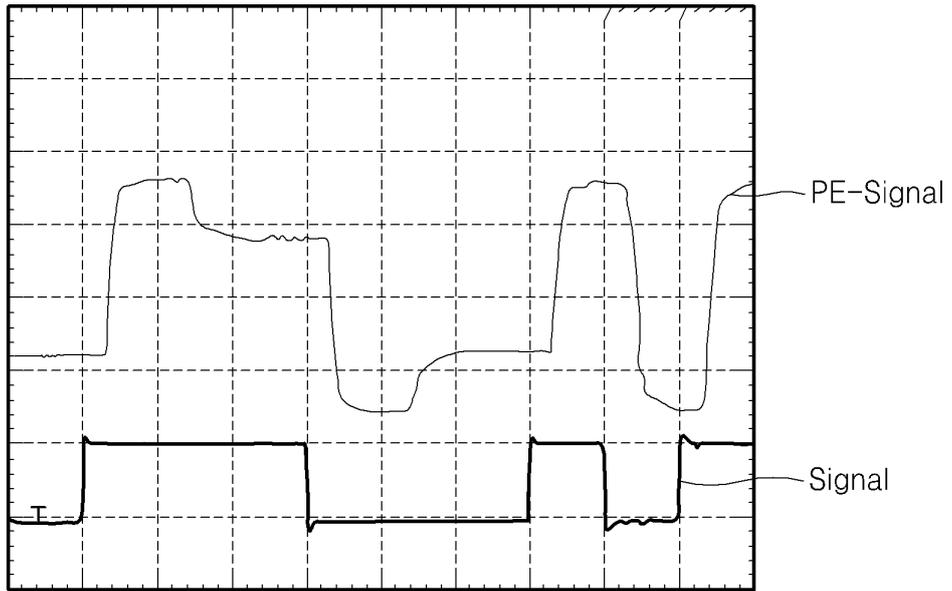
- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1은 2개의 칩들 사이의 임피던스 매칭 회로이다.
- <3> 도 2는 신호 및 상기 신호를 프리 앰퍼시스 한 신호의 파형도이다.
- <4> 도 3은 임피던스 매칭 및 프리 앰퍼시스 기능을 수행하는 출력회로를 나타낸다.
- <5> 도 4는 본 발명에 따른 다이내믹 출력버퍼회로의 블록 다이어그램이다.
- <6> 도 5는 도 4에 도시된 제어회로의 내부 블록 다이어그램이다.
- <7> 도 6은 도 4에 도시된 출력회로의 내부 회로도이다.

도면

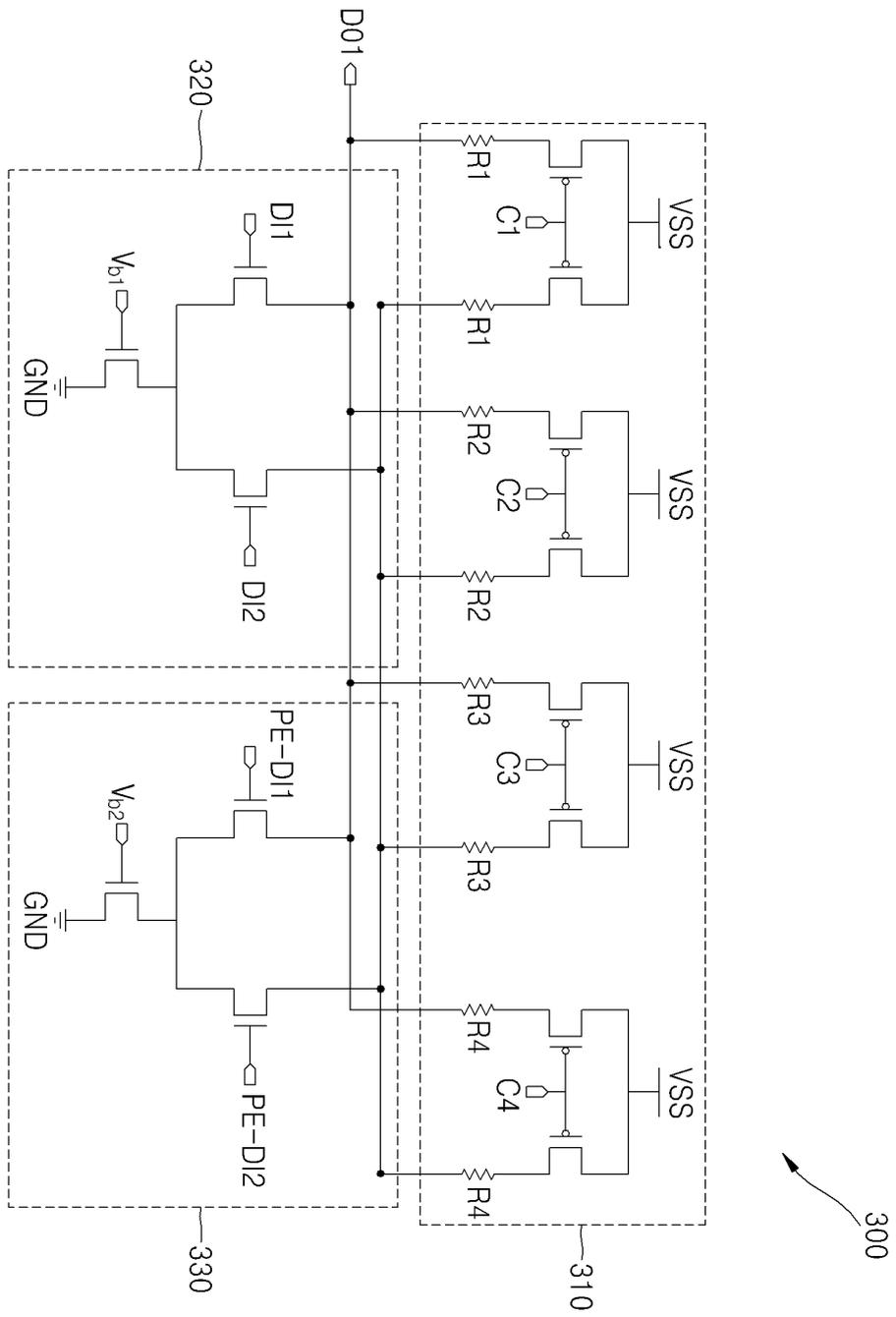
도면1



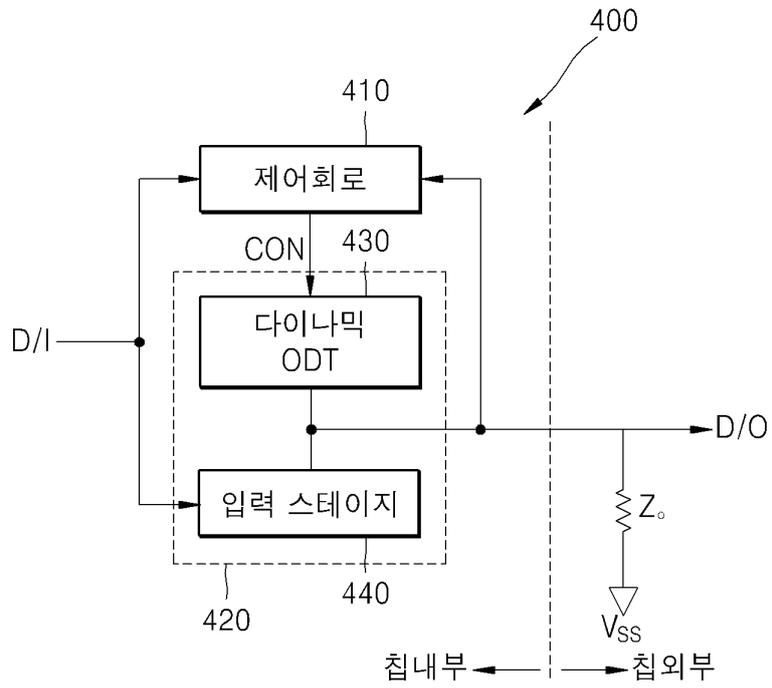
도면2



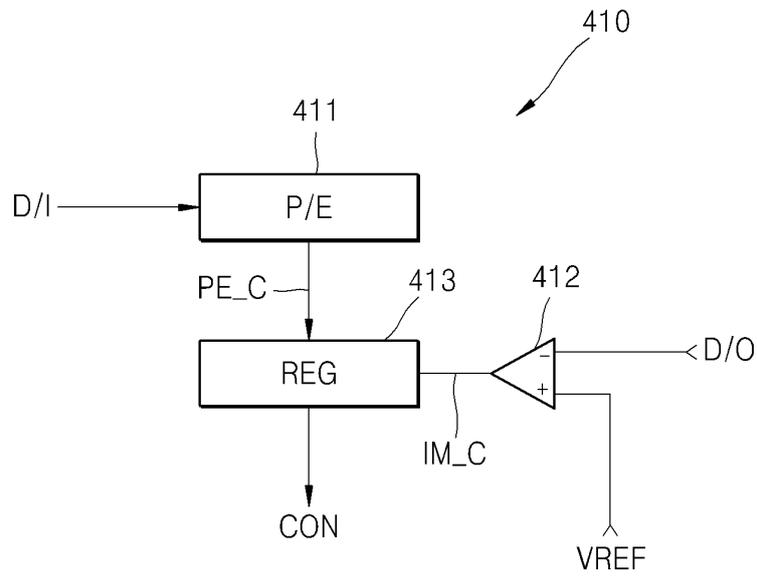
도면3



도면4



도면5



도면6

