

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5096271号
(P5096271)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int. Cl.

F 1

G 0 2 F 1 / 0 1 7 (2 0 0 6 . 0 1)

G 0 2 F 1 / 0 1 7 5 0 3

請求項の数 8 (全 12 頁)

<p>(21) 出願番号 特願2008-230518 (P2008-230518)</p> <p>(22) 出願日 平成20年9月9日(2008.9.9)</p> <p>(65) 公開番号 特開2010-66345 (P2010-66345A)</p> <p>(43) 公開日 平成22年3月25日(2010.3.25)</p> <p>審査請求日 平成23年9月2日(2011.9.2)</p>	<p>(73) 特許権者 308033711 ラピスセミコンダクタ株式会社 東京都八王子市東浅川町550番地1</p> <p>(74) 代理人 100069615 弁理士 金倉 喬二</p> <p>(72) 発明者 荒川 富行 東京都港区西新橋三丁目16番11号 沖 電気工業株式会社内</p> <p>審査官 林 祥恵</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体マッハツェンダ型光回路およびその製造方法、並びにその半導体マッハツェンダ型光回路を備えた光変調器、光スイッチ、光フィルタ

(57) 【特許請求の範囲】

【請求項1】

光導波路を2方向に分岐する2つの分岐部と、分岐された前記光導波路の間を接続する第1および第2のアーム部とで形成された光回路を備え、

前記光導波路を、第1導電型半導体からなる第1のクラッド層と、前記第1のクラッド層上に形成されたウェル層と、前記ウェル層上に形成された、前記第1導電型とは逆型の第2導電型半導体からなる第2のクラッド層とを積層して形成し、前記第1および第2のアーム部の前記第2のクラッド層に電氣的に接続する第1および第2の電極を形成した半導体マッハツェンダ型光回路において、

前記第1および第2の電極の両側の領域の、前記第1および第2のアーム部と、それらの両端をそれぞれ接続する前記分岐部とで形成される、第1の電極から第2の電極に至るそれぞれの第2のクラッド層の電極直下を除く少なくとも一部に、第1導電型半導体からなる第3のクラッド層を形成したことを特徴とする半導体マッハツェンダ型光回路。

10

【請求項2】

請求項1において、

前記分岐部を、Y字分岐部で形成したことを特徴とする半導体マッハツェンダ型光回路

。

【請求項3】

請求項1において、

前記分岐部を、マルチモード干渉型結合部としたことを特徴とする半導体マッハツェン

20

ダ型光回路。

【請求項 4】

請求項 1 ないし請求項 3 のいずれか一項において、

前記第 2 および第 3 のクラッド層を、化合物半導体で形成したことを特徴とする半導体マッハツェンダ型光回路。

【請求項 5】

光導波路を 2 方向に分岐する 2 つの分岐部と、分岐された前記光導波路の間を接続する第 1 および第 2 のアーム部とで形成された光回路を備えた半導体マッハツェンダ型光回路の製造方法において、

第 1 導電型半導体からなる半導体基板を準備する工程と、

前記半導体基板上に、ウェル層を形成する工程と、

前記ウェル層上に、前記第 1 導電型とは逆型の第 2 導電型半導体からなる第 2 のクラッド層を形成する工程と、

前記第 2 のクラッド層上に、前記第 2 のクラッド層より高濃度の第 2 導電型半導体からなるコンタクト層を形成する工程と、

前記光回路の形成領域を除く領域の、前記コンタクト層、前記第 2 のクラッド層、前記ウェル層、前記半導体基板の表層をエッチングして、第 1 導電型半導体からなる第 1 のクラッド層と、前記ウェル層と、前記第 2 のクラッド層とを積層した光導波路と、前記コンタクト層とからなる光回路を形成する工程と、

前記第 1 および第 2 のアーム部の前記コンタクト層上に第 1 および第 2 の電極を形成する工程と、

前記第 1 および第 2 の電極の両側の領域の、前記第 1 および第 2 のアーム部と、それらの両端をそれぞれ接続する前記分岐部とで形成される、第 1 の電極から第 2 の電極に至るそれぞれの第 2 のクラッド層上の前記コンタクト層の少なくとも一部を除去して前記第 2 のクラッド層を露出させる工程と、

露出させた前記第 2 のクラッド層に、第 1 導電型不純物を注入して、前記第 2 のクラッド層の導電型を反転させ、第 1 導電型半導体からなる第 3 のクラッド層を形成する工程と、を備えることを特徴とする半導体マッハツェンダ型光回路の製造方法。

【請求項 6】

請求項 1 ないし請求項 4 のいずれか一項に記載の半導体マッハツェンダ型光回路を備えたことを特徴とする光変調器。

【請求項 7】

請求項 1 ないし請求項 4 のいずれか一項に記載の半導体マッハツェンダ型光回路を備えたことを特徴とする光スイッチ。

【請求項 8】

請求項 1 ないし請求項 4 のいずれか一項に記載の半導体マッハツェンダ型光回路を、複数組合せて形成したことを特徴とする光フィルタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光通信の光デバイスに用いられる半導体マッハツェンダ型光回路およびその製造方法、並びにその半導体マッハツェンダ型光回路を備えた光変調器、光スイッチ、光フィルタに関する。

【背景技術】

【0002】

従来の半導体マッハツェンダ型光回路を備えた光デバイスである光変調器としては、図 10 ないし図 12 に示すものがある。

図 10 は従来の半導体マッハツェンダ型光変調器の上面を示す説明図、図 11 は図 10 の C - C 断面線に沿った断面を示す説明図、図 12 は図 10 の D - D 断面線に沿った断面を示す説明図である。

10

20

30

40

50

【0003】

図10ないし図12において、1は半導体マッハツェンダ型光変調器であり、マッハツェンダ干渉型の光回路2（後述）を用いた光変調器である。

3は半導体基板であり、インジウム（In）とリン（P）からなる厚さ100 μ mの化合物半導体基板に、シリコン（Si）やイオウ（S）、セレン（Se）、テルル（Te）等の第1導電型不純物としてのN型不純物を拡散させた第1導電型半導体で形成されている（以下、N型InP基板3という。）。

【0004】

また、N型InP基板3のおもて面側には、図10に示すように、入力口4からの光を2方向に分岐させる2つの分岐枝5をV字状に配置した入力側の分岐部としてのY字分岐部6と、分岐枝5からの光を合波させて出力口7から出力する出力側のY字分岐部6とを、それぞれの分岐枝5を対向させて配置し、その分岐枝5の間を第1のアーム部8aと第2のアーム部8b（これらを区別する必要がない場合は、アーム部8という。）とで光学的に接続した光回路2が形成されている。

10

【0005】

10は第1のクラッド層としてN型InP層であり、N型InP基板3を光回路2の形状にエッチングして形成された化合物半導体からなる第1導電型半導体層であって、図11等に網掛けを付して示すウェル層12に導かれる光の漏洩を防止する光学的な被覆層として機能する。

ウェル層12は、N型InP層10上に、インジウムとガリウム（Ga）と砒素（As）とリンからなる化合物半導体層である厚さ10nmのInGaAsP層と、インジウムとリンからなる化合物半導体層である厚さ10nmのInP層とを積層して形成されたMQW（Multi-Quantum Well：多重量子井戸）であって、入力口4から入力された光を出力口7へ導く光回路2のコアとして機能する。

20

【0006】

13は第2のクラッド層としてP型InP層であり、ウェル層12上に、インジウムとリンからなる化合物半導体層に、第1導電型不純物とは逆型の亜鉛（Zn）等の第2導電型不純物としてのP型不純物を拡散させて形成された第2導電型半導体層であって、ウェル層12に導かれる光の漏洩を防止する光学的な被覆層として機能する。

このP型InP層13の抵抗率は、通常0.5 Ω cm程度に形成されている。

30

【0007】

14はコンタクト層であり、インジウムとガリウムと砒素からなる化合物半導体層に、P型不純物を、P型InP層13より高濃度に拡散させた高濃度の第2導電型半導体層であって、第1および第2のアーム部8のそれぞれのP型InP層13と第1および第2の電極16a、16bとを電氣的に接続する機能を有している。

第1および第2の電極16a、16b（これらを区別する必要がない場合は、電極16という。）は、コンタクト層14上に、金（Au）と亜鉛（Zn）からなる合金等の導電性材料で形成された、凸形状の電極である。

【0008】

17は電極パッドであり、凸形状の電極16の突出部上に、電極16側からチタン（Ti）、白金（Pt）、金を順に積層した導電性を有する多層膜で形成され、電極16と電氣的に接続している。

40

18は保護層であり、光回路2の周囲および内部に形成された光回路2を保護するポリイミド樹脂からなる樹脂層であって、ウェル層12に導かれる光の漏洩を防止する光学的な被覆層として機能すると共に、電極16と上記各半導体層との間を電氣的に絶縁する絶縁層として機能する。

【0009】

19は下部電極であり、N型InP基板3の裏面の全面に形成され、ニッケル（Ni）、ゲルマニウム（Ge）、金からなる合金等の導電性を有するメタル膜で形成される。

上記のN型InP層10、ウェル層12、P型InP層13により、積層型PIN構造

50

を有するリッジ型の光導波路が形成され、アーム部 8 上に形成された電極 1 6 と下部電極 1 9 とに間に電位を印加すると、抵抗率の高いウェル層 1 2 に集中的に電界が印加され、PIN 構造の電気光学的効果により PIN 構造の I 層であるウェル層 1 2 の屈折率が変化する。

【0010】

また、光導波路を構成する P 型 InP 層 1 3 の厚さは $2.1 \mu\text{m}$ に形成され、2 つの Y 字分岐部 6 と 2 つのアーム部 8 との、光の進行方向（入力口 4 から出力口 7 までの間を光回路 2 の光導波路に沿って進行する光の方向をいう。）と直交する方向の光導波路の幅 E（図 10 参照）はそれぞれ $2 \mu\text{m}$ 、高さ $H 3 \mu\text{m}$ （図 11、図 12 参照）、第 1 のアーム部 8 a と第 2 のアーム部 8 b の中心間距離 K（図 10 参照）は $20 \mu\text{m}$ に形成されている。

10

【0011】

このような構成の半導体マッハツェンダ型光変調器は、入力口 4 に波長 $1.56 \mu\text{m}$ の光を入力すると、その光は入力側の Y 字分岐部 6 により、2 つのアーム部 8 に 50% ずつに分配される。

このとき、下部電極 1 9 をグランドとし、一方のアーム部 8、例えば第 1 のアーム部 8 a 上の第 1 の電極 1 6 a を電極パッド 1 7 を介してグランドにし、他方の第 2 のアーム部 8 b 上の第 2 の電極 1 6 b に電極パッド 1 7 を介して電圧を印加すると、第 2 のアーム部 8 b のウェル層 1 2 に電界が印加され、そのウェル層 1 2 の屈折率が変化して光導波路の実質的な光路長が変化し、光の波形の位相に変化が生じ、第 1 のアーム部 8 a および第 2 のアーム部 8 b からの光が出力側の Y 字分岐部 6 に導かれて合波したときに、2 つのアーム部 8 からの光が合成され、2 つの光が同位相の場合は元の強度の光が出力口 7 から出力され、2 つの光が反対位相（位相が 180 度ずれた状態をいう。）の場合は強度「0」の光が出力口 7 から出力され、電極 1 6 に電圧信号を供給すれば、それに応じて変調された光が出力される。

20

【0012】

上記した構成の半導体マッハツェンダ型変調器は、例えば特許文献 1 に示されている。

【特許文献 1】特開 2000 - 66156 号公報（段落 0009 - 0010、第 1 図）

【発明の開示】

【発明が解決しようとする課題】

30

【0013】

しかしながら、上述した従来の技術においては、第 1 および第 2 のアーム部 8 a、8 b 上に形成された第 1 および第 2 の電極 1 6 a、1 6 b は、第 1 および第 2 のアーム部 8 a、8 b のそれぞれの両端に接続する Y 字分岐部 6 に形成されたウェル層 1 2 上の P 型 InP 層 1 3 で繋がっているため、第 1 の電極 1 6 a と第 2 の電極 1 6 b の両側に、通常 0.5 cm 程度の抵抗率で形成される P 型 InP 層 1 3 を介して第 1 の電極 1 6 a と第 2 の電極 1 6 b との間を電氣的に接続する導電回路（図 8 参照）が形成され、第 1 の電極 1 6 a と第 2 の電極 1 6 b とに異なる電位を印加すると、その電位差によりリーク電流が流れて第 1 のアーム部 8 a と第 2 のアーム部 8 b とに計画した電界を印加することができなくなり、ウェル層 1 2 の屈折率が計画通りに変化せず、半導体マッハツェンダ型光変調器における変調動作が不安定になるという問題がある。

40

【0014】

このことは、半導体マッハツェンダ型光変調器の実用化を妨げる一つの要因になっている。

このため、P 型 InP 層の不純物濃度を低濃度にして抵抗率を高め、P 型 InP 層を流れる電流を低減しようとする、PIN 構造に電界を印加したときに、I 層であるウェル層に電界が集中し難くなり、屈折率の変化が抑制されて変調動作の効率を低下させることになる。

【0015】

本発明は、上記の問題点を解決するためになされたもので、半導体マッハツェンダ型光

50

回路の2つの電極間に発生するリーク電流を防止する手段を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明は、上記課題を解決するために、光導波路を2方向に分岐する2つの分岐部と、分岐された前記光導波路の間を接続する第1および第2のアーム部とで形成された光回路を備え、前記光導波路を、第1導電型半導体からなる第1のクラッド層と、前記第1のクラッド層上に形成されたウェル層と、前記ウェル層上に形成された、前記第1導電型とは逆型の第2導電型半導体からなる第2のクラッド層とを積層して形成し、前記第1および第2のアーム部の前記第2のクラッド層に電氣的に接続する第1および第2の電極を形成した半導体マッハツェンダ型光回路において、前記第1および第2の電極の両側の領域の、前記第1および第2のアーム部と、それらの両端をそれぞれ接続する前記分岐部とで形成される、第1の電極から第2の電極に至るそれぞれの第2のクラッド層の電極直下を除く少なくとも一部に、第1導電型半導体からなる第3のクラッド層を形成したことを特徴とする。

10

【発明の効果】

【0017】

これにより、本発明は、第1の電極と第2の電極との間の導電回路を形成するウェル層上の第2のクラッド層に、PN接合による電位障壁を形成することができ、第1の電極と第2の電極との間に電位差が生じたとしても、形成された電位障壁によってリーク電流の発生を防止することができるという効果が得られる。

20

【発明を実施するための最良の形態】

【0018】

以下に、図面を参照して本発明による半導体マッハツェンダ型光回路の実施例およびその製造方法について説明する。

【実施例】

【0019】

図1は実施例の半導体マッハツェンダ型光変調器の上面を示す説明図、図2は図1のA-A断面線に沿った断面を示す説明図、図3は図1のB-B断面線に沿った断面を示す説明図、図4、図5は実施例の半導体マッハツェンダ型光変調器の製造方法を示す説明図である。

30

なお、上記図10ないし図12と同様の部分は、同一の符号を付してその説明を省略する。

【0020】

また、図4、図5は、図2と同様の断面を左側に、図3と同様の断面を右側に示した断面図である。

図1、図3において、21は第3のクラッド層としてのN型InP層であり、入力側と出力側の2つのY字分岐部6の光導波路を構成するP型InP層13をP型とは逆の導電型のN型に反転させて形成された第1導電型半導体層であって、ウェル層12に導かれる光の漏洩を防止する光学的な被覆層として機能する。

【0021】

40

また、N型InP層21は、注入する不純物濃度を調整して、アーム部8の光導波路を構成するP型InP層13との等価屈折率が同等となるように形成される。

なお、図3に示すように、本実施例のY字分岐部6の分岐枝5のN型InP層21上のコンタクト層14は除去されている。

また、図2に示す第2の電極16b下の第2のアーム部8bの構成は、第1の電極16a下の第1のアーム部8aの構成と同様であり、それぞれ図11に示す従来の構成と同様である。

【0022】

本実施例の光導波路を構成するP型InP層13およびN型InP層21の厚さは1.6 μmに形成され、光の進行方向と直交する方向の、2つのY字分岐部6と2つのアーム

50

部 8 との光導波路の幅 E (図 1 参照) はそれぞれ $2 \mu\text{m}$ 、高さ H は $2.6 \mu\text{m}$ (図 2、図 3 参照)、第 1 のアーム部 8 a と第 2 のアーム部 8 b の中心間距離 K (図 1 参照) は $20 \mu\text{m}$ に形成され、その光の進行方向の長さは $800 \mu\text{m}$ に形成されている。

【 0 0 2 3 】

また、本実施例の P 型 I n P 層 1 3 のキャリア濃度は $5 \times 10^{17} / \text{cm}^3$ とされ、その抵抗率は 0.06 cm とされている。

図 4、図 5 において、25 はマスク部材としてのレジストマスクであり、フォトリソグラフィにより N 型 I n P 基板 3 のおもて面側にスピンコート法等により塗布されたポジ型またはネガ型のレジストを紫外線による露光および現像処理して形成されたマスクパターンであって、本実施例のエッチング工程やイオン注入工程等におけるマスクとして機能する。

10

【 0 0 2 4 】

以下に、図 4、図 5 に P で示す工程に従って本実施例の半導体マッハツェンダ型光変調器の製造方法について説明する。

P 1 (図 4)、厚さ $100 \mu\text{m}$ の N 型 I n P 基板 3 を準備し、そのおもて面に有機金属気相成長法 (M D C V D 法という。) によりウェル層 1 2 をエピタキシャル成長し、ウェル層 1 2 上に P 型不純物 (本実施例では、亜鉛) を添加した M D C V D 法により P 型 I n P 層 1 3 をエピタキシャル成長し、P 型 I n P 層 1 3 上に M D C V D 法によりコンタクト層 1 4 をエピタキシャル成長して、N 型 I n P 基板 3 上にウェル層 1 2、P 型 I n P 層 1 3、コンタクト層 1 4 を順に積層する。

20

【 0 0 2 5 】

P 2 (図 4)、フォトリソグラフィにより、コンタクト層 1 4 上に、2 つの Y 字分岐部 6 および第 1 および第 2 のアーム部 8 a、8 b からなる光回路 2 の形成領域を覆うレジストマスク 2 5 を形成し、これをマスクとして、塩素 (Cl_2) とアルゴン (Ar) との混合ガスを用いた反応性イオンエッチングによる異方性エッチングにより、コンタクト層 1 4、P 型 I n P 層 1 3、ウェル層 1 2 および N 型 I n P 基板 3 の表層をエッチングして除去し、N 型 I n P 基板 3 1 上に、N 型 I n P 層 1 0 とウェル層 1 2 と P 型 I n P 層 1 3 からなる光回路 2 の光導波路およびコンタクト層 1 4 からなる光回路 2 を形成する。

【 0 0 2 6 】

P 3 (図 4)、工程 P 2 で形成したレジストマスク 2 5 を除去し、スピンコート法により N 型 I n P 基板 3 1 上の全面にポリイミド樹脂を塗布し、これを熱硬化させて光回路 2 の周囲および内部に保護層 1 8 を形成し、これを平坦化処理してコンタクト層 1 4 を露出させる。

30

そして、スパッタ法により、保護層 1 8 およびコンタクト層 1 4 上に、金 - 亜鉛合金を堆積して導電性材料層を形成し、フォトリソグラフィにより、保護層 1 8 およびコンタクト層 1 4 上に、第 1 および第 2 の電極 1 6 a、1 6 b のそれぞれの形成領域を覆うレジストマスク 2 5 (不図示) を形成し、これをマスクとして、異方性エッチングにより導電性材料層をエッチングして、凸形状の第 1 および第 2 の電極 1 6 a、1 6 b を形成する。

【 0 0 2 7 】

前記のレジストマスク 2 5 の除去後に、スパッタ法により、保護層 1 8 および電極 1 6 等の上に、チタン、白金、金を順に堆積して多層膜を形成し、フォトリソグラフィにより、凸形状の第 1 および第 2 の電極 1 6 a、1 6 b の突出部上のそれぞれの電極パッド 1 7 の形成領域を覆うレジストマスク 2 5 (不図示) を形成し、これをマスクとして、異方性エッチングにより多層膜をエッチングして、凸形状の第 1 および第 2 の電極 1 6 a、1 6 b の突出部上に電極パッド 1 7 を形成し、前記のレジストマスク 2 5 を除去する。

40

【 0 0 2 8 】

P 4 (図 4)、フォトリソグラフィにより、保護層 1 8 およびコンタクト層 1 4 等の上に、入力側および出力側の 2 つの Y 字分岐部 6 のコンタクト層 1 4 を露出させたレジストマスク 2 5 を形成し、これをマスクとして、異方性エッチングにより、コンタクト層 1 4 をエッチングして除去し、コンタクト層 1 4 下の P 型 I n P 層 1 3 を露出させる。

50

P5(図5)、次いで、工程P4で形成したレジストマスク25をそのままにして、イオン注入法により、露出させたP型InP層13に、N型不純物(本実施例では、シリコン)イオンを、ドーズ量 5×10^{14} ions/cm²、加速エネルギー1.1 MeVで注入し、ランプアニール法による500、60秒間の熱処理により活性化させ、P型InP層13をN型に反転させたN型InP層21を形成する。

【0029】

このとき注入されたシリコンイオンは、図6に示すように、活性化後にP型InP層13の厚さに相当する1.6 μm程度の深さまで、 5×10^{17} atoms/cm³以上の不純物濃度で注入され、ウェル層12に達するN型InP層21が形成される。

P6(図5)、工程P4で形成したレジストマスク25を除去し、スパッタ法により、N型InP基板3の裏面上に、ニッケル-ゲルマニウム-金合金を堆積して下部電極19を形成する。

【0030】

このようにして、図1ないし図3に示す本実施例の半導体マッハツェンダ型光変調器が形成される。

本実施例の半導体マッハツェンダ型光変調器は、その入力口4に波長1.56 μmの光を入力すると、その光は入力側のY字分岐部6により2つのアーム部8に50%ずつに分配される。

【0031】

このとき、下部電極19をグランドとし、一方のアーム部8、例えば第1のアーム部8a上の第1の電極16aをグランドにし、他方の第2のアーム部8b上の第2の電極16bに電圧信号を印加すると、第2のアーム部8bの光導波路を構成するウェル層12に電圧信号に応じた電界が印加され、そのウェル層12の屈折率が電圧信号に応じて変化して光の波形の位相に変化が生じ、第1のアーム部8aおよび第2のアーム部8bからの光が出力側のY字分岐部6に導かれて合波したときに、2つのアーム部8からの光が合成され、位相のずれに応じて変調された光が出力口7から出力される。

【0032】

この場合に、本実施例の光回路2の光導波路を構成するウェル層12上のP型InP層13には、図7に示すように、第1の電極16aから第2の電極16bに至る導電回路(図8参照)を形成するY字分岐部6のウェル層12上に、P型InP層13とは逆の導電型のN型InP層21が形成されているので、ウェル層12上の導電回路を形成するP型InP層13に、PN接合のバンドギャップに相当する電位障壁が形成され、第1の電極16aと第2の電極16bとの間に電位差が生じたとしても、PN接合による電位障壁によってリーク電流の発生が防止される他、電極16下のP型InP層13の抵抗率を従来の抵抗率0.5 cmより低い0.06 cmに形成したとしても、リーク電流が生ずることはなく、電極16と下部電極19との間に電圧が印加されたときに、ウェル層12に電界をより集中的に印加することが可能になり、半導体マッハツェンダ型光変調器における変調動作の効率を向上させることができる。

【0033】

この場合に、PIN構造のI層であるウェル層12は抵抗率が高く形成されているので電流経路となることはなく、N型InP基板3は電極16との間にウェル層12を挟んでいるので電流経路となることはなく、N型InP層21上のコンタクト層14は除去されているので電流経路となることはない。

また、本実施例の入力側と出力側のそれぞれのY字分岐部6の光導波路を構成するウェル層12上のN型InP層21は、アーム部8の光導波路を構成するウェル層12上のP型InP層13と等価屈折率が同等となるように形成されているので、N型InP層21とP型InP層13との界面に光の反射が生ずることはなく、光導波路に導かれる光の損失を防止することができる。

【0034】

更に、本実施例の製造方法においては、工程P4でコンタクト層14をエッチングする

10

20

30

40

50

ために形成したレジストマスク 25 をそのまま用いて、ウェル層 12 上の P 型 InP 層 13 に N 型不純物を注入し、導電性を反転させて N 型 InP 層 21 を形成するので、半導体マッハツェンダ型光変調器の変調動作の効率を向上させるための工程の増加を最小限にすることができる。

【0035】

なお、本実施例では、2つのアーム部 8 の両端に配置された 2つの Y 字分岐部 6 のウェル層 12 上の全てに N 型 InP 層 21 を形成するとして説明したが、2つの Y 字分岐部 6 のそれぞれのウェル層 12 上の一部に N 型 InP 層 21 を形成するようにしてもよく、アーム部 8 に形成された電極 16 下の領域を除く電極 16 の両側の領域のアーム部 8 のウェル層 12 上の一部に N 型 InP 層 21 を形成するようにしてもよい。要は、図 8 に示すように、第 1 および第 2 の電極 16 a、16 b の直下の領域を除く、第 1 および第 2 の電極 16 a、16 b の両側の領域の、第 1 および第 2 のアーム部 8 a、8 b とそれらの両端をそれぞれ接続する Y 字分岐部 6 とで形成される、第 1 の電極 16 a から第 2 の電極 16 b に至る図 8 に矢印を付した太い実線で示す 2つの導電回路を構成する P 型 InP 層 13 の一部または全部に、ウェル層 12 に達する N 型半導体からなる N 型 InP 層 21 を形成すればよい。

10

【0036】

この場合に、上記工程 P 4 において形成するレジストマスク 25 は、前記した導電回路の一部または全部のコンタクト層 14 を露出させたレジストマスク 25 を形成するようにするとよい。

20

このようにすれば、N 型 InP 層 21 により 2つの導電回路のそれぞれに、PN 接合による電位障壁が形成され、第 1 の電極 16 a と第 2 の電極 16 b との間に電位差が生じたとしても、これらの電極 16 間に発生するリーク電流を防止することができる。

【0037】

以上説明したように、本実施例では、光導波路を 2 方向に分岐する分岐枝を有する 2つの分岐部の間を第 1 および第 2 のアーム部の光導波路で接続した光回路 2 を備えた半導体マッハツェンダ型光回路において、第 1 および第 2 のアーム部に形成された第 1 および第 2 の電極の両側の領域の、第 1 および第 2 のアーム部と、それらの両端をそれぞれ接続する Y 字分岐部との光導波路を構成するウェル層上に形成された、第 1 の電極から第 2 の電極に至る P 型 InP 層の少なくとも一部に、N 型 InP 層を形成したことによって、第 1 の電極と第 2 の電極との間の導電回路を形成するウェル層上の P 型 InP 層に、PN 接合による電位障壁を形成することができ、第 1 の電極と第 2 の電極との間に電位差が生じたとしても、形成された電位障壁によってリーク電流の発生を防止することができる。

30

【0038】

なお、上記実施例においては、光変調器の光回路 2 の分岐部は、Y 字分岐部であるとして説明したが、図 9 に示す、マルチモード干渉型結合部 30 を分岐部として用いるようにしてもよい。

このマルチモード干渉型結合部 30 は、入力口 4 から入力された光を、マルチモード干渉型結合部 30 の内部で互いに干渉させ、それによって形成された波形の山にアーム部 8 への出口を設けて光導波路を 2 方向に分岐する機能を有し、逆の作用により 2つのアーム部 8 からの光を合波させて出力口 7 から出力する機能を備えている。

40

【0039】

この場合において、本実施例の N 型 InP 層 21 を形成するときは、図 9 に示すように、第 1 および第 2 の電極 16 a、16 b 下の領域を除く、第 1 および第 2 の電極 16 a、16 b の両側の領域の、第 1 および第 2 のアーム部 8 a、8 b と、それらの両端をそれぞれ接続するマルチモード干渉型結合部 30 とで形成される、第 1 の電極 16 a から第 2 の電極 16 b に至る図 9 に矢印を付した太い実線で示す 2つの導電回路を構成する P 型 InP 層 13 の一部または全部に、ウェル層 12 に達する N 型半導体からなる N 型 InP 層 21 を形成すればよい。

【0040】

50

また、上記実施例においては、半導体マッハツェンダ型光回路を備えた光デバイスは、光変調器であるとして説明したが、半導体マッハツェンダ型光回路を備えた光デバイスは前記に限らず、入力口から入力された光を半導体マッハツェンダ型光回路でON、OFFして出力口から出力する光スイッチや、複数の半導体マッハツェンダ型光回路を組合せて、入力された光から特定の波長の光を出力する光フィルタ等であってもよい。

【0041】

更に、上記実施例においては、各部を形成する半導体は化合物半導体であるとして説明したが、シリコン半導体を用いるようにしてもよい。

更に、上記実施例においては、第1導電型はN型、第2導電型はP型であるとして説明したが、第1導電型をP型、第2導電型をN型として形成しても、上記と同様の効果を得ることができる。

【図面の簡単な説明】

【0042】

【図1】実施例の半導体マッハツェンダ型光変調器の上面を示す説明図

【図2】図1のA-A断面線に沿った断面を示す説明図

【図3】図1のB-B断面線に沿った断面を示す説明図

【図4】実施例の半導体マッハツェンダ型光変調器の製造方法

【図5】実施例の半導体マッハツェンダ型光変調器の製造方法

【図6】実施例のInP層へのシリコンイオンの注入深さ分布のシミュレーション結果を示すグラフ

【図7】実施例の導電回路の作用を示す説明図

【図8】実施例のN型InP層の他の形成状態を示す説明図

【図9】実施例の半導体マッハツェンダ型光変調器の他の態様を示す説明図

【図10】従来の半導体マッハツェンダ型光変調器の上面を示す説明図

【図11】図10のC-C断面線に沿った断面を示す説明図

【図12】図10のD-D断面線に沿った断面を示す説明図

【符号の説明】

【0043】

1 半導体マッハツェンダ型光変調器

2 光回路

3 N型InP基板(半導体基板)

4 入力口

5 分岐枝

6 Y字分岐部

7 出力口

8 アーム部

8a 第1のアーム部

8b 第2のアーム部

10、21 N型InP層

12 ウェル層

13 P型InP層

14 コンタクト層

16 電極

16a 第1の電極

16b 第2の電極

17 電極パッド

25 レジストマスク

30 マルチモード干渉型結合部

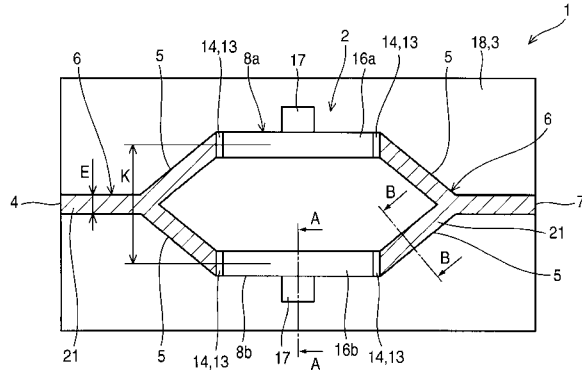
10

20

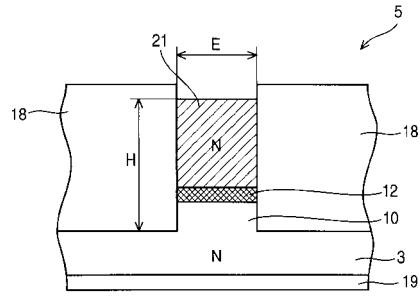
30

40

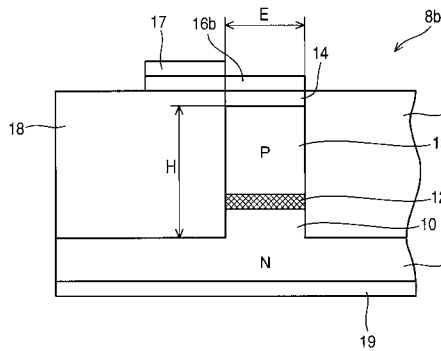
【図1】



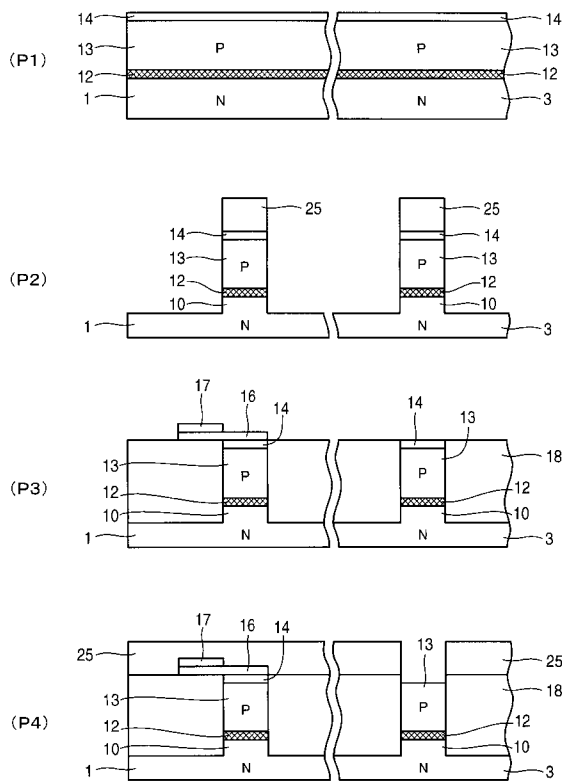
【図3】



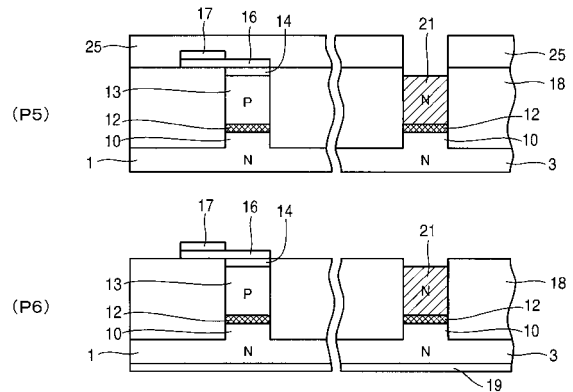
【図2】



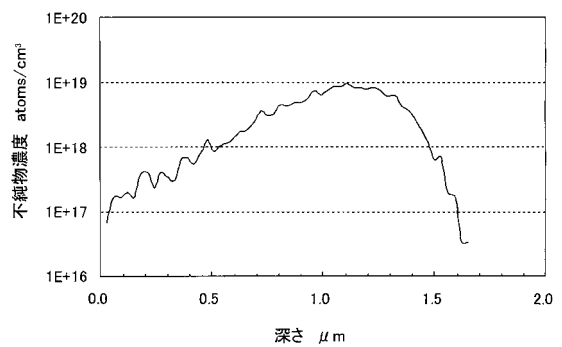
【図4】



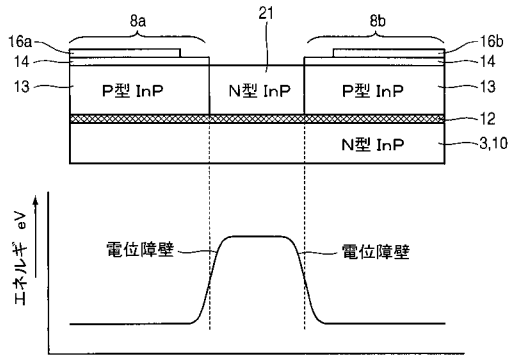
【図5】



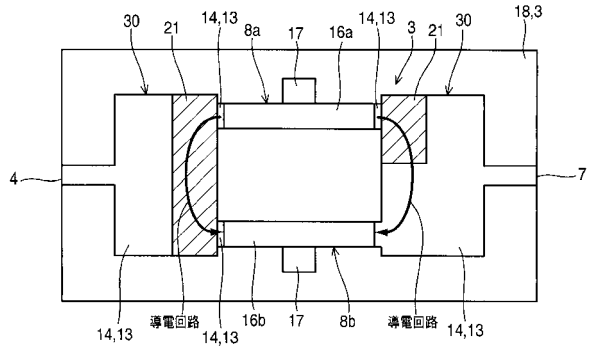
【図6】



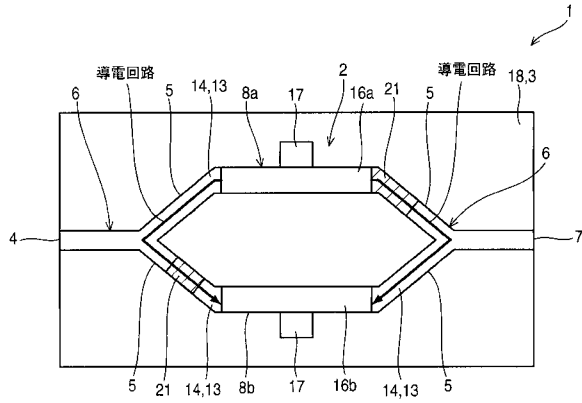
【図7】



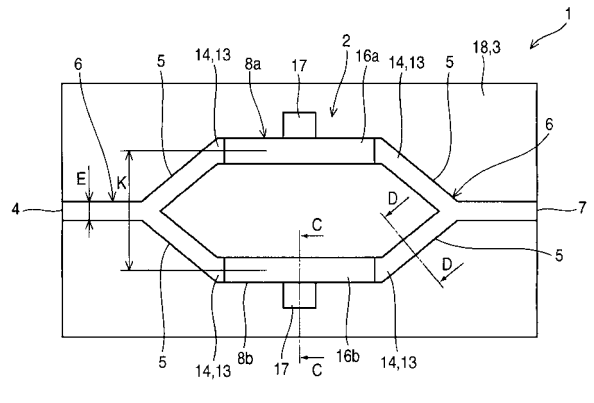
【図9】



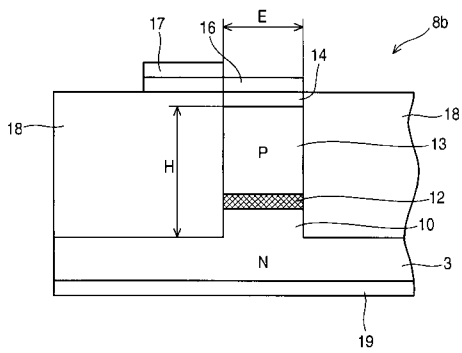
【図8】



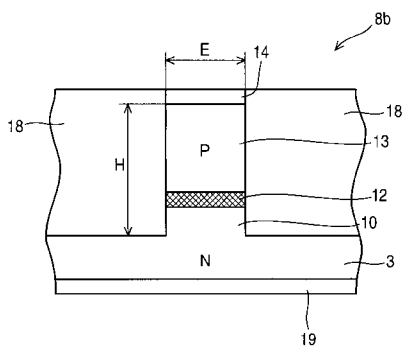
【図10】



【図11】



【図12】



フロントページの続き

- (56)参考文献 特開平 1 1 - 3 5 4 8 8 3 (J P , A)
特開平 0 9 - 2 8 3 7 7 4 (J P , A)
国際公開第 2 0 0 6 / 0 9 5 7 7 6 (W O , A 1)
菊池順裕、他、" 低電圧駆動40Gbit/s半導体マツハツェンダ変調器 " , 電子情報通信学会技術研究報告 , 2 0 0 5 年 1 1 月 , OCS2005-65, OPE2005-95, LQE2005-103 , p.41-44

(58)調査した分野(Int.Cl. , DB名)

G 0 2 F 1 / 0 0 - 1 / 1 2 5
G 0 2 F 1 / 2 9 - 1 / 3 9
G 0 2 B 6 / 1 2 - 6 / 1 4
J S T P l u s / J S T 7 5 8 0 (J D r e a m I I)
S c i e n c e D i r e c t