

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 27/04 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월10일 10-0611005 2006년08월02일
---------------------------------------	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0055558 2005년06월27일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	동부일렉트로닉스 주식회사 서울 강남구 대치동 891-10
(72) 발명자	김상권 경기 수원시 영통구 매탄동 주공그린빌아파트 301-206
(74) 대리인	남희섭 정승훈 양영태 임성택

심사관 : 박혜련

(54) 반도체 소자의 캐패시터 및 그 제조방법

요약

적은 선폭으로 원하는 캐패시터의 용량을 확보할 수 있는 캐패시터 및 그 형성방법이 개시된다. 본 발명에 따른 반도체 소자의 캐패시터 형성방법은 기판에 활성 영역을 정의하는 필드영역을 형성하고 기판 상에 하부 폴리실리콘막을 적층한다. 하부 폴리실리콘막을 패터닝하여 폴리실리콘막 패턴을 형성하고, 계속하여 폴리실리콘막 패턴을 패터닝하여 단차를 가진 하부전극을 형성한다. 하부전극을 포함하는 기판 전면에 유전체막 및 상부 폴리실리콘막을 형성하고 상부 폴리실리콘막을 패터닝하여 상부 전극을 형성한다. 아날로그 소자의 PIP 캐패시터의 하부전극을 3차원으로 만들어서 캐패시터의 용량을 증가시킬 수 있다. 따라서, 폴리실리콘의 선폭을 감소시킬 수 있어 셀 집적도(cell density)를 증가시켜 수율(yield)을 향상시킬 수 있다.

대표도

도 3

색인어

캐패시터, 폴리실리콘, 유전체막, 정전용량

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 PIP 캐패시터 및 로직 회로를 갖는 반도체 소자를 나타내는 단면도이다.

도 2는 종래기술에 따른 PIP 캐패시터를 나타내는 단면도이다.

도 3은 본 발명에 따른 PIP 캐패시터를 나타내는 단면도이다.

도 4 내지 도 8은 본 발명의 일실시예에 따른 PIP 캐패시터의 형성방법을 나타내는 단면도들이다.

<도면의 주요 부호에 대한 설명>

1, 101: 기판 3, 103: 필드영역

9, 109b: 하부전극 13, 113: 유전체막

15, 115a: 상부전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 형성방법 및 이 방법에 의하여 형성된 캐패시터에 관한 것으로서, 좀 더 구체적으로는 적은 선폭으로 원하는 캐패시터의 용량을 확보할 수 있는 캐패시터 형성방법 및 이 방법에 의하여 형성된 캐패시터에 관한 것이다.

현재 실리콘 반도체 기술은 정보 처리를 주 기능으로 하는 CPU(Central Processing Unit)로 대표되는 로직 기술과 정보 저장용 목적으로 하는 메모리(memory) 기술을 동시에 구현하는 방법이 다양하게 개발되고 있다. 더 나아가 로직 기술과 메모리 기술의 통합 뿐만 아니라, 아날로그, RF 기술 등이 통합되고 있다.

이러한 반도체 집적회로(IC)에서는 트랜지스터, 캐패시터, 저항 등의 다양한 소자가 단일 칩 상에 집적되어 있으며, 이들 소자들을 효과적으로 구현하는 방법이 다양하게 개발되어 왔다. 로직 회로(예컨대 CMOS 로직)에서 사용되는 아날로그 캐패시터는 PIP(Polysilicon/Insulator/Polysilicon)와 MIM(Metal/Insulator/Metal) 형태가 주로 사용된다. 이 중에서도 PIP 캐패시터는 아날로그 소자의 노이즈 방지, 주파수 변조 등에 널리 이용되는 소자이며 하부 전극(bottom electrode)과 상부 전극(top electrode)이 로직 트랜지스터의 게이트 전극 물질과 동일한 폴리실리콘으로 제조되기 때문에 별도의 공정 없이 게이트 전극 제조 공정시 PIP 캐패시터의 전극을 함께 제조하는 특징을 갖는다.

도 1은 종래기술에 따른 PIP 캐패시터 및 로직 회로를 갖는 반도체 소자를 나타내는 단면도이다. 도면에서 'A' 영역은 저항 영역을 나타내며, 'B' 영역은 캐패시터 영역을 나타내며, 'C' 영역은 로직 트랜지스터 영역을 나타낸다.

도 1을 참조하면, 기판(1)에는 활성영역을 정의하는 필드영역(3)이 정의되어 있다. 기판 상의 'A' 영역에는 저항(7)이 형성되어 있으며, 'B' 영역에는 하부전극(9), 유전체막(13), 상부전극(15)으로 구성된 PIP 캐패시터가 형성되어 있으며, 'C' 영역에는 게이트 절연막(5)을 개재한 게이트 전극(11)과 게이트 전극에 인접한 활성영역에 형성된 소오스 및 드레인 영역(10)으로 구성된 MOS 트랜지스터가 형성되어 있다. 상술한 기판에 형성된 저항, PIP 캐패시터 및 트랜지스터의 상부에는 제1 층간절연막(17) 및 제2 층간절연막(19)이 덮여지며 이들 층간절연막들(17, 19)을 관통하여 기판에 형성된 소자와 연결되는 콘택플러그들(21, 23, 25)과 이 콘택플러그들을 연결하는 금속배선들(27)이 형성되어 있다.

상술한 구조의 반도체 소자에서 PIP 캐패시터는 하부전극과 상부전극 사이에 개재된 유전체막의 면적에 의하여 캐패시터의 용량이 결정된다.

도 2는 종래기술에 따른 PIP 캐패시터를 나타내는 단면도이다.

도 2를 참조하면, 하부전극(9, 전극의 폭은 L_1)과 상부전극(15, 전극의 폭은 L_2)와 그 사이에 개재된 유전체막(13)에 의하여 PIP 캐패시터가 구성되며, 캐패시터의 용량은 상하부 전극(9, 15) 사이의 유전체막(13)의 표면적에 의하여 결정된다. 이와 같이, 상하부 전극이 접하는 면적에 의하여 캐패시터의 용량이 결정되기 때문에 상하부 전극을 구성하는 폴리실리콘의 선폰을 크게 가져가야지 반도체 소자가 요구하는 캐패시터의 용량을 확보할 수 있다.

이와 같이, 동일한 기관에서 다양한 특성을 가진 아날로그 소자(analog device)의 요구를 충족시키기 위해서는 다른 소자와 비교하여 상대적으로 낮은 셀 집적도(cell density)를 가질 수 밖에 없는 한계를 가지고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 아날로그 소자의 셀 집적도를 높이기 위하여 PIP 캐패시터의 캐패시터 용량을 높여 적은 선폰으로 원하는 캐패시터의 용량을 확보할 수 있는 캐패시터 및 그 형성방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따른 반도체 소자의 캐패시터 형성방법은 기관에 활성 영역을 정의하는 필드영역을 형성하고 기관 상에 하부 폴리실리콘막을 적층한다. 하부 폴리실리콘막을 패터닝하여 폴리실리콘막 패턴을 형성하고, 계속하여 폴리실리콘막 패턴을 패터닝하여 단차를 가진 하부전극을 형성한다. 하부전극을 포함하는 기관 전면에 유전체막 및 상부 폴리실리콘막을 형성하고 상부 폴리실리콘막을 패터닝하여 상부 전극을 형성한다.

하부 폴리실리콘막을 패터닝할 때 또는 상부 폴리실리콘막을 패터닝할 때, 기관의 소정 영역에 저항 및 게이트 전극을 동시에 패터닝할 수 있다.

본 발명에 따른 반도체 소자의 아날로그 PIP 캐패시터는 단차를 가진 폴리실리콘으로 형성된 하부전극, 하부전극 상에 형성된 유전체막, 및 유전체막 상에 상기 하부 전극보다 폭이 좁은 폴리실리콘으로 형성된 상부전극으로 구성된다.

구현예

이하 도면을 참조로 본 발명의 구현예에 대해 설명한다.

도 3은 본 발명에 따른 PIP 캐패시터를 나타내는 단면도이다.

도 3을 참조하면, 기관에 하부전극(109b), 유전체막(113), 상부전극(115a)이 차례대로 적층되어 있다. 여기서, 하부 전극(109b)은 중앙에 단차를 가지고 있는 3차원의 캐패시터로서 상부전극(115)과 접하는 유전체막의 표면적을 증가시켜 캐패시터의 용량을 현저하게 증가시킬 수 있다. 제한된 셀 면적 내에 메모리 캐패시터의 용량(C)을 적정값 이상 유지시키기 위한 방법은 $C=\epsilon A_s/d$ (ϵ :유전율, A_s :전극의 표면적, d :유전체 두께) 와 같이, 첫째는 유전체 두께(d)를 감소시키는 방법, 둘째는 전극의 표면적(A_s)을 증가시키는 방법, 셋째는 유전율(ϵ)이 높은 재료를 사용하는 방법이 있다. 본 발명의 실시예에서는 캐패시터를 3차원으로 형성하여, PIP 캐패시터의 하부전극 선폰(L_1)과 상부전극의 선폰(L_2)을 줄이더라도 원하는 캐패시터의 용량을 확보할 수 있다.

도 4 내지 도 8은 본 발명의 일실시예에 따른 PIP 캐패시터의 형성방법을 나타내는 단면도들이다. 이하의 편의를 위하여 캐패시터 형성영역만 도시한다.

도 4를 참조하면, 기관(101)에 활성영역을 정의하는 필드영역(103)을 형성한다. 즉, 상기 기관(101)의 소정 영역을 선택적으로 식각하여 트렌치를 형성하고, 상기 트렌치를 충분히 채우는 절연물을 매립하고 화학기계적 연마하여 필드영역(103)을 형성한다. 이어서, 기관 전면에 하부 폴리실리콘막(109)을 2600Å 정도 증착한다.

도 5를 참조하면, 기관 전면에 감광막을 도포하고 통상의 사진공정으로 패터닝된 감광막 패턴(110)을 식각마스크로 하부 폴리실리콘막을 패터닝하여 폴리실리콘막 패턴(109a)을 형성한다. 이 때, 도면에는 도시되어 있지 않지만 하부 폴리실리콘막으로 다른 소자인 저항과 게이트 전극을 동시에 패터닝할 수 있다. 폴리실리콘막 패턴(109a)의 선폰은 종래의 PIP 캐패시터의 하부전극보다 더 폭을 좁게 형성하여 셀 집적도를 향상시킬 수 있다.

도 6을 참조하면, 감광막 패턴을 제거하고 다시 기판 전면에 감광막을 도포하고 통상의 사진공정으로 패터닝된 감광막 패턴(112)을 식각마스크로 폴리실리콘막 패턴(109a)의 중앙부분을 제외하고 단차를 가지게 패터닝하여 하부전극(109b)을 형성한다. 하부전극(109b)은 단차를 가진 3차원으로 형성하여 폴리실리콘막의 폭을 좁게 형성하여도 원하는 캐패시터의 용량을 얻을 수 있다.

도 7을 참조하면, 감광막 패턴을 제거하고 하부전극(109b)이 형성된 기판 전면에 유전체막(113) 및 상부 폴리실리콘막(115)을 차례대로 적층한다. 유전체막(113)은 HTO/SiN/SiO₂를 50Å/60Å/300Å을 순서대로 적층하여 형성할 수 있으며, 상부 폴리실리콘막(115)은 인(P)을 도핑하여 1500Å으로 형성할 수 있다.

도 8을 참조하면, 기판 전면에 감광막을 도포하고 통상의 사진공정으로 패터닝된 감광막 패턴(116)을 식각마스크로 상부 폴리실리콘막(115)을 패터닝하여 상부전극(115a)을 형성하여 도 3에 도시된 바와 같은 PIP 캐패시터를 완성한다. 이 때, 도면에는 도시되어 있지 않지만 상부 폴리실리콘막으로 다른 소자인 저항과 게이트 전극을 동시에 패터닝할 수 있다.

지금까지 본 발명의 구체적인 구현예를 도면을 참조로 설명하였지만 이것은 본 발명이 속하는 기술분야에서 평균적 지식을 가진 자가 쉽게 이해할 수 있도록 하기 위한 것이고 발명의 기술적 범위를 제한하기 위한 것이 아니다. 따라서 본 발명의 기술적 범위는 특허청구범위에 기재된 사항에 의하여 정하여지며, 도면을 참조로 설명한 구현예는 본 발명의 기술적 사상과 범위 내에서 얼마든지 변형하거나 수정할 수 있다.

발명의 효과

본 발명에 따르면 아날로그 소자의 PIP 캐패시터의 하부전극을 3차원으로 만들어서 캐패시터의 용량을 증가시킬 수 있다. 따라서, 폴리실리콘의 선폭을 감소시킬 수 있어 셀 집적도(cell density)를 증가시켜 수율(yield)을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

기판에 활성 영역을 정의하는 필드영역을 형성하는 단계;

상기 기판 상에 하부 폴리실리콘막을 적층하는 단계;

상기 하부 폴리실리콘막을 패터닝하여 폴리실리콘막 패턴을 형성하는 단계;

상기 폴리실리콘막 패턴을 패터닝하여 단차를 가진 하부전극을 형성하는 단계;

상기 하부전극을 포함하는 기판 전면에 유전체막 및 상부 폴리실리콘막을 형성하는 단계; 및

상기 상부 폴리실리콘막을 패터닝하여 상부 전극을 형성하는 단계를 포함하는 캐패시터 형성방법.

청구항 2.

제1항에서,

상기 하부 폴리실리콘막을 패터닝할 때 기판의 소정 영역에 저항 및 게이트 전극을 동시에 패터닝하는 것을 특징으로 하는 캐패시터의 형성방법.

청구항 3.

제1항에서,

상기 상부 폴리실리콘막을 패터닝할 때 기판의 소정 영역에 저항 및 게이트 전극을 동시에 패터닝하는 것을 특징으로 하는 캐패시터의 형성방법.

청구항 4.

반도체 소자의 아날로그 PIP 캐패시터에 있어서,

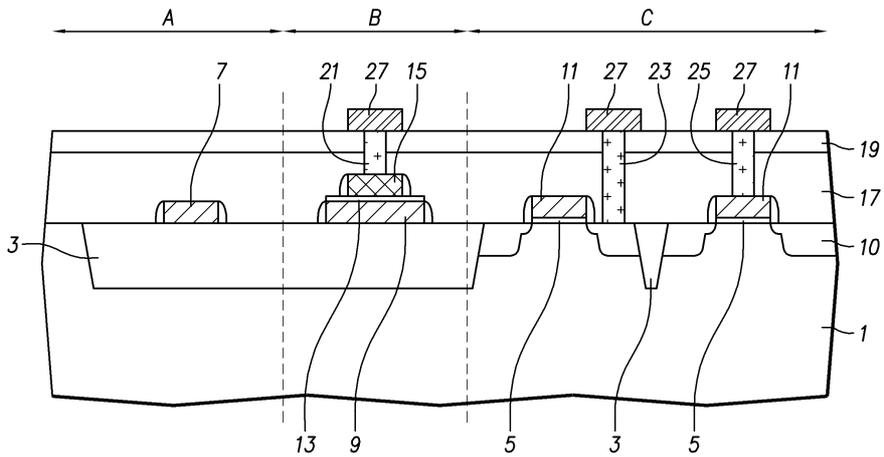
단차를 가진 폴리실리콘으로 형성된 하부전극;

상기 하부전극 상에 형성된 유전체막; 및

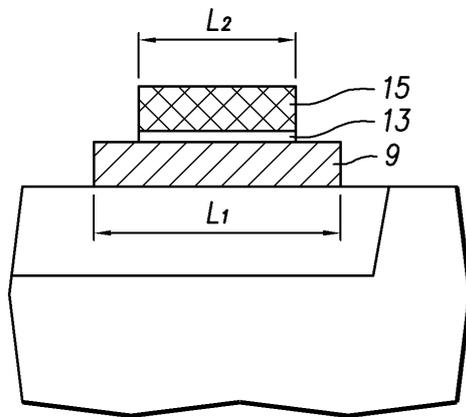
상기 유전체막 상에 상기 하부 전극보다 폭이 좁은 폴리실리콘으로 형성된 상부전극을 포함하는 캐패시터.

도면

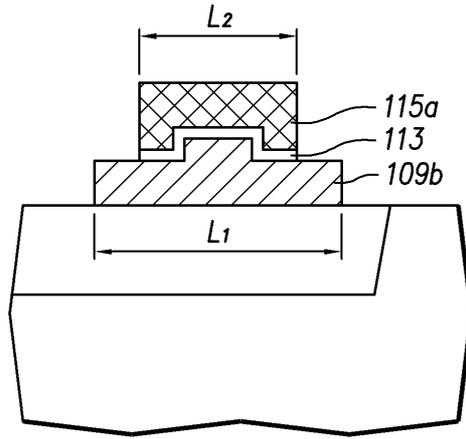
도면1



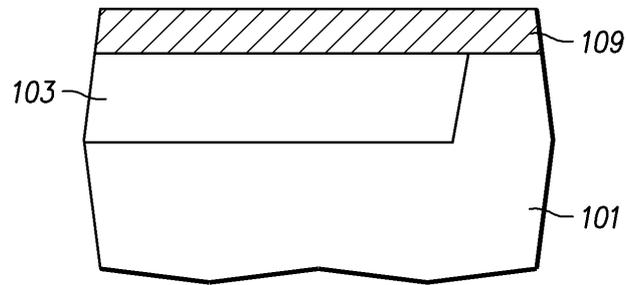
도면2



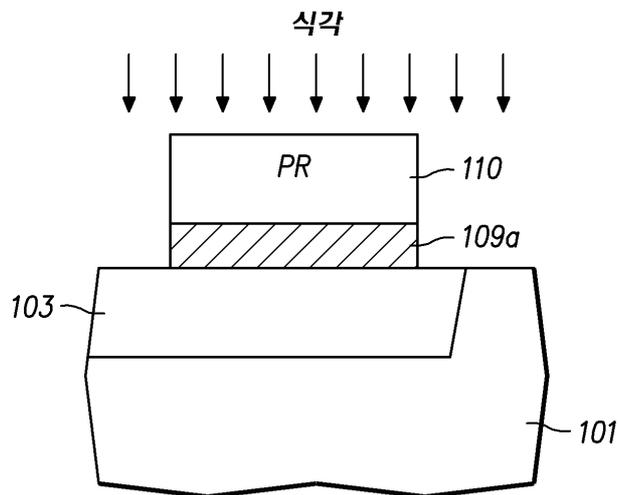
도면3



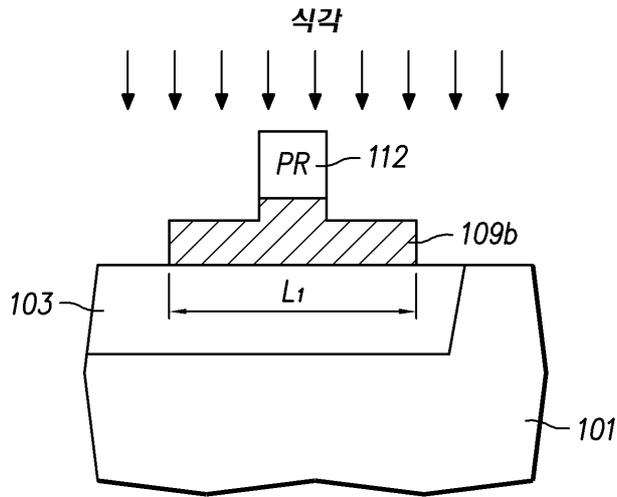
도면4



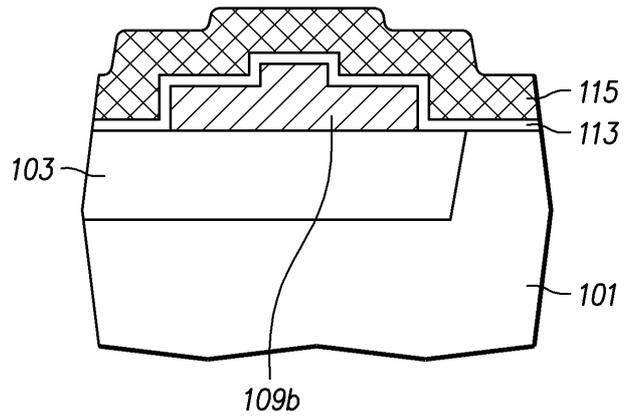
도면5



도면6



도면7



도면8

