

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-182272

(P2009-182272A)

(43) 公開日 平成21年8月13日(2009.8.13)

| (51) Int.Cl. | F I | テーマコード (参考) |
|------------------------|----------------------|-------------|
| HO 1 L 23/12 (2006.01) | HO 1 L 23/12 5 O 1 Z | 5 F O 4 4 |
| HO 1 L 23/50 (2006.01) | HO 1 L 23/50 Y | 5 F O 6 7 |
| HO 1 L 21/60 (2006.01) | HO 1 L 21/60 3 1 1 Q | |

審査請求 未請求 請求項の数 11 O L (全 13 頁)

(21) 出願番号 特願2008-22011 (P2008-22011)
 (22) 出願日 平成20年1月31日 (2008.1.31)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (74) 代理人 100123102
 弁理士 宗田 悟志
 (72) 発明者 中里 真弓
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 (72) 発明者 伊藤 克実
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 Fターム(参考) 5F044 KK11 LL00 LL11 QQ06
 5F067 AA01 AA06 AB04 CC01 CC08
 DA17 EA04

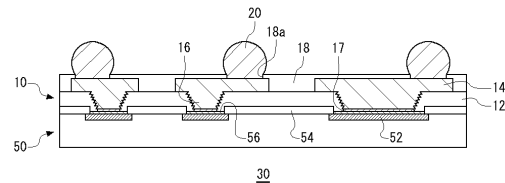
(54) 【発明の名称】 素子搭載用基板およびその製造方法、半導体モジュールおよびその製造方法、ならびに携帯機器

(57) 【要約】

【課題】突起構造と半導体素子の電極とを接続する構造において、突起構造と半導体素子の電極との間の接続信頼性を向上させる。

【解決手段】素子搭載用基板10は、絶縁樹脂層12と、絶縁樹脂層12の一方の主表面に設けられた配線層14と、配線層14と電気的に接続され、配線層14から絶縁樹脂層12側に突出している突起電極16と、を備える。突起電極16の側面には凹凸が形成され、突起電極16の頂部面よりも側面の方が表面粗さが大きくなっている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁樹脂層と、
前記絶縁樹脂層の一方の主表面に設けられた配線層と、
前記配線層と電氣的に接続され、前記配線層から前記絶縁樹脂層側に突出している突起電極と、を備え、
前記突起電極の側面に凹凸が形成され、前記突起電極の頂部面よりも前記側面の方が表面粗さが大きいことを特徴とする素子搭載用基板。

【請求項 2】

前記凹凸は、前記側面上の任意の 2 点間の直線距離に対する、前記 2 点間の凹凸の表面に沿った道のりの割合が、1.22 より大きいものであることを特徴とする請求項 1 に記載の素子搭載用基板。

10

【請求項 3】

前記側面の表面粗さ R_{max} は、1.0 ~ 2.0 μm であることを特徴とする請求項 1 に記載の素子搭載用基板。

【請求項 4】

前記突起電極は、圧延金属からなることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の素子搭載用基板。

【請求項 5】

請求項 1 ないし 4 のいずれか 1 項に記載の素子搭載用基板と、
前記突起電極に対向する素子電極が設けられた半導体素子と、
を備え、
前記突起電極が前記絶縁樹脂層を貫通し、前記突起電極と前記素子電極とが電氣的に接続されていることを特徴とする半導体モジュール。

20

【請求項 6】

請求項 5 に記載の半導体モジュールを搭載したことを特徴とする携帯機器。

【請求項 7】

突起電極が突設され、圧延金属からなる金属板を準備する工程と、
前記突起電極の側面に凹凸を形成する粗化工程と、
前記突起電極が形成された側の前記金属板の主表面に絶縁樹脂層を積層する工程と、
前記金属板を選択的に除去して配線層を形成する工程と、
を含むことを特徴とする素子搭載用基板の製造方法。

30

【請求項 8】

金属板の一方の主表面における所定の領域に金属層を形成する工程と、
前記金属層をマスクとして、前記金属層が形成された側の前記金属板の主表面を選択的に除去して突起電極を形成する工程と、
前記突起電極の側面に凹凸を形成する粗化工程と、
前記突起電極が形成された側の前記金属板の主表面に絶縁樹脂層を積層する工程と、
前記金属板を選択的に除去して配線層を形成する工程と、
を含むことを特徴とする素子搭載用基板の製造方法。

40

【請求項 9】

突起電極が突設され、圧延金属からなる金属板を準備する工程と、
前記突起電極の側面に凹凸を形成する粗化工程と、
前記金属板と、前記突起電極に対応する素子電極が設けられた半導体素子とを、絶縁樹脂層を介して圧着し、前記突起電極が前記絶縁樹脂層を貫通することにより、前記突起電極と前記素子電極とを電氣的に接続させる圧着工程と、
前記金属板を選択的に除去して配線層を形成する工程と、
を含むことを特徴とする半導体モジュールの製造方法。

【請求項 10】

金属板の一方の主表面における所定の領域に金属層を形成する工程と、

50

前記金属層をマスクとして、前記金属層が形成された側の前記金属板の主表面を選択的に除去して突起電極を形成する工程と、

前記突起電極の側面に凹凸を形成する粗化工程と、

前記金属板と、前記突起電極に対応する素子電極が設けられた半導体素子とを、絶縁樹脂層を介して圧着し、前記突起電極が前記絶縁樹脂層を貫通することにより、前記突起電極と前記素子電極とを電氣的に接続させる圧着工程と、

前記金属板を選択的に除去して配線層を形成する工程と、
を含むことを特徴とする半導体モジュールの製造方法。

【請求項 11】

前記絶縁樹脂層は、加圧によって塑性流動を起こすことを特徴とする請求項 9 または 10 に記載の半導体モジュールの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、素子搭載用基板およびその製造方法、半導体モジュールおよびその製造方法、ならびに携帯機器に関する。

【背景技術】

【0002】

近年、電子機器の小型化、高機能化に伴い、電子機器に使用される半導体素子の、さらなる小型化が求められている。半導体素子の小型化に伴い、配線基板に実装するための電極間の狭ピッチ化が不可欠となっている。半導体素子の表面実装方法として、半導体素子の電極にはんだバンプを形成し、はんだバンプと配線基板の電極パッドとをはんだ付けするフリップチップ実装方法が知られている。フリップチップ実装方法では、はんだバンプ自体の大きさや、はんだ付け時のブリッジ発生などが制約となり、電極の狭ピッチ化に限界があった。このような限界を克服するための構造として、基材に形成した突起構造を電極またはビアとし、基材にエポキシ樹脂などの絶縁樹脂層を介して半導体素子を実装し、突起構造に半導体素子の電極を接続する構造が知られている（特許文献 1 参照）。

【特許文献 1】特開 2004 - 193297 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、一般に突起構造を構成する材料には導電性を有する銅などの金属が採用されるため、突起構造と絶縁樹脂層とでは熱膨張係数が異なる。そのため、熱処理や使用環境における温度変化によって突起構造と絶縁樹脂層の界面には熱応力が発生し、突起構造と絶縁樹脂層との間の密着性が低下してしまうおそれがあった。そして、これにより、突起構造と半導体素子の電極との間の接続信頼性が低下してしまうおそれがあった。

【0004】

本発明はこうした状況に鑑みてなされたものであり、その目的は、突起構造と半導体素子の電極とを接続する構造において、突起構造と半導体素子の電極との間の接続信頼性を向上させる技術の提供にある。

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明のある態様は素子搭載用基板である。この素子搭載用基板は、絶縁樹脂層と、絶縁樹脂層の一方の主表面に設けられた配線層と、配線層と電氣的に接続され、配線層から絶縁樹脂層側に突出している突起電極と、を備え、突起電極の側面に凹凸が形成され、突起電極の頂部面よりも側面の方が表面粗さが大きい。

【0006】

この態様によれば、上記態様の素子搭載用基板に半導体素子が積層された場合に、突起電極と半導体素子の素子電極との間の接続信頼性が向上する。

【0007】

10

20

30

40

50

上記態様において、凹凸は、側面上の任意の2点間の直線距離に対する、2点間の凹凸の表面に沿った道のりの割合が、1.22より大きいものであってもよい。

【0008】

上記態様において、側面の表面粗さ R_{max} は、1.0~2.0 μm であってもよい。

【0009】

上記態様において、突起電極は、圧延金属からなるものであってもよい。

【0010】

本発明の他の態様は、半導体モジュールである。この半導体モジュールは、上述したいずれかの態様の素子搭載用基板と、突起電極に対向する素子電極が設けられた半導体素子と、を備え、突起電極が絶縁樹脂層を貫通し、突起電極と前記素子電極とが電氣的に接続されている。

10

【0011】

本発明のさらに他の態様は、携帯機器である。この携帯機器は、上述したいずれかの態様の半導体モジュールを搭載している。

【0012】

本発明のさらに他の態様は、素子搭載用基板の製造方法である。この素子搭載用基板の製造方法は、突起電極が突設され、圧延金属からなる金属板を準備する工程と、突起電極の側面に凹凸を形成する粗化工程と、突起電極が形成された側の金属板の主表面に絶縁樹脂層を積層する工程と、金属板を選択的に除去して配線層を形成する工程と、を含む。

【0013】

本発明のさらに他の態様もまた、素子搭載用基板の製造方法である。この素子搭載用基板の製造方法は、金属板の一方の主表面における所定の領域に金属層を形成する工程と、金属層をマスクとして、金属層が形成された側の金属板の主表面を選択的に除去して突起電極を形成する工程と、突起電極の側面に凹凸を形成する粗化工程と、突起電極が形成された側の金属板の主表面に絶縁樹脂層を積層する工程と、金属板を選択的に除去して配線層を形成する工程と、を含む。

20

【0014】

本発明のさらに他の態様は、半導体モジュールの製造方法である。この半導体モジュールの製造方法は、突起電極が突設され、圧延金属からなる金属板を準備する工程と、突起電極の側面に凹凸を形成する粗化工程と、金属板と、突起電極に対応する素子電極が設けられた半導体素子とを、絶縁樹脂層を介して圧着し、突起電極が絶縁樹脂層を貫通することにより、突起電極と素子電極とを電氣的に接続させる圧着工程と、金属板を選択的に除去して配線層を形成する工程と、を含む。

30

【0015】

本発明のさらに他の態様もまた、半導体モジュールの製造方法である。この半導体モジュールの製造方法は、金属板の一方の主表面における所定の領域に金属層を形成する工程と、金属層をマスクとして、金属層が形成された側の金属板の主表面を選択的に除去して突起電極を形成する工程と、突起電極の側面に凹凸を形成する粗化工程と、金属板と、突起電極に対応する素子電極が設けられた半導体素子とを、絶縁樹脂層を介して圧着し、突起電極が絶縁樹脂層を貫通することにより、突起電極と素子電極とを電氣的に接続させる圧着工程と、金属板を選択的に除去して配線層を形成する工程と、を含む。

40

【0016】

上記態様において、絶縁樹脂層は、加圧によって塑性流動を起こすものであってもよい。

【発明の効果】

【0017】

本発明によれば、突起構造と半導体素子の電極とを接続する構造において、突起構造と半導体素子の電極との間の接続信頼性を向上させることができる。

【発明を実施するための最良の形態】

【0018】

50

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0019】

(実施形態1)

図1は、実施形態1に係る素子搭載用基板10およびこれを用いた半導体モジュール30の構成を示す概略断面図である。半導体モジュール30は、素子搭載用基板10およびこれに搭載された半導体素子50を備える。

10

【0020】

素子搭載用基板10は、絶縁樹脂層12と、絶縁樹脂層12の一方の主表面に設けられた配線層14と、配線層14と電氣的に接続され、配線層14から絶縁樹脂層12側に突出している突起電極16とを備える。

【0021】

絶縁樹脂層12は、絶縁性の樹脂からなり、たとえば加圧したときに塑性流動を引き起こす材料で形成されている。加圧したときに塑性流動を引き起こす材料としては、エポキシ系熱硬化型樹脂が挙げられる。絶縁樹脂層12に用いられるエポキシ系熱硬化型樹脂は、たとえば、温度160、圧力8Mpaの条件下で、粘度が1kPa・sの特性を有する材料であればよい。また、このエポキシ系熱硬化型樹脂は、たとえば温度160の条件下で、5~15Mpaで加圧した場合に、加圧しない場合と比較して、樹脂の粘度が約1/8に低下する。これに対して、熱硬化前のBステージのエポキシ樹脂は、ガラス転移温度Tg以下の条件下では、樹脂を加圧しない場合と同程度に、粘性がなく、加圧しても粘性は生じない。また、このエポキシ系熱硬化型樹脂は、約3~4の誘電率を有する誘電体である。

20

【0022】

配線層14は、絶縁樹脂層12の一方の主表面に設けられており、導電材料、好ましくは圧延金属、さらには圧延銅により形成される。配線層14には、絶縁樹脂層12側に突起電極16が突設されている。本実施例においては、配線層14と突起電極16とは一体的に形成されているが、特にこれに限定されない。配線層14の絶縁樹脂層12と反対側の主表面には、配線層14の酸化などを防ぐための保護層18が設けられている。保護層18としては、ソルダーレジスト層などが挙げられる。保護層18の所定の領域には開口部18aが形成されており、開口部18aによって配線層14の一部が露出している。開口部18aが形成された位置には外部接続電極としてのはんだパンプ20が形成され、はんだパンプ20と配線層14とが電氣的に接続されている。はんだパンプ20を形成する位置、すなわち開口部18aの形成領域は、たとえば再配線を引き回した先の端部である。

30

【0023】

突起電極16は平面視で丸型であり、頂部に近づくにつれて径が細くなるように形成された側面を備えている。なお、突起電極16の形状は特に限定されず、たとえば、所定の径を有する円柱状であってもよい。また、平面視で四角形などの多角形であってもよい。また、突起電極16は、その側面に凹凸が形成されており、突起電極16の頂部面よりも側面の方が表面粗さが大きくなっている。ここで、側面の凹凸は、側面上の任意の2点間の直線距離に対する、2点間の凹凸の表面に沿った道のりの割合が、1.22より大きいことが好ましい。ここで、側面の凹凸が、側面上の任意の2点間の直線距離に対する2点間の凹凸の表面に沿った道のりの割合が1.22以下となる程度のものであった場合には、突起電極16と絶縁樹脂層12との間の密着性を向上させることができる所望のアンカー効果が得られにくくなる。そのため、凹凸は、2点間の距離に対する道のりの割合が1.22より大きいことが好ましい。

40

【0024】

50

また、突起電極 16 の側面の表面粗さ R_{max} は、 $1.0 \sim 2.0 \mu m$ となっている。ここで、側面の表面粗さが R_{max} で $1.0 \mu m$ よりも小さい場合には、突起電極 16 と絶縁樹脂層 12 との間の密着性を向上させることができる所望のアンカー効果が得られにくく、 $2.0 \mu m$ よりも大きい場合には絶縁樹脂層 12 が凹部内に入り込めずに、突起電極 16 と絶縁樹脂層 12 との間に空間ができてしまうおそれがある。そして、その空間の発達により、熱応力が生じた際に、そこから突起電極 16 と絶縁樹脂層 12 とが剥離しやすくなってしまふ。そのため、凹凸は上記範囲内のものであることが好ましい。また所望のアンカー効果が得られる凹凸の程度は、実験によって求めることができる。

【0025】

突起電極 16 の表面には、たとえば電解めっき法あるいは無電解めっき法により形成された、ニッケル (Ni) / 金 (Au) めっき層などの金属層 17 が被覆されている。なお、金属層 17 は設けなくてもよい。

10

【0026】

上述の構成を備えた素子搭載用基板 10 に半導体素子 50 が搭載されて半導体モジュール 30 が形成される。本実施形態の半導体モジュール 30 は、素子搭載用基板 10 の突起電極 16 と、半導体素子 50 の素子電極 52 とが絶縁樹脂層 12 を介して電氣的に接続された構造である。

【0027】

半導体素子 50 は、突起電極 16 のそれぞれに対向する素子電極 52 を有する。また、絶縁樹脂層 12 に接する側の半導体素子 50 の主表面には、素子電極 52 が露出するように開口が設けられた素子保護層 54 が積層されている。素子電極 52 の表面には、Ni / Au めっき層などの金属層 56 が被覆されている。なお、金属層 56 は設けなくてもよい。半導体素子 50 の具体例としては、集積回路 (IC)、大規模集積回路 (LSI) などの半導体チップが挙げられる。素子保護層 54 の具体例としては、ポリイミド層が挙げられる。また、素子電極 52 には、たとえばアルミニウム (Al) が用いられる。

20

【0028】

本実施形態においては、絶縁樹脂層 12 が、素子搭載用基板 10 と半導体素子 50 との間に設けられ、素子搭載用基板 10 が絶縁樹脂層 12 の一方の主表面に圧着され、半導体素子 50 が他方の主表面に圧着されている。そして、突起電極 16 が、絶縁樹脂層 12 を貫通して、半導体素子 50 に設けられた素子電極 52 と電氣的に接続されている。絶縁樹脂層 12 は、加圧により塑性流動を起こす材料からなるため、素子搭載用基板 10、絶縁樹脂層 12 および半導体素子 50 がこの順で一体化された状態において、突起電極 16 と素子電極 52 との間に絶縁樹脂層 12 の残膜が介在することが抑制され、接続信頼性の向上が図られる。また、突起電極 16 および素子電極 52 の表面には、それぞれ金属層 17 および金属層 56 が被覆されている。そのため、突起電極 16 と素子電極 52 とは、互いの最表面に配置された金同士が接合 (金 - 金接合) するため、突起電極 16 と素子電極 52 との接続信頼性がさらに向上する。

30

【0029】

(素子搭載用基板および半導体モジュールの製造方法)

図 2 (A) ~ (G) は、本実施形態における突起電極 16 の形成方法を示す工程断面図である。

40

【0030】

図 2 (A) に示すように、少なくとも、突起電極 16 の高さと同程度の厚さの銅板 13 を用意する。ここで、銅板 13 は圧延銅からなるものである。

【0031】

次に、図 2 (B) に示すように、リソグラフィ法により、銅板 13 の一方の主表面に突起電極 16 のパターンに合わせてレジスト 70 を選択的に形成する。具体的には、ラミネーター装置を用いて銅板 13 に所定膜厚のレジスト膜を貼り付け、突起電極 16 のパターンを有するフォトマスクを用いて露光した後、現像することによって、銅板 13 の上にレ

50

レジスト70を選択的に形成する。なお、レジストとの密着性向上のために、レジスト膜のラミネート前に、銅板13の表面に研磨、洗浄等の前処理を必要に応じて施すことが望ましい。

【0032】

次に、図2(C)に示すように、レジスト70をマスクとして、銅板13に所定のパターンの突起電極16を形成する。具体的には、レジスト70をマスクとして銅板13をエッチングすることにより、所定のパターンを有する突起電極16を形成する。

【0033】

次に、図2(D)に示すように、レジスト70を剥離剤を用いて剥離した後、突起電極16の頂部面よりも側面の方が表面粗さが大きくなるように、側面に凹凸を形成すべく突起電極16の表面に粗化处理を施す。粗化处理としては、たとえば、CZ処理(登録商標)などの薬液処理、プラズマ処理などが挙げられる。CZ処理では、たとえばギ酸と塩酸の混合液などからなる薬液に銅板13を浸漬し、突起電極16の表面をエッチングすることで突起電極16の表面を粗化する。本実施形態では、銅板13が圧延銅からなるため、突起電極16を形成する銅の結晶粒は、その長軸が突起電極16の頂部面に平行に、短軸が突起電極16の頂部面に略垂直となるように並んでいる。このため、突起電極16表面の粗化处理によって、突起電極16の側面に銅の結晶粒に応じた凹凸を形成するとともに、頂部面を略平坦に保つことができる。また、プラズマ処理の場合は、たとえば600Wの高周波出力、圧力が1.5Paの条件下で、銅板13を所定時間酸素40sccm、塩素60sccmからなるプラズマガス雰囲気曝し、突起電極16の表面をエッチングすることで突起電極16の表面を粗化する。なお、プラズマ処理の場合には、突起電極16の頂部面を被覆して頂部面が粗化されないようにしておく。

【0034】

次に、図2(E)に示すように、リソグラフィ法により、突起電極16の頂部面が露出するようにレジスト71を選択的に形成する。

【0035】

次に、図2(F)に示すように、突起電極16の頂部面に、たとえば電解めっき法あるいは無電解めっき法により、ニッケル(Ni)/金(Au)めっき層などの金属層17を形成する。前述のように、突起電極16表面の粗化处理によっても突起電極16の頂部面は略平坦に保たれているため、頂部面上に略平坦で厚さムラのない金属層17を形成することができる。

【0036】

次に、図2(G)に示すように、レジスト71を剥離して除去する。以上説明した工程により、銅板13に突起電極16が形成される。突起電極16における基底部の径、頂部の径、高さは、たとえばそれぞれ、50~150 μ m、45~100 μ m、20 μ mである。また、金属層17のNi層およびAu層の厚さは、たとえばそれぞれ、3.0 μ m、0.5 μ mである。

【0037】

図3(A)~(F)は、配線層14の形成方法、突起電極16と素子電極52との接続方法を示す工程断面図である。

【0038】

図3(A)に示すように、突起電極16が絶縁樹脂層12側を向くようにして、銅板13を絶縁樹脂層12の一方の主表面側に配置する。また、突起電極16に対向する素子電極52が設けられた半導体素子50を、絶縁樹脂層12の他方の主表面に配置する。素子電極52には、たとえばNi/Auめっき層などの金属層56が被覆されている。絶縁樹脂層12の厚さは突起電極16の高さ程度であり、約20 μ mである。そして、プレス装置を用いて、銅板13と半導体素子50とを、絶縁樹脂層12を介して圧着する。プレス加工時の圧力および温度は、それぞれ約5Mpaおよび180 $^{\circ}$ Cである。

【0039】

プレス加工により、絶縁樹脂層12が塑性流動を起こし、突起電極16が絶縁樹脂層1

10

20

30

40

50

2を貫通する。そして、図3(B)に示すように、銅板13、絶縁樹脂層12および半導体素子50が一体化され、突起電極16と素子電極52とが圧着して、突起電極16と素子電極52とが電氣的に接続される。突起電極16と素子電極52とにはそれぞれ金属層17および金属層56が被覆されているため、突起電極16と素子電極52とは金-金接合する。また、突起電極16は、その全体的な形状が先端に近づくと径が細くなるような形状であるため、突起電極16が絶縁樹脂層12をスムーズに貫通する。本実施形態では、銅板13を絶縁樹脂層12に圧着することで、突起電極16が形成された側の銅板13の主表面に絶縁樹脂層12を積層している。

【0040】

次に、図3(C)に示すように、リソグラフィ法により、絶縁樹脂層12と反対側の銅板13の主表面に、配線層14のパターンに合わせてレジスト72を選択的に形成する。

10

【0041】

次に、図3(D)に示すように、レジスト72をマスクとして銅板13の主表面をエッチングして、銅板13に所定のパターンの配線層14を形成する。その後、レジスト72を剥離する。本実施形態における配線層14の厚さは約20 μ mである。

【0042】

次に、図3(E)に示すように、リソグラフィ法により、はんだバンプ20の形成位置に対応する領域に開口部18aを有する保護層18を、絶縁樹脂層12と反対側の配線層14の主表面に形成する。

【0043】

20

次に、図3(F)に示すように、開口部18a内にはんだバンプ20を形成する。

【0044】

以上説明した製造工程により、半導体モジュール30が形成される。また、半導体素子50を搭載しなかった場合には、素子搭載用基板10が得られる。

【0045】

(熱衝撃試験信頼性の評価)

上述の手順により形成した半導体モジュール30(実施例)と、突起電極の表面に粗化処理を施さなかった半導体モジュール(比較例)について、JIS C 0025に規定されている熱衝撃試験を行った結果を表1に示す。表1において、実施例および比較例における表面の凹凸の程度は、以下のようにして測定した。すなわち、まず突起電極の側断面のSEM(走査型電子顕微鏡)画像上で、突起電極の側面および頂部面について、それぞれ任意の10箇所(箇所)に2点間の直線距離が5 μ mとなるように2点を設定した。そして、設定した2点間の突起電極表面に沿った道のりを実測した。そして、実測された道のりの値を5 μ mで除して凹凸の程度を求めた。

30

【0046】

【表 1】

| 2点間の距離に対する道のり(凹凸の程度) | | | | |
|----------------------|--------|---------|--------|---------|
| | 実施例 | | 比較例 | |
| | 側面(μm) | 頂部面(μm) | 側面(μm) | 頂部面(μm) |
| | 1.28 | 1.04 | 1.14 | 1.06 |
| | 2.04 | 1.12 | 1.16 | 1.04 |
| | 1.56 | 1.16 | 1.06 | 1.08 |
| | 1.26 | 1.08 | 1.08 | 1.16 |
| | 1.42 | 1.04 | 1.12 | 1.02 |
| | 1.36 | 1.06 | 1.16 | 1.06 |
| | 1.28 | 1.16 | 1.18 | 1.08 |
| | 1.44 | 1.02 | 1.10 | 1.12 |
| | 1.66 | 1.10 | 1.22 | 1.06 |
| | 1.60 | 1.06 | 1.16 | 1.14 |
| 平均 | 1.49 | 1.08 | 1.14 | 1.08 |

10

20

熱衝撃試験を行った結果、比較例の突起電極では絶縁樹脂層12との間の剥離が見られたのに対し、実施例の突起電極16では絶縁樹脂層12との間の剥離は見られなかった。

【0047】

以上説明したように、本実施形態の素子搭載用基板10は、突起電極16の側面に粗化処理を施して凹凸を形成して、頂部面に対して側面の表面粗さを大きくしている。このため、凹凸によるアンカー効果によって、突起電極16と絶縁樹脂層12との間の密着性が向上する。これにより、半導体モジュール30の製造工程や、半導体モジュール30のプリント配線基板への実装工程、あるいは使用環境下などにおける温度変化によって熱応力が発生した場合であっても、突起電極16と絶縁樹脂層12との剥離を抑えることができる。

30

【0048】

その結果、素子搭載用基板10に半導体素子50を積層した場合において、突起電極16と素子電極52との間に断線が生じにくくなり、突起電極16と素子電極52との間の接続信頼性が向上する。また、突起電極16の位置決めが確実にできることから、突起電極16と素子電極52との間の接続信頼性が向上する。さらに、突起電極16表面に粗化処理を施しても突起電極16の頂部面は平坦に保たれるため、突起電極16と素子電極52との間の接触性の低下を防ぐことができ、両者の接続信頼性が向上する。そして、突起電極16と素子電極52との間の接続信頼性が向上するため、半導体モジュール30をプリント配線基板へ実装した場合に、半導体モジュール30のプリント配線基板への実装信頼性が向上する。

40

【0049】

(実施形態2)

上述の実施形態1では、金属板として圧延銅からなる銅板13を用いたが、本実施形態では金属板として圧延金属だけでなく電解金属を用いることができる点が実施形態1と異なる。以下、本実施形態について説明する。なお、突起電極16と素子電極52の接続方

50

法は実施形態 1 と同様であり、実施形態 1 と同一の構成については同一の符号を付し、その説明は省略する。

【0050】

図 4 (A) ~ (E) は、実施形態 2 における突起電極 1 6 の形成方法を示す工程断面図である。

【0051】

図 4 (A) に示すように、少なくとも、突起電極 1 6 の高さと同配線層 1 4 の厚さとの和より大きい厚さを有する金属板としての銅板 1 3 を用意する。ここで、銅板 1 3 は圧延銅あるいは電解銅からなるものである。

【0052】

次に、図 4 (B) に示すように、リソグラフィ法により、銅板 1 3 の一方の主表面に突起電極 1 6 の形成予定領域に開口部 7 3 a を有するレジスト 7 3 を選択的に形成する。

【0053】

次に、図 4 (C) に示すように、開口部 7 3 a において露出している銅板 1 3 の表面に、たとえば電解めっき法あるいは無電解めっき法により、ニッケル (Ni) / 金 (Au) めっき層などの金属層 1 7 を形成する。銅板 1 3 の表面は、粗化处理前であるため略平坦に保たれている。そのため、銅板 1 3 の表面に平坦で厚さムラのない金属層 1 7 を形成することができる。

【0054】

次に、図 4 (D) に示すように、レジスト 7 3 を剥離する。

【0055】

次に、図 4 (E) に示すように、金属層 1 7 をマスクとして、銅板 1 3 に所定のパターンの突起電極 1 6 を形成する。続いて、突起電極 1 6 の頂部面よりも側面の方が表面粗さが大きくなるように、側面に凹凸を形成すべく突起電極 1 6 の表面に粗化处理を施す。ここで、銅板 1 3 として電解銅が用いられた場合、突起電極 1 6 を形成する銅の結晶粒は、突起電極 1 6 の頂部面に対して垂直に並んでいる。そのため、実施形態 1 と同様に金属層 1 7 を形成する前に突起電極 1 6 表面に粗化处理を施すと、頂部面にも凹凸が形成されてしまう。その結果、平坦な金属層 1 7 が形成されず、素子電極 5 2 との間の接続信頼性が低下してしまう。しかしながら、本実施形態では、粗化处理前に金属層 1 7 を形成しているため、銅板 1 3 が電解銅からなる場合であっても、突起電極 1 6 の頂部面を平坦に保つことができ、その結果、素子電極 5 2 との接触面が平坦に保たれる。

【0056】

以上説明した工程により、銅板 1 3 に突起電極 1 6 が形成される。

【0057】

本実施形態によれば、実施形態 1 の上述の効果に加えて、さらに次のような効果が得られる。すなわち、本実施形態では、突起電極 1 6 表面に粗化处理を施す前に、突起電極 1 6 の頂部面に金属層 1 7 を形成しているため、銅板 1 3 に電解銅を用いた場合であっても、突起電極 1 6 の頂部面を平坦に保つことができる。そのため、銅板 1 3 に電解銅を用いた場合であっても、突起電極 1 6 と絶縁樹脂層 1 2 との密着性を向上させつつ、突起電極 1 6 と素子電極 5 2 との接続信頼性を向上させることができる。また、金属層 1 7 を突起電極 1 6 形成時のマスクとして用いているため、素子搭載用基板 1 0 の製造工程数を削減することができる。

【0058】

(実施形態 3)

次に、本発明の半導体モジュールを備えた携帯機器について説明する。なお、携帯機器として携帯電話に搭載する例を示すが、たとえば、個人用携帯情報端末 (P D A)、デジタルビデオカメラ (D V C)、及びデジタルスチルカメラ (D S C) といった電子機器であってもよい。

【0059】

図 5 は本発明の実施形態に係る半導体モジュール 3 0 を備えた携帯電話の構成を示す図

10

20

30

40

50

である。携帯電話 111 は、第 1 の筐体 112 と第 2 の筐体 114 が可動部 120 によって連結される構造になっている。第 1 の筐体 112 と第 2 の筐体 114 は可動部 120 を軸として回動可能である。第 1 の筐体 112 には文字や画像等の情報を表示する表示部 118 やスピーカ部 124 が設けられている。第 2 の筐体 114 には操作ボタンなどの操作部 122 やマイク部 126 が設けられている。なお、本発明の各実施形態に係る半導体モジュール 30 はこうした携帯電話 111 の内部に搭載されている。

【0060】

図 6 は図 5 に示した携帯電話の部分断面図（第 1 の筐体 112 の断面図）である。本発明の各実施形態に係る半導体モジュール 30 は、はんだバンプ 20 を介してプリント基板 128 に搭載され、こうしたプリント基板 128 を介して表示部 118 などと電氣的に接続されている。また、半導体モジュール 30 の裏面側（はんだバンプ 20 とは反対側の面）には金属基板などの放熱基板 116 が設けられ、たとえば、半導体モジュール 30 から発生する熱を第 1 の筐体 112 内部に籠もらせることなく、効率的に第 1 の筐体 112 の外部に放熱することができるようになっている。

10

【0061】

本発明の実施形態に係る素子搭載用基板 10 および半導体モジュール 30 によれば、半導体モジュール 30 のプリント配線基板への実装信頼性が向上する。そのため、こうした半導体モジュール 30 を搭載した本実施形態に係る携帯機器については、その信頼性が向上する。

【0062】

本発明は、上述の各実施形態に限定されるものではなく、当業者の知識に基づいて各種の設計変更等の変形を加えることも可能であり、そのような変形が加えられた実施形態も本発明の範囲に含まれるものである。

20

【0063】

たとえば、上述の実施形態では、素子搭載用基板の配線層は単層であったが、これに限定されず、配線層はさらに多層化したものであってもよい。また、配線層の最外面にはんだバンプが形成されているが、これに限定されない。たとえば、配線層に MOS トランジスタを接着し、MOS トランジスタのソース電極、ドレイン電極およびゲート電極を配線層に電氣的に接続してもよい。

【0064】

また、本発明の構成は、ウエハレベル CSP (Chip Size Package) プロセスと呼ばれる半導体パッケージの製造プロセスに適用することができる。これによれば、半導体モジュールの薄型化・小型化を図ることができる。

30

【図面の簡単な説明】

【0065】

【図 1】実施形態 1 に係る素子搭載用基板および半導体モジュールの構成を示す概略断面図である。

【図 2】図 2 (A) ~ (G) は、突起電極の形成方法を示す工程断面図である。

【図 3】図 3 (A) ~ (F) は、配線層の形成方法、突起電極と素子電極との接続方法を示す工程断面図である。

40

【図 4】図 4 (A) ~ (E) は、実施形態 2 における突起電極の形成方法を示す工程断面図である。

【図 5】実施形態 3 に係る携帯電話の構成を示す図である。

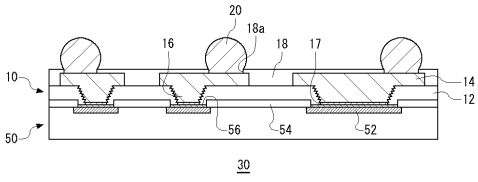
【図 6】携帯電話の部分断面図である。

【符号の説明】

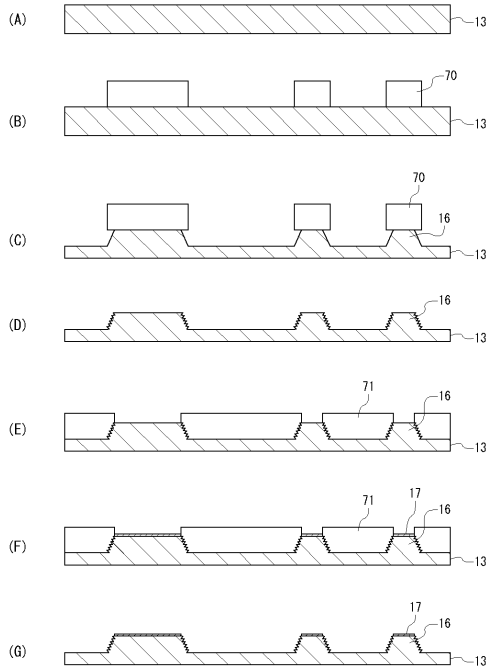
【0066】

10 素子搭載用基板、 12 絶縁樹脂層、 14 配線層、 16 突起電極、
18 保護層、 20 はんだバンプ、 30 半導体モジュール、 50 半導体素子、
52 素子電極、 54 素子保護層。

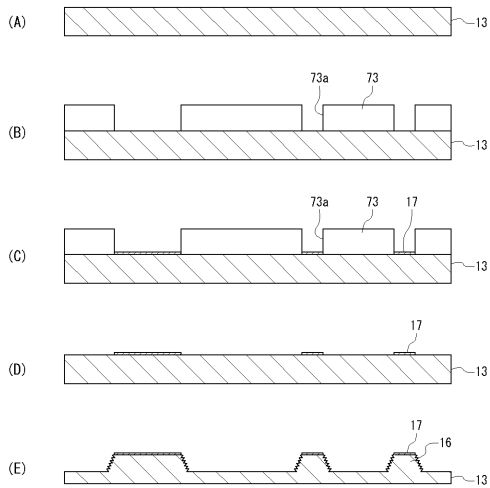
【 図 1 】



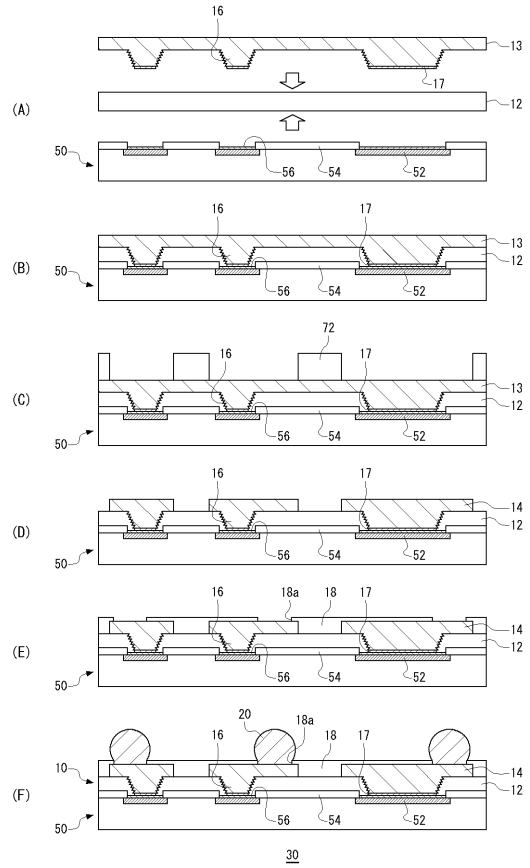
【 図 2 】



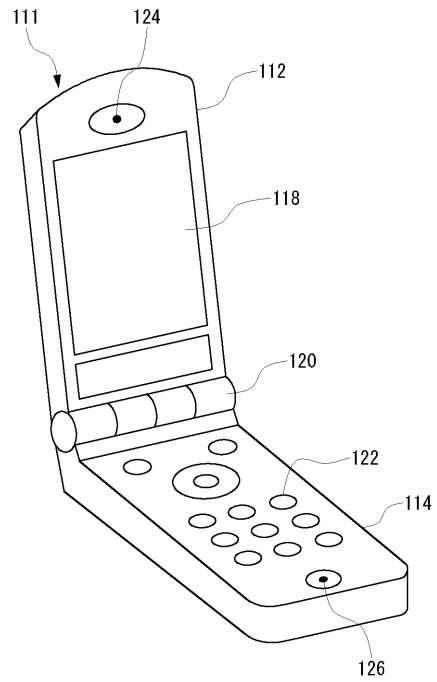
【 図 4 】



【 図 3 】



【 図 5 】



【図 6】

