



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201631595 A

(43) 公開日：中華民國 105 (2016) 年 09 月 01 日

(21) 申請案號：104112297 (22) 申請日：中華民國 104 (2015) 年 04 月 17 日  
 (51) Int. Cl. : G11C29/04 (2006.01) G11C16/10 (2006.01)  
 (30) 優先權：2015/02/17 美國 14/623,510  
 (71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)  
 苗栗縣竹南鎮群義路 1 號  
 (72) 發明人：渡邊浩志 WATANABE, HIROSHI (JP)  
 (74) 代理人：葉璟宗；詹東穎；劉亞君  
 申請實體審查：有 申請專利範圍項數：21 項 圖式數：18 共 65 頁

## (54) 名稱

記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元

MEMORY MANAGEMENT METHOD, MEMORY STORAGE DEVICE AND MEMORY CONTROLLING CIRCUIT UNIT

## (57) 摘要

本發明提供一種記憶體管理方法、一種記憶體儲存裝置和一種記憶體控制電路單元。所述方法包括：獲得多個記憶胞的臨界電壓分佈，其中所述臨界電壓分佈包括多個狀態，且所述狀態的每一者表示一儲存狀態；確定所述狀態中的兩個相鄰狀態之間の間隙窗的寬度是否小於門檻值；以及若所述間隙窗的所述寬度小於所述門檻值，則消除所述兩個相鄰狀態中的一者。藉此，可延長記憶體儲存裝置的使用壽命。

An memory management method, a memory storage device and a memory controlling circuit unit are provided. The method comprises: obtaining a threshold voltage distribution of memory cells, wherein the threshold voltage distribution includes a plurality of states, and each of the states represents a storage status; determining whether a width of a gap window between two neighboring states among the states is less than a threshold value; and if the width of the gap window is less than the threshold value, eliminating one of the two neighboring states. Accordingly, a lifetime of the memory storage device may be prolonged.

指定代表圖：

符號簡單說明：

S1801~S1803 . . .

步驟

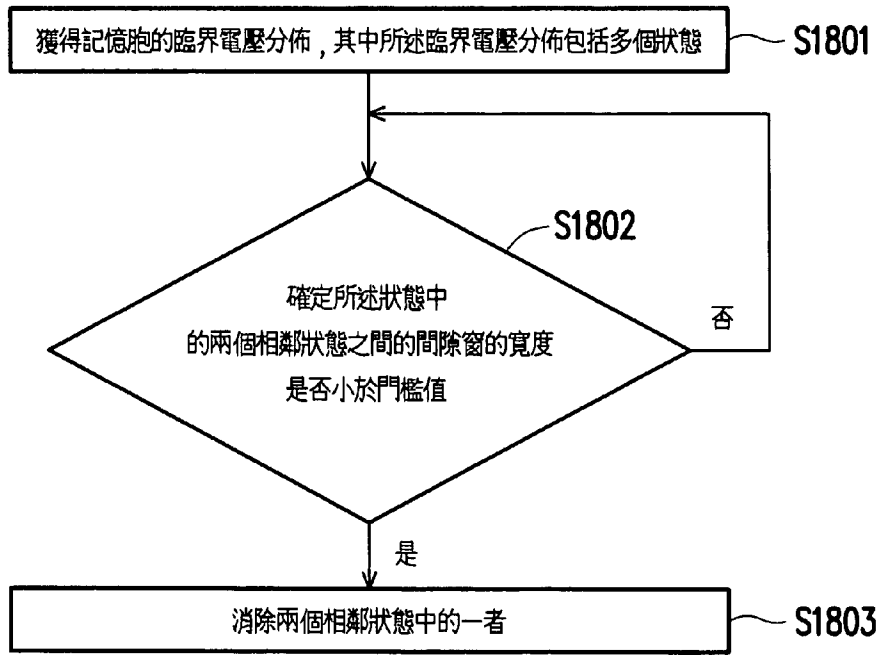


圖 18

## 發明摘要

※ 申請案號：(0411)91

※ 申請日：104. 4. 17

※IPC 分類：G11C 29/04

G11C 16/10

2006.01

2006.01

## 【發明名稱】

記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元

MEMORY MANAGEMENT METHOD, MEMORY STORAGE

DEVICE AND MEMORY CONTROLLING CIRCUIT UNIT

## 【中文】

本發明提供一種記憶體管理方法、一種記憶體儲存裝置和一種記憶體控制電路單元。所述方法包括：獲得多個記憶胞的臨界電壓分佈，其中所述臨界電壓分佈包括多個狀態，且所述狀態的每一者表示一儲存狀態；確定所述狀態中的兩個相鄰狀態之間の間隙窗的寬度是否小於門檻值；以及若所述間隙窗的所述寬度小於所述門檻值，則消除所述兩個相鄰狀態中的一者。藉此，可延長記憶體儲存裝置的使用壽命。

## 【英文】

An memory management method, a memory storage device and a memory controlling circuit unit are provided. The method comprises: obtaining a threshold voltage distribution of memory cells, wherein the threshold voltage distribution includes a plurality of states, and each of the states represents a storage status; determining whether a width of a gap window between two

neighboring states among the states is less than a threshold value; and if the width of the gap window is less than the threshold value, eliminating one of the two neighboring states. Accordingly, a lifetime of the memory storage device may be prolonged.

**【代表圖】**

**【本案指定代表圖】**：圖 18。

**【本代表圖之符號簡單說明】**：

S1801~S1803：步驟

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元

MEMORY MANAGEMENT METHOD, MEMORY STORAGE  
DEVICE AND MEMORY CONTROLLING CIRCUIT UNIT

## 【技術領域】

【0001】 本發明是有關於一種記憶體管理方法，且特別是有關於一種記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元。

## 【先前技術】

【0002】 數位相機、行動電話與 MP3 播放器在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體模組（例如，快閃記憶體）具有資料非揮發性、省電、體積小，以及無機械結構等特性，所以非常適合內建於上述所舉例的各種可攜式多媒體裝置中。

【0003】 一般來說，當可複寫式非揮發性記憶體模組的使用時間和/或存取次數增加時，從可複寫式非揮發性記憶體模組中的記憶胞讀取的資料可能含有越來越多的錯誤位元。雖然可執行資料更正操作來更正這些錯誤位元，然而，資料更正操作通常會花費較多時間。

**【發明內容】**

**【0004】** 本發明提供一種記憶體管理方法、一種記憶體儲存裝置和一種記憶體控制電路單元，其能夠減少從可複寫式非揮發性記憶體模組讀取的資料所包含的錯誤位元。

**【0005】** 本發明的一範例實施例提供一種記憶體管理方法，其用於可複寫式非揮發性記憶體模組，所述可複寫式非揮發性記憶體模組包括多個記憶胞，所述記憶體管理方法包括：獲得所述記憶胞的臨界電壓分佈，其中所述臨界電壓分佈包括多個狀態，且所述狀態的每一者表示一儲存狀態；確定所述狀態中的兩個相鄰狀態之間の間隙窗的寬度是否小於門檻值；以及若所述間隙窗的所述寬度小於所述門檻值，消除所述兩個相鄰狀態中的一者。

**【0006】** 在本發明的一範例實施例中，所述兩個相鄰狀態包括第一相鄰狀態和第二相鄰狀態，所述第一相鄰狀態的第一峰值電壓小於所述第二相鄰狀態的第二峰值電壓，且所述記憶體管理方法更包括：根據所述臨界電壓分佈獲得所述第一相鄰狀態的上部端點電壓和所述第二相鄰狀態的下部端點電壓；以及根據所述第一相鄰狀態的所述上部端點電壓和所述第二相鄰狀態的所述下部端點電壓獲得所述間隙窗的所述寬度。

**【0007】** 在本發明的一範例實施例中，所述記憶體管理方法更包括：確定所述第一相鄰狀態是否與所述第二相鄰狀態重疊；若所述第一相鄰狀態與所述第二相鄰狀態重疊，則直接確定所述間隙窗的所述寬度小於所述門檻值；以及若所述第一相鄰狀態不與所

述第二相鄰狀態重疊，則執行獲得所述間隙窗的所述寬度的步驟。

【0008】 在本發明的一範例實施例中，所述獲得所述記憶胞的所述臨界電壓分佈的步驟包括：在所述兩個相鄰狀態之間施加第一讀取電壓和第二讀取電壓，其中所述第二讀取電壓高於所述第一讀取電壓，且所述第一讀取電壓與所述第二讀取電壓之間的差值等於所述門檻值，其中確定所述間隙窗的所述寬度是否小於所述門檻值的步驟包括：根據反應於所述第一讀取電壓和所述第二讀取電壓所獲得的至少一位元來識別所述間隙窗的所述寬度是否小於所述門檻值。

【0009】 在本發明的一範例實施例中，所述所消除的狀態的峰值電壓高於剩餘狀態的峰值電壓。

【0010】 在本發明的一範例實施例中，所述所消除的狀態的峰值電壓小於剩餘狀態的峰值電壓。

【0011】 在本發明的一範例實施例中，所述記憶體管理方法更包括□將標記指派到所述狀態的每一者；設定第一檢查點和第二檢查點，其中所述第一檢查點和所述第二檢查點的每一者指向所述標記中的一者；根據所述第一檢查點和所述第二檢查點選擇所述兩個相鄰狀態；以及反應於消除所述兩個相鄰狀態中的一者，將先前指派到所消除的狀態的所述標記重新指派到所述狀態中的下一狀態，其中所述下一狀態的峰值電壓高於所消除的狀態的峰值電壓。

【0012】 本發明的另一範例實施例提供一種記憶體儲存裝置，其

包括連接介面單元、可複寫式非揮發性記憶體模組及記憶體控制電路單元。連接介面單元用以耦接到主機系統。可複寫式非揮發性記憶體模組包括多個記憶胞。記憶體控制電路單元耦接到所述連接介面單元和所述可複寫式非揮發性記憶體模組，其中所述記憶體控制電路單元用以獲得所述記憶胞的臨界電壓分佈，其中所述臨界電壓分佈包括多個狀態，且所述狀態的每一者表示一儲存狀態，其中所述記憶體控制電路單元更用以確定所述狀態中的兩個相鄰狀態之間の間隙窗的寬度是否小於門檻值，其中若所述間隙窗的所述寬度小於所述門檻值，則所述記憶體控制電路單元更用以消除所述兩個相鄰狀態中的一者。

**【0013】** 在本發明的一範例實施例中，所述兩個相鄰狀態包括第一相鄰狀態和第二相鄰狀態，所述第一相鄰狀態的第一峰值電壓小於所述第二相鄰狀態的第二峰值電壓，其中所述記憶體控制電路單元更用以根據所述臨界電壓分佈獲得所述第一相鄰狀態的上部端點電壓和所述第二相鄰狀態的下部端點電壓，其中所述記憶體控制電路單元更用以根據所述第一相鄰狀態的所述上部端點電壓和所述第二相鄰狀態的所述下部端點電壓獲得所述間隙窗的所述寬度。

**【0014】** 在本發明的一範例實施例中，所述記憶體控制電路單元更用以確定所述第一相鄰狀態是否與所述第二相鄰狀態重疊，其中若所述第一相鄰狀態與所述第二相鄰狀態重疊，則所述記憶體控制電路單元更用以直接確定所述間隙窗的所述寬度小於所述門



檻值，其中若所述第一相鄰狀態不與所述第二相鄰狀態重疊，則所述記憶體控制電路單元更用以執行獲得所述間隙窗的所述寬度的操作。

**【0015】** 在本發明的一範例實施例中，所述獲得所述記憶胞的所述臨界電壓分佈的操作包括：在所述兩個相鄰狀態之間施加第一讀取電壓和第二讀取電壓，其中所述第二讀取電壓高於所述第一讀取電壓，且所述第一讀取電壓與所述第二讀取電壓之間的差值等於所述門檻值，其中確定所述間隙窗的所述寬度是否小於所述門檻值的操作包括：根據反應於所述第一讀取電壓和所述第二讀取電壓所獲得的位元來識別所述間隙窗的所述寬度是否小於所述門檻值。

**【0016】** 在本發明的一範例實施例中，所述所消除的狀態的峰值電壓高於剩餘狀態的峰值電壓。

**【0017】** 在本發明的一範例實施例中，所述所消除的狀態的峰值電壓低於剩餘狀態的峰值電壓。

**【0018】** 在本發明的一範例實施例中，所述記憶體控制電路單元更用以將標記指派到所述狀態的每一者，其中所述記憶體控制電路單元更用以設定第一檢查點和第二檢查點，其中所述第一檢查點和所述第二檢查點的每一者指向所述標記中的一者，其中所述記憶體控制電路單元更用以根據所述第一檢查點和所述第二檢查點選擇所述兩個相鄰狀態，其中所述記憶體控制電路單元更用以反應於消除所述兩個相鄰狀態中的一者而將先前指派到所消除的

狀態的所述標記重新指派到所述狀態中的下一狀態，其中所述下一狀態的峰值電壓高於所消除的狀態的峰值電壓。

**【0019】** 本發明的另一範例實施例提供一種記憶體控制電路單元，其用以控制可複寫式非揮發性記憶體模組，且所述記憶體控制電路單元包括主機介面、記憶體介面及記憶體管理電路。主機介面其用以耦接到主機系統。所述記憶體介面其用以耦接到所述可複寫式非揮發性記憶體模組，其中所述可複寫式非揮發性記憶體模組包括多個記憶胞。所述記憶體管理電路耦接到所述主機介面和所述記憶體介面，其中所述記憶體管理電路用以獲得所述記憶胞的臨界電壓分佈，其中所述臨界電壓分佈包括多個狀態，且所述狀態的每一者表示一儲存狀態，其中所述記憶體管理電路更用以確定所述狀態中的兩個相鄰狀態之間の間隙窗的寬度是否小於門檻值，其中若所述間隙窗的所述寬度小於所述門檻值，則所述記憶體管理電路更用以消除所述兩個相鄰狀態中的一者。

**【0020】** 在本發明的一範例實施例中，所述兩個相鄰狀態包括第一相鄰狀態和第二相鄰狀態，所述第一相鄰狀態的第一峰值電壓小於所述第二相鄰狀態的第二峰值電壓，其中所述記憶體管理電路更用以根據所述臨界電壓分佈獲得所述第一相鄰狀態的上部端點電壓和所述第二相鄰狀態的下部端點電壓，其中所述記憶體管理電路更用以根據所述第一相鄰狀態的所述上部端點電壓和所述第二相鄰狀態的所述下部端點電壓獲得所述間隙窗的所述寬度。

**【0021】** 在本發明的一範例實施例中，所述記憶體管理電路更用

以確定所述第一相鄰狀態是否與所述第二相鄰狀態重疊，其中若所述第一相鄰狀態與所述第二相鄰狀態重疊，則所述記憶體管理電路更用以直接確定所述間隙窗的所述寬度小於所述門檻值，其中若所述第一相鄰狀態不與所述第二相鄰狀態重疊，則所述記憶體管理電路更用以執行獲得所述間隙窗的所述寬度的操作。

【0022】 在本發明的一範例實施例中，所述獲得所述記憶胞的所述臨界電壓分佈的操作包括：在所述兩個相鄰狀態之間施加第一讀取電壓和第二讀取電壓，其中所述第二讀取電壓高於所述第一讀取電壓，且所述第一讀取電壓與所述第二讀取電壓之間的差值等於所述門檻值，其中確定所述間隙窗的所述寬度是否小於所述門檻值的操作包括：根據反應於所述第一讀取電壓和所述第二讀取電壓所獲得的位元來識別所述間隙窗的所述寬度是否小於所述門檻值。

【0023】 在本發明的一範例實施例中，所述所消除的狀態的峰值電壓高於剩餘狀態的峰值電壓。

【0024】 在本發明的一範例實施例中，所述所消除的狀態的峰值電壓低於剩餘狀態的峰值電壓。

【0025】 在本發明的一範例實施例中，所述記憶體管理電路更用以將標記指派到所述狀態的每一者，其中所述記憶體管理電路更用以設定第一檢查點和第二檢查點，其中所述第一檢查點和所述第二檢查點的每一者指向所述標記中的一者，其中所述記憶體管理電路更用以根據所述第一檢查點和所述第二檢查點選擇所述兩

個相鄰狀態，其中所述記憶體管理電路更用以反應於消除所述兩個相鄰狀態中的一者而將先前指派到所消除的狀態的所述標記重新指派到所述狀態中的下一狀態，其中所述下一狀態的峰值電壓高於所消除的狀態的峰值電壓。

**【0026】** 基於以上內容，本發明可找出兩個相鄰狀態之間具有不適當寬度的間隙窗，且可消除這兩個相鄰狀態中的一者。藉此，可減少從可複寫式非揮發性記憶體模組讀取的資料中所包含的錯誤位元，且可延長可複寫式非揮發性記憶體模組的使用壽命。

**【0027】** 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### **【圖式簡單說明】**

#### **【0028】**

圖 1 是根據本發明的一範例實施例所繪示的主機系統和記憶體儲存裝置的示意圖。

圖 2 是根據本發明的一範例實施例所繪示的計算機、輸入/輸出裝置和記憶體儲存裝置的示意圖。

圖 3 是根據本發明的一範例實施例所繪示的主機系統和記憶體儲存裝置的示意圖。

圖 4 是繪示圖 1 中描繪的記憶體儲存裝置的概要方塊圖。

圖 5a 是根據本發明的一範例實施例所繪示的 NAND 串的俯視圖。

圖 5b 是根據本發明的一範例實施例所繪示的 NAND 串的等效電路圖。

圖 5c 是根據本發明的一範例實施例所繪示的 NAND 串的側視圖。

圖 5d 是根據本發明的一範例實施例所繪示的實體抹除單元的示意圖。

圖 6 是根據本發明的一範例實施例所繪示的浮動閘極記憶胞的示意圖。

圖 7 是根據本發明的一範例實施例所繪示的垂直通道型 NAND 快閃記憶體的示意圖。

圖 8a 和 8b 是根據本發明的一範例實施例所繪示的對應於儲存在記憶胞中的寫入資料的臨界電壓分佈的示意圖。

圖 9 是根據本發明的另一範例實施例所繪示的對應於儲存在記憶胞中的寫入資料的臨界電壓分佈的示意圖。

圖 10 是根據本發明的一範例實施例所繪示的從記憶胞讀取資料的示意圖。

圖 11 是根據本發明的另一範例實施例所繪示的從記憶胞讀取資料的示意圖。

圖 12 是根據本發明的一範例實施例所繪示的記憶體控制電路單元的概要方塊圖。

圖 13 和圖 14 是根據本發明的一範例實施例所繪示的記憶胞的臨界電壓分佈的示意圖。

圖 15 是根據本發明的另一範例實施例所繪示的記憶胞的臨界電壓分佈的示意圖。

圖 16 和圖 17 是根據本發明的另一範例實施例所繪示的記憶胞的臨界電壓分佈的示意圖。

圖 18 是根據本發明的一範例實施例所繪示的記憶體管理方法的流程圖。

### 【實施方式】

【0029】 一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組(rewritable non-volatile memory module)與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0030】 圖 1 是根據本發明的一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。圖 2 是根據本發明的一範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

【0031】 請參照圖 1，主機系統 11 一般包括電腦 12 與輸入/輸出(input/output, I/O)裝置 13。電腦 12 包括微處理器 122、隨機存取記憶體(random access memory, RAM)124、系統匯流排 126 與資料傳輸介面 128。輸入/輸出裝置 13 包括如圖 2 的滑鼠 21、鍵盤 22、顯示器 23 與印表機 24。必須瞭解的是，圖 2 所示的裝置非限制輸入/輸出裝置 13，輸入/輸出裝置 13 可更包括其他裝置。

【0032】 在一範例實施例中，記憶體儲存裝置 10 是透過資料傳輸介面 128 與主機系統 11 的其他元件耦接。藉由微處理器 122、隨機存取記憶體 124 與輸入/輸出裝置 13 的運作可將資料寫入至記憶體儲存裝置 10 或從記憶體儲存裝置 10 中讀取資料。例如，記憶體儲存裝置 10 可以是如圖 2 所示的隨身碟 25、記憶卡 26 或固態硬碟(Solid State Drive, SSD)27 等的可複寫式非揮發性記憶體儲存裝置。

【0033】 圖 3 是根據本發明的一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

【0034】 一般而言，主機系統 11 為可實質地與記憶體儲存裝置 10 配合以儲存資料的任意系統。雖然在本範例實施例中，主機系統 11 是以電腦系統來作說明，然而，另一範例實施例中，主機系統 11 可以是數位相機、攝影機、通訊裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機)31 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 32、MMC 卡 33、記憶棒(memory stick)34、CF 卡 35 或嵌入式儲存裝置 36(如圖 3 所示)。嵌入式儲存裝置 36 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

【0035】 圖 4 是繪示圖 1 所示的記憶體儲存裝置的概要方塊圖。

【0036】 請參照圖 4，記憶體儲存裝置 10 包括連接介面單元 402、記憶體控制電路單元 404 與可複寫式非揮發性記憶體模組 406。

【0037】 在本範例實施例中，連接介面單元 402 是相容於序列先進附件(Serial Advanced Technology Attachment, SATA)標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 402 亦可以是符合並列先進附件(Parallel Advanced Technology Attachment, PATA)標準、電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE)1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express)標準、通用序列匯流排(Universal Serial Bus, USB)標準、安全數位(Secure Digital, SD)介面標準、超高速一代(Ultra High Speed-I, UHS-I)介面標準、超高速二代(Ultra High Speed-II, UHS-II)介面標準、記憶棒(Memory Stick, MS)介面標準、多媒體儲存卡(Multi Media Card, MMC)介面標準、嵌式多媒體儲存卡(Embedded Multimedia Card, eMMC)介面標準、通用快閃記憶體(Universal Flash Storage, UFS)介面標準、小型快閃(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE)標準或其他適合的標準。連接介面單元 402 可與記憶體控制電路單元 404 封裝在一個晶片中，或者連接介面單元 402 是佈設於一包含記憶體控制電路單元 404 之晶片外。

【0038】 記憶體控制電路單元 404 用以執行以硬體型式或韌體型式實作的多個邏輯閘或控制指令並且根據主機系統 11 的指令在可複寫式非揮發性記憶體模組 406 中進行資料的寫入、讀取與抹除等運作。



【0039】可複寫式非揮發性記憶體模組 406 耦接到記憶體控制電路單元 404 且用以儲存從主機系統 11 寫入的資料。可複寫式非揮發性記憶體模組 406 具有多個實體抹除單元 408(0)到 408(R)。舉例來說，實體抹除單元 408(0)到 408(R)可屬於相同記憶體晶片或屬於不同記憶體晶片。以 NAND 型快閃記憶體為例，其中的實體抹除單元包括多個 NAND 串。每一 NAND 串包括彼此串聯連接的多個電晶體。

【0040】圖 5a 是根據本發明的一範例實施例所繪示的 NAND 串的俯視圖。圖 5b 是根據本發明的一範例實施例所繪示的 NAND 串的等效電路圖。

【0041】參照圖 5a 和 5b，NAND 串 360 包括電晶體 320、300、302、304、306 和 322。在此，電晶體 320 是汲極選擇閘極電晶體，電晶體 300、302、304 和 306 中的每一者皆是記憶胞電晶體，且電晶體 322 是源極選擇閘極電晶體。汲極擴散層 236 與源極擴散層 328 之間的電路也可稱為 NAND 串。位元線連接到汲極擴散層 326 上的汲極接觸點且平行於上部金屬層上的 NAND 串而擴展。電晶體 320 上的選擇閘極 320SG 耦接到選擇線 SGD；電晶體 300 上的控制閘極 300CG 耦接到字元線 WL3；電晶體 302 上的控制閘極 302CG 耦接到字元線 WL2；電晶體 304 上的控制閘極 304CG 耦接到字元線 WL1；電晶體 306 上的控制閘極 306CG 耦接到字元線 WL0；且電晶體 322 上的選擇閘極 322SG 耦接到選擇線 SGS。電晶體 300、302、304 和 306 可進一步包括電荷儲存層。電荷儲

存層用以儲存電子或電洞。在本範例實施例中，電荷儲存層為浮動閘極，且其材料包括高濃度摻雜多晶矽。然而，在另一範例實施例中，電荷儲存層可包括電荷捕獲層，其例如堆疊層，其由矽、氧化物和氮或能夠儲存電子或電洞的其它材料組成，且本發明並不限於此。在圖 5a 的範例實施例中，電晶體 300 包括浮動閘極 300FG；電晶體 302 包括浮動閘極 302FG；電晶體 304 包括浮動閘極 304FG，且電晶體 306 包括浮動閘極 306FG。本文中，電晶體 300、302、304 和 306 也可稱為記憶胞。

**【0042】** 圖 5c 是根據本發明的一範例實施例所繪示的 NAND 串的側視圖。

**【0043】** 參照圖 5a 到圖 5c，NAND 串 360 設置在基底的 P 井 (P-well)340 上。控制閘極 300CG、302CG、304CG 和 306CG 分別設置在浮動閘極 300FG、302FG、304FG 和 306FG 上。電介質層設置在控制閘極 300CG、302CG、304CG、306CG 與浮動閘極 300FG、302FG、304FG、306FG 之間。另一電介質層設置在浮動閘極 300FG、302FG、304FG、306FG 與基底之間。後一電介質層可進一步擴展以覆蓋選擇閘極 322SG 和 320SG 的通道。擴散層 330、332、334、336 和 338 可由圖 5a 到圖 5c 中的鄰近電晶體共享，且一個電晶體的源極或汲極可由兩個鄰近擴散層形成。假設資料寫入（即，程式化）到電晶體 300、302、304 和 306 的一者中，一個合適的電壓可施加到選擇閘極 320SG 的控制閘極，而選擇閘極 322SG 的控制閘極為接地，使得電晶體 320 可導通，同時

電晶體 322 可切斷。藉此，每一位元線可選擇對應 NAND 串的程式化和不程式化。程式化電壓或通過電壓可施加在 NAND 串的所有記憶胞電晶體上。程式化電壓可施加到待程式化的電晶體上的控制閘極，且通過電壓可施加到將不被程式化的其它電晶體上的控制閘極。以控制閘極 302CG 為例，程式化電壓可施加在控制閘極 302CG 上，且通過電壓可施加在控制閘極 300CG、304CG 和 306CG 上，而電晶體 320 可導通，同時選擇閘極 322SG 切斷。電子從擴散層 334 與 336 之間的通道移動到浮動閘極 302FG，同時對應的位元線接地。否則，此穿隧會通過電荷幫浦或電容耦合而被阻止。在電子注入到浮動閘極 302FG 之後，電晶體 302 的臨界電壓從抹除狀態增加，且接著對電晶體 302 進行程式化。此抹除狀態是在此程式化操作之前通過抹除操作而形成。此抹除操作是在包括許多 NAND 串的每一區塊進行。一個高電壓會被施加在涉及待抹除區塊的 P 井 340 上。對應于待抹除區塊的區塊選擇信號為高，而共同閘極線接地。通過此方式，選定區塊中的全部記憶胞電晶體可在同一時刻抹除（區塊抹除）。應注意的是，在另一範例實施例中，NAND 串 360 可包括更多記憶胞，且一個 NAND 串中的記憶胞的數目在本發明中不受特定限制。此外，圖 5a 到圖 5c 僅為範例，且可複寫式非揮發性記憶體模組 406 中的記憶胞的結構和電路在本發明中不受特定限制。舉例來說，在另一範例實施例中，多個記憶胞可彼此堆疊進而形成垂直通道快閃記憶體，例如，一種三維 NAND。

【0044】圖 5d 是根據本發明的一範例實施例所繪示的實體抹除單元的示意圖。

【0045】參照圖 5d，以實體抹除單元 408(0)為例，實體抹除單元 408(0)包括多個 NAND 串 ST0~STN。NAND 串 ST0 包括電晶體 601~606。在此，電晶體 601 是汲極選擇閘極電晶體，電晶體 602~605 皆是記憶胞電晶體，且電晶體 606 是源極選擇閘極電晶體。NAND 串 ST0~STN 類似於圖 5b 中描繪的 NAND 串 360，因此下文省略相關描述。位元線 BL(0)~BL(N)分別藉由接觸 NAND 串 ST0~STN 且平行於 NAND 串 ST0~STN 擴展的位元線而連接到汲極選擇閘極的汲極擴散層。字元線 WL0 沿著 NAND 串 ST0~STN 連接電晶體 605 的控制閘極，且垂直于彼此平行的 N+1 個 NAND 串擴展。字元線 WL1 沿著 NAND 串 ST0~STN 連接電晶體 604 的控制閘極，且垂直于彼此平行的 N+1 個 NAND 串擴展。字元線 WL2 沿著 NAND 串 ST0~STN 連接電晶體 603 的控制閘極，且垂直于彼此平行的 N+1 個 NAND 串擴展。字元線 WL3 沿著 NAND 串 ST0~STN 連接電晶體 602 的控制閘極，且垂直于彼此平行的 N+1 個 NAND 串擴展。實體抹除單元 408(0)可包括字元線 WL0~WL3 以及位元線 BL(0)~BL(N)。實體抹除單元 408(0)中的每一記憶胞位在字元線與位元線的交叉點上。在另一範例實施例中，源極線 610 與另一實體抹除單元共享。共享源極線 610 的一個或多個實體抹除單元可形成實體區塊。連接到同一字元線的記憶胞形成實體程式化單元。

【0046】 在本範例實施例中，實體程式化單元是用於程式化的最小單位。即，實體程式化單元是用於寫入資料的最小單位。舉例來說，實體程式化單元是實體頁或實體扇區。在實體程式化單元是實體頁的情況下，實體程式化單元通常包括資料位元區和冗餘位元區。資料位元區具有用以儲存使用者資料的多個實體扇區，且冗餘位元區用以儲存系統資料（例如，錯誤更正碼）。在本範例實施例中，資料位元區含有 32 個實體扇區，且每一實體扇區的大小為 512 位元組（byte, B）。然而，在其它範例實施例中，資料位元區也可包括 8、16 或者更多或更少的實體扇區，且實體扇區的數目和大小在本發明中不受限制。

【0047】 另一方面，NAND 串 ST0~STN 全部耦接到源極線 610。當實體抹除單元 408(0)待抹除時，一個抹除電壓可施加到所述實體抹除單元 408(0)的 P 井 340，使得儲存在實體抹除單元 408(0)中的浮動閘極中的電子或電洞可離開浮動閘極。在本範例實施例中，實體抹除單元是用於抹除的最小單位。即，每一實體抹除單元含有同一時刻抹除的記憶胞的最小數目。舉例來說，實體抹除單元是實體區塊。

【0048】 可複寫式非揮發性記憶體模組 406 可為單階記憶胞 (Single Level Cell, SLC) NAND 型快閃記憶體模組 (即，一個記憶胞中可儲存 1 個位元資料的快閃記憶體模組)、多階記憶胞 (Multi Level Cell, MLC) NAND 型快閃記憶體模組 (即，一個記憶胞中可儲存 2 個位元資料的快閃記憶體模組)、複數階記憶胞 (Triple Level

Cell, TLC)NAND 型快閃記憶體模組(即, 一個記憶胞中可儲存 3 個位元資料的快閃記憶體模組)、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

**【0049】** 可複寫式非揮發性記憶體模組 406 中的每一記憶胞可通過控制記憶胞的臨界電壓而儲存一或多個位元。更確切地說, 在每一記憶胞中, 電荷儲存層提供在控制閘極與通道之間。電荷儲存層中電子的量可通過將寫入電壓(即, 程式化電壓)施加到控制閘極而改變, 藉此控制記憶胞的臨界電壓。此改變臨界電壓的程序也稱為“將資料寫入到記憶胞”或“對記憶胞進行程式化”。可複寫式非揮發性記憶體模組 406 中的每一記憶胞具有由臨界電壓決定的多個儲存狀態。儲存狀態的數目隨著每一記憶胞可儲存的位元數目增加而增加。此外, 可通過施加一或多個讀取電壓以便獲得記憶胞中儲存的一或多個位元來確定記憶胞屬於儲存狀態中的哪一者。

**【0050】** 圖 6 是根據本發明的一範例實施例所繪示的浮動閘極記憶胞的示意圖。

**【0051】** 參照圖 6, 浮動閘極記憶胞可包括控制閘極 612CG、浮動閘極 614FG 和 P 井 616。當控制閘極 612CG 正偏壓且 P 井基底 616 經由位元線接地時, 浮動閘極 614FG 的頂部表面 614TP 負充電且浮動閘極 614FG 的底部表面 614BT 正充電。因此, 浮動閘極 614FG 內的電荷通過浮動閘極 614FG 上的垂直電場劃分到頂部表面 614TP 和底部表面 614BT 中。底部表面 614BT 處的電荷與頂部表

面 614TP 處的電荷抵消，而儲存在浮動閘極 614FG 中的淨電荷為零（即，中性）。在此應注意，底部表面 614BT 處的電荷與頂部表面 614TP 處的電荷之和為儲存在浮動閘極 614FG 中的淨電荷。若底部表面 614BT 處的電荷與頂部表面 614TP 處的電荷不彼此抵消，則儲存在浮動閘極 614FG 中的淨電荷不為零（即，不是中性）。其中，若淨電荷為正，則狀態可視為已抹除。若淨電荷為負，則狀態可視為經程式化。

**【0052】** 在本範例實施例中，若儲存在浮動閘極 614FG 中的淨電荷為零（即，中性），則表面電荷（即，底部表面 614BT 處的電荷和/或頂部表面 614TP 處的電荷）的理論上限為  $qN_D \times H$ ，其中  $q$  是基本電荷， $N_D$  是單位體積中的參雜濃度，且  $H$  是浮動閘極 614FG 的高度。在本範例實施例中， $qN_D \times H$  可視為表面電荷的理論限制。在電荷儲存層為電荷捕獲層（CTL）的另一範例實施例中， $qN_t$  可視為 CTL 記憶胞的表面電荷的理論限制，其中  $N_t$  為 CTL 的捕獲器的表面濃度。表面電荷的理論限制的以上估計還可適用於垂直通道型 NAND 快閃記憶體。本發明並不限於此。

**【0053】** 圖 7 是根據本發明的一範例實施例所繪示的垂直通道型 NAND 快閃記憶體的示意圖。

**【0054】** 參照圖 7，垂直通道型 NAND 快閃記憶體可包括薄孔（或薄絕緣通孔）731、多晶矽（或非晶矽）通道 732、穿隧膜 733、電荷捕獲層 734、阻擋膜 735 和控制閘極 736。垂直通道型 NAND 快閃的表面電荷的理論限制可視為  $qN_t$ ，類似于上述範例實施例中

的理論限制。

【0055】 圖 8a 和 8b 是根據本發明的一範例實施例所繪示的對應於儲存在記憶胞中的寫入資料的臨界電壓分佈的示意圖。

【0056】 參照圖 8a，以 SLC NAND 快閃記憶體為例，其中記憶胞的每一者具有由不同臨界電壓分佈劃分的兩個儲存狀態，且所述儲存狀態分別表示“1”和“0”。舉例來說，具有較低峰值的臨界電壓分佈表示位元“1”，且具有較高峰值的臨界電壓分佈表示位元“0”。然而，在記憶胞經反覆程式化和抹除（即，P/E 循環）之後，SLC NAND 快閃記憶體的臨界電壓分佈會產生性能衰減（即，變平且變寬），如圖 8b 所示。

【0057】 在本範例實施例中，存在使記憶胞性能衰減的四個衰減模式。以圖 8b 為例，模式-1 會擴展表示位元“1”的分佈之下尾部，模式-2 會擴展表示位元“1”的分佈之上尾部，模式-3 會擴展表示位元“0”的分佈之下尾部，且模式-4 會擴展表示位元“0”的分佈之上尾部。在模式-1 中，電洞在抹除時由通道表面附近的介面淺捕獲器俘獲，且藉此將額外正電荷儲存在穿隧氧化物內部的通道附近。通道表面附近的額外正電荷超過記憶胞的理論限制而擴展狀態“1”的下尾部。模式-2 進一步分類為選項-1 和選項-2。在模式 2 的選項-1 中，一定量的負電荷在抹除時或在最後程式化時由穿隧氧化物內部的通道附近的深捕獲器儲存。因為所增加的臨界電壓，所以“1”的分佈的尾部會向間隙窗延伸。在模式 2 的選項-2 中，電子在最後程式化時捕獲在浮動閘極附近的深捕獲器中；且因此



在後續抹除時從浮動閘極 FN 穿隧到通道（即，FN 抹除）的電子由此負電荷抑制。因為抹除不完全，所以“1”的分佈的尾部會擴展。模式-3 進一步分類為選項-1 和選項-2。在模式 3 的選項-1 中，一定量的正電荷在程式化時或在最後抹除時由穿隧氧化物內部的通道附近的淺捕獲器儲存。因為此正電荷減小臨界電壓，所以“0”的分佈的尾部會向間隙窗延伸。在模式 3 的選項-2 中，電子在最後抹除時捕獲在通道附近的深捕獲器中；且因此在後續程式化時從通道 FN 穿隧到浮動閘極（即，FN 程式化）的電子由此負電荷抑制。因為程式化不完全，所以“0”的分佈的下尾部會擴展。在模式-4 中，電子在程式化時由介面深捕獲器俘獲。由於這些負電荷接近通道，所以這些負電荷可能更顯著增加臨界電壓。通過此方式，穿隧氧化物內部的額外負電荷擴展“0”的分佈的上尾部。然而，引起性能衰減的更多類型的衰減模式也可能存在，這在本發明中不受限制。此外，各種衰減模式也可能影響其它類型的記憶胞的性能衰減。

**【0058】** 圖 9 是根據本發明的一範例實施例所繪示的對應於儲存在記憶胞中的寫入資料的臨界電壓分佈的示意圖。

**【0059】** 參照圖 9，以 MLC NAND 快閃記憶體為例，其中的每一記憶胞依據不同臨界電壓具有四個儲存狀態，且所述儲存狀態分別表示位元“11”、“10”、“00”和“01”。換句話說，每一儲存狀態包括左數位（LD）和右數位（RD）。在本範例實施例中，在儲存狀態（即，“11”、“10”、“00”和“01”）中，從左側計數的第一數位是

LD，且從左側計數的第二數位是 RD。因此，在此範例實施例中，每一記憶胞可以此兩個數位來儲存兩個位元，其中每一數位表示一位元。應理解，對應於如圖 9 中繪示的臨界電壓的儲存狀態僅為範例。在本發明的另一範例實施例中，對應於臨界電壓的儲存狀態可根據臨界電壓從小到大而具有“11”、“10”、“00”和“01”的配置，或其它佈置。此外，在另一範例實施例中，還可界定，從左側計數的第一數位是 RD，且從左側計數的第二數位是 LD。

**【0060】** 圖 10 是根據本發明的一範例實施例所繪示的從記憶胞讀取資料的示意圖，其例如是使用 MLC NAND 快閃記憶體。

**【0061】** 參照圖 10，在對於實體程式化單元的記憶胞的讀取操作中，讀取電壓可被施加到控制閘極，且儲存在記憶胞中的資料可根據記憶胞的每一通道是否導通而被識別。校驗位元 (B1) 用以指示當施加讀取電壓 VA 時記憶胞的通道是否導通；校驗位元 (B2) 用以指示當施加讀取電壓 VC 時記憶胞的通道是否導通；且校驗位元 (B3) 用以指示當施加讀取電壓 VB 時記憶胞的通道是否導通。假定特定記憶胞的對應通道導通由校驗位元為“1”指示，且此特定記憶胞的對應通道不導通由校驗位元為“0”指示。在此應注意，在對應臨界電壓小於讀取電壓時通道導通，否則斷開。如圖 10 所示，特定記憶胞處於儲存狀態的哪一者可根據校驗位元 (B1) ~ (B3) 來確定，藉此獲得所儲存的資料。

**【0062】** 圖 11 是根據本發明的另一範例實施例所繪示的從記憶胞讀取資料的示意圖。

【0063】 參照圖 11，以 TLC NAND 快閃記憶體為例，每一儲存狀態包括從左側計數的第一數位為左數位 (LD)，從左側計數的第二數位為中心數位 (CD)，以及從左側計數的第三數位為右數位 (RD)。在此範例實施例中，記憶胞包括對應於八個不同臨界電壓的八個儲存狀態 (即，“111”、“110”、“100”、“101”、“001”、“000”、“010”和“011”)。儲存於記憶胞中的位元可通過將讀取電壓  $V_A \sim V_G$  施加到其控制閘極來識別。其中，應注意，八個儲存狀態的設置順序可基於製造商的設計決定，而不受此範例實施例的設置順序限制。

【0064】 圖 12 是根據本發明的一範例實施例所繪示的記憶體控制電路單元的概要方塊圖。應理解，圖 12 中所描繪的記憶體控制電路單元的結構僅為範例，且本發明並不限於此。

【0065】 參照圖 12，記憶體控制電路單元 404 包括記憶體管理電路 1202、主機介面 1204、記憶體介面 1206 及錯誤檢查與校正電路 1208。

【0066】 記憶體管理電路 1202 用以控制記憶體控制電路單元 404 的整體運作。具體來說，記憶體管理電路 1202 具有多個控制指令，並且在記憶體儲存裝置 10 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。以下說明記憶體管理電路 1202 的操作時，等同於說明記憶體控制電路單元 404 的操作。

【0067】 在本範例實施例中，記憶體管理電路 1202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 1202 具有微處理器單

元(未繪示)與唯讀記憶體(未繪示)，並且此些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 10 運作時，此些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

**【0068】** 在另一範例實施例中，記憶體管理電路 1202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 406 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 1202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有開機碼(boot code)，並且當記憶體控制電路單元 404 被致能時，微處理器單元會先執行此開機碼來將儲存於可複寫式非揮發性記憶體模組 406 中之控制指令載入至記憶體管理電路 1202 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。

**【0069】** 此外，在另一範例實施例中，記憶體管理電路 1202 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 1202 包括微控制器、實體單元管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。實體單元管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。其中，實體單元管理電路用以管理可複寫式非揮發性記憶體模組 406 的實體抹除單元；記憶體寫入電路用以對可複寫式非揮發性記憶體模組 406 下達寫入指令序列以將資料寫入至可複寫式非揮發性記憶體模組 406 中；記憶體讀取電路

用以對可複寫式非揮發性記憶體模組 406 下達讀取指令序列以從可複寫式非揮發性記憶體模組 406 中讀取資料；記憶體抹除電路用以對可複寫式非揮發性記憶體模組 406 下達抹除指令序列以將資料從可複寫式非揮發性記憶體模組 406 中抹除；而資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 406 的資料以及從可複寫式非揮發性記憶體模組 406 中讀取的資料。寫入指令序列、讀取指令序列及抹除指令序列可各別包括一或多個程式碼或指令碼並且用以指示可複寫式非揮發性記憶體模組 406 執行相對應的寫入、讀取及抹除等操作。

**【0070】** 主機介面 1204 是耦接至記憶體管理電路 1202 並且用以接收與識別主機系統 11 所傳送的指令與資料。也就是說，主機系統 11 所傳送的指令與資料會透過主機介面 1204 來傳送至記憶體管理電路 1202。在本範例實施例中，主機介面 1204 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 1204 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、SD 標準、UHS-I 標準、UHS-II 標準、MS 標準、MMC 標準、eMMC 標準、UFS 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

**【0071】** 記憶體介面 1206 是耦接至記憶體管理電路 1202 並且用以存取可複寫式非揮發性記憶體模組 406。也就是說，欲寫入至可複寫式非揮發性記憶體模組 406 的資料會經由記憶體介面 1206 轉換為可複寫式非揮發性記憶體模組 406 所能接受的格式。具體來

說，若記憶體管理電路 1202 要存取可複寫式非揮發性記憶體模組 406，記憶體介面 1206 會傳送對應的指令序列。這些指令序列可包括一或多個訊號，或是在匯流排上的資料。例如，在讀取指令序列中，會包括讀取的辨識碼、記憶體位址等資訊。

**【0072】** 錯誤檢查與校正電路 1208 是耦接至記憶體管理電路 1202 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 1202 從主機系統 11 中接收到寫入指令時，錯誤檢查與校正電路 1208 會為對應此寫入指令的資料產生對應的錯誤更正碼(error correcting code, ECC)及/或錯誤檢查碼(error detecting code, EDC)，並且記憶體管理電路 1202 會將對應此寫入指令的資料與對應的錯誤更正碼及/或錯誤檢查碼寫入至可複寫式非揮發性記憶體模組 406 中。之後，當記憶體管理電路 1202 從可複寫式非揮發性記憶體模組 406 中讀取資料時會同時讀取此資料對應的錯誤更正碼及/或錯誤檢查碼，並且錯誤檢查與校正電路 1208 會依據此錯誤更正碼及/或錯誤檢查碼對所讀取的資料執行錯誤檢查與校正程序。

**【0073】** 在一範例實施例中，記憶體控制電路單元 404 還包括緩衝記憶體 710 與電源管理電路 712。緩衝記憶體 710 是耦接至記憶體管理電路 1202 並且用以暫存來自於主機系統 11 的資料與指令或來自於可複寫式非揮發性記憶體模組 406 的資料。電源管理電路 712 是耦接至記憶體管理電路 1202 並且用以控制記憶體儲存裝置 10 的電源。

【0074】 在本範例實施例中，記憶體管理電路 1202 可掃描可複寫式非揮發性記憶體模組 406 中的記憶胞，以便獲得記憶胞的臨界電壓分佈。舉例來說，記憶體管理電路 1202 可掃描一或多個實體抹除單元或者一或多個實體程式化單元。以圖 9 所示的臨界電壓為例，所述臨界電壓分佈包括四個狀態 910~940。狀態 910~940 的每一者覆蓋一電壓範圍且表示一部份之 MLC NAND 快閃記憶體的儲存狀態。舉例來說，倘若某一記憶胞的臨界電壓處於狀態 910，則其表示此記憶胞儲存位元“11”；倘若某一記憶胞的臨界電壓處於狀態 920，則其表示此記憶胞儲存位元“10”；倘若某一記憶胞的臨界電壓處於狀態 930，則其表示此特定記憶胞儲存位元“00”；倘若某一記憶胞的臨界電壓處於狀態 940，則其表示此特定記憶胞儲存位元“01”。在另一範例實施例中，每一個狀態也可稱為峰(peak)。

【0075】 在本範例實施例中，一個間隙窗可存在於相鄰狀態之間。舉例來說，間隙窗 GW1 存在於狀態 910 與狀態 920 之間；間隙窗 GW2 存在於狀態 920 與狀態 930 之間；間隙窗 GW3 存在於狀態 930 與狀態 940 之間，如圖 9 所示。例如 VA、VB 和 VC 等讀取電壓可分別施加到間隙窗 GW2、GW1 和 GW3 中的一者，藉此讀取儲存在記憶胞中的位元，如圖 10 或圖 11 所示。若間隙窗的寬度足夠寬，則通過施加對應的讀取電壓所讀取到的位元可更準確；然而，若間隙窗的寬度太窄，則通過施加對應的讀取電壓所讀取到的位元可能不太準確。

【0076】 圖 13 和圖 14 是根據本發明的一範例實施例所繪示的記憶胞的臨界電壓分佈的示意圖。

【0077】 參照圖 13，相對於圖 9 所示的臨界電壓分佈，本範例實施例的臨界電壓分佈中的間隙窗 GW1 的寬度改變，更準確地說，間隙窗 GW1 的寬度變窄。一般來說，造成此衰減的原因可歸因於對記憶胞的存取次數（例如，讀取次數、抹除次數和/或寫入次數）增加、資料在記憶胞中的保持時間太長，以及使記憶胞可靠度衰減的其它因素。在此範例實施例中，當施加讀取電壓到間隙窗 GW1 時，有很高的機率無法正確地識別對應的儲存狀態。

【0078】 在本範例實施例中，記憶體管理電路 1202 會獲得所述狀態中兩個相鄰狀態之間の間隙窗的寬度，且確定此間隙窗的寬度是否小於門檻值。若間隙窗的寬度小於門檻值，則記憶體管理電路 1202 會消除此兩個相鄰狀態中的一者。在本範例實施例中，讀取電壓的公差 ( $\Delta$ ) 可設定為所述門檻值。 $\Delta$  的值可由製造商或使用者設定。舉例來說， $\Delta$  的值可與足夠大以識別兩個相鄰狀態的容忍範圍相關，且  $\Delta$  的值不受本發明限制。

【0079】 以圖 13 所示的間隙窗 GW1 為例，記憶體管理電路 1202 可根據臨界電壓分佈獲得狀態 910（也稱為第一相鄰狀態）的上部端點電壓 1301 和狀態 920（也稱為第二相鄰狀態）的下部端點電壓 1302。在此，第一相鄰狀態的峰值電壓（也稱為第一峰值電壓）低於第二相鄰狀態的峰值電壓（也稱為第二峰值電壓）。即，屬於第一相鄰狀態的任何記憶胞的臨界電壓低於屬於第二相鄰狀態的



任何記憶胞的臨界電壓。記憶體管理電路 1202 可根據上部端點電壓 1301 和下部端點電壓 1302 獲得間隙窗 GW1 的寬度。類似地，記憶體管理電路 1202 可獲得間隙窗 GW2 和 GW3 的寬度。記憶體管理電路 1202 會確定間隙窗 GW1 的寬度是否小於門檻值(例如， $\Delta$ )。假定間隙窗 GW1 小於門檻值，則記憶體管理電路 1202 可能會消除狀態 920。應理解，消除一個特定狀態的操作是指，在下一程式化過程中忽略對應的儲存狀態。即，在記憶胞的下一程式化過程中，記憶胞的剩餘儲存狀態可僅包括“11”、“00”和“01”，如圖 14 所示。然而，剩餘儲存狀態可根據不同設計改變且不如上受限制。

**【0080】** 參照圖 14，在消除狀態 920 之後，臨界電壓分佈僅包括狀態 910、930 和 940。記憶體管理電路 1202 可比較狀態 910 與 930 之間的新間隙窗。假定狀態 910 與 930 之間的新間隙窗不小於門檻值，記憶體管理電路 1202 可進一步確定間隙窗 GW3 是否小於門檻值。假定間隙窗 GW3 不小於門檻值，則記憶體管理電路 1202 不消除狀態 930 和狀態 940。

**【0081】** 然而，在另一範例實施例中，兩個相鄰狀態可能部分彼此重疊，從而無法識別出端點電壓或兩個相鄰狀態之間の間隙窗。在此情況下，記憶體管理電路 1202 可確定兩個相鄰狀態中的第一相鄰狀態是否與兩個相鄰狀態中的第二相鄰狀態重疊。若第一相鄰狀態與第二相鄰狀態重疊，則記憶體管理電路 1202 可直接確定兩個相鄰狀態之間の間隙窗的寬度小於門檻值，而不需要找

到間隙窗的寬度。若第一相鄰狀態不與第二相鄰狀態重疊，則記憶體管理電路 1202 可執行上述獲得間隙窗的寬度的操作。

【0082】 應理解，在另一範例實施例中，上述獲得臨界電壓分佈的操作可包括任何可獲得部分記憶胞之臨界電壓的手段，而不需要“真正的”掃描所有的記憶胞。

【0083】 圖 15 是根據本發明的另一範例實施例所繪示的記憶胞的臨界電壓分佈的示意圖。

【0084】 參照圖 15，記憶體管理電路 1202 可將讀取電壓  $V_B - \Delta/2$  和  $V_B + \Delta/2$  施加到間隙窗 GW1 中。根據反應於讀取電壓  $V_B - \Delta/2$  和  $V_B + \Delta/2$  所獲得的資料，記憶體管理電路 1202 可識別間隙窗 GW1 的寬度是否小於  $\Delta$ （即，門檻值）。類似地，記憶體管理電路 1202 可分別將讀取電壓  $V_A - \Delta/2$  和  $V_A + \Delta/2$  施加到間隙窗 GW2 中且/或將讀取電壓  $V_C - \Delta/2$  和  $V_C + \Delta/2$  施加到間隙窗 GW3 中，以便識別間隙窗 GW2 和/或 GW3 的寬度是否小於  $\Delta$ （即，門檻值）。在此，讀取電壓  $V_A$  可為用於讀取記憶胞中的左數位的預設讀取電壓或最佳讀取電壓，且讀取電壓  $V_B$  或  $V_C$  可為用於讀取記憶胞中的右數位的預設讀取電壓或最佳讀取電壓。然而，可施加更多讀取電壓來識別間隙窗的寬度是否小於門檻值，其不受本發明限制。

【0085】 在圖 13 的範例實施例中，臨界電壓分佈包括四個狀態 910~940，其中狀態 910 的峰值電壓低於狀態 920 的峰值電壓，狀態 920 的峰值電壓低於狀態 930 的峰值電壓，且狀態 930 的峰值電壓低於狀態 940 的峰值電壓。在消除兩個相鄰狀態中的一者的

操作中，若當前兩個相鄰狀態是狀態 910 和狀態 920，則記憶體管理電路 1202 可消除狀態 920；若當前兩個相鄰狀態是狀態 920 和狀態 930，則記憶體管理電路 1202 可消除狀態 930；若當前兩個相鄰狀態是狀態 930 和狀態 940，則記憶體管理電路 1202 可消除狀態 940。然而，在另一範例實施例中，可消除當前兩個相鄰狀態中的任一者。舉例來說，在另一範例實施例中，若當前兩個相鄰狀態是狀態 930 和狀態 940，則記憶體管理電路 1202 可消除狀態 930 且保持使用狀態 940，且本發明不限於此。例如，在消除兩個相鄰狀態中的一者的操作中，可消除具有較高峰值電壓的狀態。然而，關於一些特定狀態，也可消除具有較低峰值電壓的狀態，這不受本發明限制。

**【0086】** 此外，可將確定次序（即，檢查次序）指派到臨界電壓分佈中的多個間隙窗。舉例來說，在圖 13 的範例實施例中，記憶體管理電路 1202 可先確定間隙窗 GW1 的寬度是否小於門檻值；若間隙窗 GW1 的寬度小於門檻值，則記憶體管理電路 1202 消除狀態 920 且進一步確定間隙窗 GW3 是否小於門檻值。在另一範例實施例中，確定次序可不同。舉例來說，記憶體管理電路 1202 可先確定間隙窗 GW2 或 GW3 的寬度是否小於門檻值；若間隙窗 GW2 或 GW3 的寬度小於門檻值，則記憶體管理電路 1202 消除對應狀態且進一步確定剩餘間隙窗的至少一者是否小於門檻值。確定次序不受本發明限制。也就是說，確定兩個相鄰狀態之間的特定間隙窗的寬度是否小於門檻值以及消除兩個相鄰狀態中的一者

的操作可重複執行直到每一個剩餘間隙窗的寬度皆不小於對應的門檻值為止。此外，在圖 13 的範例實施例中，使用含有比門檻值窄的至少一個間隙窗的四個狀態的實體抹除單元可視為已衰減，且此實體抹除單元在無以上消除操作的情況下可能會無法使用。然而，在執行以上消除操作之後，部分記憶胞即可持續使用而非直接被捨棄，從而可複寫式非揮發性記憶體模組 406 的使用壽命可被延長。

**【0087】** 在一範例實施例中，記憶體管理電路 1202 可將一標記指派到臨界電壓分佈中的每一狀態且設定第一檢查點和第二檢查點。這些檢查點形成一對選定的兩個相鄰狀態。在此，第一檢查點和第二檢查點分別指向兩個不同標記。舉例來說，第一檢查點指向第一相鄰電壓的標記，且第二檢查點指向第二相鄰電壓的標記。記憶體管理電路 1202 可根據第一檢查點和第二檢查點來選擇兩個相鄰狀態。反應於消除兩個相鄰狀態中的一者，記憶體管理電路 1202 可將先前指派到所消除的狀態的標記重新指派到此些狀態中的下一狀態，其中下一狀態的峰值電壓高於所消除的狀態的峰值電壓（即，屬於下一狀態的某一記憶胞的臨界電壓高於屬於所消除的狀態的某一記憶胞的臨界電壓）。例如，在所消除的狀態與下一狀態不重疊的情況下，屬於下一狀態的任何記憶胞的臨界電壓高於屬於所消除的狀態的任何記憶胞的臨界電壓。然而，若所消除狀態與下一狀態部分重疊，則重疊區中屬於所消除的狀態的一些記憶胞和屬於下一狀態的一些記憶胞可能具有相同臨界電

壓。

【0088】以圖 13 和圖 14 為例，假定分別向狀態 910~940 指派標記“0”、“1”、“2”和“3”。在消除狀態 910 之後，指派到狀態 910 的標記“0”不變，且分別將標記“1”和標記“2”重新指派到狀態 930 和 940。此外，在執行上述確定操作（例如，確定間隙窗 GW1 是否小於門檻值的確定操作）之後，第一檢查點和第二檢查點會被更新。舉例來說，在圖 13 的範例實施例中，第一檢查點最初指向標記“0”且第二檢查點最初指向標記“1”，且相應地將狀態 910 和 920 首先選擇作為兩個相鄰狀態；接著，在圖 14 的範例實施例中，在消除狀態 920 之後，第一檢查點首先更新為指向標記“1”且第二檢查點則指向標記“2”，使得記憶體管理電路 1202 可選擇狀態 930 和 940 作為接下來要確定的兩個相鄰狀態。然而，在確定操作之後，若確定某兩個相鄰狀態之間の間隙窗不小於門檻值，則檢查點也會更新。舉例來說，檢查點可移動到下一對兩個相鄰狀態。舉例來說，第一檢查點會移動到先前作為第二檢查點指派的狀態且第二檢查點移動到尚未選擇的下一狀態，其中屬於下一狀態的任何記憶胞的臨界電壓可能高於屬於先前作為第二檢查點指派的狀態的任何記憶胞的臨界電壓。應注意，在另一範例實施例中，重新指派機制可反應於不同確定次序而不同。

【0089】應理解，儘管上述範例實施例是以 MLC NAND 快閃記憶體來作為範例進行說明，然而在另一範例實施例中，上文描述各種操作也可以施加到任何種類的可複寫式非揮發性記憶體模組

406。

【0090】圖 16 和圖 17 是根據本發明的另一範例實施例所繪示的記憶胞的臨界電壓分佈的示意圖。

【0091】參照圖 16，以具有 TLC NAND 快閃記憶體的可複寫式非揮發性記憶體模組 406 中的記憶胞的臨界電壓分佈為例。在此範例實施例中，臨界電壓分佈包括八個狀態 1610~1680。假定任兩個相鄰狀態之間の間隙窗的寬度皆小於門檻值。記憶體管理電路 1202 可先確定狀態 1610 與 1620 之間の間隙窗的寬度是否小於門檻值且相應地消除狀態 1620；接著，記憶體管理電路 1202 可確定狀態 1630 與 1640 之間の間隙窗的寬度是否小於門檻值且相應地消除狀態 1640；接著，記憶體管理電路 1202 可確定狀態 1650 與 1660 之間の間隙窗的寬度是否小於門檻值且相應地消除狀態 1660；接著，記憶體管理電路 1202 可確定狀態 1670 與 1680 之間の間隙窗的寬度是否小於門檻值且相應地消除狀態 1670。在此情況下，剩餘四個狀態 1610、1630、1650 和 1680，如圖 17 所示。此時，此臨界電壓分佈中任何兩個相鄰狀態之間の間隙窗全部大於門檻值。也就是說，在此範例實施例中，圖 16 的臨界電壓分佈中最初用作 TLC 的記憶胞不會被完全捨棄，而仍可用作圖 17 中的 MLC。

【0092】在一範例實施例中，臨界電壓分佈中的第一狀態（例如，狀態 910 和 1610）和最後狀態（例如，狀態 940 和 1680）不能被消除。然而，在另一範例實施例中，臨界電壓分佈中的每一狀態

皆可視需要而消除。

【0093】 圖 18 是根據本發明的一範例實施例所繪示的記憶體管理方法的流程圖。

【0094】 參照圖 18，在步驟 S1801 中，獲得記憶胞的臨界電壓分佈，其中所述臨界電壓分佈包括多個狀態，且所述狀態的每一者表示一儲存狀態。在步驟 S1802 中，確定所述狀態中的兩個相鄰狀態之間の間隙窗的寬度是否小於門檻值。若間隙窗的寬度小於門檻值，則在步驟 S1803 中，消除兩個相鄰狀態中的一者。若間隙窗的寬度不小於門檻值，則可重複執行步驟 1802 以便檢查下一間隙窗直到剩餘間隙窗的每一者皆不小於門檻值為止。步驟 1802 和步驟 1803 可重複執行直到剩餘間隙窗的每一者的寬度皆不小於門檻值為止。

【0095】 然而，圖 18 的每一步驟已詳細描述於上，故將不重複說明。應注意，圖 18 中說明的每一步驟可實施為程式碼或電路，本發明不加以限制。另外，圖 18 中說明的方法可連同上述範例實施例一起實施，或可單獨實施，且本發明不限於此。

【0096】 綜上所述，本發明可找出兩個相鄰狀態之間具有不適當寬度的間隙窗，且可據以消除兩個相鄰狀態中的至少一者。因此，可減少從可複寫式非揮發性記憶體模組讀取的資料中所含的錯誤位元，且可延長可複寫式非揮發性記憶體模組的使用壽命。

【0097】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的

精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

**【符號說明】**

**【0098】**

10：記憶體儲存裝置

11：主機系統

12：計算機

13：輸入/輸出裝置

21：滑鼠

22：鍵盤

23：顯示器

24：印表機

25：隨身碟

26：記憶卡

27：固態硬碟

31：數位相機

32：SD 卡

33：MMC 卡

34：記憶棒

35：CF 卡

36：嵌入式儲存裝置



- 122：微處理器
- 124：隨機存取記憶體（RAM）
- 126：系統匯流排
- 128：資料傳輸介面
- 300、302、304、306、320、322：電晶體
- 300CG、302CG、304CG、306CG：控制閘極
- 300FG、302FG、304FG、306FG：浮動閘極
- 320SG、322SG：選擇閘極
- 326：汲極擴散層
- 328：源極擴散層
- 330、332、334、336、338：擴散層
- 340、616：P 井
- 360：NAND 串
- 402：連接介面單元
- 404：記憶體控制電路單元
- 406：可複寫式非揮發性記憶體模組
- 408(0)、408(1)~ 408(R)：實體抹除單元
- SGD、SGS：選擇線
- BL(0)~BL(N)：位元線
- WL0~WL3：字元線
- ST0~STN：NAND 串
- 601~606：電晶體

- 610：源極線
- 612CG：控制閘極
- 614BT：浮動閘極的底部表面
- 614FG：浮動閘極
- 614TP：浮動閘極的頂部表面
- 731：薄孔
- 732：多晶矽通道
- 733：穿隧膜
- 734：電荷捕獲層
- 735：阻擋膜
- 736：控制閘極
- 910~940：狀態
- LD：左數位
- CD：中心數位
- RD：右數位
- VA~VG：讀取電壓
- GW1~GW3：間隙窗
- 1202：記憶體管理電路
- 1204：主機介面
- 1206：記憶體介面
- 1208：錯誤檢查與校正電路
- 1210：緩衝記憶體

1212：電源管理電路

1301、1302：端點電壓

1610~1680：狀態

S1801~S1803：步驟

## 申請專利範圍

1. 一種記憶體管理方法，用於一可複寫式非揮發性記憶體模組，所述可複寫式非揮發性記憶體模組包括多個記憶胞，所述記憶體管理方法包括：

獲得所述記憶胞的一臨界電壓分佈，其中所述臨界電壓分佈包括多個狀態，且所述狀態的每一者表示一儲存狀態；

確定所述狀態中的兩個相鄰狀態之間的一間隙窗的一寬度是否小於一門檻值；以及

若所述間隙窗的所述寬度小於所述門檻值，消除所述兩個相鄰狀態中的一者。

2. 如申請專利範圍第 1 項所述的記憶體管理方法，其中所述兩個相鄰狀態包括一第一相鄰狀態和一第二相鄰狀態，所述第一相鄰狀態的一第一峰值電壓小於所述第二相鄰狀態的一第二峰值電壓，且所述記憶體管理方法更包括：

根據所述臨界電壓分佈獲得所述第一相鄰狀態的一上部端點電壓和所述第二相鄰狀態的一下部端點電壓；以及

根據所述第一相鄰狀態的所述上部端點電壓和所述第二相鄰狀態的所述下部端點電壓獲得所述間隙窗的所述寬度。

3. 如申請專利範圍第 2 項所述的記憶體管理方法，更包括：  
確定所述第一相鄰狀態是否與所述第二相鄰狀態重疊；  
若所述第一相鄰狀態與所述第二相鄰狀態重疊，則直接確定所述間隙窗的所述寬度小於所述門檻值；以及

若所述第一相鄰狀態不與所述第二相鄰狀態重疊，則執行獲得所述間隙窗的所述寬度的步驟。

4. 如申請專利範圍第 1 項所述的記憶體管理方法，其中獲得所述記憶胞的所述臨界電壓分佈的步驟包括：

在所述兩個相鄰狀態之間施加一第一讀取電壓和一第二讀取電壓，其中所述第二讀取電壓高於所述第一讀取電壓，且所述第一讀取電壓與所述第二讀取電壓之間的一差值等於所述門檻值，

其中確定所述間隙窗的所述寬度是否小於所述門檻值的步驟包括：

根據反應於所述第一讀取電壓和所述第二讀取電壓所獲得的至少一位元來識別所述間隙窗的所述寬度是否小於所述門檻值。

5. 如申請專利範圍第 1 項所述的記憶體管理方法，其中所消除的狀態的一峰值電壓高於至少一剩餘狀態的峰值電壓。

6. 如申請專利範圍第 1 項所述的記憶體管理方法，其中所消除的狀態的一峰值電壓小於至少一剩餘狀態的峰值電壓。

7. 如申請專利範圍第 1 項所述的記憶體管理方法，更包括：  
將一標記指派到所述狀態的每一者；

設定一第一檢查點和一第二檢查點，其中所述第一檢查點和所述第二檢查點的每一者指向所述標記中的一者；

根據所述第一檢查點和所述第二檢查點選擇所述兩個相鄰狀態；以及

反應於消除所述兩個相鄰狀態中的一者，將先前指派到所消

除的狀態的所述標記重新指派到所述狀態中的一下一狀態，其中所述下一狀態的一峰值電壓高於所消除的狀態的一峰值電壓。

8. 一種記憶體儲存裝置，包括：

一連接介面單元，用以耦接到一主機系統；

一可複寫式非揮發性記憶體模組，包括多個記憶胞；以及

一記憶體控制電路單元，耦接到所述連接介面單元和所述可複寫式非揮發性記憶體模組，

其中所述記憶體控制電路單元用以獲得所述記憶胞的一臨界電壓分佈，其中所述臨界電壓分佈包括多個狀態，且所述狀態的每一者表示一儲存狀態，

其中所述記憶體控制電路單元更用以確定所述狀態中的兩個相鄰狀態之間的一間隙窗的一寬度是否小於門檻值，

其中若所述間隙窗的所述寬度小於所述門檻值，則所述記憶體控制電路單元更用以消除所述兩個相鄰狀態中的一者。

9. 如申請專利範圍第 8 項所述的記憶體儲存裝置，其中所述兩個相鄰狀態包括一第一相鄰狀態和一第二相鄰狀態，所述第一相鄰狀態的一第一峰值電壓小於所述第二相鄰狀態的一第二峰值電壓，

其中所述記憶體控制電路單元更用以根據所述臨界電壓分佈獲得所述第一相鄰狀態的一上部端點電壓和所述第二相鄰狀態的一下部端點電壓，

其中所述記憶體控制電路單元更用以根據所述第一相鄰狀態

的所述上部端點電壓和所述第二相鄰狀態的所述下部端點電壓獲得所述間隙窗的所述寬度。

10. 如申請專利範圍第 9 項所述的記憶體儲存裝置，其中所述記憶體控制電路單元更用以確定所述第一相鄰狀態是否與所述第二相鄰狀態重疊，

其中若所述第一相鄰狀態與所述第二相鄰狀態重疊，則所述記憶體控制電路單元更用以直接確定所述間隙窗的所述寬度小於所述門檻值，

其中若所述第一相鄰狀態不與所述第二相鄰狀態重疊，則所述記憶體控制電路單元更用以執行獲得所述間隙窗的所述寬度的操作。

11. 如申請專利範圍第 8 項所述的記憶體儲存裝置，其中獲得所述記憶胞的所述臨界電壓分佈的操作包括：

在所述兩個相鄰狀態之間施加一第一讀取電壓和一第二讀取電壓，其中所述第二讀取電壓高於所述第一讀取電壓，且所述第一讀取電壓與所述第二讀取電壓之間的一差值等於所述門檻值，

其中確定所述間隙窗的所述寬度是否小於所述門檻值的操作包括：

根據反應於所述第一讀取電壓和所述第二讀取電壓所獲得的至少一位元來識別所述間隙窗的所述寬度是否小於所述門檻值。

12. 如申請專利範圍第 8 項所述的記憶體儲存裝置，其中所消除的狀態的峰值電壓高於至少一剩餘狀態的峰值電壓。

13. 如申請專利範圍第 8 項所述的記憶體儲存裝置，其中所消除的狀態的峰值電壓低於至少一剩餘狀態的峰值電壓。

14. 如申請專利範圍第 8 項所述的記憶體儲存裝置，其中所述記憶體控制電路單元更用以將一標記指派到所述狀態的每一者，

其中所述記憶體控制電路單元更用以設定一第一檢查點和一第二檢查點，其中所述第一檢查點和所述第二檢查點的每一者指向所述標記中的一者，

其中所述記憶體控制電路單元更用以根據所述第一檢查點和所述第二檢查點選擇所述兩個相鄰狀態，

其中所述記憶體控制電路單元更用以反應於消除所述兩個相鄰狀態中的一者而將先前指派到所消除的狀態的所述標記重新指派到所述狀態中的一下一狀態，其中所述下一狀態的一峰值電壓高於所消除的狀態的峰值電壓。

15. 一種記憶體控制電路單元，其用以控制可複寫式非揮發性記憶體模組，且所述記憶體控制電路單元包括：

一主機介面，其用以耦接到一主機系統；

一記憶體介面，其用以耦接到所述可複寫式非揮發性記憶體模組，其中所述可複寫式非揮發性記憶體模組包括多個記憶胞；  
以及

一記憶體管理電路，其耦接到所述主機介面和所述記憶體介面，



其中所述記憶體管理電路用以獲得所述記憶胞的一臨界電壓分佈，其中所述臨界電壓分佈包括多個狀態，且所述狀態的每一者表示一儲存狀態，

其中所述記憶體管理電路更用以確定所述狀態中的兩個相鄰狀態之間的一間隙窗的一寬度是否小於門檻值，

其中若所述間隙窗的所述寬度小於所述門檻值，則所述記憶體管理電路更用以消除所述兩個相鄰狀態中的一者。

16. 如申請專利範圍第 15 項所述的記憶體控制電路單元，其中所述兩個相鄰狀態包括一第一相鄰狀態和一第二相鄰狀態，所述第一相鄰狀態的一第一峰值電壓小於所述第二相鄰狀態的一第二峰值電壓，

其中所述記憶體管理電路更用以根據所述臨界電壓分佈獲得所述第一相鄰狀態的一上部端點電壓和所述第二相鄰狀態的一下部端點電壓，

其中所述記憶體管理電路更用以根據所述第一相鄰狀態的所述上部端點電壓和所述第二相鄰狀態的所述下部端點電壓獲得所述間隙窗的所述寬度。

17. 如申請專利範圍第 16 項所述的記憶體控制電路單元，其中所述記憶體管理電路更用以確定所述第一相鄰狀態是否與所述第二相鄰狀態重疊，

其中若所述第一相鄰狀態與所述第二相鄰狀態重疊，則所述記憶體管理電路更用以直接確定所述間隙窗的所述寬度小於所述

門檻值，

其中若所述第一相鄰狀態不與所述第二相鄰狀態重疊，則所述記憶體管理電路更用以執行獲得所述間隙窗的所述寬度的操作。

18. 如申請專利範圍第 15 項所述的記憶體控制電路單元，其中獲得所述記憶胞的所述臨界電壓分佈的操作包括：

在所述兩個相鄰狀態之間施加一第一讀取電壓和一第二讀取電壓，其中所述第二讀取電壓高於所述第一讀取電壓，且所述第一讀取電壓與所述第二讀取電壓之間的一差值等於所述門檻值，

其中確定所述間隙窗的所述寬度是否小於所述門檻值的操作包括：

根據反應於所述第一讀取電壓和所述第二讀取電壓所獲得的至少一位元來識別所述間隙窗的所述寬度是否小於所述門檻值。

19. 如申請專利範圍第 15 項所述的記憶體控制電路單元，其中所消除的狀態的一峰值電壓高於至少一剩餘狀態的峰值電壓。

20. 如申請專利範圍第 15 項所述的記憶體控制電路單元，其中所消除的狀態的一峰值電壓低於至少一剩餘狀態的峰值電壓。

21. 如申請專利範圍第 15 項所述的記憶體控制電路單元，其中所述記憶體管理電路更用以將一標記指派到所述狀態的每一者，

其中所述記憶體管理電路更用以設定一第一檢查點和一第二檢查點，其中所述第一檢查點和所述第二檢查點的每一者指向所

述標記中的一者，

其中所述記憶體管理電路更用以根據所述第一檢查點和所述第二檢查點選擇所述兩個相鄰狀態，

其中所述記憶體管理電路更用以反應於消除所述兩個相鄰狀態中的一者而將先前指派到所消除的狀態的所述標記重新指派到所述狀態中的一下一狀態，其中所述下一狀態的一峰值電壓高於所消除的狀態的所述峰值電壓。

圖式

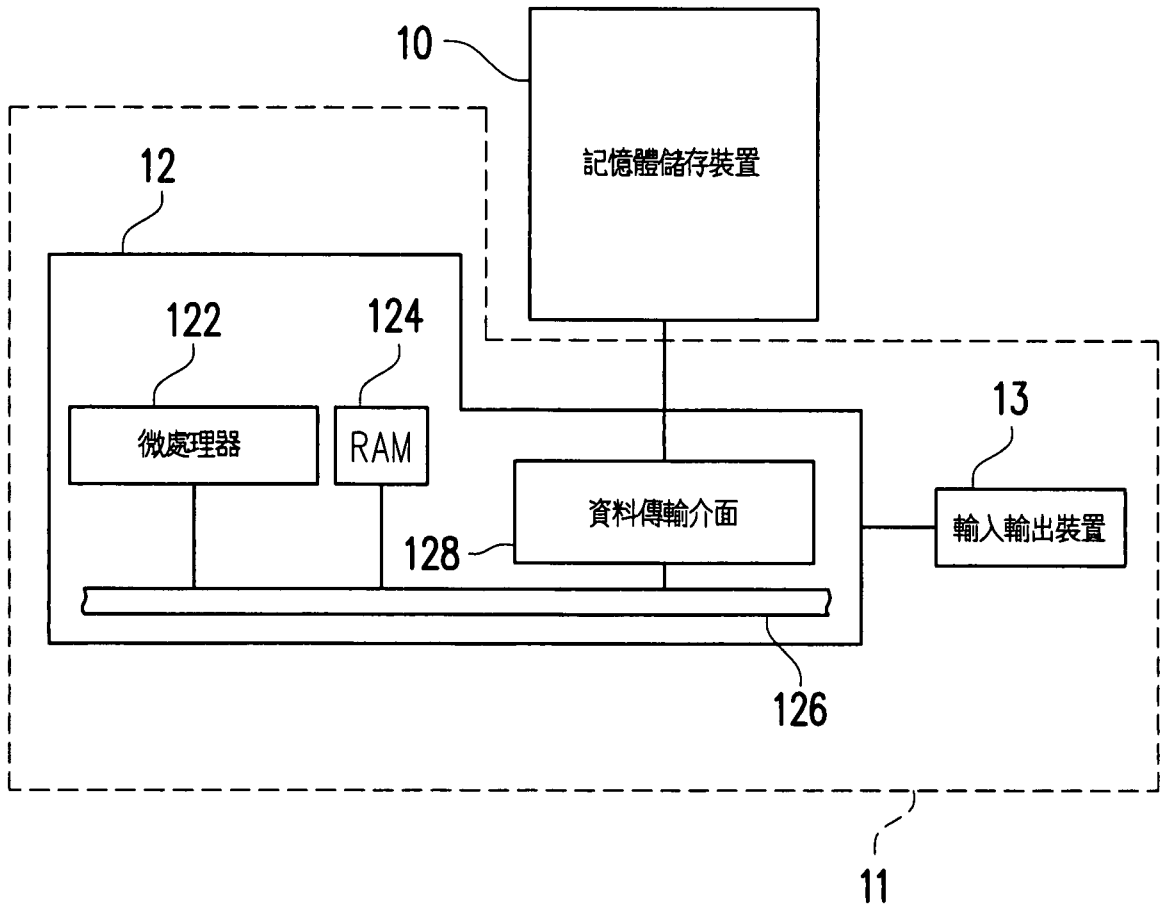


圖 1

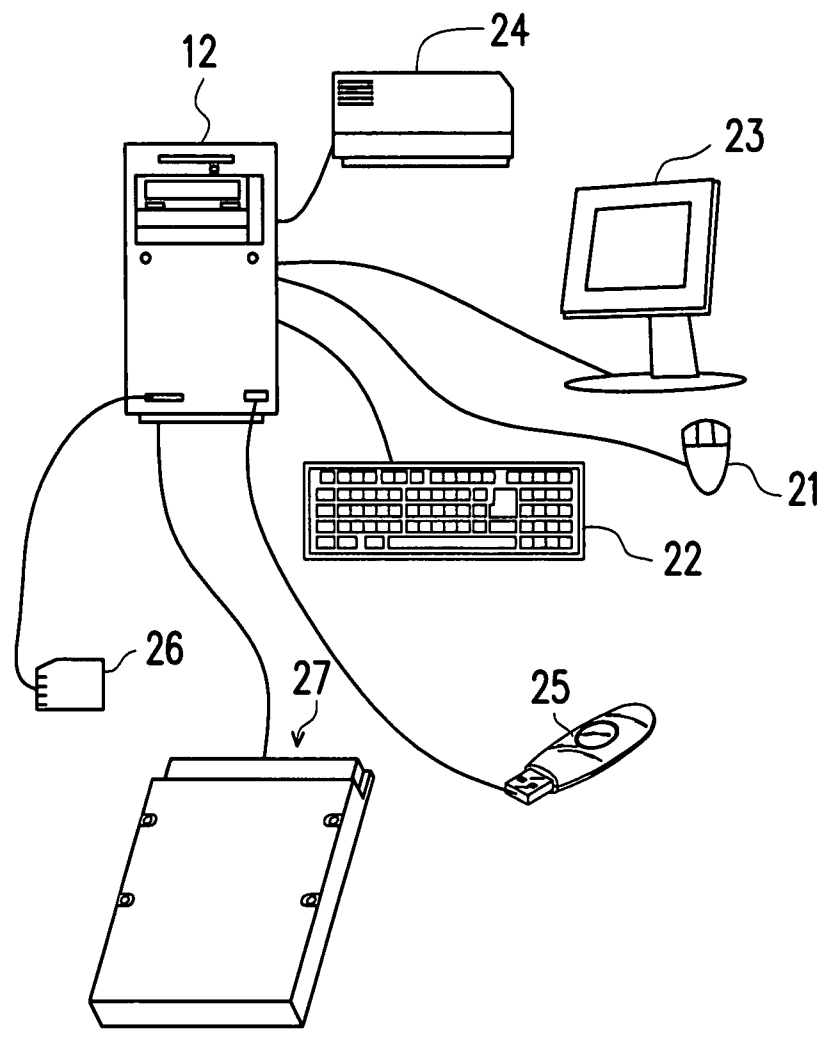


圖 2

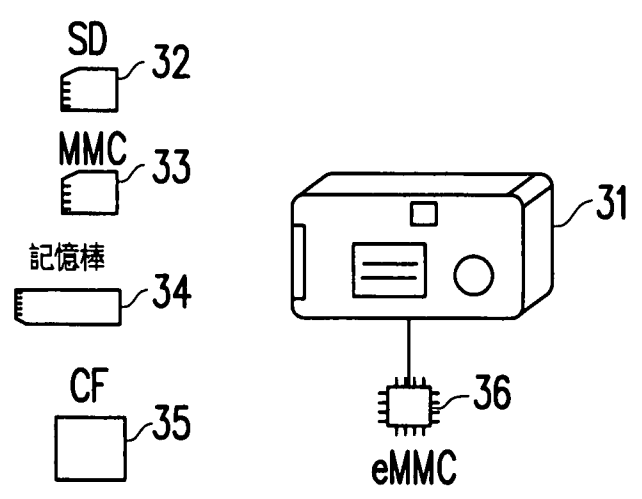


圖 3

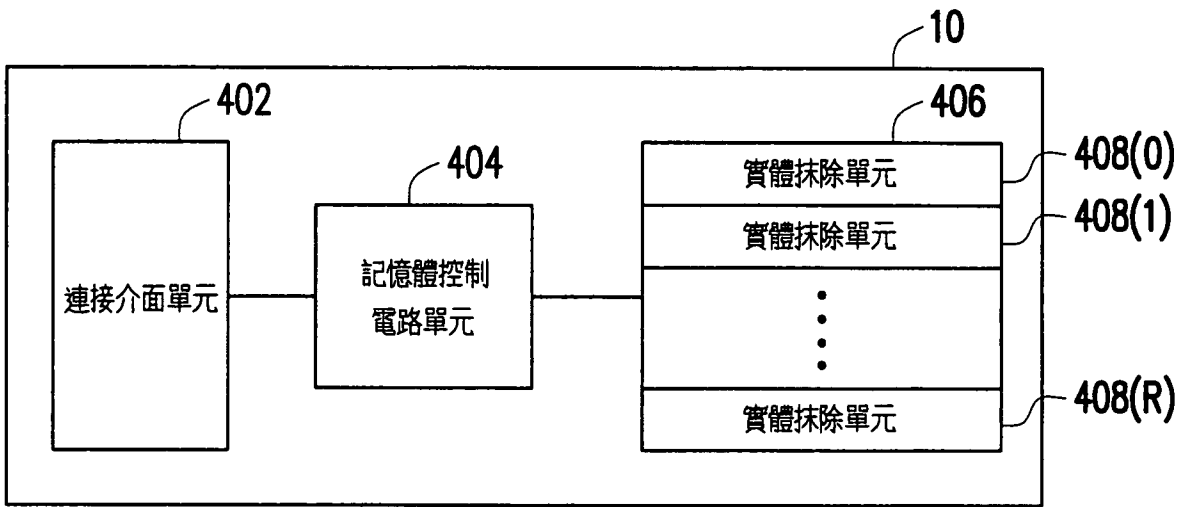


圖 4

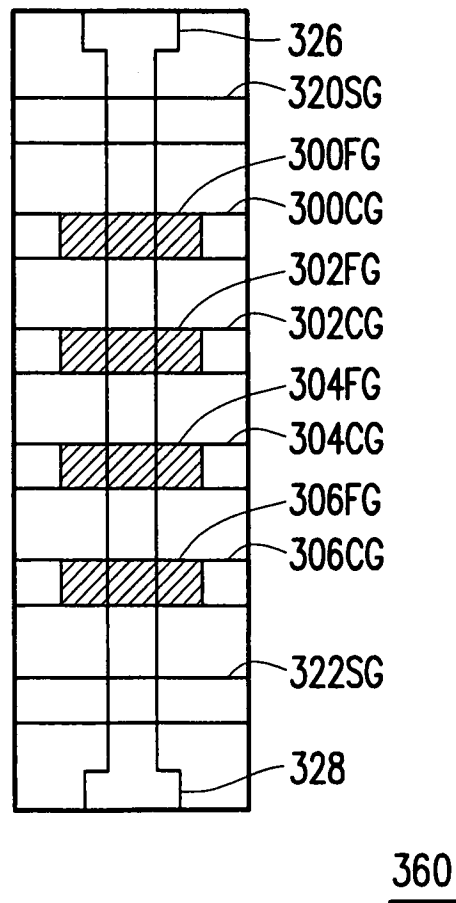


圖 5a

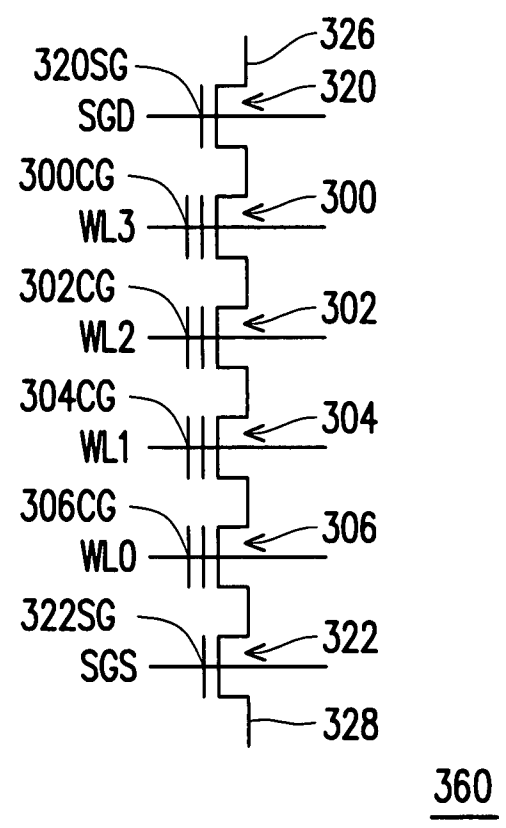


圖 5b

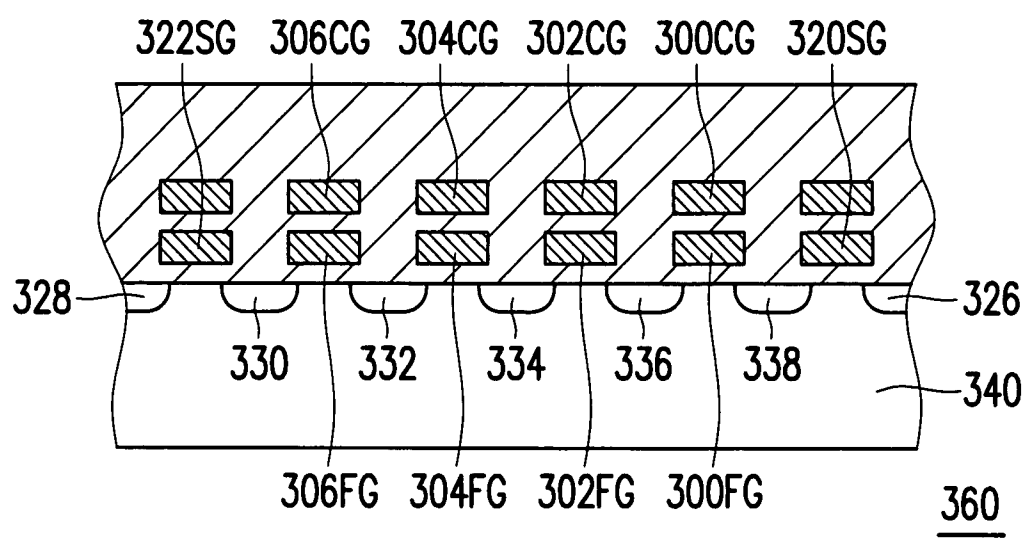


圖 5c

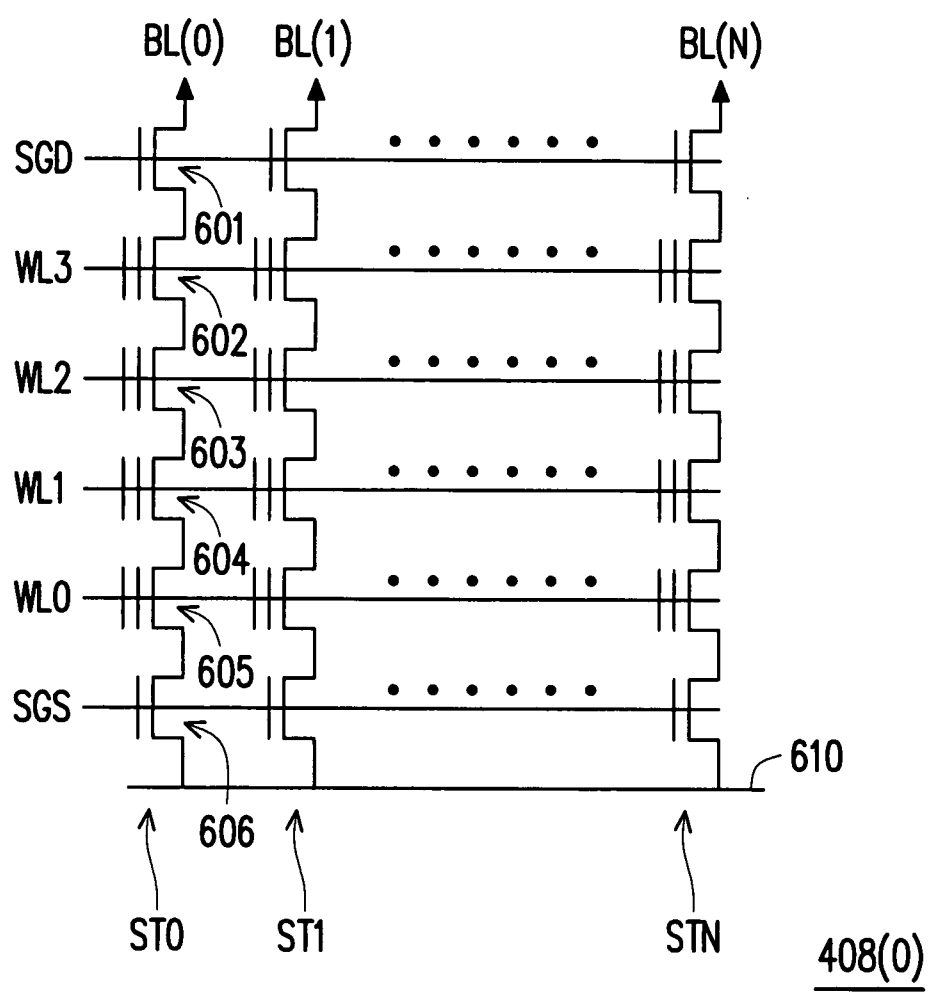


圖 5d



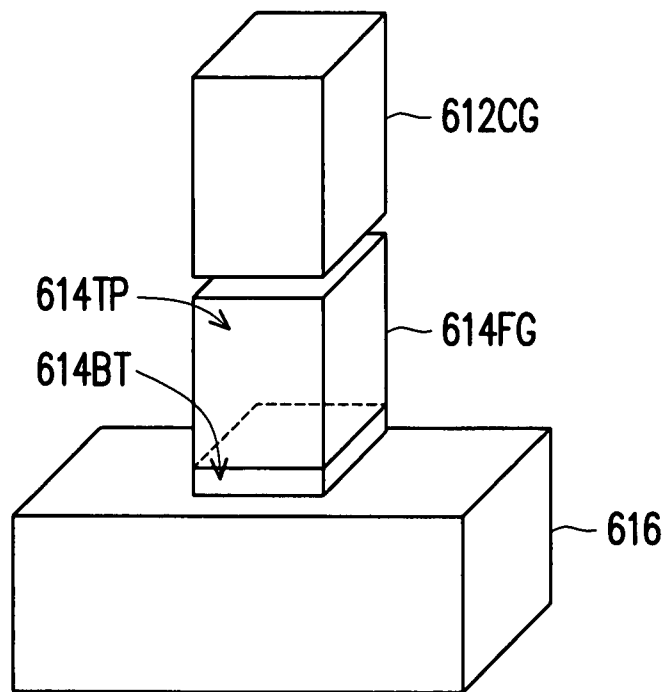


圖 6

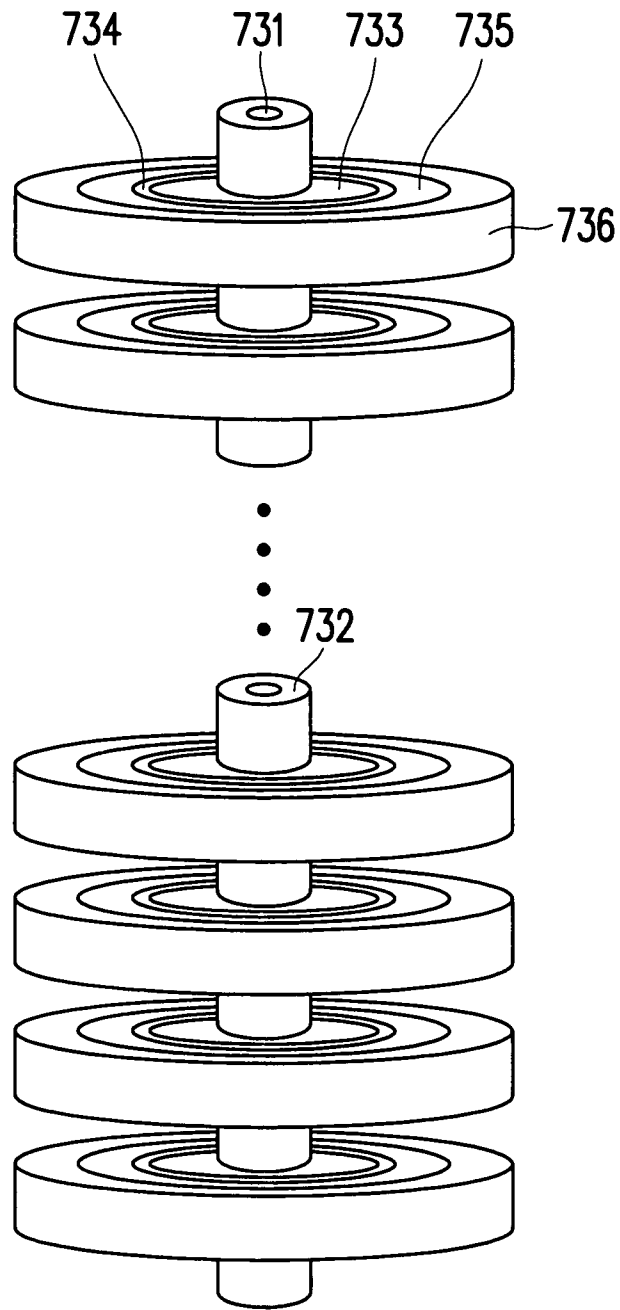


圖 7

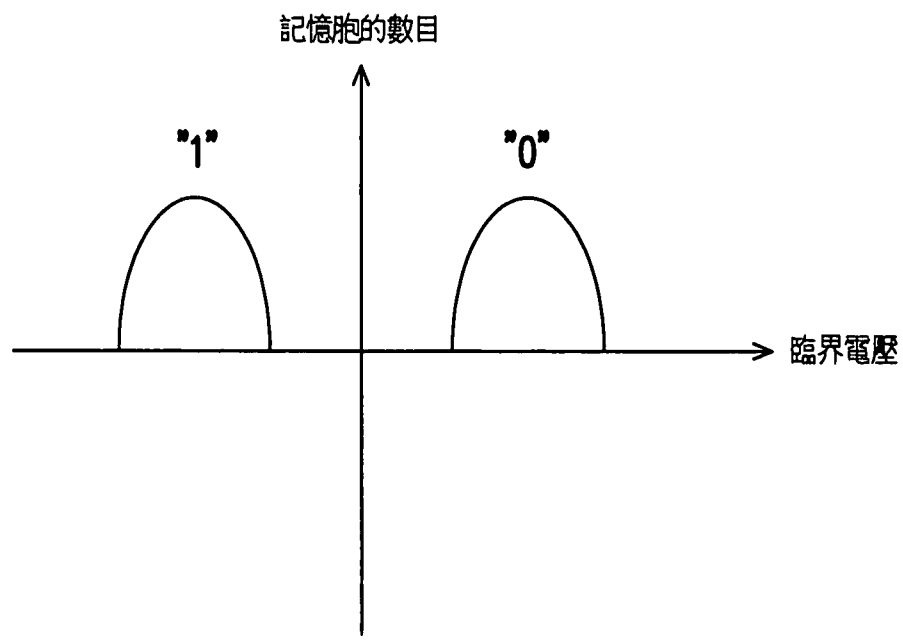


圖 8a

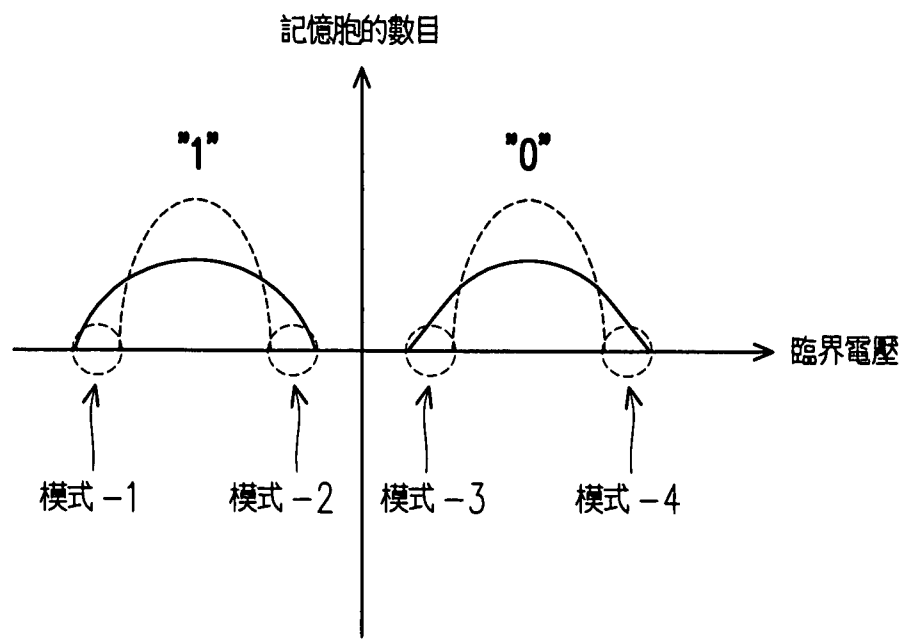


圖 8b

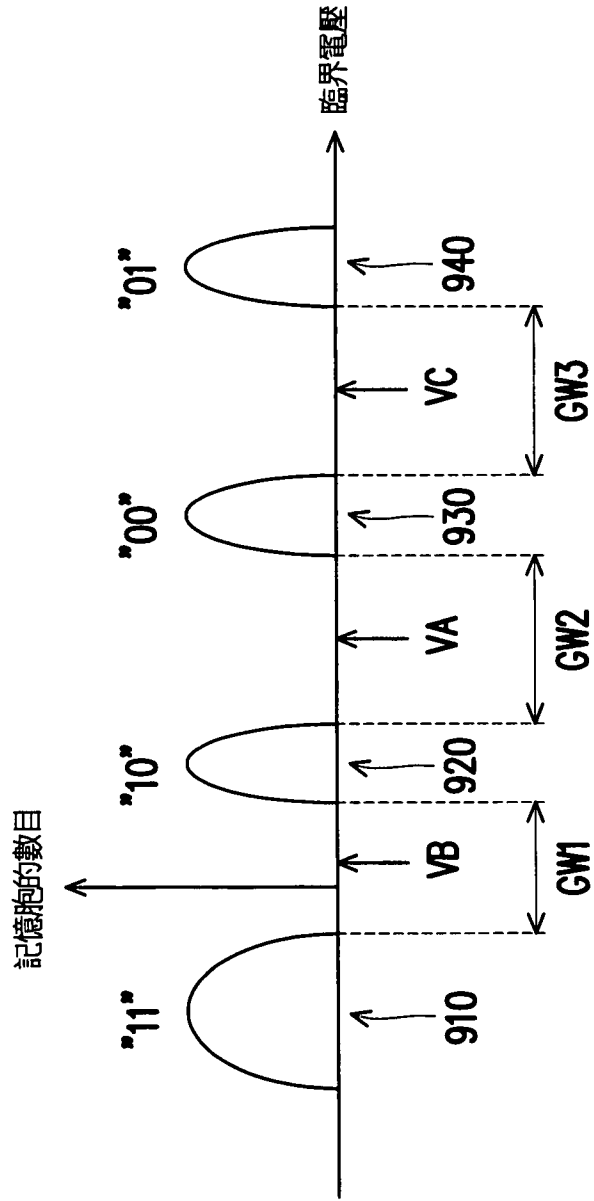


圖 9

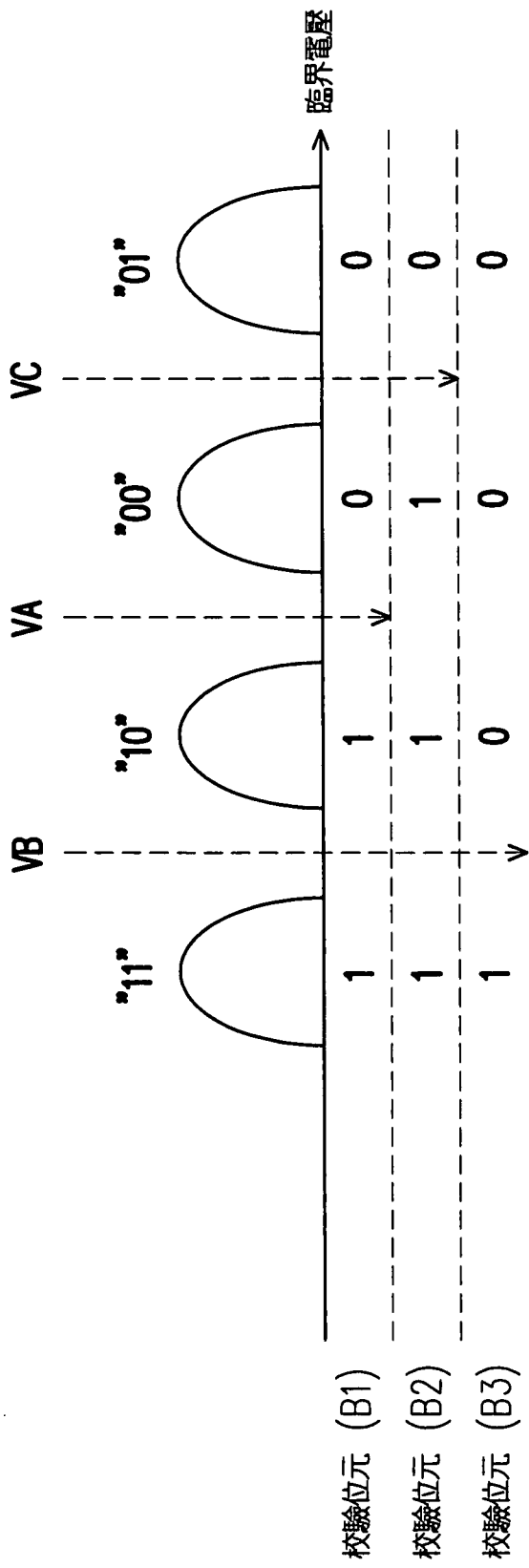


圖 10

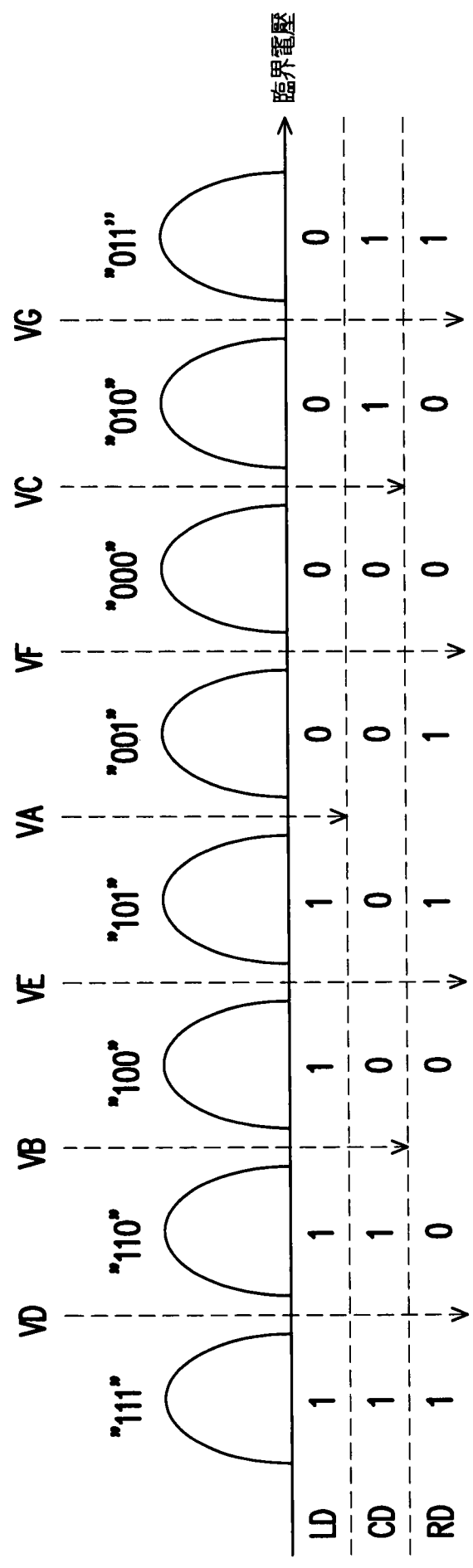


圖 11

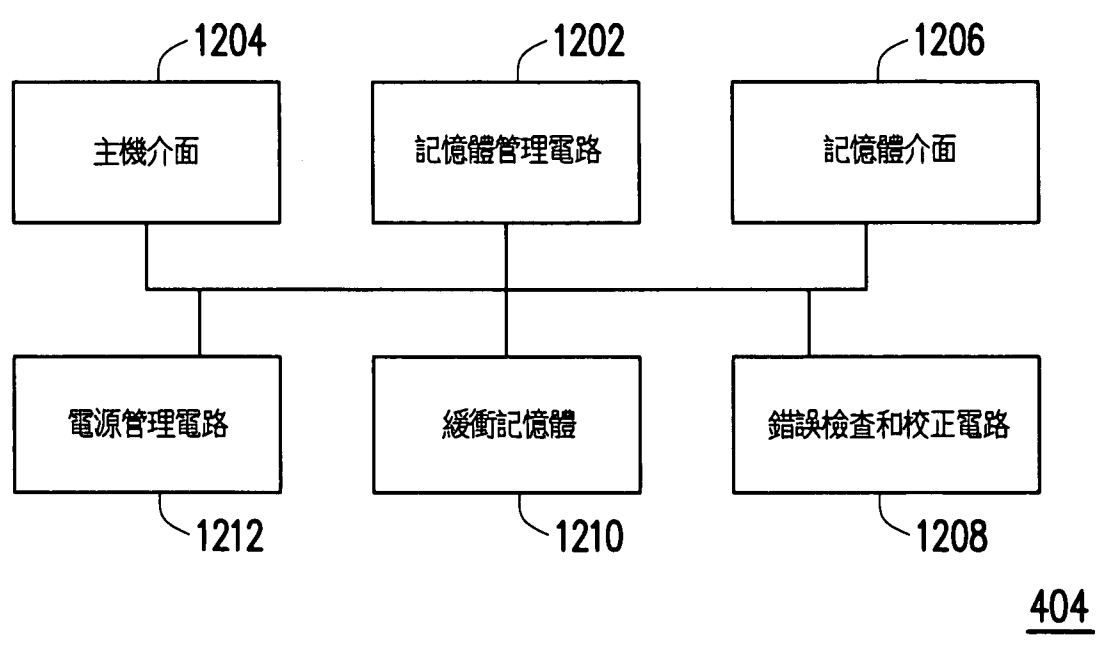


圖 12

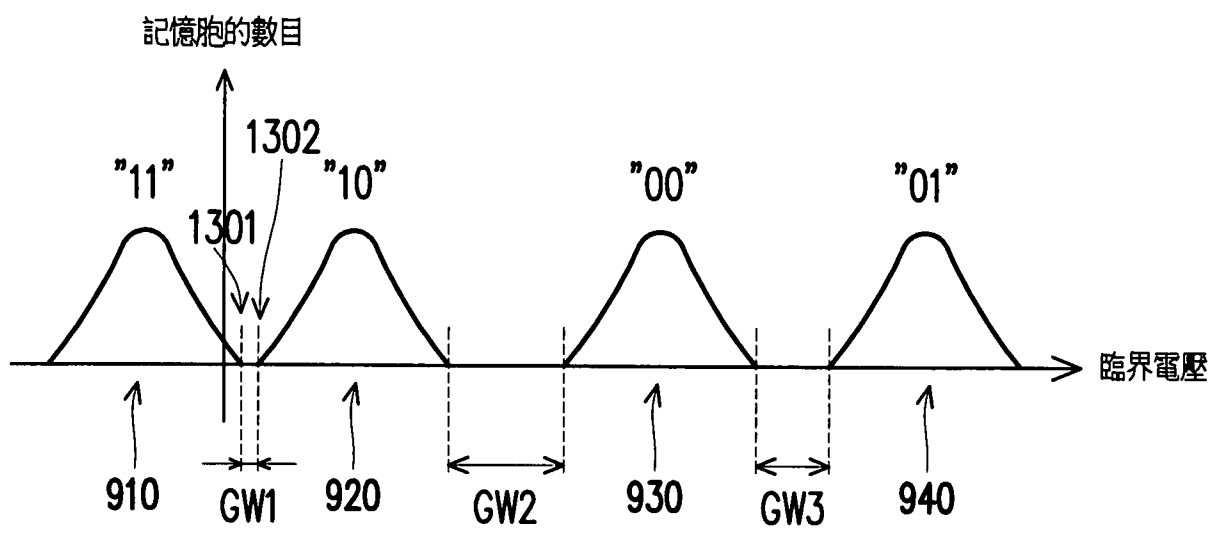


圖 13

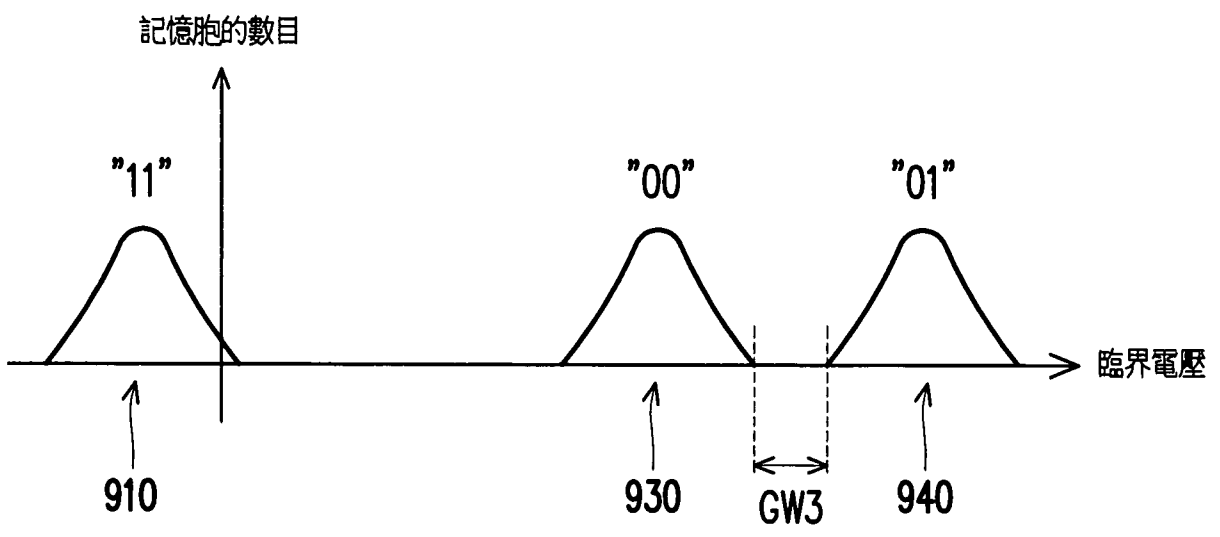


圖 14



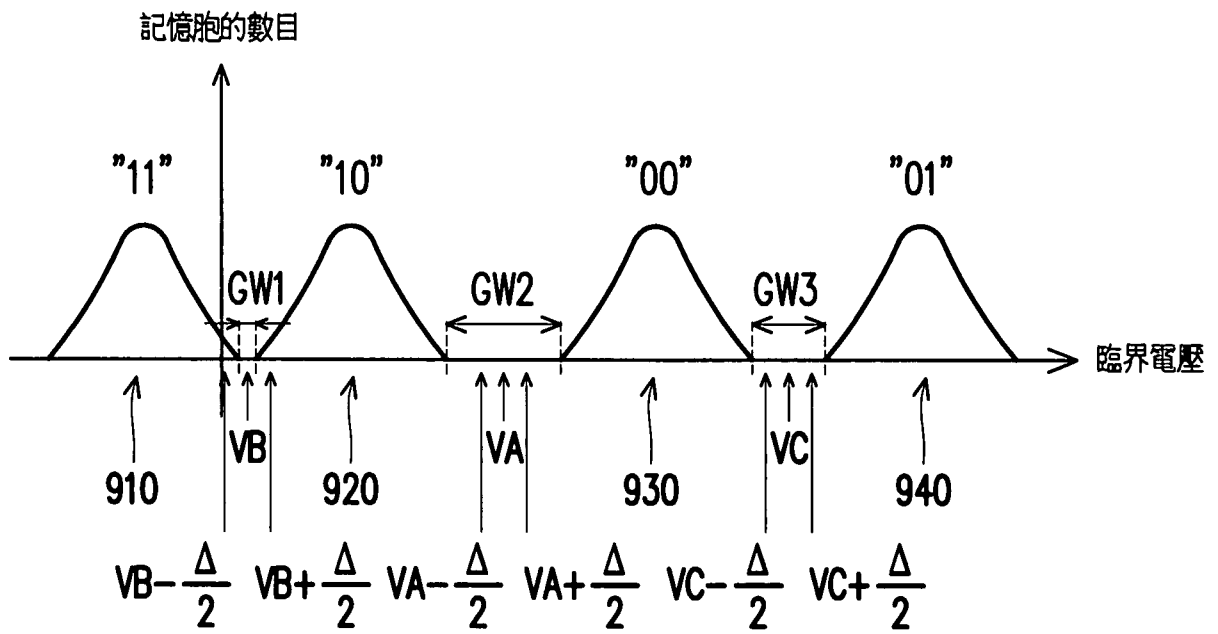


圖 15

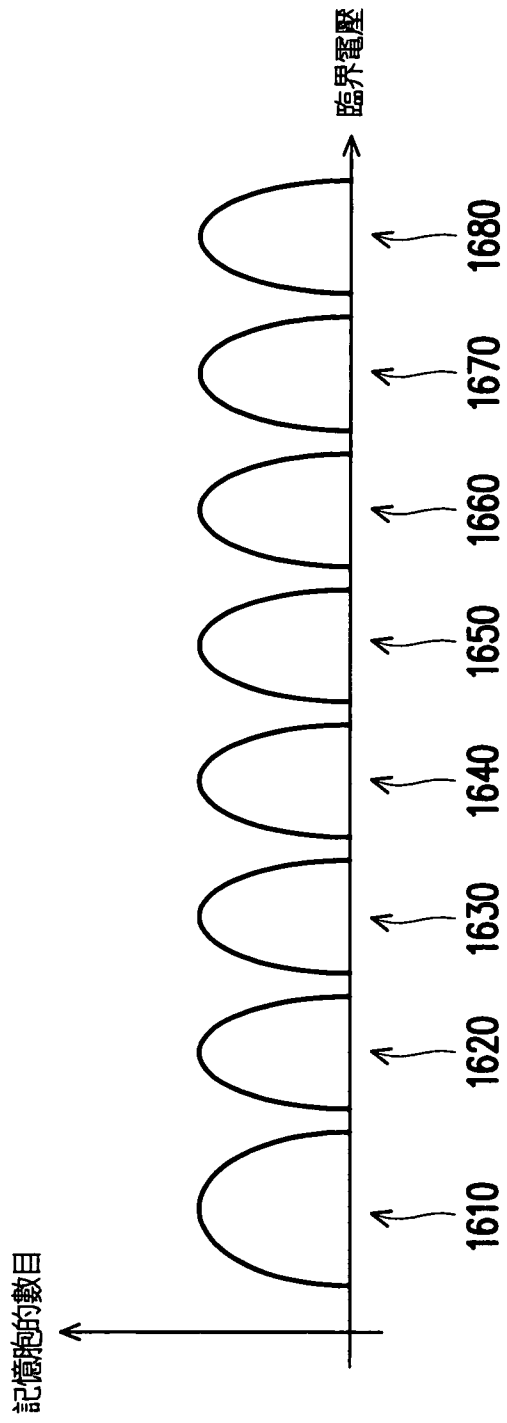


圖16

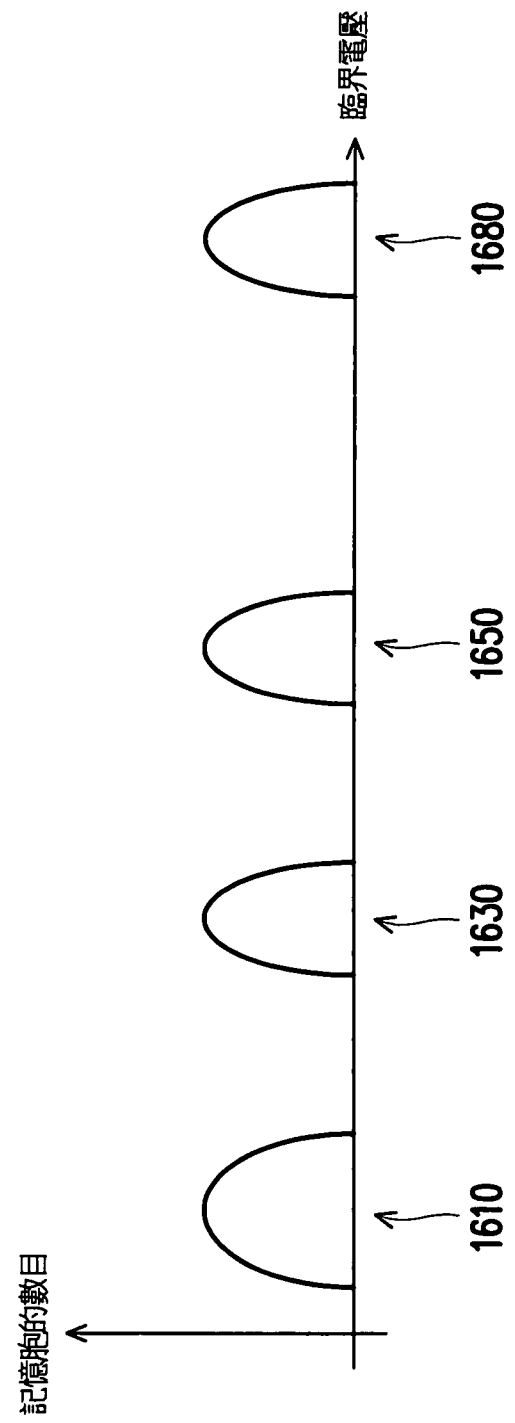


圖17

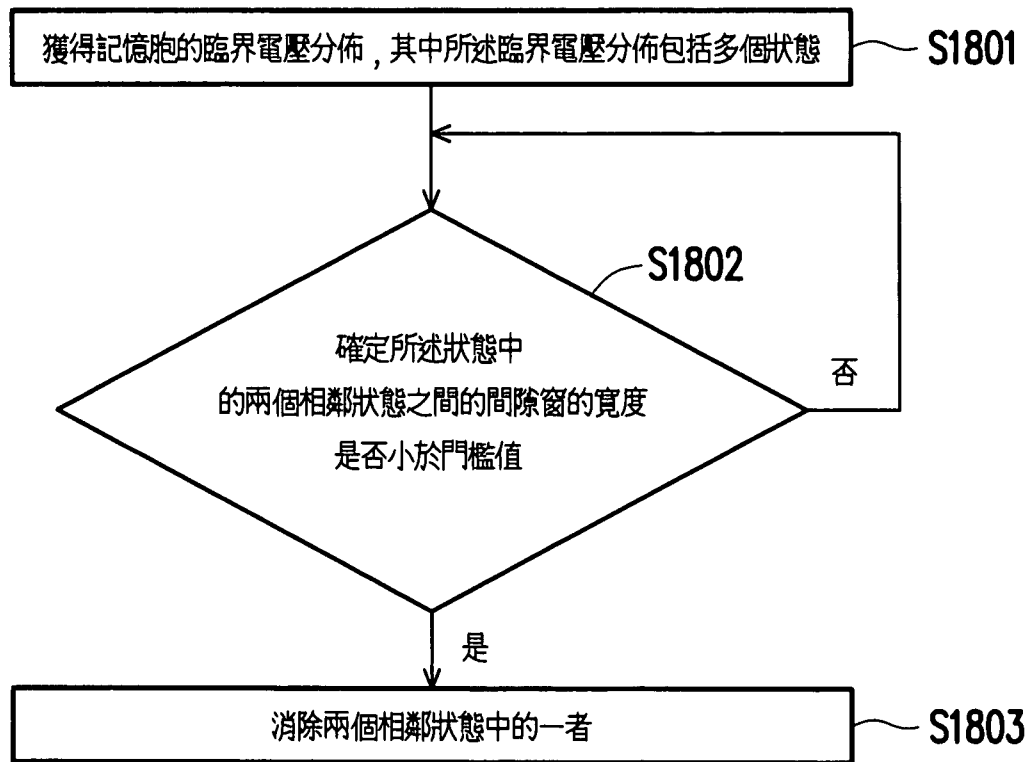


圖 18