

(12) 发明专利

(10) 授权公告号 CN 102136428 B

(45) 授权公告日 2012. 07. 25

(21) 申请号 201110026949. 5

WO 2009136095 A3, 2009. 12. 30,

(22) 申请日 2011. 01. 25

JP 2009135227 A, 2009. 06. 18,

WO 2005015629 A1, 2005. 02. 17,

(73) 专利权人 北京大学

地址 100871 北京市海淀区颐和园路 5 号

审查员 刘宁

(72) 发明人 李志强 郭岳 安霞 云全新

黄英龙 黄如 张兴

(74) 专利代理机构 北京万象新悦知识产权代理

事务所 (普通合伙) 11360

代理人 贾晓玲

(51) Int. Cl.

H01L 21/336 (2006. 01)

H01L 29/47 (2006. 01)

H01L 29/78 (2006. 01)

(56) 对比文件

CN 101866953 A, 2010. 10. 20,

CN 101635262 A, 2010. 01. 27,

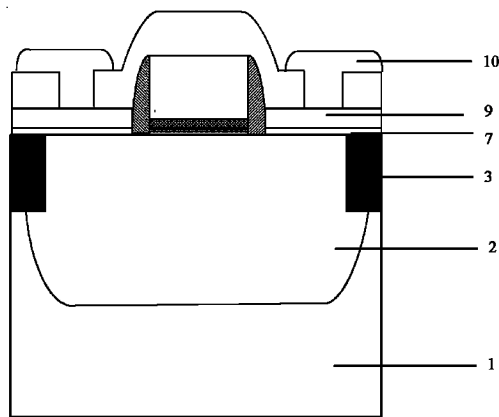
权利要求书 1 页 说明书 4 页 附图 5 页

(54) 发明名称

一种锆基肖特基 N 型场效应晶体管的制备方法

(57) 摘要

本发明提供一种锆基肖特基 N 型场效应晶体管的制备方法,属于超大规模集成电路 (ULSI) 工艺制造技术领域。本发明在锆衬底和金属源、漏之间制作一 high-k 介质薄层。此薄层一方面可以阻挡金属中的电子波函数在半导体禁带当中引入 MIGS 界面态,同时还能够对锆界面的悬挂键进行钝化;另一方面,由于绝缘介质层的厚度非常薄,电子基本上可以自由通过,所以不会明显增加源漏的寄生电阻。通过此方法,可以减弱费米能级顶扎效应,使费米能级靠近锆的导带位置,使电子势垒降低,从而改善锆基肖特基晶体管的电流开关比,提高 NMOS 器件的性能。



1. 一种锗基肖特基 N 型场效应晶体管的制备方法,具体步骤如下:
 - 1-1) 在锗基衬底上制作 MOS 晶体管结构;
 - 1-2) 源漏区域上淀积一高 k 介质层,所述高 k 介质层为氧化钽、氧化铪或氧化锆,该介质层的光频介电常数 $\epsilon_{\infty} < 4.5$ 以及导带偏移量 $\Delta E_c < 2\text{eV}$;
 - 1-3) 溅射低功函数金属薄膜;
 - 1-4) 形成金属源漏;
 - 1-5) 形成接触孔、金属连线。
2. 如权利要求 1 所述的制备方法,其特征在于,步骤 1-1) 具体包括:
 - 2-1) 在衬底上制作隔离区;
 - 2-2) 淀积栅介质层;
 - 2-3) 形成栅结构;
 - 2-4) 形成侧墙结构。
3. 如权利要求 1 所述的制备方法,其特征在于,所述锗基衬底是体锗衬底、锗覆绝缘衬底 (GOI) 或外延锗衬底。
4. 如权利要求 1 所述的制备方法,其特征在于,所述肖特基晶体管的源、漏制作成提升、凹陷结构或者 FinFET。
5. 如权利要求 1 所述的制备方法,其特征在于,高 k 介质层的厚度为 $1 \sim 3\text{nm}$ 。
6. 如权利要求 1 所述的制备方法,其特征在于,所述步骤 1-3) 的金属薄膜为铝膜或其他低功函数金属膜。

一种锗基肖特基 N 型场效应晶体管的制备方法

技术领域

[0001] 本发明属于超大规模集成电路 (ULSI) 工艺制造技术领域,具体涉及一种锗基肖特基 N 型场效应 (NMOS) 晶体管的制备方法。

背景技术

[0002] 随着 CMOS 器件特征尺寸的不断缩小,传统硅基 MOS 器件的发展逐渐达到物理和技术的双重极限,而载流子迁移率退化成为影响器件性能进一步提升的关键因素。为了提高器件的驱动能力,采用高迁移率沟道材料是一种十分有效的途径。锗材料在低电场下的空穴迁移率是硅材料的 4 倍,电子迁移率是硅材料的 2 倍,因此,锗材料作为一种新的沟道材料以其更高、更加对称的载流子迁移率成为高性能 MOSFET 器件很有希望的发展方向之一。

[0003] 与硅材料相比,杂质在锗材料中扩散较快且激活率低,因而源漏区掺杂浓度较低并且不易形成浅结,引起锗基 MOS 器件源漏串联电阻增加,导致器件性能退化。肖特基源漏晶体管能很好克服以上问题而成为一种非常具有发展潜力的结构。它与传统晶体管的主要区别就是它用金属或者金属锗化物源漏替代了传统的高掺杂源漏,源漏和沟道的接触由 PN 结变成了金属和半导体接触的肖特基结。肖特基源漏晶体管结构不仅避免了杂质固溶度低和扩散快的问题,而且还能保证低电阻率和获得突变源漏结。

[0004] 锗基肖特基晶体管有如下优势:(1) 采用金属或者金属锗化物源漏,源漏寄生电阻显著降低;(2) 肖特基晶体管的制备工艺和传统 CMOS 工艺完全兼容,而且制备过程简单;(3) 没有少子注入的肖特基接触不存在寄生三极管效应,因而消除了困扰 CMOS 电路的闩锁效应;(4) 工艺热预算较低,非常有利于高 k 栅介质、金属栅、应变沟道等工艺集成;(5) 锗材料迁移率大、速度特性好,因而锗基器件其高频特性远优于传统的硅基器件。

[0005] 但是,锗基肖特基晶体管的性能也受到了源漏-沟道肖特基势垒的制约。在锗基肖特基晶体管的源漏与衬底的界面处,由于存在界面态,费米能级被钉扎在锗的价带附近,造成电子势垒较大,空穴势垒较小,从而限制了锗基肖特基晶体管(尤其是 NMOS)性能的提升。首先,源端的电子势垒高度是决定开态电流大小的重要因素,较大的电子势垒限制了源端电子的注入,导致器件的开态电流小;其次,漏端的较低的空穴势垒引起关态泄漏电流过大;再者,较大的电子势垒使源端的电子主要以隧穿的方式进入沟道,导致器件的亚阈值斜率变大。总之,电子势垒高度成为影响锗基 NMOS 肖特基晶体管性能的决定因素之一。为了降低电子的势垒高度,必须减弱或去除费米能级钉扎效应。导致费米能级钉扎有以下两方面的因素:第一,锗半导体表面的悬挂键和缺陷等因素形成的表面态;第二,根据海涅理论,金属的电子波函数在锗中的不完全衰减而导致在锗半导体的禁带当中产生的金属诱导带隙态 (MIGS)。另外,锗基 MOS 器件的栅介质也存在较大的问题,一般需要插入一层界面层以改善栅电容性能。

发明内容

[0006] 针对上述锗基肖特基 NMOS 晶体管存在的问题,本发明在其源漏区淀积一薄层的

高 k 介质层来减弱费米能级钉扎效应,降低电子势垒,改善锗基肖特基 NMOS 晶体管的性能。

[0007] 下面简述本发明的锗基肖特基 NMOS 晶体管的一种制备方法,步骤如下:

[0008] 1-1) 在锗基衬底上制作 MOS 晶体管结构;

[0009] 1-2) 源漏区域上淀积一高 k 介质层,该介质层的光频介电常数 $\epsilon_{\infty} < 4.5$ 以及导带偏移量 $\Delta E_c < 2\text{eV}$;

[0010] 1-3) 溅射低功函数金属薄膜;

[0011] 1-4) 形成金属源漏;

[0012] 1-5) 形成接触孔、金属连线。

[0013] 步骤 1-1) 具体包括:

[0014] 2-1) 在衬底上制作隔离区;

[0015] 2-2) 淀积栅介质层;

[0016] 2-3) 形成栅结构;

[0017] 2-4) 形成侧墙结构。

[0018] 所述步骤 1-1) 的锗基衬底可以是体锗衬底、锗覆绝缘 (GOI) 衬底或外延锗衬底。

[0019] 所述步骤 1-2) 的绝缘介质层可以采用氧化钇 (Y_2O_3)、氧化铪 (HfO_2) 或氧化锆 (ZrO_2) 等高 k 介质材料。

[0020] 所述步骤 1-3) 的金属薄膜可以为铝膜或其他低功函数金属膜。

[0021] 所述肖特基晶体管的源、漏制作成提升、凹陷结构或者其他新结构如 FinFET 等。

[0022] 与现有技术相比,本发明的有益效果是:

[0023] 通过在金属源漏和锗衬底之间增加一层厚度为 1 ~ 3nm 的高 k 绝缘介质层,能有效调制源漏 - 沟道的肖特基势垒,提升器件的电流开关比,降低器件的亚阈值斜率。此介质层一方面可以阻挡金属中的电子波函数在半导体禁带当中引入的 MIGS 界面态,另一方面还能够对锗界面的悬挂键进行钝化。同时,由于绝缘介质层的厚度非常薄,电子基本上可以自由通过,所以不会明显增加源漏的寄生电阻。总之,此方法可以减弱费米能级钉扎效应,使费米能级向锗的导带位置移动,降低电子势垒,尤其能改善 NMOS 器件的性能。与其他材料如氧化铝 (Al_2O_3) 等作为绝缘介质层相比,本优选实施例氧化钇 (Y_2O_3) 能与锗材料形成良好的界面接触,有效地减弱费米能级钉扎效应,降低肖特基电子势垒;而且氧化钇 (Y_2O_3) 还能作为栅介质钝化层;同时制备工艺简单且与硅 CMOS 工艺兼容。

[0024] 为了有效抑制费米能级钉扎效应,一般要求绝缘介质层光频介电常数 $\epsilon_{\infty} < 4.5$ 以及导带偏移量 $\Delta E_c < 2\text{eV}$ 。本发明采用的绝缘层材料是氧化钇 (Y_2O_3)、氧化铪 (HfO_2)、氧化锆 (ZrO_2) 等高 k 介质材料。它们的光频介电常数 ϵ_{∞} 基本上都在 4 以下,由此推算出的钉扎系数 S 一般都大于 0.5;而且有实验表明,它们的导带偏移量 ΔE_c 也都在 1.5eV 左右,其引入的隧穿阻力较小。因此,这些材料都能很好地减弱费米能级钉扎效应,调制源漏 - 沟道的肖特基势垒。

附图说明

[0025] 图 1 为本发明提出的制备锗基 NMOS 肖特基晶体管的流程图。

具体实施方式

[0026] 下面结合附图和具体实施方式对本发明作进一步详细描述：

[0027] 参考图 1, 本发明提供一优选实施例说明本发明锆基肖特基 NMOS 晶体管的制备方法, 该方法包括如下步骤：

[0028] 步骤 1: 提供一块锆基衬底。如图 1(a) 所示, 一块 P 型半导体锆衬底 1, 其中半导体锆衬底 1 可以是体锆衬底、锆覆绝缘 (GOI) 衬底或外延锆衬底等。

[0029] 步骤 2: 制作 N 阱区域。在锆衬底上淀积氧化硅层并且淀积氮化硅层, 通过光刻定义 N 阱区域, 反应离子刻蚀掉 N 阱区域的氮化硅, 并且离子注入 N 型杂质, 比如磷, 然后退火驱入制作 N 阱 2, 最后去掉注入掩蔽层, 完成图如图 1(b) 所示。

[0030] 步骤 3: 实现沟槽隔离。如图 1(c) 中隔离区 3, 在锆片上淀积氧化硅和氮化硅层, 通过光刻定义出沟槽的位置, 之后利用反应离子刻蚀技术刻蚀氮化硅和氧化硅, 进而刻蚀锆, 形成沟槽, 并利用 CVD 方法淀积氧化硅回填隔离槽, 最后利用化学机械抛光技术 (CMP) 将表面磨平, 实现器件间的隔离。器件隔离不局限于浅槽隔离 (STI), 也可以采用场氧隔离等技术。

[0031] 步骤 4: 在所述有源区上形成栅极介质层。栅介质层可以采用高 k 介质、二氧化锆、氮氧化锆等材料。在淀积栅介质之前, 一般需要用 PH_3 、 NH_3 进行表面钝化处理或淀积一层界面层, 如硅 (Si)、氮化铝 (AlN)、氧化钇 (Y_2O_3) 等。本优选实施例先在锆衬底上制作一薄层氧化钇 (Y_2O_3) 作为界面层, 然后采用 ALD 方法淀积得到二氧化铪 (HfO_2) 栅介质层 4, 如图 1(d) 所示。

[0032] 步骤 5: 在所述栅极介质层上形成栅极。栅可以采用多晶硅栅或者金属栅或者 FUSI 栅等, 本实施例采用淀积金属氮化钛 (TiN) 作为栅, 然后光刻定义出栅结构并刻蚀去除多余部分, 如图 1(e) 所示金属栅 5。

[0033] 步骤 6: 在栅极两侧形成侧墙。侧墙可以通过淀积 SiO_2 或 Si_3N_4 并且刻蚀形成侧墙, 也可以采用先 Si_3N_4 再 SiO_2 的双侧墙。如图 1(f) 所示, 本实施例采用淀积二氧化硅并且干法刻蚀的方法, 在栅的两侧可以形成一个隔离结构 6 (侧墙结构)。

[0034] 步骤 7: 源漏区域淀积的一高 k 介质层。该高 k 介质层通过淀积薄层金属后氧化或者 ALD 直接淀积得到, 由于此薄层用于调节源漏 - 沟道的势垒, 要求介质层光频介电常数 $\epsilon_\infty < 4.5$ 以及导带偏移量 $\Delta E_c < 2\text{eV}$ 。氧化钇 (Y_2O_3)、氧化铪 (HfO_2)、氧化锆 (ZrO_2) 等高 k 介质材料都满足以上要求, 本优选实施例采用氧化钇 (Y_2O_3), 其厚度约为 1 ~ 3nm, 如图 1(g) 中薄层 7 所示。

[0035] 步骤 8: 溅射低功函数金属薄膜, 可采用铝 (Al)、钛 (Ti)、钇 (Y) 等金属, 本优选实施例为铝。可以采用物理气相淀积方式, 如蒸镀或溅射, 在半导体衬底上淀积一层铝膜 8, 其厚度范围在 50 ~ 500nm, 如图 1(h) 所示。

[0036] 步骤 9: 形成金属源漏。如图 1(i) 所示, 通过光刻定义图形然后刻蚀形成源漏结构, 得到金属源漏 9。

[0037] 步骤 10: 形成接触孔、金属连线。用化学汽相淀积方法淀积氧化层, 光刻定义出开孔位置并刻蚀二氧化硅, 形成接触孔; 然后溅射金属层, 比如 Al、Al-Ti 等, 并光刻定义出连线图形, 经过刻蚀后, 即形成金属连线图形, 最后通过低温退火过程合金, 形成金属连线层 10。最后完成图如图 1(j) 所示。

[0038] 本发明提出了一种锆基肖特基 NMOS 晶体管的制备方法。此方法不但降低了锆基

NMOS 源漏处电子的势垒高度,改善了锗基肖特基 NMOS 晶体管的电流开关比,提升了锗基肖特基 NMOS 晶体管的性能,而且与硅 CMOS 技术完全兼容,保持了工艺简单的优势。相对于现有工艺制备方法,所述半导体器件结构及其制造方法简单地提升锗基肖特基 NMOS 晶体管的性能。

[0039] 以上通过优选实施例详细描述了本发明所提出的制备方法,本领域的技术人员应当理解,以上所述仅为本发明的优选实施例,在不脱离本发明实质的范围内,可以对本发明的器件结构做一定的变形或修改,例如源漏结构也可采用提升、凹陷源漏结构或者其他新结构如 FinFET 等;其制备方法也不限于实施例中所公开的内容,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

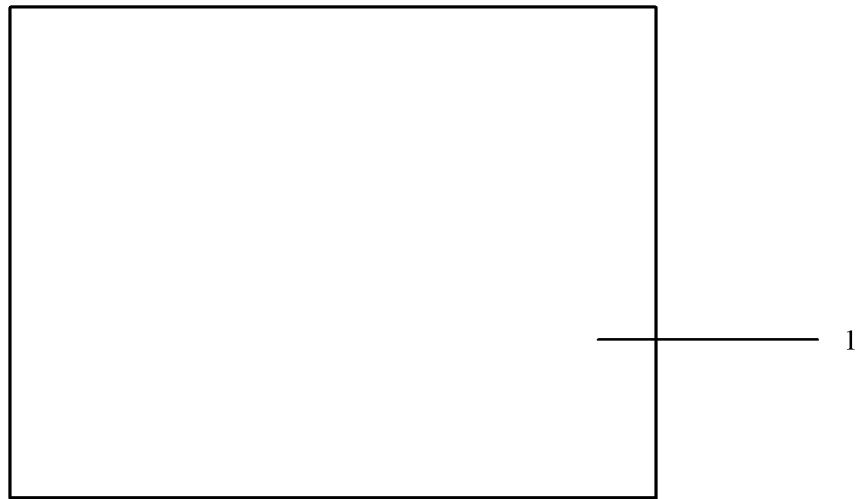


图 1(a)

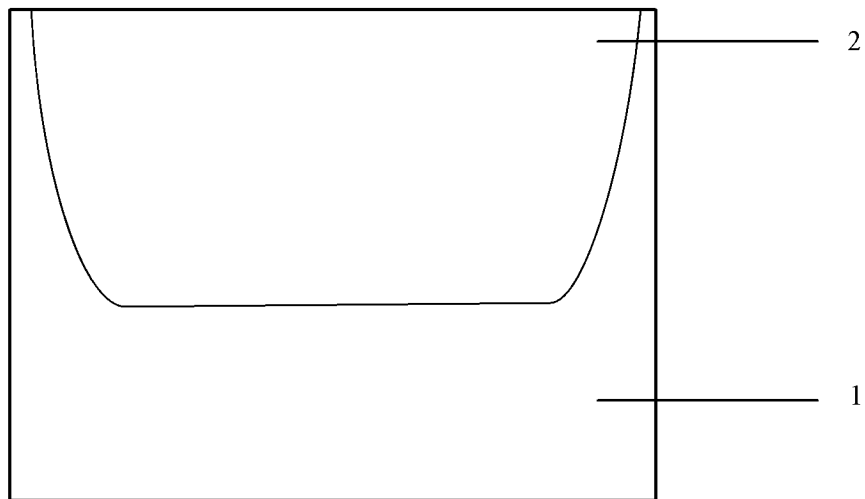


图 1(b)

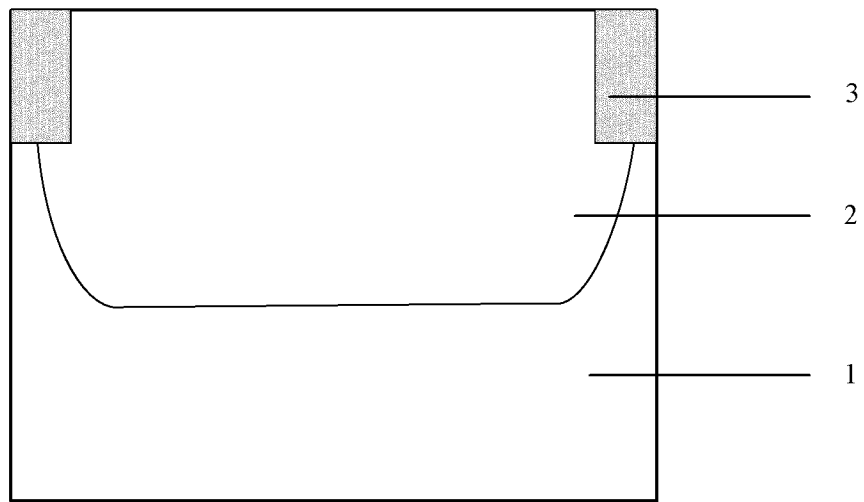


图 1(c)

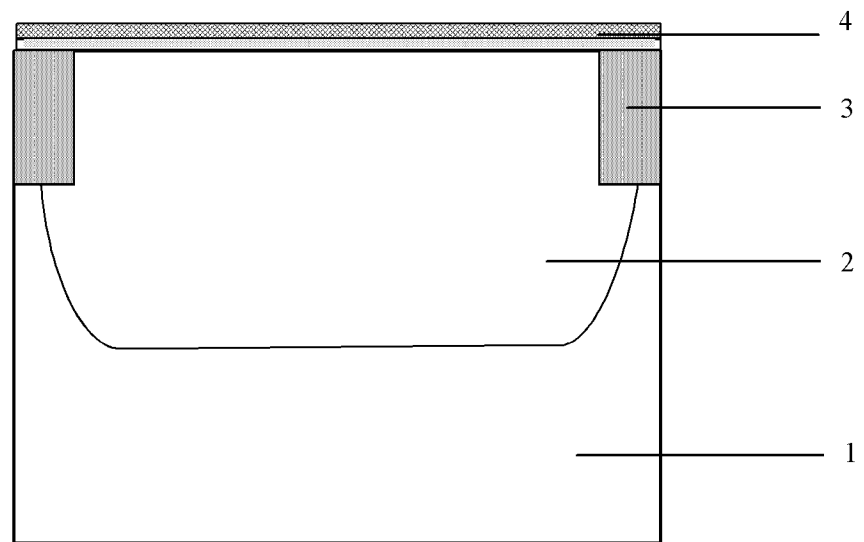


图 1(d)

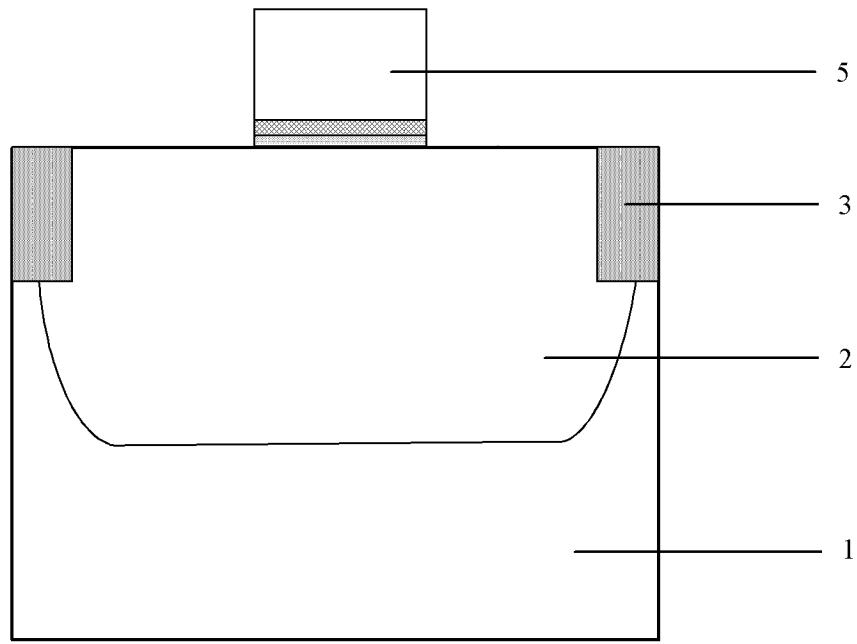


图 1(e)

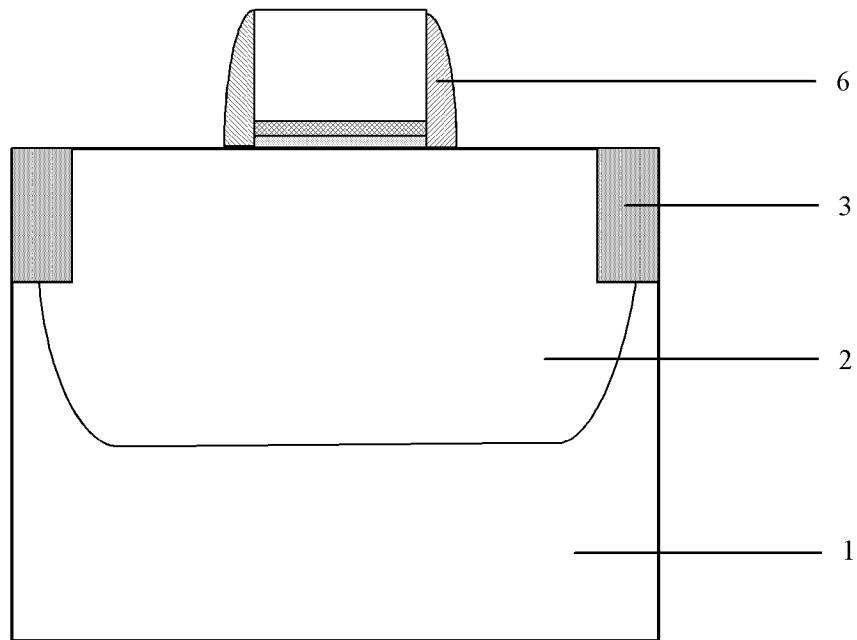


图 1(f)

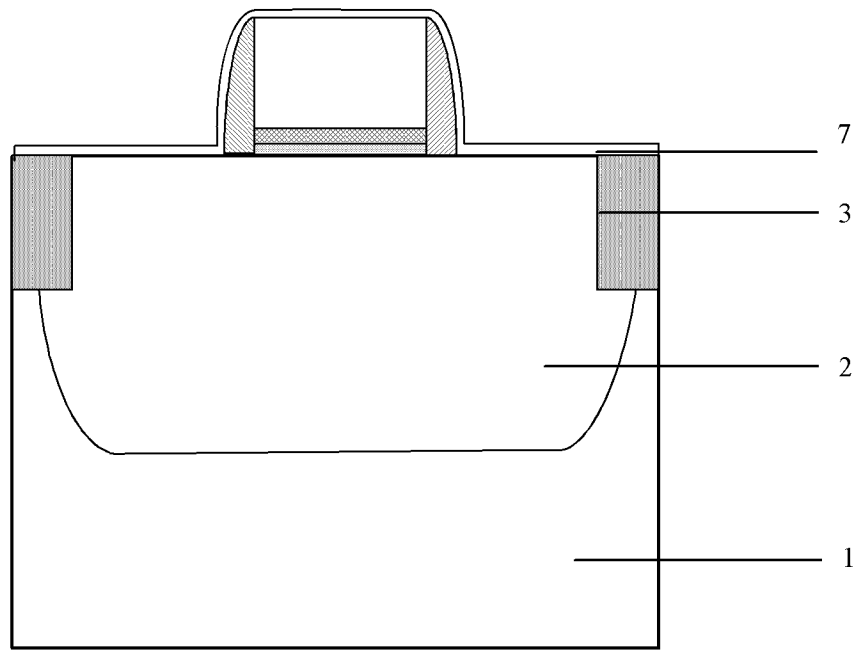


图 1(g)

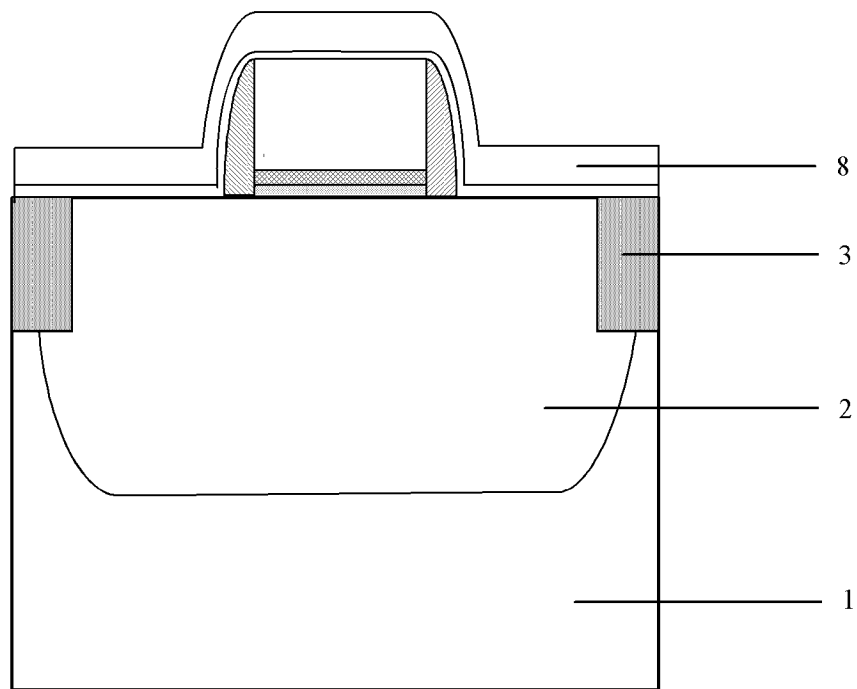


图 1(h)

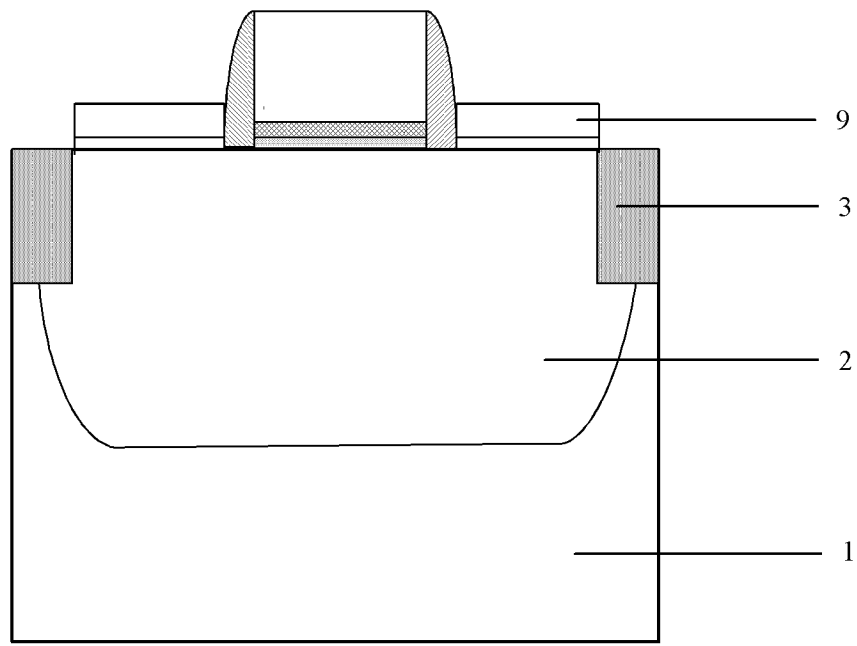


图 1(i)

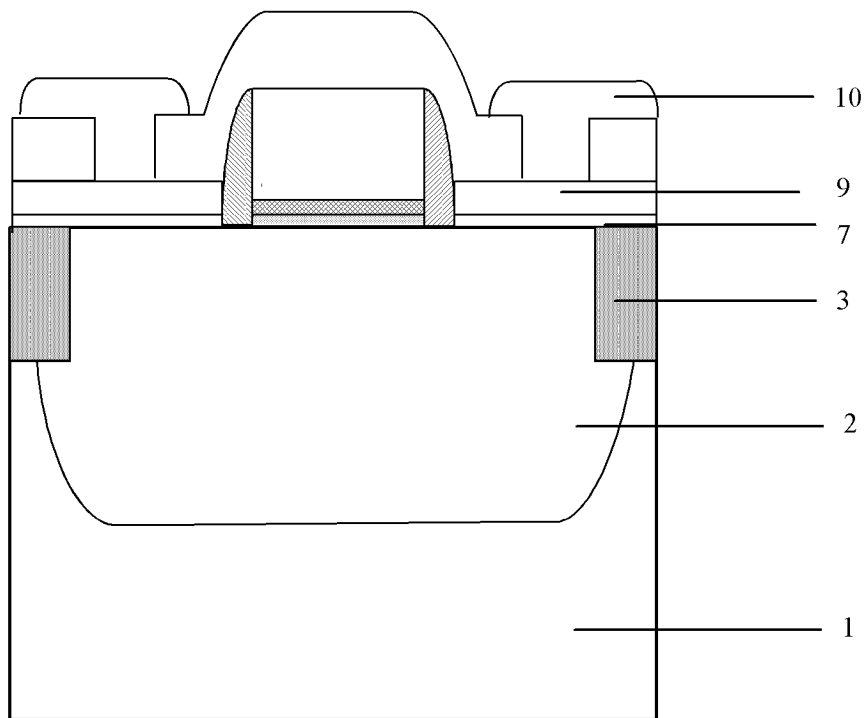


图 1(j)