

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5068615号  
(P5068615)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl. F I  
**G 1 1 C 11/4094 (2006.01)** G 1 1 C 11/34 3 5 3 F  
**G 1 1 C 11/4091 (2006.01)** G 1 1 C 11/34 3 5 3 E

請求項の数 6 (全 12 頁)

<p>(21) 出願番号 特願2007-244704 (P2007-244704)                  (22) 出願日 平成19年9月21日 (2007.9.21)                  (65) 公開番号 特開2009-76144 (P2009-76144A)                  (43) 公開日 平成21年4月9日 (2009.4.9)                  審査請求日 平成22年5月13日 (2010.5.13)</p>	<p>(73) 特許権者 302062931                  ルネサスエレクトロニクス株式会社                  神奈川県川崎市中原区下沼部1753番地                  (74) 代理人 100103894                  弁理士 冢入 健                  (72) 発明者 高橋 弘行                  神奈川県川崎市中原区下沼部1753番地                  NECエレクトロニクス株式会社内                    審査官 滝谷 亮一</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

D R A Mセルと、

第1電源と第2電源とからなる電源対が入力されるセンスアンプと、

電源電圧と接地電圧とが入力される電源回路と、

前記電源対の電位を決定するセンスアンプ制御回路と、

を備え、

前記センスアンプは前記D R A Mセルの記憶情報を増幅する前に前記D R A Mセルがいずれか一方に結合されるビット線対の電位を接地電位にプリチャージし、

前記センスアンプ制御回路は前記センスアンプの増幅動作時に前記ビット線対の電位差を前記電源電圧と前記接地電圧との差電位よりも大きくなるように前記電源対を制御し、

前記D R A Mセルは、

N c hトランジスタと、

前記N c hトランジスタと接続するキャパシタと、

からなり、

選択される前記D R A Mセルが前記キャパシタに電荷を蓄積して"1"状態を記憶している場合、

前記センスアンプは前記ビット線対のうち前記D R A Mセルに結合する一方のビット線の電位を前記電源電圧に、他方のビット線電位を接地電圧よりも低い第1の電圧にそれぞれ増幅する半導体装置。

10

20

## 【請求項2】

D R A Mセルと、  
第1電源と第2電源とからなる電源対が入力されるセンスアンプと、  
電源電圧と接地電圧とが入力される電源回路と、  
前記電源対の電位を決定するセンスアンプ制御回路と、  
を備え、  
前記センスアンプは前記D R A Mセルの記憶情報を増幅する前に前記D R A Mセルがいずれか一方に結合されるビット線対の電位を電源電位にプリチャージし、  
前記センスアンプ制御回路は前記センスアンプの増幅動作時に前記ビット線対の電位差を前記電源電圧と前記接地電圧との差電位よりも大きくなるように前記電源対を制御し、  
前記D R A Mセルは、  
P c hトランジスタと、  
前記P c hトランジスタと接続するキャパシタと、  
からなり、  
選択される前記D R A Mセルが前記キャパシタに電荷を蓄積して"1"状態を記憶している場合、  
前記センスアンプは前記ビット線対のうち前記D R A Mセルに結合する一方のビット線の電位を前記接地電圧に、他方のビット線電位を電源電圧よりも高い第2の電圧にそれぞれ増幅する半導体装置。

10

## 【請求項3】

D R A Mセルと、  
第1電源と第2電源とからなる電源対が入力されるセンスアンプと、  
電源電圧と接地電圧とが入力される電源回路と、  
前記電源対の電位を決定するセンスアンプ制御回路と、  
を備え、  
前記センスアンプは前記D R A Mセルの記憶情報を増幅する前に前記D R A Mセルがいずれか一方に結合されるビット線対の電位を接地電位にプリチャージし、  
前記センスアンプ制御回路は前記センスアンプの増幅動作時に前記ビット線対の電位差を前記電源電圧と前記接地電圧との差電位よりも大きくなるように前記電源対を制御し、  
前記D R A Mセルは、  
N c hトランジスタと、  
前記N c hトランジスタと接続するキャパシタと、  
からなり、  
前記センスアンプ制御回路は負電圧レベルシフタをさらに備え、  
前記負電圧レベルシフタは前記センスアンプ制御回路に入力される電源電圧と接地電圧との振幅を有する信号を電源電圧と前記接地電圧よりも低い負電圧との振幅に変換する半導体装置。

20

30

## 【請求項4】

D R A Mセルと、  
第1電源と第2電源とからなる電源対が入力されるセンスアンプと、  
電源電圧と接地電圧とが入力される電源回路と、  
前記電源対の電位を決定するセンスアンプ制御回路と、  
を備え、  
前記センスアンプは前記D R A Mセルの記憶情報を増幅する前に前記D R A Mセルがいずれか一方に結合されるビット線対の電位を電源電位にプリチャージし、  
前記センスアンプ制御回路は前記センスアンプの増幅動作時に前記ビット線対の電位差を前記電源電圧と前記接地電圧との差電位よりも大きくなるように前記電源対を制御し、  
前記D R A Mセルは、  
P c hトランジスタと、  
前記P c hトランジスタと接続するキャパシタと、

40

50

からなり、

前記センスアンプ制御回路は正電圧レベルシフタをさらに備え、

前記正電圧レベルシフタは前記センスアンプ制御回路に入力される電源電圧と接地電圧との振幅を有する信号を前記電源電圧よりも高い正電圧と接地電圧との振幅に変換する半導体装置。

【請求項 5】

D R A Mセルと、

第 1 電源と前記第 1 電源の電位よりも低い電位の第 2 電源とからなる電源対が入力されるセンスアンプと、

電源電圧と接地電圧とが入力される電源回路と、

前記電源対の電位を決定するセンスアンプ制御回路と、

を備え、

前記センスアンプは、

前記 D R A Mセルの記憶情報を増幅する前には、前記 D R A Mセルがいずれか一方に結合されるビット線対の電位を電源電位または接地電位にプリチャージし、

前記 D R A Mセルの記憶情報の増幅動作時には、前記ビット線対の電位を前記センスアンプ制御回路により決定された前記第 1 および第 2 電源の電位にそれぞれ増幅し、

前記第 1 電源は、前記ビット線対が電源電位にプリチャージされる場合には前記電源電位よりも高い電位であり、

前記第 2 電源は、前記ビット線対が接地電位にプリチャージされる場合には前記接地電位よりも低い電位である

半導体装置。

【請求項 6】

前記 D R A Mセルを選択するワード線を駆動するワードドライバをさらに備え、

前記ワード線に設定される選択電圧および非選択電圧の電位差は、前記電源電圧と前記接地電圧との差電位よりも大きい請求項 5 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に D R A Mのセンス動作に係る。

【背景技術】

【0002】

近年、通信機器やハイエンドコンピュータなどに利用される半導体デバイスでは、低消費電力化やアクセスの高速化が要求されている。

【0003】

その低消費電力化や高速化に対応して、D R A Mに求められる要求性能は非常に高くなってきている。具体的には、まず D R A Mに入力される電源電圧の低電圧化が進んでいる。

【0004】

一般的な D R A Mの動作を示す波形を図 7 に示す。詳細な説明は省略するが、ワード線 W を立ち上げた状態で、センスアンプ活性信号 S A E を立ち上げて、センシングを実施する。そして、センシング開始前は、電源電圧 V C C と接地電圧 G N D との中間電位  $1/2 V C C$  にプリチャージされていたビット線対 D , D B が、まず、セルの状態に応じて真補の差電位(図中 V)となる。その後ビット線対 D , D B はそれぞれ電源電圧、接地電圧に増幅される。この図 7 では、“ 1 ” を記憶するセル(セル H とも言う)の情報がビット線 D 側に増幅されるセンシングを記載している。

【0005】

ここで、前述した低電圧化とは、図 7 の V C C と G N D との差電位が小さくなることを意味する。つまり、ビット線対 D , D B の振幅が小さくなるということである。すなわち、前述したセルの状態を決める電荷量も、その振幅電位の縮小に応じて小さくなる。

## 【0006】

また、前述の低電圧化と共に、DRAMには低消費電力化が期待されている。そうした中で、DRAMの消費電力を決める要素の一つである、記憶素子をリフレッシュするサイクルの延長が望まれている。これをより具体的に言い換えれば、DRAMデバイスの微細化に伴い、悪化するホールド特性を改善することが望まれている。

## 【0007】

一般的に、DRAMセルのホールド特性を決めているのは、Nchトランジスタを用いたセルでは、“1”を記憶しているセルの電荷が抜けることである。すなわち、図7で示す差電位  $V$  がより小さくなることを意味する。最終的に、前述した電位差を、センスアンプが  $1/2V_{CC}$  に対して高いと、判断できなくなると、誤センスを発生し、そのセルはホールド不良となる。

10

## 【0008】

以上の記載は、NchトランジスタとキャパシタとでDRAMセルを構成した場合を前提としているが、PchトランジスタとキャパシタとでDRAMセルを構成しても構わない。

## 【0009】

さらに、低電圧、低消費電力の制限の中で、DRAMデバイスの高速化が期待されている。

## 【0010】

低電圧でのDRAMデバイスの高速化技術は、例えば以下の特許文献に記載されている。

20

## 【0011】

その特許文献1では、センスアンプの感知速度向上のために、センスアンプの電源電圧のうち、低位側にグラウンド以下の電位を短い時間だけ印加する技術が開示されている。

## 【0012】

【特許文献1】特開2004-220753号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0013】

しかしながら、DRAMセルのホールド特性の改善に関しては考慮されていなかった。すなわち、消費電力の低減に関して考慮されていなかった。

30

## 【0014】

そのため、特許文献1では、センスアンプのプリチャージ電圧を電源電圧  $V_{CC}$  の半分の  $1/2V_{CC}$  としている。これでは、低電圧化が進みセルの保持する電荷量そのものが減少した場合、セルのホールド時間が非常に短くなる。

## 【0015】

結果として、DRAMセルのホールド特性を保証するために、DRAMセルへのリフレッシュ間隔を短くせざるを得ず、消費電力の増加につながる。

## 【課題を解決するための手段】

## 【0016】

上記課題を解決するために、本発明に係る半導体装置は、DRAMセルと、DRAMセルの記憶情報を増幅するセンスアンプと、電源電圧と接地電圧とが入力される電源回路と、センスアンプに入力される電源対を制御するセンスアンプ制御回路とを備え、前述したセンスアンプはDRAMセルの記憶情報を増幅する前に、そのDRAMセルがいずれか一方に結合されるビット線対の電位を電源電位または接地電位にプリチャージし、前述したセンスアンプ制御回路はセンスアンプの増幅動作時にビット線対の電位差を電源電圧と接地電圧との差電位よりも大きくなるようにセンスアンプに入力される電源対を制御する。

40

## 【発明の効果】

## 【0017】

以上説明したように、本発明によれば、低電圧の条件下におけるセンスアンプの動作の

50



線対とにそれぞれ設けられている。

【 0 0 2 8 】

さらに、前述したセンスアンプ電源対  $V_{SAP}$ 、 $V_{SAN}$  を生成するセンスアンプ制御回路 9 を、図 3 を用いて説明する。センスアンプ活性信号  $S_{AE}$  と、負電圧  $V_{SA}$  が入力され、 $V_{SAN}$  出力側にのみ、負電圧レベルシフト 11 を備えている。これは、 $V_{CC}$  と  $GND$  との間の振幅の  $S_{AE}$  信号を、 $V_{CC}$  と負電圧との振幅にレベルシフトするためである。ここでは、 $V_{SA}$  が負電圧の場合を想定して、 $V_{SAN}$  側への負電圧レベルシフトを挿入する場合を記載した。しかし、後述するが、 $V_{SA}$  が  $V_{CC}$  よりも高い正電圧の場合は、逆に  $V_{SAP}$  側に正電圧レベルシフトを設ける必要がある。

【 0 0 2 9 】

以上の図 1、2、3 を用いて本実施形態の構成を説明したが、図 4 では前述の図 1、2、3 の代表的な接点電位を用いて、本実施形態の動作を説明する。

【 0 0 3 0 】

図 4 では、縦軸を電位、横軸を時間とする。ここでは、時間軸の特定時刻に設定した  $t_0$  から  $t_4$  を用いて、その経時毎に  $DRAM$  に発生するイベントを説明する。

【 0 0 3 1 】

まず時刻  $t_0$  から  $t_1$  ではワード線  $W$  は非活性であり、非選択電圧  $V_{KK}$  (負電圧) に設定されている。この  $V_{KK}$  は、 $DRAM$  セルを構成する  $NcH$  トランジスタのサブスレッシュホールドリークに対応するために、負電圧に設定される。

【 0 0 3 2 】

このとき、センスアンプ電源対  $V_{SAP}$  と  $V_{SAN}$  及びビット線対  $D$ 、 $DB$  は、プリチャージレベル  $V_{PC}$  (=  $GND$  レベル) に設定されている。このプリチャージレベルを、従来の  $V_{CC}/2$  から  $GND$  レベルとすることで、セル  $H$  のホールド特性悪化の耐性を向上させている。セル  $H$  を作り出す条件を全く変更せずに、そのセル  $H$  がホールド劣化して、そのセル  $H$  を認識できなくなる基準となるレベル (= プリチャージレベル) を下げるからである。また同時に、従来必要であった、 $V_{CC}/2$  を発生する回路も不要である。くわえて、比較的安定している既存の電源線を用いるので、プリチャージレベルの安定が実現できる。

【 0 0 3 3 】

つづいて、 $t_1$  から  $t_2$  ではワード線  $W$  が活性される。ワード線  $W$  は、 $DRAM$  セルを構成する  $NcH$  トランジスタの閾値電圧を吸収するために、電源電圧よりも高電圧に昇圧されている。そして、 $DRAM$  セルに記憶された情報に基づいて、ビット線に電位差が発生する。ここでは、ビット線  $D$  に接続された読出し対象セルが、“1” (= セル  $H$ ) の状態を記載する。プリチャージレベルを  $1/2V_{CC}$  から  $GND$  レベルとすることによって、理論上この差電位も大きくなる。プリチャージレベルが、 $1/2V_{CC}$  であったときに、図 7 に示したように  $V$  であった差電位が、図 4 に示すように  $V'$  ( $> V$ ) となる。

【 0 0 3 4 】

その後、 $t_2$  から  $t_3$  の間に、センスアンプ活性信号を活性する ( $GND$  レベルから  $V_{CC}$  レベルに立ち上げる)。波形が重なって図面が複雑化するのを避けるために、ここではセンスアンプ活性信号が遷移する前後は省略した。そして、前述したビット線の電位差を増幅する。ここではビット線  $D$  は  $V_{SAP}$  すなわち  $V_{CC}$  レベルに、 $DB$  は負電圧  $V_{SN}$  すなわち  $V_{SA}$  レベルに増幅される。

【 0 0 3 5 】

最終的に、センス動作が完了するとワード線  $W$  をたち下げ、その後時刻  $t_4$  でプリチャージ信号  $PDL$  を活性し、動作開始前の時刻  $t_0$  の状態を作り出す。

【 0 0 3 6 】

ここでは、ワード線  $W$  の非選択レベル  $V_{KK}$  が、ビット線  $DB$  の最終レベルすなわち、 $V_{SA}$  レベルよりも低い場合を記載したが、その相対関係は同じであっても、あるいは逆転しても構わない。理由はそれぞれの電位が異なる要因で決まるためである。より具体的には、 $V_{KK}$  のレベルは  $DRAM$  セルトランジスタのサブスレッシュホールド特性で決ま

10

20

30

40

50

り、V S A レベルはセンスアンプの動作感度や降圧回路の能力等の回路的要因や、V S A を受けるトランジスタの耐圧等で決まるからである。

【 0 0 3 7 】

また、V S A のレベル（本実施例では負電圧）そのものは、比較的ルーズで構わない。その理由は、センスアンプがフリップフロップで構成されているからである。つまり、本実施例の場合、ビット線対のうち一方D側はV C Cまで振幅する。したがって、D側が大きく振幅することによって、フリップフロップ回路は、他方のD B側に依存せずに、その接点電位を確定できるのである。

【 0 0 3 8 】

（第2の実施例）

ここで、D R A MセルトランジスタをP c hトランジスタで構成する例を示す。大きな全体像としては、図1と同様である。図2と同様に、その一部を抽出した図5の回路図と、その動作波形である図6とを合わせて、変更される部分を説明する。

【 0 0 3 9 】

図2で説明した第1実施例と構成自体は、ほとんど同様であるが、図5のメモリセル61がP c hトランジスタとなる。また、そのバックゲート電圧には正の高電圧V P Pが印加される。

【 0 0 4 0 】

また、第1実施例ではG N Dレベルであったプリチャージレベルを、V C Cレベルとする。このため、センスアンプ電源用イコライズ回路71とビット線イコライズ回路72とはP c hトランジスタで構成されることが望ましい。

【 0 0 4 1 】

第1実施例の図4に対して、本実施例の回路動作を、図6を用いて説明する。図6では、ビット線Dに“0”を記憶するセル（セルL）が接続されている場合の波形を記載する。

【 0 0 4 2 】

そのセルLを記載する理由は、P c hトランジスタでD R A Mセルを構成する場合、トランジスタのサブ電位が逆転し、ホールド特性はセルLが決めることとなるからである。この現象は、後にもう少し詳述する。

【 0 0 4 3 】

図6では、まず時刻t0からt1ではワード線Wは非活性であり、非選択電圧V P P（正電圧）に設定されている。このV P Pは、D R A Mセルを構成するP c hトランジスタのサブスレッシュホールドリークに対応している。

【 0 0 4 4 】

このとき、センスアンプ電源対V S A PとV S A N及びビット線対D, D Bは、プリチャージレベルV P C（=V C Cレベル）に設定されている。このプリチャージレベルを、従来のV C C / 2からV C Cレベルとすることで、セルLのホールド特性の耐性を向上させている。

【 0 0 4 5 】

つづいて、t1からt2ではワード線Wが活性される。そして、D R A Mセルに記憶された情報に基づいて、ビット線に電位差が発生する。ここでは、ビット線Dに接続された読み出し対象セルが、“0”（=セルL）の状態を記載する。

【 0 0 4 6 】

その後、t2からt3の間に、センスアンプ活性信号を活性する（ここではG N DレベルからV C Cレベルに立ち上げる）。そして、前述したビット線の電位差を増幅する。ここではビット線DはV S A NすなわちG N Dレベルに、D Bは正電圧V S A PすなわちV P Pレベルに増幅される。

【 0 0 4 7 】

最終的に、センス動作が完了するとワード線Wをたち上げ、その後時刻t4でプリチャージ信号P D Lを活性し、動作開始前の時刻t0の状態を作り出す。

10

20

30

40

50

## 【0048】

本実施例でも、第1実施例と同様に、セルのホールド特性を決める側のビット線電位の増幅レベルと、プリチャージレベルとの差電位を、電源電位VCCの値で確保している。

## 【0049】

ここで、簡単にNch、Pchトランジスタの場合のホールド特性の劣化モデルについて記載する。

## 【0050】

Nchトランジスタの場合には、電荷保持ノードのN拡散層からPサブにジャンクションリークによって電荷が抜けていた。そのため、セルHがホールド特性を決めていた。一方Pchトランジスタを用いる場合、NサブからP拡散層に電荷が注入される方向なので、セルLがホールド特性を決める。

10

## 【0051】

また、ここでPchトランジスタをセルに用いるメリットを記載する。それは、第1にソフトエラーに対する耐性が強いことが知られている。

## 【0052】

一般に、ソフトエラーは、放射線によって電子・正孔が発生し、その電子・正孔が記憶ノードである拡散領域に入射する。その結果、記憶ノードのデータ反転が発生することが知られている。Nchトランジスタはその電子によって影響を受け、Pchトランジスタは正孔によって影響を受ける。

## 【0053】

20

そこで、Nch、Pchで同様の条件(トランジスタサイズ等)を仮定すると、その影響を受けるキャリアの移動度の差異が、影響度合いを決定すると考えられる。つまり、正孔に対して移動度の大きい電子の方が悪影響も大きい。よって、その電子の影響を受けるNchトランジスタの方が、ソフトエラーが発生しやすいことが考えられる。

## 【0054】

なお、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。たとえば、本実施例では、Nch、Pchのいずれかのセルトランジスタの例を記載したが、別に混在しても構わない。

## 【0055】

例えばNchトランジスタのセルの場合、プリチャージレベルは、外部からの電源が得られる場合は、それを用いても構わない。ただしその電源は、接地電位よりも安定していて、かつ接地電位以下であることが必須である。

30

## 【0056】

さらに、本願の各実施例では、DRAM内部で、各モードに応じた制御信号や様々な電圧を発生させているが、それらは、たとえばメモリ外部のメモリコントローラが発生させても構わない。

## 【図面の簡単な説明】

## 【0057】

【図1】本発明の第1の実施例の半導体装置の全体を示す図面である。

【図2】本発明の第1の実施例の半導体装置の一部を示す図面である。

40

【図3】本発明の第1の実施例の半導体装置の一部を示す図面である。

【図4】本発明の第1の実施例の半導体装置の動作を示す図面である。

【図5】本発明の第2の実施例の半導体装置の一部を示す図面である。

【図6】本発明の第2の実施例の半導体装置の動作を示す図面である。

【図7】従来半導体装置の動作を示す図面である。

## 【符号の説明】

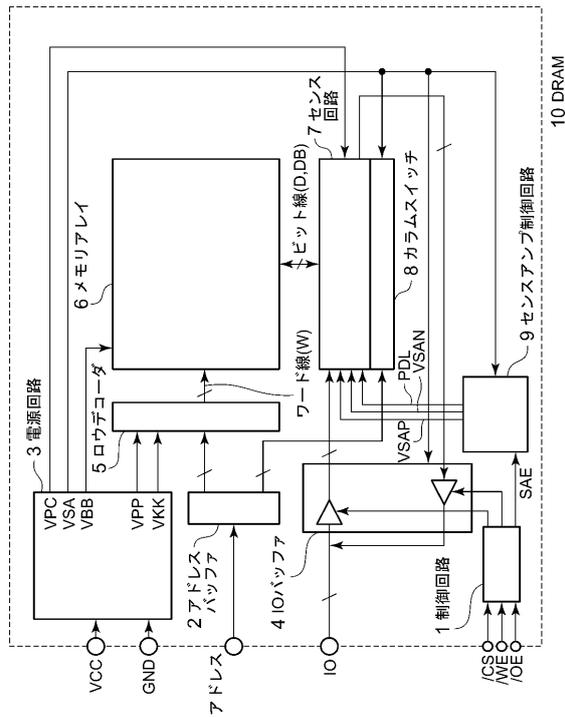
## 【0058】

- 1 制御回路
- 2 アドレスバッファ
- 3 電源回路

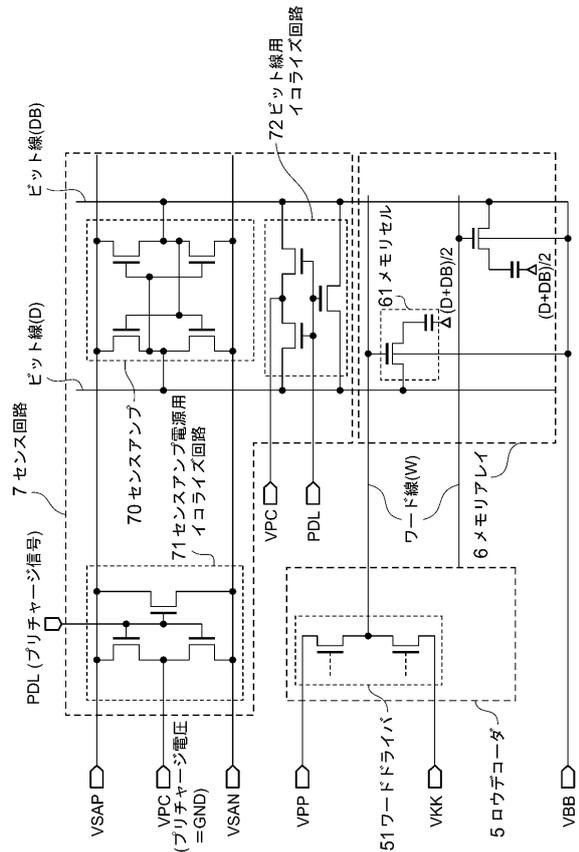
50

- 4 IOバッファ
- 5 ロウデコーダ
- 5 1 ワードドライバ
- 6 メモリアレイ
- 6 1 メモリセル
- 7 センス回路
- 7 0 センスアンプ
- 7 1 センスアンプ電源用イコライズ回路
- 7 2 ビット線用イコライズ回路
- 8 カラムスイッチ
- 9 センスアンプ制御回路
- 1 0 D R A M

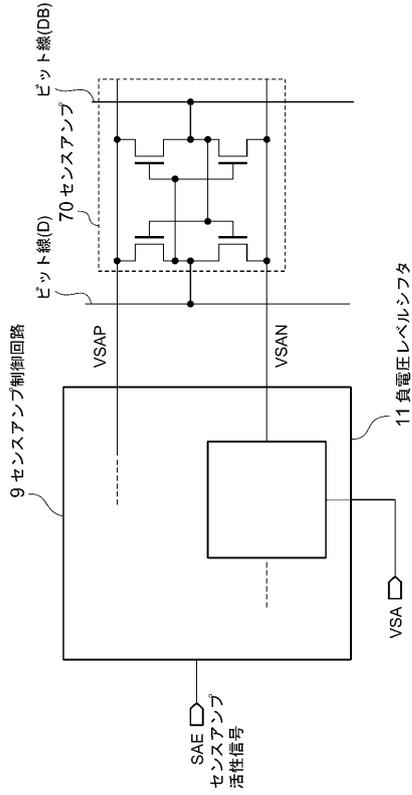
【 図 1 】



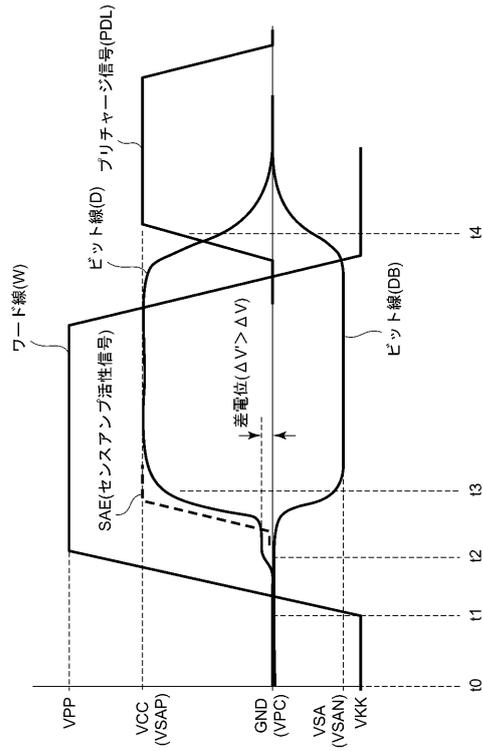
【 図 2 】



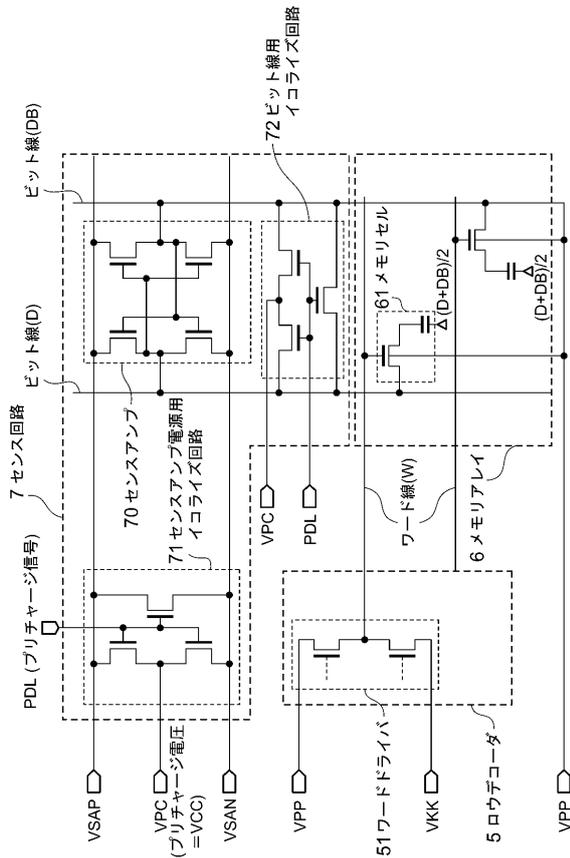
【 図 3 】



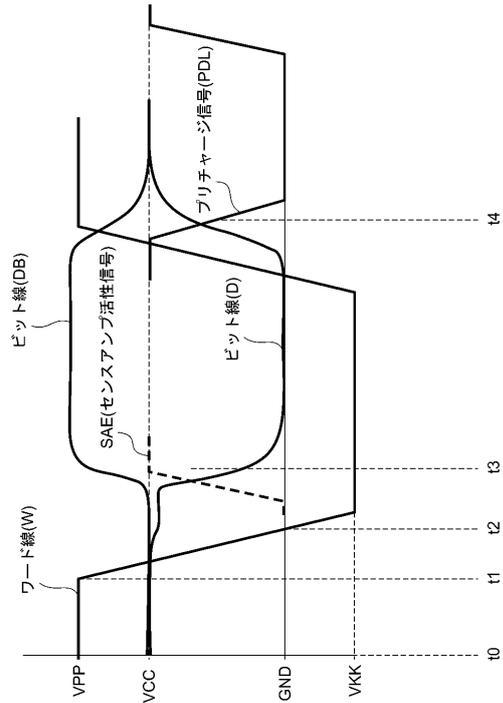
【 図 4 】



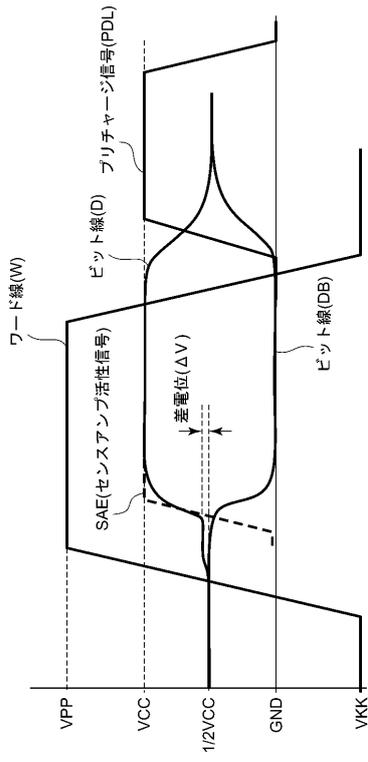
【 図 5 】



【 図 6 】



【図7】



---

フロントページの続き

- (56)参考文献 特開2000-132971(JP,A)  
特開2004-220753(JP,A)  
特開平10-340581(JP,A)  
特開平06-309872(JP,A)  
特開平04-184787(JP,A)  
特開平09-282879(JP,A)  
特開2006-127723(JP,A)  
特開2002-260381(JP,A)  
特開2002-074992(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4094

G11C 11/4091