



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2013-0135709  
 (43) 공개일자 2013년12월11일

(51) 국제특허분류(Int. Cl.)  
 H01L 21/762 (2006.01) H01L 21/336 (2006.01)  
 H01L 29/78 (2006.01)  
 (21) 출원번호 10-2012-0116136  
 (22) 출원일자 2012년10월18일  
 심사청구일자 2012년10월18일  
 (30) 우선권주장  
 13/486,265 2012년06월01일 미국(US)

(71) 출원인  
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
 중화민국, 타이완 300-77, 신쑤, 사이언스-베이스  
 드 인터스트리얼 파크, 리신 로드, 6, 8호  
 (72) 발명자  
 슈에 홍-생  
 대만 신쑤 카운티 302 주베이 시티 주양징 에스.  
 로드 60호 4층  
 양 타이-이  
 대만 신쑤 시티 300 노스 디스트릭트 운린 로드  
 28호 14층-2  
 (뒷면에 계속)  
 (74) 대리인  
 신정건, 김태홍

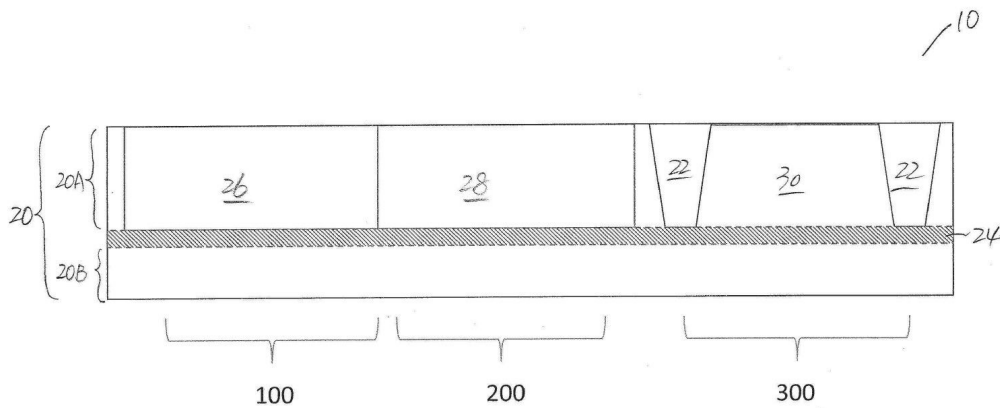
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **딥 트렌치에 에어 갭을 구비한 반도체 분리 구조**

**(57) 요약**

실시형태에 의하면, 장치는 반도체 기판, 반도체 기판 위에 있는 접촉 플러그, 및 반도체 기판 위에 있는 층간 유전체(ILD)를 포함하고, 접촉 플러그는 ILD 내에 배치된다. 에어 갭은 반도체 기판과 ILD의 부분에 의해 실링된다. 에어 갭은 반도체 기판의 부분을 둘러싸는 전체 에어 갭 링을 형성한다.

**대표도**



(72) 발명자

**우 웨이-딩**

대만 신추 카운티 302 주베이 시티 지앙펑 2번가  
에스이씨. 1 73호 12층

**충 밍-타이**

대만 신추 시티 진슈이 스트리트 191 라인 엘리 78  
19호

**유 샤오-치**

대만 신추 시티 300 이스트 디스트릭트 광푸 로드  
에스이씨. 1 108 라인 에이엘와이. 2 25호 6층

**특허청구의 범위**

**청구항 1**

반도체 기판;  
 상기 반도체 기판 위에 있는 접착 플러그; 및  
 상기 반도체 기판 위에 있는 층간 유전체(ILD : Inter-Layer Dielectric)층;  
 을 포함하고,  
 상기 접착 플러그는 상기 ILD층 내에 배치되고,  
 에어 갭은 상기 반도체 기판과 상기 ILD의 부분에 의해 실링(sealing)되고,  
 상기 에어 갭은 상기 반도체 기판의 부분을 둘러싸는 풀 에어 갭 링(full air gap ring)을 형성하는, 장치.

**청구항 2**

제1항에 있어서,  
 상기 반도체 기판의 상면에 있는 금속 산화물 반도체(MOS : Metal-Oxide-Semiconductor) 장치를 더 포함하고,  
 상기 MOS 장치는,  
 상기 반도체 기판 위에 있는 게이트 전극; 및  
 상기 게이트 전극에 인접한 소스/드레인 영역;  
 을 포함하고,  
 상기 ILD층은 상기 소스/드레인 영역과 상기 게이트 전극 위로 연장되는 제1 부분과, 상기 반도체 기판으로 연장되는 제2 부분을 포함하고,  
 상기 에어 갭과 상기 소스/드레인 영역은 상기 ILD층의 제2 부분의 반대측상에 있는, 장치.

**청구항 3**

제1항에 있어서,  
 상기 반도체 내에 있고, 상기 반도체 기판의 부분을 둘러싸는 추가적인 풀 에어 갭 링을 형성하는 추가적인 에어 갭을 더 포함하고,  
 풀 에어 갭 링의 측면은 상기 추가적인 풀 에어 갭 링의 측면과 결합되는, 장치.

**청구항 4**

제3항에 있어서,  
 상기 반도체 기판의 부분의 표면에 배치된 MOS 장치를 더 포함하고,  
 상기 MOS 장치는 고전압 MOS 장치이고,  
 상기 장치는,  
 상기 반도체 기판의 상면에 있는 저전압 MOS 장치; 및  
 상기 반도체 기판으로 연장되는 Shallow Trench Isolation(STI) 영역;  
 을 더 포함하고,  
 상기 STI 영역은 상기 저전압 MOS 장치를 둘러싸는 링을 형성하고,  
 상기 고전압 MOS 장치는 상기 저전압 MOS 장치의 항복 전압보다 높은 항복 전압을 갖는, 장치.

**청구항 5**

반도체 기판;

상기 반도체 기판의 상면으로부터 상기 반도체 기판으로 연장되는 딥 트렌치(deep trench);

상기 반도체 기판의 상면에 있는 금속 산화물 반도체(MOS) 장치로서, 상기 반도체 기판 위에 있는 게이트 전극과, 상기 딥 트렌치와 상기 게이트 전극에 인접한 소스/드레인 영역을 포함하는 MOS 장치; 및

상기 소스/드레인 영역과 상기 게이트 전극 위에 있는 층간 유전체(ILD)층;

을 포함하고,

상기 ILD층은 상기 딥 트렌치로 더 연장되고, 상기 ILD층은 상기 딥 트렌치 내의 에어 갭을 실링하는, 장치.

**청구항 6**

제5항에 있어서,

상기 딥 트렌치의 측벽은 상기 딥 트렌치의 저면과 90도보다 작은 예각(sharp angle)을 형성하는, 장치.

**청구항 7**

제5항에 있어서,

상기 ILD층은 하부 및 상기 하부 위에 있는 상부를 포함하고, 상기 하부와 상기 상부는 상이한 물질을 포함하고, 상기 하부는 상기 딥 트렌치로 연장되는, 장치.

**청구항 8**

제5항에 있어서,

상기 MOS 장치의 상면에서, 상기 에어 갭은 상기 MOS 장치를 둘러싸는 풀 링(full ring)을 형성하는, 장치.

**청구항 9**

반도체 기판의 상면에 금속 산화물 반도체(MOS) 장치를 형성하는 스텝;

상기 MOS 장치를 형성하는 스텝 후에, 상기 반도체 기판 내에 딥 트렌치를 형성하는 스텝; 및

상기 MOS 장치 위에 층간 유전체(ILD)층을 형성하는 스텝;

을 포함하고,

상기 ILD층은 상기 딥 트렌치로 연장되고, 상기 ILD층은 상기 딥 트렌치 내의 에어 갭을 실링하는, 방법.

**청구항 10**

제9항에 있어서,

상기 MOS 장치를 형성하는 스텝은,

상기 반도체 기판 위에 게이트 전극을 형성하는 스텝;

상기 딥 트렌치와 상기 게이트 전극에 인접한 소스/드레인 영역을 형성하는 스텝; 및

상기 소스/드레인 영역 위에 소스/드레인 실리사이드(silicide) 영역을 형성하는 스텝;

을 포함하고,

상기 딥 트렌치를 형성하는 스텝은 상기 소스/드레인 실리사이드 영역을 형성하는 스텝 후에 수행되고,

상기 에어 갭의 측벽은 상기 에어 갭의 저면과 90도보다 작은 예각을 형성하는, 방법.

**명세서**

**기술 분야**

[0001] 집적 회로 제조 프로세스에서, 트랜지스터 등의 장치들은 반도체 칩의 표면에 형성된다. 상기 장치들은 분리 영역(isolation region)에 의해 서로 분리된다. 보통, Shallow Trench Isolation(STI) 영역은 반도체 기판의 활성 영역을 분리하기 위한 분리 영역으로서 사용된다. 일반적으로, STI 영역은 반도체 기판 내의 트렌치에 채워지는 하나 또는 복수의 유전 물질(dielectric material)로 형성된다.

**배경 기술**

[0002] STI 영역을 사용하는 집적 회로는 여전히 p형 및 n형 영역의 접합에서 누설 전류를 포함하는 문제점을 갖고 있다. 또한, 고전압 장치에 대하여, 종래의 집적 회로는 낮은 항복 전압과 래치 업(latch up)의 문제점을 갖고 있다.

**발명의 내용**

[0003] 본 발명에 의한 실시형태의 구현 및 사용을 이하 상세히 설명한다. 그러나, 실시형태가 매우 다양한 특정 콘텍스트로 실시될 수 있는 다수의 적용 가능한 발명 컨셉을 제공한다는 것을 인식해야 한다. 논의되는 특정 실시형태는 예시적이고, 본 발명의 범위를 한정하지 않는다.

[0004] 그 내부에 에어 갭을 포함하는 딥 트렌치 분리 구조와 이를 형성하는 방법이 다양한 예시적 실시형태에 의해 제공된다. 딥 트렌치 분리 구조를 형성하는 중간 스테이지가 도시된다. 실시형태의 변경이 논의된다. 다양한 도면과 예시적 실시형태를 통해, 유사한 엘리먼트에 유사한 도면부호가 사용된다.

**도면의 간단한 설명**

[0005] 실시형태와 그 장치의 더 완전한 이해를 위해, 첨부 도면과 관련된 이하의 설명에 참조가 이루어진다. 도 1 내지 5는 분리 영역이 에어 갭(air gap)을 포함하는 몇가지 예시적 실시형태에 의한 분리 영역과 금속 산화물 반도체(MOS : Metal-Oxide-Semiconductor)의 제조에 있어서의 중간 스테이지의 단면도이다. 도 6은 도 5에 도시된 구조의 일부의 상면도이다. 도 7a 및 7b는 각각 하나의 딥 트렌치(deep trench)가 다른 딥 트렌치를 둘러싸도록 형성된 장치의 상면도와 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0006] 도 1을 참조하면, 웨이퍼(10)가 제공된다. 웨이퍼(10)는 실리콘을 포함할 수 있고 결정질 실리콘 기판이 될 수 있는 반도체 기판(20)을 포함한다. 대안으로서, 카본, 게르마늄, 갈륨, 비소, 질소, 인듐, 인 등의 다른 공통적으로 사용되는 재료가 반도체 기판(20)에 포함될 수도 있다. 또한, 반도체 기판(20)은 GaN, GaAs 등의 III-V 화합물 반도체 물질을 포함할 수 있다. 일부 실시형태에서, 반도체 기판(20)은 벌크(bulk) 반도체 기판이다. 다른 실시형태에서, 반도체 기판(20)은 상부 반도체층(20A)과 하부 반도체층(20B) 사이에 배치된 매립층(buried layer)(24)을 포함하는 Silicon-On-Insulator(SOI) 기판이다. 매립층(24)은 실리콘 산화물층이 될 수 있고, 이로 인해 이하 매립 산화물층(24)이라 하고, 또한 매립층(24)은, 예컨대 주입을 통해 매립층(24)을 형성하기 위해 기판(20)의 중간층으로 심하게 도핑된 종(highly doped species)을 결합시킴으로써 형성되는, 비산화물 장벽층(non-oxide barrier layer)이 될 수 있다.

[0007] 반도체 기판(20)은 장치 영역(100) 내의 제1 부분, 장치 영역(200) 내의 제2 부분, 및 장치 영역(300) 내의 제3 부분을 포함한다. 일부 실시형태에서, 장치 영역(100, 200, 및 300)은 근본적으로 고전압 장치 영역, 저전압 장치 영역, 로직 코어 영역(logic core region), 메모리 영역[Static Random Access Memory(SRAM) 영역 등], 아날로그 영역, 입력/출력(I/O : input/output) 영역, p형 금속 산화물 반도체(PMOS) 장치 영역, n형 금속 산화물 반도체(NMOS) 장치 영역 등으로 이루어진 그룹으로부터 선택된 상이한 영역이다. 일부 예시적 실시형태에서, 영역(300)은 저전압 장치 영역이고, 영역(100 및 200)은 각각 고전압 PMOS 장치 영역 및 고전압 NMOS 장치 영역이다.

[0008] 도 1을 더 참조하면, 일부 실시형태에서, Shallow Trench Isolation(STI) 영역(22)은 장치 영역(300) 내에 형성되고, 기판(20)의 상면으로부터 기판(20)으로 연장된다. 그러나, 장치 영역(100 및 200)은 활성 영역을 분리하기 위해 STI 영역을 포함하지 않을 수 있고, STI 영역(22)과 동시에 형성될 수 있다. 다른 실시형태에서, 장

치 분리를 위해 장치 영역(300) 내에 STI 영역(22)이 형성되지 않는다. 대신, 딥 트렌치(148)(도 3)와 에어 갭 [도 5에서 에어 갭(154)로 나타냄]이 장치 분리를 위해 장치 영역(300) 내에 형성된다. n-웰 영역(26), p-웰 영역(28), 및 p-웰 영역 또는 n-웰 영역이 될 수 있는 웰 영역(30) 등의 예시적 웰 영역은 각각 영역(100, 200, 및 300) 내에 형성된다. 기판(20)이 SOI 기판인 실시형태에서, 웰 영역(26, 28, 및 30)은 매립 산화물층(buried oxide layer)(24)의 상면으로 연장될 수 있다. 다른 실시형태에서, STI 영역(22)은 매립 산화물층(24)의 상면보다 더 높은 저면을 가질 수 있다. 일부 예시적 실시형태에서, n-웰 영역(26), p-웰 영역(28), 및 웰 영역(30)은 약  $10^{14}/\text{cm}^2$ 와 약  $10^{17}/\text{cm}^2$  사이의 불순물 농도를 갖는다. 그러나, 본 명세서를 통해 나열되는 값은 단지 예시이고, 다른 값으로 변경 가능한 것으로 인정된다.

[0009] 도 2를 참조하면, 금속 산화물 반도체(MOS) 장치(130, 230, 및 330)는 각각 장치 영역(100, 200, 및 300) 내에 형성된다. 일부 예시적 실시형태에서, MOS 장치(130)는 기판(20) 위에 게이트 유전체(134), 게이트 전극(134) 위에 있는 게이트 전극(136), 및 게이트 전극(136)의 측면 상의 게이트 스페이서(gate spacer)(138)를 포함한다. 소스 및 드레인 영역(이하 소스/드레인 영역이라 함)(140)은 게이트 전극(136)의 반대측면 상에 형성된다. 또한, 소스와 드레인 확장 영역(142)이 형성될 수 있다. MOS 장치(230)는 게이트 유전체(234), 게이트 전극(236), 게이트 스페이서(238), 소스/드레인 영역(240), 소스/드레인 확장 영역(242) 등을 포함할 수 있다. MOS 장치(130 및 230)가 고전압 MOS 장치인 실시형태에서, 각 MOS 장치(130 및 230)의 드레인 측에 분리 영역 [도시되지 않음, 필드 산화물층(field oxide) 또는 STI 영역 등]이 더 있을 수 있다. 분리 영역은 게이트 전극(136 및 236) 아래로 연장될 수 있고, 각각 게이트 전극(136/236)으로부터 드레인 영역(140/240)을 이격시킨다. MOS 장치(130 및 230)는, 예컨대 MOS 장치(130 및 230)의 고장(breakdown)을 초래하지 않는, 약 5V, 약 50V, 또는 100V 보다 더 높은 드레인 전압 하에서 동작될 수 있다. 일부 실시형태에서, MOS 장치(130 및 230)는 각각 NMOS 장치 및 PMOS 장치가 될 수 있다.

[0010] MOS 장치(330)는 게이트 유전체(334), 게이트 전극(336), 게이트 스페이서(338), 소스/드레인 영역(340), 소스/드레인 확장 영역(342) 등을 포함할 수 있다. 일부 실시형태에서, MOS 장치(330)는 MOS 장치(130 및 230)의 구조와 상이한 구조를 갖는다. 예컨대, MOS 장치(330)는, 각각의 드레인 전압의 동작 범위가, 예컨대 MOS 장치(330)의 고장을 초래하지 않는, 약 5V보다 낮을 수 있는, 저전압 MOS 장치가 될 수 있다. 그러나, MOS 장치(330)의 드레인에 인가되는 드레인 전압이 동작 범위보다 높으면, MOS 장치(330)가 고장날 수 있다.

[0011] 일부 예시적 실시형태에서, 게이트 유전체(134, 234, 및 334)는 이산화규소(silicon dioxide)를 포함한다. 대안으로서, 게이트 유전체(134, 234, 및 334)는 하이-k 유전 물질(high-k dielectric materials), 실리콘 산화질화물(silicon oxynitride), 실리콘 질화물, 또는 그 조합을 포함한다. 하이-k 물질(high-k material)은 금속 산화물, 금속 질화물, 금속 실리케이트(metal silicate), 전이 금속 산화물, 전이 금속 질화물, 전이 금속 실리케이트, 금속의 산화질화물, 금속 알루미늄에이트(metal aluminate), 지르코늄 실리케이트(zirconium silicate), 지르코늄 알루미늄에이트(zirconium aluminate), 하프늄 산화물(hafnium oxide), 또는 그 조합으로부터 선택될 수 있다. 게이트 유전체(134, 234, 및 334)는 화학 증착(CVD : Chemical Vapor Deposition), 원자층 증착(ALD : Atomic Layer Deposition), 열 산화(thermal oxide), 다른 적합한 프로세스, 또는 그 조합을 사용하여 형성될 수 있다.

[0012] 게이트 전극(136, 236, 및 336)은 다결정 실리콘[polycrystalline silicon(polysilicon)]을 포함할 수 있다. 대안으로서, 게이트 전극(136, 236, 및 336)은 Al, Cu, Mo, Ni, W, Ti, Ta, TiN, TaN, NiSi, NiPtSi, CoSi, 또는 그 조합 등의 금속이나 금속 실리사이드(metal silicide)를 포함한다. 게이트 전극(136, 236, 및 336)의 형성 방법은 CVD, 물리 증착(PVD : Physical Vapor Deposition), ALD 등을 포함한다. 게이트 유전체(134, 234, 및 334)와 게이트 전극(136, 236, 및 336)의 형성 스텝은, 블랭킷 유전체층(blanket dielectric layer)과 블랭킷 게이트 전극층(blanket gate electrode layer)을 형성하는 스텝과, 그 이후의 패터닝 스텝(patterning step)을 포함할 수 있다.

[0013] 소스/드레인 영역(140, 240, 및/또는 340)은, 주입(implantation)에 의해 형성되거나, 오목부(recess)를 형성하기 위해 반도체 기판(20)에 대하여 리세싱(recessing)하고, 이어서 각 오목부 내에 소스/드레인 영역(140, 240, 및/또는 340)을 에피택셜 성장(epitaxially growing)시킴으로써 형성될 수 있다. 소스/드레인 영역(140, 240, 340)은, 예컨대 각각 MOS 장치(130, 230, 및 330)의 전도 타입(conductivity type)에 따라 약  $10^{19}/\text{cm}^3$ 과 약  $10^{21}/\text{cm}^3$  사이의 p형 또는 n형 불순물 농도를 가질 수 있다.

[0014] 소스/드레인 실리사이드 영역(144, 244, 및 344)은 각각 소스/드레인 영역(140, 240, 및 340) 상에 형성된다.

게이트 전극(136, 236, 및 336)이 실리콘을 포함하는 실시형태에서, 게이트 실리사이드 영역(146, 246, 및 346)도 형성될 수 있다. 실리사이드 영역(144, 244, 344, 146, 246, 및 346)의 형성은 자기 정렬 실리사이드(salicide : self-aligned silicide) 프로세스를 포함할 수 있다. 실리사이드 프로세스는 금속층과 하부 실리콘(underlying silicon) 사이의 반응을 야기하기 위해 어닐(anneal)이 후속되는 소스/드레인 영역(140, 240, 및 340)의 형성 후에 금속층(도시되지 않음)을 블랭킷 증착(blanket depositing)하는 스텝을 포함한다. 따라서, 실리사이드 영역(144, 244, 344, 146, 246, 및 346)이 형성된다. 금속층은 니켈, 코발트 등을 포함할 수 있다. 이어서, 금속층의 미반응 부분(unreacted portion)이 제거된다.

[0015] 도 3은 반도체 기판(20)을 에칭함으로써 형성되는 딥 트렌치(148)의 형성을 나타낸다. 반도체 기판(20)이 벌크 기판(bulk substrate)인 실시형태에서, 딥 트렌치(148)는 P-웰 영역(26)과 N-웰 영역(28)의 깊이와 실질적으로 동일하거나 더 큰 깊이(D1)를 가질 수 있다. 깊이(D1)는, 각 MOS 장치(130, 및 230)의 동작 전압에 따라, STI 영역(22)의 높이(D2)의 약 2배와 약 5배 사이가 되거나, 약 2배와 약 10배 사이가 될 수 있다. 기판(290)이 SOI 기판인 실시형태에서, 딥 트렌치(148)는 매립 산화물층(24)으로 연장될 수 있고, 이로 인해 매립 산화물층(24)은 딥 트렌치(148)로 노출된다. P-웰 영역(26)과 N-웰 영역(28)의 인터페이스 영역에 하나의 딥 트렌치(148)(148A로 표시됨)가 형성될 수 있다. 따라서, 딥 트렌치(148)의 형성 후에, P-웰 영역(26)과 N-웰 영역(28) 모두의 측벽이 딥 트렌치(148A)로 노출된다. 따라서, 딥 트렌치(148A)는 P-웰 영역(26)과 N-웰 영역(28)의 분리 구조로서 기능한다.

[0016] 딥 트렌치(148)는 소스/드레인 영역(140 및 240)과 소스/드레인 실리사이드 영역(144 및 244)에 인접할 수 있다. 일부 실시형태에서, 소스/드레인 영역(140 및 240)과 소스/드레인 실리사이드 영역(144 및 244)의 측벽은 딥 트렌치(148)로 노출된다. 따라서, 소스/드레인 영역(140 및 240)과 소스/드레인 실리사이드 영역(144 및 244)의 측벽은 딥 트렌치(148)로 노출될 수 있다. 다른 실시형태에서, 딥 트렌치(148)는, 예컨대 각 P-웰 영역(26)과 N-웰 영역(28)의 부분에 의해 소스/드레인 영역(140 및 240)과 소스/드레인 실리사이드 영역(144 및 244)으로부터 이격될 수 있다.

[0017] 딥 트렌치(148)은 Reactive Ion Etching (RIE), Deep Reactive Ion Etching (DRIE) 등을 사용하여 형성될 수 있다. 딥 트렌치(148)의 형성은 DRIE 프로세스에서 공지되어 있는 복수의 에치/증착 사이클(etch/deposition cycles)을 포함할 수 있다. 일부 실시형태에서, 딥 트렌치(148)를 형성하기 위한 에치는 유도결합 플라즈마(ICP : Inductively Coupled Plasma) 소스인 플라즈마 소스의 사용을 포함한다. 대안으로서, 에치를 위한 플라즈마는 Transformer Coupled Plasma (TCP)를 형성하여 생성될 수 있다. 딥 트렌치(148)의 측벽(148B)은 동일한 하나의 딥 트렌치(148) 내의 각 저면(148C)와 함께 각도( $\alpha$ )를 형성한다. 각도( $\alpha$ )는, 예컨대 약 70도와 90도 사이인 90도보다 작은 예각(sharp angle)이 될 수 있다. 또한, 각도( $\alpha$ )는 90도와 동일하거나 약간 더 크게 될 수 있다. 예컨대, 각도( $\alpha$ )는 약 90도와 약 95도 사이가 될 수 있다.

[0018] 도 4는 하나 또는 복수의 유전체층의 형성을 나타낸다. 일부 실시형태에 의하면, 유전체층은 MOS 장치(130, 230, 및 330)의 상부와 측벽을 커버(cover)하는 층간 유전체(ILD : inter-Layer Dielectrics)(150 및 152)를 포함한다. 본 명세서를 통해, 형성된 유전체층을 ILD(150 및 152)로 나타내지만, 이들 유전체층은 또한 그 내부에 금속 라인을 형성하기 위해 사용되는 금속간 유전체(IMD : Inter-Metal Dielectric)층도 포함할 수 있다. 일부 실시형태에서, ILD(150)는 접촉 개구의 형성에 있어서 위에 놓인 ILD(152)의 에칭을 중단하는데 사용되는 접촉 에치 스탑층(CESL : Contact Etch Stop Layer)으로도 나타낸다. 다른 실시형태에서는, ILD(150 및 152)를 조합하여 합성 ILD로 나타낸다. ILD(150 및 152)는 상이한 물질로 형성될 수 있다. 예컨대, ILD(150)는 실리콘 산화물(silicon oxide), 실리콘 질화물(silicon nitride), 또는 그 조합 등의 유전 물질로 형성될 수 있다. ILD(152)는 Phospho-Silicate glass(PSG), Boro-Silicate Glass(BSG), Boron-Doped Phospho-Silicate Glass(BPSG), Tetraethyl Orthosilicate(TEOS) oxide 등의 산화물로 형성될 수 있다. ILD(152)는 게이트 실리사이드 영역(146, 246, 및 346)의 상면보다 높은 상면을 가질 수 있다. 일부 실시형태에서, ILD(150 및 152)는 Plasma Enhanced Chemical Vapor Deposition(PECVD), Sub-Atmospheric Chemical Vapor Deposition(SACVD) 등의 화학 증착(CVD) 방법을 사용하여 형성된다.

[0019] ILD(150 및 152)의 형성의 결과로서, 에어 갭(154)이 딥 트렌치(148) 내에 형성된다. 에어 갭(154)의 볼륨(volume)은 각각 딥 트렌치(148)의 볼륨의 약 0.3배와 약 0.9배 사이가 될 수 있고, 에어 갭(154)의 볼륨은 각각 MOS 장치(130 및 230)의 절연 능력(insulating capability)에 영향을 준다. 일부 실시형태에서, ILD(150 및 152)는 딥 트렌치(148)의 측벽 상에 형성된 부분을 포함한다. ILD(150 및/또는 152)의 부분은 딥 트렌치(148)의 측벽을 커버할 수도 있고, 커버하지 않을 수도 있다. 따라서, 일부 실시형태에서, 반도체 기판(20)의 측벽의 부분은 에어 갭(154)으로 노출된다. 다른 실시형태에서, ILD(150)는 에어 갭(154)을 전체적으로 실링(sealing)하

고, 이에 따라 ILD(152)는 딥 트렌치(148)로 연장되는 상당한 부분(substantial portions)을 갖지 않는다. 또 다른 실시형태에서, ILD(150 및 152)는 모두 딥 트렌치(148)의 측벽 및 저면을 형성하는 부분을 포함하고, 딥 트렌치(148)의 중심부는 에어 갭(154)을 형성한다. 에어 갭(154)은, ILD의 증착 중에, 주위의 화학종(chemical species)을 포함할 수 있는 에어(air)에 의해 진공 상태로 되거나 채워질 수 있다. ILD(152)는 트렌치(148)의 외측으로부터 트렌치(148)의 내부로 연속적으로 연장되거나 연장되지 않을 수 있다. 일부 실시형태에서, 에어 갭(154)의 높이(H1)는 딥 트렌치(148)의 깊이(D1)의 약 50%, 80%, 또는 90% 보다 더 크다. 수직 또는 역 사다리꼴 형상의 딥 트렌치(148)의 형성은 트렌치(148)를 조기에(early) 실링(sealing)하는 것을 도울 수 있고, 에어 갭(154)의 볼륨이 증가될 수 있다.

[0020] 일부 실시형태에서, 에어 갭(154)의 단면 형상은 물방울[또는, 소위 눈물 형상(tear shape)]과 유사하게 될 수 있다. 에어 갭(154)의 상단부(top ends)는 약 20nm와 약 50nm 사이의 차이로 반도체 기관의 상면보다 더 높을 수 있다. 상기 차이는 ILD(150 및 152)를 형성하는 증착 방법(deposition method)과 ILD(150 및 152)의 두께에 따라 약 150nm만큼 클 수도 있다. 대안으로서, 에어 갭(154)의 상단부(top ends)는 약 20nm와 약 150nm 사이의 차이로 반도체 기관의 상면보다 더 낮을 수 있다. 상기 차이는 ILD(150 및 152)를 형성하는 증착 방법과 ILD(150 및 152)의 두께에 따라 약 250nm만큼 클 수도 있다.

[0021] 도 5는 ILD(150 및 152) 내의 접촉 플러그(56)의 형성을 나타낸다. 일부 실시형태에서, 접촉 플러그(56)는 텅스텐, 알루미늄, 구리, 티타늄, 탄탈륨, 또는 그 합금을 포함한다. 상기 형성 프로세스는 접촉 개구를 형성하기 위해 ILD(150 및 152)를 에칭하는 스텝과 그 후에 전도성 물질을 접촉 개구에 채우는 스텝을 포함할 수 있다. 이어서, ILD(152) 위에 있는 전도성 물질의 초과 부분을 제거하기 위해 화학적 기계 연마(CMP : Chemical Mechanical Polish)가 수행된다. 전도성 물질의 나머지 부분은 접촉 플러그(56)를 형성한다.

[0022] 도 6은 도 5에 도시된 부분의 예시적 상면도이고, MOS 장치(130 및 230)가 도시되어 있다. 딥 트렌치(148)와 에어 갭(154)은 MOS 장치(130 및 230)를 둘러싸는 풀 링(full rings)을 형성할 수 있는 것으로 인식된다. 또한, 딥 트렌치(148A)[및 그 내부의 각각의 에어 갭(154)]는 MOS 장치(130 및 230) 사이에 배치될 수 있고, P-웰 영역(26)을 N-웰 영역(28)으로부터 분리할 수 있다. 따라서, 에어 갭(154)은 N-웰 영역(28)으로부터 P-웰 영역(26) 사이에 형성되는 접합을 방지할 수 있고, 이에 따라 누설 전류를 감소시키는 효과를 갖는다. 또한, MOS 장치(130 및 230)가 고전압 장치로 형성되면 에어 갭(154)은 높은 항복전압을 갖고, 이에 따라 에어 갭(154) 내부의 회로 콤포넌트에 인가되는 모든 고전압은 에어 갭(154) 외부의 회로 콤포넌트로부터 분리된다.

[0023] 도 7a 및 7b는 각각 딥 트렌치(148)가 다른 딥 트렌치(148)에 의해 둘러싸이는 장치의 상면도와 단면도이다. 도 7a를 참조하면, MOS 장치(130 및 230) 각각은 하나의 딥 트렌치(148)에 의해 둘러싸인다. 또한, 다른 딥 트렌치(148)는 MOS 장치(130 및 230)와 대응 엔서클링 딥 트렌치(corresponding encircling deep trenches)(148)를 모두 둘러싸도록 형성된다. 일부 실시형태에서, 도 7b에 도시된 바와 같이, MOS 장치(130 및 230) 사이에 2개의 딥 트렌치(148) 또는 단일 딥 트렌치(148)가 있다.

[0024] 도 5를 다시 참조하면, 일부 실시형태에 따라, 동일 웨이퍼(10) 상에 STI 영역(22)과 에어 갭(154)이 분리 영역으로서 형성된다. STI 영역(22)은 저전압 장치의 분리 영역으로서 사용될 수 있고, 에어 갭(154)은 고전압 장치의 분리 영역으로서 사용될 수 있다. 다른 실시형태에서는, 웨이퍼(10)에 STI 영역이 형성되지 않는다. 대신, STI 영역(22)이 형성된 에어 갭(154)이 형성된다.

[0025] 도 5에는 에어 갭(154)이 MOS 장치에 인접한 또는 MOS 장치를 둘러싸는 분리 구조로서 기능하는 것으로 도시되어 있다. 그러나, 에어 갭(154)은 다이오드, 커패시터, 저항 등을 포함하는 -이것에 한정되지 않음 - 다른 장치의 분리 영역으로서 기능할 수 있다는 것이 인식된다.

[0026] 에어 갭(154)은 STI 영역보다 높은 항복 전압을 갖는다. 실험 결과는, 집적 회로의 확실한 항상에 있어서 병목 현상이 되지 않도록 하기 위해, 에어 갭의 항복 전압이 충분히 높은 것을 나타내는 약 470V보다 큰 금속층 내의 금속 라인의 항복 전압보다 에어 갭의 항복 전압이 더 높은 것을 나타낸다.

[0027] 실시형태에 의하면, 장치는 반도체 기관, 반도체 기관 위에 있는 접촉 플러그, 및 반도체 기관 위에 있는 층간 유전체(ILD)를 포함하고, 접촉 플러그는 ILD 내에 배치된다. 에어 갭은 반도체 기관과 ILD의 부분에 의해 실링된다. 에어 갭은 반도체 기관의 상부와 동일 레벨에서 적어도 부분을 포함한다.

[0028] 다른 실시형태에 의하면, 장치는 반도체 기관, 반도체 기관의 상면으로부터 반도체 기관으로 연장되는 딥 트렌치, 및 반도체 기관의 상면에 있는 MOS 장치를 포함한다. MOS 장치는 반도체 기관 위에 있는 게이트 전극, 게이트 전극과 딥 트렌치에 인접한 소스/드레인 영역, 및 소스/드레인 영역 위에 있는 소스/드레인 실리사이드 영역

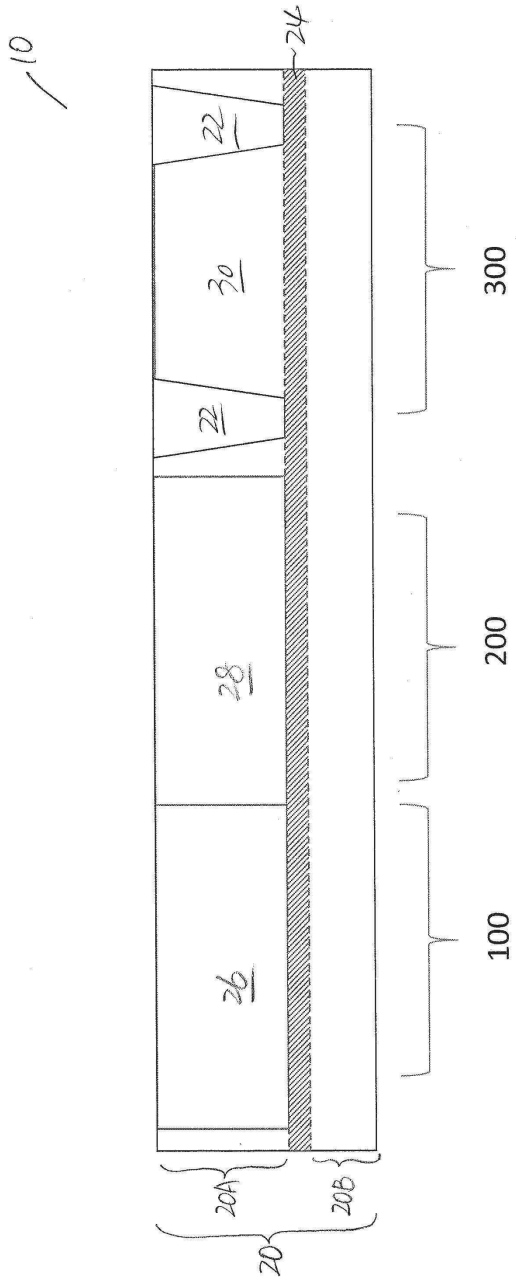


을 포함한다. ILD는 소스/드레인 실리사이드 영역과 게이트 전극 위해 배치된다. 또한, ILD는 딥 트렌치로 연장되고, 딥 트렌치 내의 에어 갭을 실링한다.

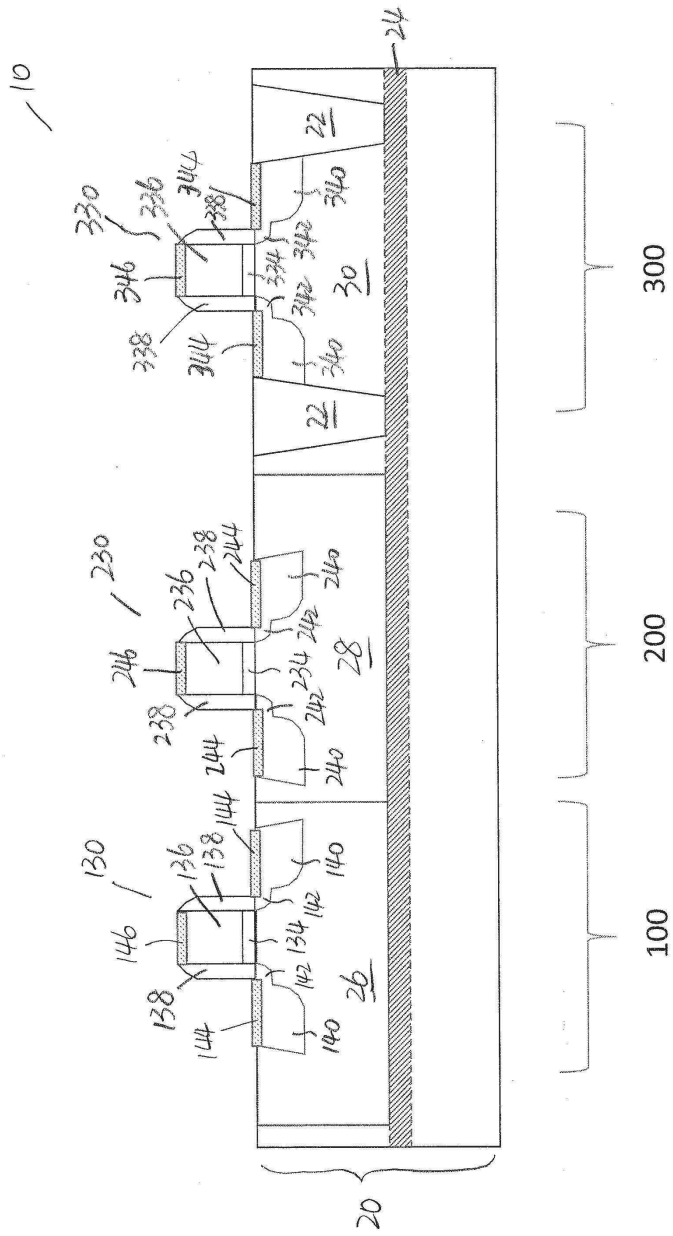
[0029] 또 다른 실시형태에 의하면, 방법은 반도체 기판의 상면에 MOS 장치를 형성하는 스텝을 포함한다. MOS 장치를 형성하는 스텝 이후에, 반도체 기판 내에 딥 트렌치가 형성된다. ILD는 MOS 장치 위에 형성되고, ILD는 딥 트렌치로 연장되고, 딥 트렌치 내의 에어 갭을 실링한다.

[0030] 실시형태와 그 장점을 상세히 설명했지만, 청구범위에 의해 규정된 바와 같은 실시형태의 사상 및 범위로부터 벗어나지 않는 다양한 변경, 치환, 및 개조가 이루어질 수 있다는 것이 이해되어야 한다. 또한, 본 출원의 범위는 본 명세서에 기재된 프로세스와, 머신과, 제조와, 상황, 수단, 방법, 및 스텝의 조합에 대한 특정 실시형태에 한정되는 것으로 의도되지 않는다. 본 발명으로부터 통상의 기술자가 용이하게 인식할 것이므로, 여기 개시된 대응 실시형태와 실질적으로 동일한 기능을 수행하거나 실질적으로 동일 결과를 얻는 기존의 또는 추후 개발될 프로세스, 머신, 제조, 그리고 상황, 수단, 방법 또는 스텝의 조합은 본 발명에 따라 사용될 수 있다. 따라서, 청구범위는 프로세스, 머신, 제조, 그리고 상황, 수단, 방법, 또는 스텝의 조합 등을 그 범위 내에 포함하는 것으로 의도된다. 또한, 각 청구항은 개별 실시형태를 구성하고, 다양한 청구항과 실시형태의 조합은 본 발명의 범위 내에 있다.

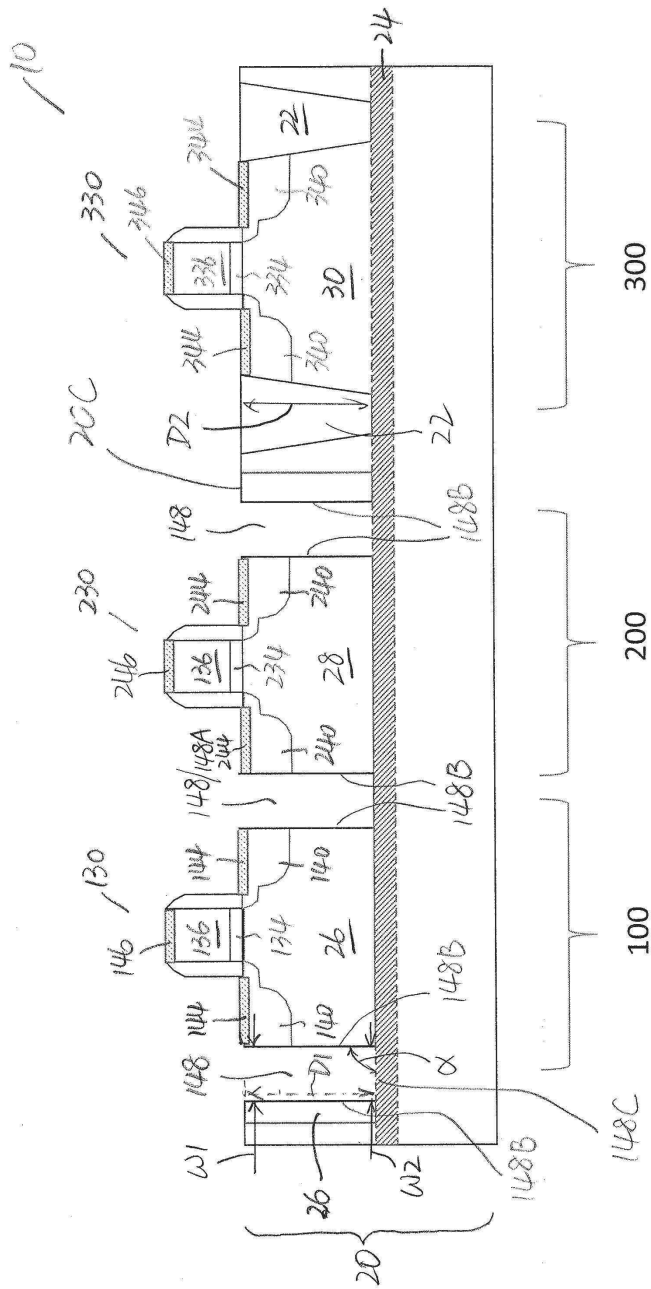
도면  
도면1



도면2

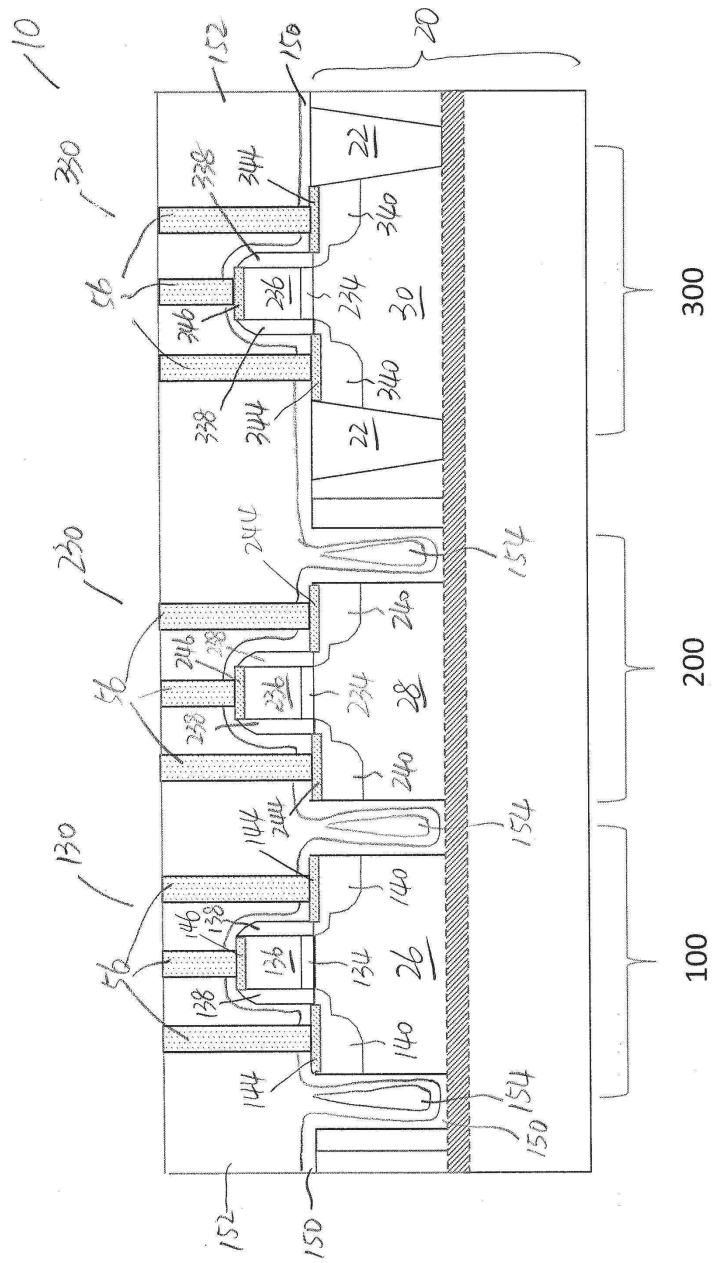


도면3

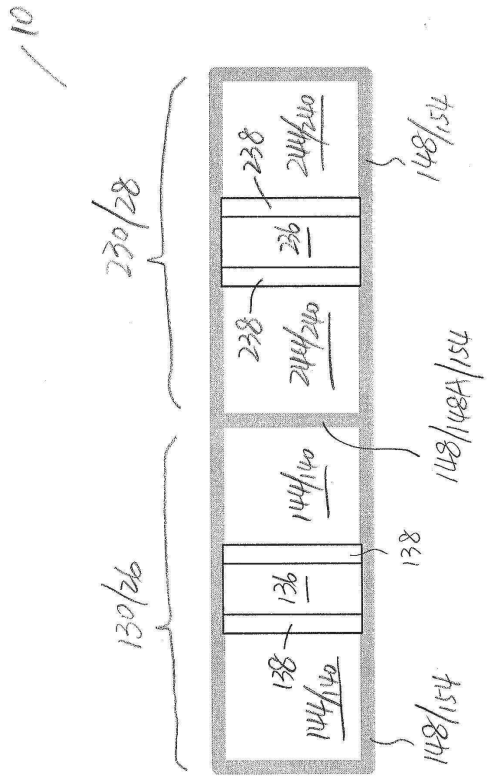




도면5



도면6



도면7

